



(12) 发明专利

(10) 授权公告号 CN 1805291 B

(45) 授权公告日 2010.04.28

(21) 申请号 200510006060.5

H03M 13/05(2006.01)

(22) 申请日 2005.01.10

(56) 对比文件

(73) 专利权人 华为技术有限公司

CN 1540871 A, 2004.10.27, 全文.

地址 518129 广东省深圳市龙岗区坂田华为总部办公楼

CN 1508972 A, 2004.06.30, 全文.

EP 1158682 A2, 2001.11.28, 全文.

US 20040187129 A1, 2004.12.23, 全文.

(72) 发明人 吴和兵 王吉滨

审查员 孟宪超

(74) 专利代理机构 北京德琦知识产权代理有限公司 11018

代理人 王琦 程殿军

(51) Int. Cl.

H03M 13/11(2006.01)

权利要求书 3 页 说明书 7 页 附图 1 页

(54) 发明名称

一种低密度奇偶校验码并行编码方法及编码装置

(57) 摘要

本发明提供了一种低密度奇偶校验码并行编码的方法,用于将要传输的比特序列 s 编码得到码字 c, 码字 c 分为信息位和校验位两部分: c = [s^T, c\_{k+1}, ..., c\_N]^T, 码字 c 中的信息位和校验位按 z 比特分组时记为: s = [v(0)^T, v(1)^T, ..., v(k\_b - 1)^T]^T, [c\_{k+1}, ..., c\_N]^T = [u(0)^T, u(1)^T, ..., u(m\_b - 1)^T]^T, 所

使用的校验矩阵 H 为: H = [P\_{0,0} P\_{0,1} ... P\_{0,m\_b-1}; P\_{1,0} P\_{1,1} ... P\_{1,m\_b-1}; ...; P\_{m\_b-1,0} P\_{m\_b-1,1} ... P\_{m\_b-1,m\_b-1}], 该编

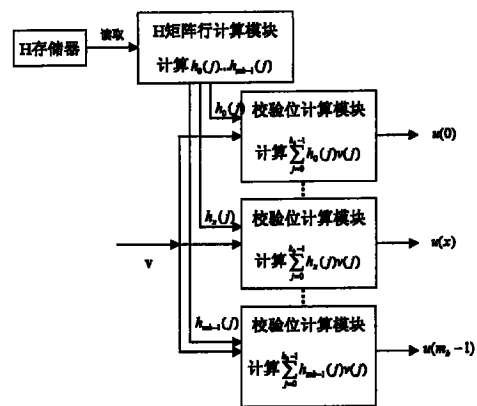
码方法包括以下步骤: 1) 计算出 H 矩阵相应的

行 h\_m(j), 其中 h\_m(j) = { (sum\_{i=0}^{m-1} P\_{i,j}) mod 2, m = 0, ..., x; (sum\_{i=0}^{m-1} P\_{i,j}) mod 2, m = x+1, ..., m\_b-1; } ; 其

中 x 是根据校验矩阵 H\_{b2} 中值为 1 的向量 h\_b 的位置确定的值; 2) (m\_b-1) 路并行接收要传输的比特序列 s, 各路并使用各路对应的 h\_m(j)、按照

u(m) = sum\_{j=0}^{k\_b-1} h\_m(j)v(j) 计算出相应的校验位, 还

相应提供了编码装置, 使用本发明, 可以降低低密度奇偶校验码编码操作过程中的时延。



1. 一种低密度奇偶校验码并行编码方法,用于把要传输的比特序列  $s$  编码得到码字  $c$ , 码字  $c$  分为信息位和校验位两部分:  $c = [s^T, c_{k+1}, \dots, c_n]^T$ , 码字  $c$  中的信息位和校验位按  $z$  比特分组时记为:

$$s = [v(0)^T, v(1)^T, \dots, v(k_b-1)^T]^T$$

$$[c_{k+1}, \dots, c_n]^T = [u(0)^T, u(1)^T, \dots, u(m_b-1)^T]^T$$

$$\text{所使用的校验矩阵 } H \text{ 为: } H = \begin{bmatrix} P_{0,0} & P_{0,1} & \dots & P_{0,m_b-1} \\ P_{1,0} & P_{1,1} & \dots & P_{1,m_b-1} \\ \vdots & \vdots & \ddots & \vdots \\ P_{m_b-1,0} & P_{m_b-1,1} & \dots & P_{m_b-1,m_b-1} \end{bmatrix},$$

其特征在于,该编码方法包括以下步骤:

第一步:计算出  $H$  矩阵相应的行  $h_m(j)$ , 其中

$$h_m(j) = \begin{cases} \left( \sum_{i=0}^{m_b-1} P_{i,j} \right) \bmod 2 & m = 0, \dots, x \\ \left( \sum_{i=0}^{m-1} P_{i,j} \right) \bmod 2 & m = x+1, \dots, m_b-1 \end{cases}; \text{其中 } x \text{ 是根据校验矩阵 } H_{b2} \text{ 中值为 } 1 \text{ 的向}$$

量  $h_b$  的位置确定的值;

所述根据校验矩阵  $H_{b2}$  中值为 1 的向量  $h_b$  的位置确定的  $x$  值为:在  $H$  矩阵对应的基矩阵  $H_b = [(H_{b1})_{m_b \times k_b} | (H_{b2})_{m_b \times m_b}]$  中、所述

$$H_{b2} = [h_b | (H_{b2})_{m_b \times (m_b-1)}]$$

$$= \begin{bmatrix} h_b(0) & 1 & & \\ h_b(1) & 1 & 1 & \\ \vdots & & 1 & 1 \\ \vdots & & & 1 & 1 \\ h_b(m_b-1) & & & & 1 \end{bmatrix} \text{ 中, } h_b(1) \sim h_b(m_b-2) \text{ 中值为 } 1 \text{ 的 } h_b \text{ 所在的当前行数};$$

第二步:( $m_b-1$ ) 路并行接收要传输的比特序列  $s$ , 各路并使用其对应的  $h_m(j)$ 、按照

$$u(m) = \sum_{j=0}^{k_b-1} h_m(j)v(j) \text{ 计算出相应的校验位。}$$

2. 根据权利要求 1 所述的方法,其特征在于,所述根据校验矩阵  $H_{b2}$  中值为 1 的向量  $h_b$  的位置确定的  $x$  值为:在  $H$  矩阵对应的基矩阵  $H_b = [(H_{b1})_{m_b \times k_b} | (H_{b2})_{m_b \times m_b}]$  中的、所述

$$H_{b2} = [h_b | (H_{b2})_{m_b \times (m_b-1)}]$$

$$= \begin{bmatrix} h_b(0) & 1 & & \\ h_b(1) & 1 & 1 & \\ \vdots & & 1 & 1 \\ \vdots & & & 1 & 1 \\ h_b(m_b-1) & & & & 1 \end{bmatrix} \text{ 中的, } h_b(1) \sim h_b(m_b-2) \text{ 中值为 } 1 \text{ 的 } h_b \text{ 所在的行数。}$$

3. 一种低密度奇偶校验码并行编码方法,用于把要传输的比特序列  $s$  编码得到码字  $c$ ,

码字  $c$  分为信息位和校验位两部分： $c = [s^T, c_{K+1}, \dots, c_N]^T$ ，码字  $c$  中的信息位和校验位按  $z$  比特分组时记为：

$$s = [v(0)^T, v(1)^T, \dots, v(k_b-1)^T]^T$$

$$[c_{K+1}, \dots, c_N]^T = [u(0)^T, u(1)^T, \dots, u(m_b-1)^T]^T$$

所使用的校验矩阵  $H$  为：
$$H = \begin{bmatrix} P_{0,0} & P_{0,1} & \dots & P_{0,m_b-1} \\ P_{1,0} & P_{1,1} & \dots & P_{1,m_b-1} \\ \vdots & \vdots & \ddots & \vdots \\ P_{m_b-1,0} & P_{m_b-1,1} & \dots & P_{m_b-1,m_b-1} \end{bmatrix},$$

其特征在于，该编码方法包括：

根据  $u(m) = \sum_{j=0}^{k_b-1} (\sum_{i=m}^{m_b-1} P_{i,j})v(j) \bmod 2 \quad m = 0, \dots, x$  计算校验位  $u(0) \sim u(x)$ ；

根据  $u(m) = \sum_{j=0}^{k_b-1} (\sum_{i=0}^{m-1} P_{i,j})v(j) \bmod 2 \quad m = x+1, \dots, m_b-1$  计算校验位  $u(x+1) \sim u(m_b-1)$ ，其

中， $x$  是根据校验矩阵  $H_{b2}$  中值为 1 的向量  $h_b$  的位置确定的值；

所述根据校验矩阵  $H_{b2}$  中值为 1 的向量  $h_b$  的位置确定的  $x$  值为：在  $H$  矩阵对应的基矩阵  $H_b = [(H_{b1})_{m_b \times k_b} | (H_{b2})_{m_b \times m_b}]$  中、所述

$$H_{b2} = [h_b | (H_{b2})_{m_b \times (m_b-1)}]$$

$$= \begin{bmatrix} h_b(0) & 1 & & & \\ h_b(1) & 1 & 1 & & \\ \vdots & & 1 & 1 & \\ \vdots & & & 1 & 1 \\ h_b(m_b-1) & & & & 1 \end{bmatrix}$$

中， $h_b(1) \sim h_b(m_b-2)$  中值为 1 的  $h_b$  所在的当前行数。

4. 根据权利要求 3 所述的方法，其特征在于，所述根据校验矩阵  $H_{b2}$  中值为 1 的向量  $h_b$  的位置确定的  $x$  值为：在  $H$  矩阵对应的基矩阵  $H_b = [(H_{b1})_{m_b \times k_b} | (H_{b2})_{m_b \times m_b}]$  中的、所述

$$H_{b2} = [h_b | (H_{b2})_{m_b \times (m_b-1)}]$$

$$= \begin{bmatrix} h_b(0) & 1 & & & \\ h_b(1) & 1 & 1 & & \\ \vdots & & 1 & 1 & \\ \vdots & & & 1 & 1 \\ h_b(m_b-1) & & & & 1 \end{bmatrix}$$

中的， $h_b(1) \sim h_b(m_b-2)$  中值为 1 的  $h_b$  所在的行数。

5. 一种低密度奇偶校验码并行编码的编码装置，用于把要传输的比特序列  $s$  编码得到码字  $c$ ，码字  $c$  分为信息位和校验位两部分： $c = [s^T, c_{K+1}, \dots, c_N]^T$ ，码字  $c$  中的信息位和校验位按  $z$  比特分组时记为：

$$s = [v(0)^T, v(1)^T, \dots, v(k_b-1)^T]^T$$

$$[c_{K+1}, \dots, c_N]^T = [u(0)^T, u(1)^T, \dots, u(m_b-1)^T]^T$$

其特征在于,该装置包含:

H 存储器,存储有校验矩阵 H,其中  $H = \begin{bmatrix} P_{0,0} & P_{0,1} & \cdots & P_{0,n_b-1} \\ P_{1,0} & P_{1,1} & \cdots & P_{1,n_b-1} \\ \vdots & \vdots & \ddots & \vdots \\ P_{m_b-1,0} & P_{m_b-1,1} & \cdots & P_{m_b-1,n_b-1} \end{bmatrix};$

H 矩阵行计算模块,与 H 存储器相连,用于计算出 H 矩阵的各个行  $h_m(j)$ ,

其中  $h_m(j) = \begin{cases} (\sum_{i=0}^{m_b-1} P_{i,j}) \bmod 2 & m = 0, \dots, x \\ (\sum_{i=0}^{m-1} P_{i,j}) \bmod 2 & m = x+1, \dots, m_b-1 \end{cases};$  x 为根据校验矩阵  $H_{b2}$  中值为 1 的向

量  $h_b$  的位置确定的值;

所述根据校验矩阵  $H_{b2}$  中值为 1 的向量  $h_b$  的位置确定的 x 值为:在 H 矩阵对应的基矩阵  $H_b = [(H_{b1})_{m_b \times k_b} | (H_{b2})_{m_b \times m_b}]$  中、所述

$H_{b2} = [h_b | (H_{b2})_{m_b \times (m_b-1)}]$

$= \begin{bmatrix} h_b(0) & 1 & & & \\ h_b(1) & 1 & 1 & & \\ \vdots & & 1 & 1 & \\ \vdots & & & 1 & 1 \\ h_b(m_b-1) & & & & 1 \end{bmatrix}$  中,  $h_b(1) \sim h_b(m_b-2)$  中值为 1 的  $h_b$  所在的当前行数;

$(m_b-1)$  路并行的校验位计算模块,与 H 矩阵行计算模块相连;各路并行的校验位计算模块用于分别接收要传输的比特序列 s,并分别接收 H 矩阵行计算模块传送过来对应的数

据  $h_m(j)$ ,分别按照  $u(m) = \sum_{j=0}^{k_b-1} h_m(j)v(j)$  计算出相应的校验位。

## 一种低密度奇偶校验码并行编码方法及编码装置

### 技术领域

[0001] 本发明涉及数据传输技术领域,特别是指一种低密度奇偶校验码并行编码方法及编码装置。

### 背景技术

[0002] 现代通信系统为了提高数据在无线传播环境中的传输可靠性,对抗数据传输过程中出现的可能错误,通常都使用一定的前向纠错码(FEC)对传输的数据进行编码处理。早期的语音通信系统中,由于对传输的错误容忍能力相对较强,且实时性要求较高,因此一般都采用编译码简单的卷积编码。然而,在数据传输系统中,对错误的纠错能力提出了更高的要求,简单的卷积编码已经很难满足数据传输的要求,必须采用检错、纠错能力更强的前向纠错码。经过数十年众多理论研究者和通信实践工作者的不懈努力,人们发现由加拉哥(Gallager)多年之前提出的低密度奇偶校验码(LDPC)在码长足够长时具有非常优越的纠错能力,并且具有较低的译码复杂度。鉴于数据传输一般都比较长,且对处理时延不是过分苛刻,因此低密度奇偶校验码比较适合数据传输应用。

[0003] 低密度奇偶校验码是一种线性分组码,因而该校验码可以用一个相应的奇偶校验矩阵H表征。低密度奇偶校验码的最大特点就是其校验矩阵H中非零元非常稀疏(即低密度的含义),一方面使得低密度奇偶校验码检错纠错能力强,同时使得基于信度传播的和-积译码算法的译码复杂度相对较低。尽管理论上高进制的低密度奇偶校验码比二进制的低密度奇偶校验码性能优,但编码、译码的复杂度增加过大,且不利于系统实现,因此,实际通信系统中一般采用二进制的低密度奇偶校验码。

[0004] 下面先介绍一下需要传输的比特序列s、s经过低密度奇偶校验码编码后得到的码字c、校验矩阵H之间的关系。假设 $s = [s_1, s_2, \dots, s_K]^T$ ,  $c = [c_1, c_2, \dots, c_N]^T$ ,其中 $R = K/N$ 为编码速率,通常 $N \gg K$ 。由线性分组码的定义可知,校验矩阵H与码字c满足:

$$[0005] \quad Hc = 0 \pmod{2} \quad (1)$$

[0006] 其中校验矩阵H的维数为 $M \times N$ ,  $M = N - K$ 。

[0007] 低密度奇偶校验码的构造方法一般分为随机构造和基于图论的代数构造方法。需要指出的是,从系统的实现角度出发,影响低密度奇偶校验码的应用除了保证码的性能外,还需要充分考虑应用的灵活性、实现的简单性、编/译码的复杂度等多方面的因素。随机构造的低密度奇偶校验码灵活性差,对于不同码长和不同的编码速率都需要重新搜索,不适合系统应用。通过代数方法构造的低密度奇偶校验码一般都具有适当的结构特征,不仅在支持不同码长和编码速率方面具有很好的灵活性,同时也有利于编码的实现、简单。IEEE 802.16e 提案提议采用适合系统应用的、如下示出的一类拟循环低密度奇偶校验码,其校验矩阵具有如下形式:

[0008]

$$H = \begin{bmatrix} P_{0,0} & P_{0,1} & \cdots & P_{0,m_b-1} \\ P_{1,0} & P_{1,1} & \cdots & P_{1,m_b-1} \\ \vdots & \vdots & \ddots & \vdots \\ P_{m_b-1,0} & P_{m_b-1,1} & \cdots & P_{m_b-1,m_b-1} \end{bmatrix} \quad (2)$$

[0009] 其中  $P_{i,j}$  是  $z \times z$  的某个循环排列矩阵或  $z \times z$  的 0 矩阵。其中,上述 (2) 式中的校验矩阵  $H$  阵可通过下面 (3) 式中的  $m_b \times n_b$  基矩阵  $H_b$  扩展得到。如下示出了  $H_b$  :

[0010]

$$H_b = [(H_{b1})_{m_b \times k_b} | (H_{b2})_{m_b \times m_b}] \quad (3)$$

[0011] 其中,基矩阵  $H_b$  中,非零元 1 用合适的  $z \times z$  循环排列阵替换,零元 0 用  $z \times z$  的 0 矩阵替换便可扩展为校验矩阵  $H$ 。由此可知,  $N = zn_b$ ,  $M = zm_b$ ,  $K = zk_b$ ,  $z$  称为扩张因子。可见,选择不同的扩张因子可以得到不同码长的低密度奇偶校验码。

[0012] 根据线性分组码的特点,码字  $c$  可以分为信息位和校验位两部分,故  $c$  可以记为:  $c = [s^T, c_{K+1}, \dots, c_N]^T$ 。所述基矩阵  $H_b$  中  $H_{b1}$  部分对应码字  $c$  的信息位,  $H_{b2}$  部分对应码字中的校验位。对应校验位的部分  $H_{b2}$  具有如下特殊形式:

[0013]

$$H_{b2} = [h_b | (H_{b2}')_{m_b \times (m_b-1)}]$$

[0014]

$$= \begin{bmatrix} h_b(0) & 1 & & 0 \\ h_b(1) & 1 & 1 & \\ \vdots & & 1 & 1 \\ \vdots & & & 1 & 1 \\ h_b(m_b-1) & 0 & & & 1 \end{bmatrix} \quad (4)$$

[0015] 其中向量  $h_b$  中  $h_b(0) = h_b(m_b-1) = 1$ , 并且  $h_b(1) \sim h_b(m_b-2)$  中有一个为 1, 其余为 0。不难看出,  $H_{b2}'$  是一个双对角形稀疏矩阵。

[0016] 基矩阵  $H_b$  的构造灵活多变,由基矩阵  $H_b$  扩展为所需码长的校验矩阵  $H$  也是非常灵活的,即循环排列矩阵  $z \times z$  的选取多种多样。较简单的,在扩展过程中  $H_{b2}$  中的 1 可以全部用单位矩阵扩张,本发明以下的例子中,若没有特别说明,在扩展过程中  $H_{b2}$  中的 1 全部用单位矩阵扩张。

[0017] 上面简述了 LDPC 的校验矩阵  $H$ 。  $H$  矩阵用于译码的过程,并且 LDPC 的译码算法一般都是固定的,相对来讲复杂度较低。但是, LDPC 的编码复杂度通常比较大,因此,考虑低密度奇偶校验码的有效编码方法非常有实际应用价值。下面对现有的编码方法进行介绍。

[0018] 首先介绍一下使用生成矩阵  $G$  进行编码的方法。生成矩阵  $G$  与需要传输的比特序列  $s$ 、编码后得到的码字  $c$  之间的关系为:  $c = G^T s$ 。和所有线性分组码一样,可以通过如下过程计算出编码过程所使用的生成矩阵  $G$ 。

[0019] 首先计算出低密度奇偶校验码的校验矩阵  $H$  对应的码字生成矩阵  $G$ ,生成矩阵维数为  $K \times N$ 。其中,生成矩阵和校验矩阵满足下面公式:

$$[0020] \quad HG^T = 0 \pmod{2} \quad (5)$$

[0021] 生成矩阵  $G$  可以通过经典的高斯消去法计算出来。需要注意的是,给定校验矩阵  $H$

后,满足(5)式的矩阵G并不唯一,其中对应信息位形式的生成矩阵更具实际应用意义,所述对应信息位的生成矩阵G形式如下:

$$[0022] \quad G = [I_K | (G')_{K \times M}] \quad (6)$$

[0023] 其中  $I_K$  为单位恒等矩阵。在得到低密度奇偶校验码的生成矩阵G后,便可以使用该G进行编码,编码过程为:

$$[0024] \quad c = G^T s \text{ mod } 2 \quad (7)$$

[0025] 之前已经提到,低密度奇偶校验码的码长都是较大的,尽管低密度奇偶校验码的校验矩阵H非常稀疏,但对应的生成矩阵G却是稠密的,因此若使用生成矩阵G根据(7)式进行编码,其运算量是非常大的,会导致编码延时较大。另外,还会使存储生成矩阵G的存储量较大。

[0026] 下面再介绍 IEEE C802.16e-04/373r1 中给出的编码方法。如前所述,码字c可以分为信息位和校验位两部分: $c = [s^T, c_{K+1}, \dots, c_N]^T$ ,信息位即对应于s,因此,编码生成c的过程可以看作是计算出后面的校验位  $c_{K+1}, \dots, c_N$  的过程,故编码操作的主要内容即确定后面附加的校验比特  $[c_{K+1}, \dots, c_N]^T$ 。

[0027] 利用校验矩阵的分块形式,将码字c中的信息位和校验位按z比特分组,得到:

$$[0028] \quad s = [v(0)^T, v(1)^T, \dots, v(k_b-1)^T]^T \quad (8)$$

$$[0029] \quad [c_{K+1}, \dots, c_N]^T = [u(0)^T, u(1)^T, \dots, u(m_b-1)^T]^T$$

[0030] 在进行编码时,首先初始化,如下所示来确定校验位的校验比特u(0):

$$[0031] \quad u(0) = \sum_{j=0}^{k_b-1} \left( \sum_{i=0}^{m_b-1} P_{i,j} \right) v(j) \text{ mod } 2 \quad (9)$$

[0032] 其中  $P_{i,j}$  是(2)式中的H矩阵中的子矩阵,故(9)式中的  $\left( \sum_{i=0}^{m_b-1} P_{i,j} \right)$  表示校验矩阵H中对应信息位矩阵  $H_{b1}$  的列求和,可以预先计算出来,且  $H_{b1}$  的稀疏性保证了这个预先计算的运算量很小。

[0033] 然后,按照如下所示递归计算  $u(1) \sim u(m_b-1)$ :

$$[0034] \quad u(1) = \sum_{j=0}^{k_b-1} P_{0,j} v(j) + P_{0,k_b} u(0) \text{ mod } 2 \quad (10)$$

$$[0035] \quad u(i+1) = u(i) + \sum_{j=0}^{k_b-1} P_{i,j} v(j) + P_{i,k_b} u(0) \text{ mod } 2 \quad i = 1, \dots, m_b - 2 \quad (11)$$

[0036] 同样,在(10)和(11)中绝大部分的  $P_{i,j}$  都是0矩阵,其余的也是循环排列阵,在实现矩阵向量乘积  $P_{i,j} v(j)$  时可以采用移位寄存器实现。可以看出,使用这种编码方法来生成c,充分利用了校验矩阵的稀疏性和特殊结构,编码运算量较小。在 IEEE C802.16e-04/101r2 中还给出了使用该编码方法的一等价形式。

[0037] 但是,从上述公式(10)(11)可看出,这种编码方法的不足之处在于编码过程中校验位比特的确定是逐位(块)串行计算的,后一位校验比特必须在前一位确定后才能计算。上述串行编码结构,在较长的低密度奇偶校验码的编码过程中势必引入过多的编码时延。

## 发明内容

[0038] 有鉴于此,本发明的主要目的在于提供一种低密度奇偶校验码并行编码方法及编





[0049] 
$$= \begin{bmatrix} h_b(0) & 1 & & & \\ h_b(1) & 1 & 1 & & \\ \vdots & & 1 & 1 & \\ \vdots & & & 1 & 1 \\ h_b(m_b-1) & & & & 1 \end{bmatrix}$$
 中,  $h_b(1) \sim h_b(m_b-2)$  中值为 1 的  $h_b$  所在的当前行数。

[0050] 还提供了一种低密度奇偶校验码并行编码的编码装置,用于将要传输的比特序列  $s$  编码得到码字  $c$ ,码字  $c$  分为信息位和校验位两部分:  $c = [s^T, c_{K+1}, \dots, c_N]^T$ ,码字  $c$  中的信息位和校验位按  $z$  比特分组时记为:

[0051] 
$$s = [v(0)^T, v(1)^T, \dots, v(k_b-1)^T]^T$$
  

$$[c_{K+1}, \dots, c_N]^T = [u(0)^T, u(1)^T, \dots, u(m_b-1)^T]^T$$
 ,其中,该装置包含:

[0052] H 存储器,存储有校验矩阵 H,其中 
$$H = \begin{bmatrix} P_{0,0} & P_{0,1} & \dots & P_{0,n_b-1} \\ P_{1,0} & P_{1,1} & \dots & P_{1,n_b-1} \\ \vdots & \vdots & \ddots & \vdots \\ P_{m_b-1,0} & P_{m_b-1,1} & \dots & P_{m_b-1,n_b-1} \end{bmatrix};$$

[0053] H 矩阵行计算模块,与 H 存储器相连,用于计算出 H 矩阵相应的行  $h_m(j)$ ,其中

$$h_m(j) = \begin{cases} \left( \sum_{i=0}^{m_b-1} P_{i,j} \right) \bmod 2 & m = 0, \dots, x \\ \left( \sum_{i=0}^{m-1} P_{i,j} \right) \bmod 2 & m = x+1, \dots, m_b-1 \end{cases}; x \text{ 为根据校验矩阵 } H_{b2} \text{ 中值为 1 的向量 } h_b \text{ 的}$$

位置确定的值;

[0054]  $(m_b-1)$  路并行的校验位计算模块,与 H 矩阵行计算模块相连;

[0055]  $(m_b-1)$  路并行的校验位计算模块用于分别接收要传输的比特序列  $s$ ,并分别接收 H 矩阵行计算模块传送过来对应的数据  $h_m(j)$ ,分别按照 
$$u(m) = \sum_{j=0}^{k_b-1} h_m(j)v(j)$$
 计算出相应的校验位。

[0056] 由上述方法可以看出,本发明提出的低密度奇偶校验码并行编码方法,使得码字中的所有校验位比特可同时独立进行编码操作,对于长 LDPC 码的编码,并行操作可以大大降低编码操作引起的时延 (coding latency),并且保持较低的编码计算量,保持较低的编码复杂度,具有实际应用价值。

## 附图说明

[0057] 图 1 为 LDPC 并行编码的编码器结构图。

[0058] 图 2 为使用 LDPC 并行编码流程图。

## 具体实施方式

[0059] 本发明提出了一种低密度奇偶校验码并行编码方法,使得码字中的所有校验位比特可同时独立进行编码操作,对于长 LDPC 码的编码,并行操作可以大大降低编码操作引起的时延。下面对本发明进行详细说明。

[0060] 如上述公式 8 一样,利用校验矩阵的分块形式,将码字中的信息位和校验位按  $z$  比

特分组，

$$[0061] \quad \text{得到: } \begin{cases} s = [v(0)^T, v(1)^T, \dots, v(k_b - 1)^T]^T \\ [c_{k+1}, \dots, c_N]^T = [u(0)^T, u(1)^T, \dots, u(m_b - 1)^T]^T \end{cases} \quad (8)$$

[0062] 进行编码的过程,就是生成码字 c 中校验位的各个 u 的过程。本发明按照下述的公式 (12)、(13) 进行编码生成校验位的各个 u。

[0063] 分析 (4) 式的特点,不妨设校验矩阵  $H_{b2}$  中向量  $h_b$  的第三个非零元 1 位于第 x 行,  $2 \leq x \leq m_b - 3$ 。给定信息位 s,由 (4) 式的特点,码字 c 中的校验位如下式获得。其中下式中的  $P_{i,j}$  是 (2) 式中的 H 矩阵的中的  $z \times z$  子矩阵,  $v(j)$  是码字 c 中的信息位即传输的比特序列 s 按 z 比特分组的第 j 组。

[0064] 1 对校验比特  $u(0) \sim u(x)$ ,如下计算

$$[0065] \quad u(m) = \sum_{j=0}^{k_b-1} \left( \sum_{i=m}^{m_b-1} P_{i,j} \right) v(j) \pmod{2} \quad m = 0, \dots, x \quad (12)$$

[0066] 2 对校验比特  $u(x+1) \sim u(m_b-1)$ ,如下计算

$$[0067] \quad u(m) = \sum_{j=0}^{k_b-1} \left( \sum_{i=0}^{m-1} P_{i,j} \right) v(j) \pmod{2} \quad m = x+1, \dots, m_b-1 \quad (13)$$

[0068] 从而根据 (12) (13) 计算出了各个校验比特,也就相应的得到编码后的要传输的码字 c。实际上由于 H 是预先确定的,故,公式中的 x 也是可以预先计算出来的一个确定值。

[0069] 可以分析出,由 (12) 和 (13) 式计算码字中的校验位比特是完全独立的,因此可以采用多个相似结构的器件并行编码,可以大大缩短编码的延迟。其中  $P_{i,j}$  是 (2) 式中的 H 矩阵的中的子矩阵,因此 (12) 式中的  $(\sum_{i=m}^{m_b-1} P_{i,j})$  和 (13) 式中的  $(\sum_{i=0}^{m-1} P_{i,j})$  对任意的  $j = 0, \dots, k_b-1$

都表示校验矩阵 H 中对应信息位部分的矩阵  $H_{b1}$  的部分行的和,完全可以预先计算出来存储在存储单元中,在编码时直接读出即可,以进一步降低编码的复杂度和编码延时。

[0070] 若设  $h(m) = [h_m(0), \dots, h_m(k_b-1)]$ ,其中,

$$[0071] \quad h_m(j) = \begin{cases} \left( \sum_{i=m}^{m_b-1} P_{i,j} \right) \pmod{2} & m = 0, \dots, x \\ \left( \sum_{i=0}^{m-1} P_{i,j} \right) \pmod{2} & m = x+1, \dots, m_b-1 \end{cases} \quad (14)$$

[0072] 则, (12) 和 (13) 式合并为

$$[0073] \quad u(m) = \sum_{j=0}^{k_b-1} h_m(j) v(j) \quad m = 0, \dots, m_b-1 \quad (15)$$

[0074] 此外,由基矩阵  $H_b$  扩展为校验矩阵 H 的过程中,对应校验位的矩阵  $H_{b2}$  中的非零元 1 并不需要都用单位阵来扩张,实际上只要保证同一列中的 1 用相同的(循环)排列阵替换即可,此时在低密度奇偶码的构造时灵活性更大,性能也可能好些。相应的,本发明中的并行编码算法同样适合改动情形,只是在 (12) 和 (13) 式的左端乘上各校验比特对应的(循环)排列阵  $z \times z$ ,并且循环排列阵的逆矩阵也是个循环排列阵,因此不会增加编码的计算量。

[0075] 相应的,本发明还提供了 LDPC 并行编码的编码器的结构,如图 1 示出了该结构图。包含一 H 存储器,存储有预先确定的 H 校验矩阵;还包括一 H 矩阵行计算模块,与 H 存储器

相连,用于按照公式(14)对H矩阵计算出相应的行;还包括 $(m_b-1)$ 路并行的校验位计算模块,都与H矩阵行计算模块相连。在编码时,如图2所示,包括以下步骤:

[0076] 第一步: $(m_b-1)$ 路并行的校验位计算模块接收要传输的比特序列s;

[0077] 第二步:各路校验位计算模块分别从相连的H矩阵行计算模块接收传送过来的数据 $h(j)$ ,并按照上述公式(15)计算出相应的校验位 $u(j)$ ,从而计算出公式(8)示出的c来,完成编码操作。当然,也可以根据实际需要,采用并串转换电路,将各路信息转换为一路信息。

[0078] 以上所述仅为本发明的较佳实施例而已,并不用以限制本发明,凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

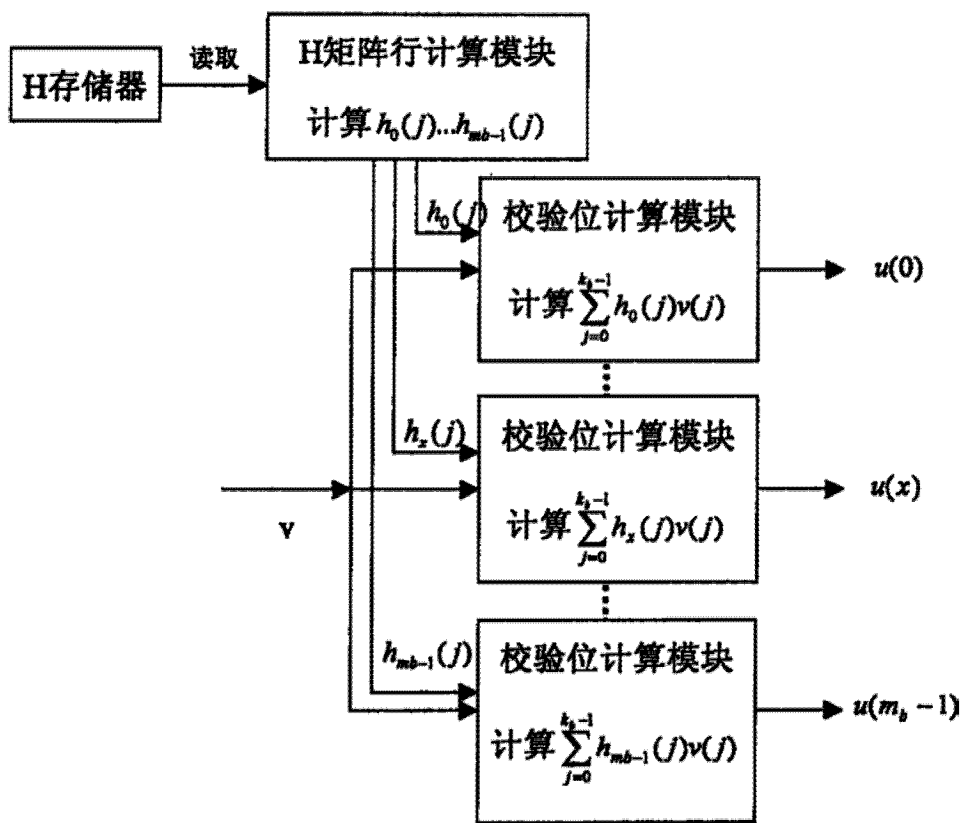


图 1

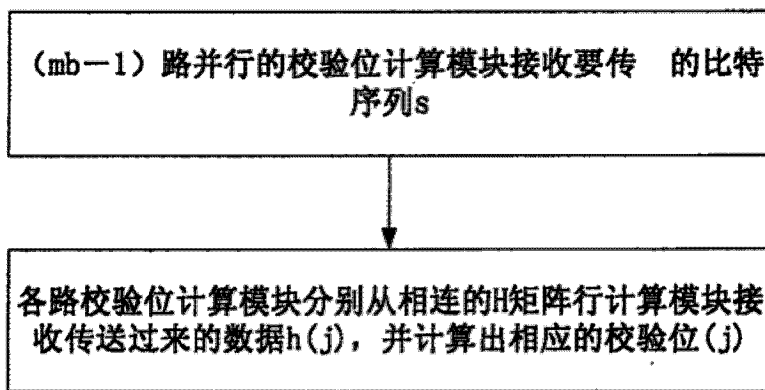


图 2