

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

derives the difference between the reset data and the signal data and outputs same as pixel data. The data transfer circuit in the solid-state image capture element transfers the outputted pixel data.

(57) 要約: 垂直方向にデータを転送する固体撮像素子において、転送回数を低減する。固体撮像素子は、複数の記憶部と、データ転送回路とを具備する。この固体撮像素子において、複数の記憶部のそれぞれには、所定のリセットデータと光量に応じた信号データとを保持する保持部と、リセットデータおよび信号データの差分を求めて画素データとして出力する演算回路とが設けられる。また、固体撮像素子内のデータ転送回路は、出力された画素データを転送する。

明 細 書

発明の名称：

固体撮像素子、撮像装置、および、固体撮像素子の制御方法

技術分野

[0001] 本技術は、固体撮像素子、撮像装置、および、固体撮像素子の制御方法に関する。詳しくは、相関二重サンプリングを行う固体撮像素子、撮像装置、および、固体撮像素子の制御方法に関する。

背景技術

[0002] 従来より、固定パターンノイズの除去などを目的として、リセットレベルと信号レベルとをサンプリングして差分を求める相関二重サンプリング（CDS : Correlated Double Sampling）処理が固体撮像素子において利用されている。例えば、複数のADC（Analog to Digital Converter）と、リピータと、CDS回路とを配置した固体撮像素子が提案されている（例えば、非特許文献1参照。）。この固体撮像素子において、ADCのそれぞれは、リセットレベルおよび信号レベルを順にAD（Analog to Digital）変換し、リピータは、AD変換後のデータを垂直方向にCDS回路に転送し、CDS回路は、そのデータに対してCDS処理を行う。

先行技術文献

非特許文献

[0003] 非特許文献1 : M. Sakakibara, et al., "A Back-Illuminated Global-Shutter CMOS Image Sensor with Pixel-Parallel 14b Subthreshold ADC," ISSCC Dig. Tech. Papers, pp. 80-82, Feb. 2018.

発明の概要

発明が解決しようとする課題

[0004] 上述の固体撮像素子では、CDS処理により、画像データの画質が向上する。しかしながら、上述の固体撮像素子では、リピータが画素毎にリセットレベルおよび信号レベルの両方を順にCDS回路に転送する必要がある。こ

のため、画素数が多くなるほど、リピータの転送回数が増大し、消費電力が大きくなるという問題がある。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、垂直方向にデータを転送する固体撮像素子において、転送回数を低減することを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、所定のリセットデータと光量に応じた信号データとを保持する保持部と、上記リセットデータおよび上記信号データの差分を求めて画素データとして出力する演算回路とをそれぞれに設けた複数の記憶部と、上記出力された画素データを転送するデータ転送回路とを具備する固体撮像素子、および、その制御方法である。これにより、転送前にリセットデータと信号データとの差分が演算されるという作用をもたらす。

[0007] また、この第1の側面において、上記保持部は、所定数の保持回路を備え、上記演算回路は、上記所定数の保持回路に共通に接続されてもよい。これにより、所定数の保持回路により共有された演算回路によって差分が演算されるという作用をもたらす。

[0008] また、この第1の側面において、上記保持部は、上記リセットデータおよび上記信号データをビット単位で順に上記演算回路に出力し、上記演算回路は、上記リセットデータのうち出力された上記ビットと上記信号データのうち出力された上記ビットとの差分を求めてもよい。ビット単位で差分が演算されるという作用をもたらす。

[0009] また、この第1の側面において、上記保持部は、上記リセットデータおよび上記信号データを2ビット単位で順に上記演算回路に出力し、上記演算回路は、上記リセットデータのうち出力された上記2ビットと上記信号データのうち出力された上記2ビットとの差分を求めてもよい。これにより、2ビット単位で差分が演算されるという作用をもたらす。

[0010] また、この第1の側面において、上記複数の記憶部は、二次元格子状に配

列され、上記演算回路は、上記複数の記憶部のうち所定の水平方向に配列された所定数の記憶部のそれぞれの上記画素データを加算し、上記データ転送回路は、上記水平方向に垂直な方向に沿って上記加算された画素データを転送してもよい。これにより、転送前に画素データが加算されるという作用をもたらす。

[0011] また、この第1の側面において、上記演算回路は、所定数の上記画素データを重み付け加算してもよい。これにより、転送前に画素データが重み付け加算されるという作用をもたらす。

[0012] また、この第1の側面において、上記複数の記憶部のそれぞれには、複数の単位ブロックが配置され、上記複数の単位ブロックには、上記演算回路に共通に接続された所定数の上記保持部と上記演算回路とがそれぞれに配置されてもよい。これにより、複数の演算回路により並列に差分が演算されるという作用をもたらす。

[0013] また、この第1の側面において、上記記憶部には、上記演算回路に共通に接続された所定数の上記保持部が配置されてもよい。これにより、所定数の保持部により共有された演算回路によって差分が演算されるという作用をもたらす。

[0014] また、この第1の側面において、上記演算回路は、上記リセットデータおよび上記信号データのそれぞれのコード形式を変換するコード変換回路と、上記コード形式が変換された上記リセットデータと上記コード形式が変換された上記信号データとの差分を上記画素データとして求める相関二重サンプリング回路とをさらに備えてもよい。これにより、転送前にコード形式が変換されるという作用をもたらす。

[0015] また、この第1の側面において、上記保持部は、上記リセットデータおよび信号データを順に保持して上記演算回路に出力する前段保持部と、上記リセットデータを保持して上記演算回路に出力し、上記画素データを保持して上記データ転送回路に出力する後段保持部とを備えてもよい。これにより、後段保持部に保持されたりセットデータと前段保持部に保持された信号デー

タとの差分が転送前に演算されるという作用をもたらす。

[0016] また、本技術の第2の側面は、複数の画素を有する画素アレイ部と、所定のリセットデータと光量に応じた信号データとを保持する保持部と、上記リセットデータおよび上記信号データの差分を求めて画素データとして出力する演算回路とをそれぞれに設けた複数の記憶部と、上記出力された画素データを転送する転送回路とを備え、上記演算回路は上記画素アレイ部の直下に配置される固体撮像素子である。これにより、画素アレイの直下の演算回路により転送前にリセットデータと信号データとの差分が演算されるという作用をもたらす。

[0017] また、本技術の第2の側面は、所定のリセットデータと光量に応じた信号データとを保持する保持部と、上記リセットデータおよび上記信号データの差分を求めて画素データとして出力する演算回路とをそれぞれに設けた複数の記憶部と、上記出力された画素データを転送するデータ転送回路と、上記転送された画素データを処理する画素データ処理回路とを具備する撮像装置である。これにより、転送前にリセットデータと信号データとの差分が演算され、転送後に画素データが処理されるという作用をもたらす。

図面の簡単な説明

[0018] [図1]本技術の第1の実施の形態における撮像装置の一構成例を示すブロック図である。

[図2]本技術の第1の実施の形態における撮像装置の積層構造の一例を示す図である。

[図3]本技術の第1の実施の形態における受光チップの一構成例を示すブロック図である。

[図4]本技術の第1の実施の形態における回路チップの一構成例を示すブロック図である。

[図5]本技術の第1の実施の形態における画素A/D変換部の一構成例を示すブロック図である。

[図6]本技術の第1の実施の形態における画素およびA/D変換回路の一構成例

を示す回路図である。

[図7]本技術の第1の実施の形態における電圧変換回路、制御回路およびNORゲートの一構成例を示す回路図である。

[図8]本技術の第1の実施の形態における遅延VCO回路およびバッファ回路の一構成例を示す回路図である。

[図9]本技術の第1の実施の形態における画素とAD変換回路との間の接続関係の一例を示す斜視図である。

[図10]本技術の第1の実施の形態における記憶部の一構成例を示すブロック図である。

[図11]本技術の第1の実施の形態におけるライトラッチ部の一構成例を示す回路図である。

[図12]本技術の第1の実施の形態における演算回路の一構成例を示す回路図である。

[図13]本技術の第1の実施の形態におけるリードラッチ部の一構成例を示す回路図である。

[図14]本技術の第1の実施の形態におけるデータ転送回路の一構成例を示す回路図である。

[図15]本技術の第1の実施の形態における演算回路の配置を説明するための図である。

[図16]本技術の第1の実施の形態におけるクラスタおよびデータ転送回路の動作の一例を示すタイミングチャートである。

[図17]比較例におけるクラスタおよびデータ転送回路の動作の一例を示すタイミングチャートである。

[図18]本技術の第1の実施の形態における演算制御の一例を示すタイミングチャートである。

[図19]本技術の第1の実施の形態における読出し制御の一例を示すタイミングチャートである。

[図20]本技術の第1の実施の形態における固体撮像素子の動作の一例を示す

フローチャートである。

[図21]本技術の第2の実施の形態における演算回路の一構成例を示す回路図である。

[図22]本技術の第2の実施の形態におけるCDS回路の一構成例を示す回路図である。

[図23]本技術の第2の実施の形態における論理ゲートを変更した演算回路の一構成例を示す回路図である。

[図24]本技術の第2の実施の形態における一部を変更したCDS回路の一構成例を示す回路図である。

[図25]本技術の第2の実施の形態におけるクラスタおよびデータ転送回路の動作の一例を示すタイミングチャートである。

[図26]本技術の第3の実施の形態における記憶部の一構成例を示すブロック図である。

[図27]本技術の第4の実施の形態における記憶部の一構成例を示すブロック図である。

[図28]本技術の第5の実施の形態における画素AD変換部の一構成例を示す図である。

[図29]本技術の第6の実施の形態における演算回路の一構成例を示す回路図である。

[図30]本技術の第6の実施の形態における加減算回路の一構成例を示す回路図である。

[図31]車両制御システムの概略的な構成例を示すブロック図である。

[図32]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0019] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（データ転送前にCDS処理を行う例）
2. 第2の実施の形態（データ転送前に2ビット単位でCDS処理を行う

例)

3. 第3の実施の形態（データ転送前にCDS処理を行う複数の演算回路を記憶部内に配置した例）

4. 第4の実施の形態（データ転送前にCDS処理を行う演算回路を複数のクラスタが共有する例）

5. 第5の実施の形態（データ転送前にCDS処理を行い、画素加算する例）

6. 第6の実施の形態（データ転送前にCDS処理を行い、重み付け加算する例）

7. 移動体への応用例

[0020] <1. 第1の実施の形態>

[撮像装置の構成例]

図1は、本技術の第1の実施の形態における撮像装置100の一構成例を示すブロック図である。この撮像装置100は、画像データを撮像するための装置であり、光学部110、固体撮像素子200およびDSP（Digital Signal Processing）回路120を備える。さらに撮像装置100は、表示部130、操作部140、バス150、フレームメモリ160、記憶部170および電源部180を備える。撮像装置100としては、例えば、デジタルスチルカメラなどのデジタルカメラの他、撮像機能を持つスマートフォンやパーソナルコンピュータ、車載カメラ等が想定される。

[0021] 光学部110は、被写体からの光を集光して固体撮像素子200に導くものである。固体撮像素子200は、垂直同期信号VSYNCに同期して、光電変換により画像データを生成するものである。ここで、垂直同期信号VSYNCは、撮像のタイミングを示す所定周波数の周期信号である。固体撮像素子200は、生成した画像データをDSP回路120に信号線209を介して供給する。

[0022] DSP回路120は、固体撮像素子200からの画像データに対して所定の信号処理を実行するものである。このDSP回路120は、処理後の画像

データをバス150を介してフレームメモリ160などに出力する。

[0023] 表示部130は、画像データを表示するものである。表示部130としては、例えば、液晶パネルや有機EL (Electro Luminescence) パネルが想定される。操作部140は、ユーザの操作に従って操作信号を生成するものである。

[0024] バス150は、光学部110、固体撮像素子200、DSP回路120、表示部130、操作部140、フレームメモリ160、記憶部170および電源部180が互いにデータをやりとりするための共通の経路である。

[0025] フレームメモリ160は、画像データを保持するものである。記憶部170は、画像データなどの様々なデータを記憶するものである。電源部180は、固体撮像素子200、DSP回路120や表示部130などに電源を供給するものである。

[0026] [固体撮像素子の構成例]

図2は、本技術の第1の実施の形態における固体撮像素子200の積層構造の一例を示す図である。この固体撮像素子200は、回路チップ202と、その回路チップ202に積層された受光チップ201とを備える。これらのチップは、ビアなどの接続部を介して電氣的に接続される。なお、ビアの他、Cu-Cu接合やバンプにより接続することもできる。

[0027] 図3は、本技術の第1の実施の形態における受光チップ201の一構成例を示すブロック図である。この受光チップ201には、DAC (Digital to Analog Converter) 211、駆動回路212および画素アレイ部210が配置される。また、画素アレイ部210には、複数の画素ブロック213が二次元格子状に配列される。個々の画素ブロック213には、所定数の画素220が配列される。例えば、画素ブロック213のそれぞれには、2行×4列の8個の画素220が配列される。なお、画素ブロック213内の画素数は、8個に限定されず、例えば、2行×2列の4個であってもよい。

[0028] DAC 211は、時間の経過に伴ってスロープ状に変化する所定の参照信号RMPをDA (Digital to Analog) 変換により生成するものである。この

DAC 211は、生成した参照信号RMPを画素アレイ部210に供給する。なお、DAC 211および駆動回路212の本体は回路チップ202に配置してもよい。この場合、それぞれの出力が上下チップ間で接続され、受光チップ202へ信号が供給される。

[0029] 駆動回路212は、画素220を駆動するものである。画素220は、駆動回路212の制御に従って、リセットレベルおよび信号レベルを順に生成する。ここで、リセットレベルは、画素220が初期化されたときのレベルであり、信号レベルは、露光終了時の受光量に応じたレベルである。

[0030] 図4は、本技術の第1の実施の形態における回路チップ202の一構成例を示すブロック図である。この回路チップ202には、駆動回路230、タイミング生成回路240、時刻コード生成部250、画素AD変換部260および画素データ処理回路270が設けられる。また、画素AD変換部260には、複数のクラスタ300が二次元格子状に配列される。受光チップ201上の画素ブロック213ごとに1つのクラスタ300が配置され、画素ブロック213と対応するクラスタ300とが接続される。

[0031] タイミング生成回路240は、駆動回路230および画素データ処理回路270の動作タイミングを制御するものである。

[0032] クラスタ300は、対応する画素ブロック213内の画素220のそれぞれのリセットレベルおよび信号レベルをAD変換し、さらにCDS処理を行うものである。このクラスタ300は、CDS処理後のデータを画素データとして画素データ処理回路270に供給する。

[0033] 駆動回路230は、複数のクラスタ300を駆動するものである。

[0034] 時刻コード生成部250は、参照信号RMPが変化する期間内の時刻を示す時刻コードを生成するものである。この時刻コード生成部250は、例えば、カウンタにより実現される。カウンタとしては、例えば、グレイコードカウンタが用いられ、時刻コードのコード形式は、例えば、グレイコードである。グレイコードを用いることにより、バイナリコードを用いる場合と比較してデータ転送回路380の消費電力を低減することができる。時刻コー

ド生成部 250 は、生成した時刻コードを画素 A D 変換部 260 に供給する。

[0035] なお、時刻コード生成部 250 は、ジョンソンカウンタやバイナリカウンタなど、グレイコードカウンタ以外のカウンタにより時刻コードを生成することもできる。

[0036] 画素データ処理回路 270 は、画素データに対して、デモザイク処理や暗電流補正処理などの所定の信号処理を行うものである。この画素データ処理回路 270 は、処理後のデータを水平方向に転送して D S P 回路 120 に供給する。

[0037] [画素 A D 変換部の構成例]

図 5 は、本技術の第 1 の実施の形態における画素 A D 変換部 260 の一構成例を示すブロック図である。画素 A D 変換部 260 において、クラスタ 300 の他、クラスタ 300 の列ごとにデータ転送回路 380 が配置される。

[0038] また、クラスタ 300 は、複数の A D 変換回路 310 と、一对の記憶部 400 とを備える。クラスタ 300 内には、画素ブロック 213 内の画素 220 ごとに 1 つの A D 変換回路 310 が配置される。例えば、画素ブロック 213 内の画素数が 8 個である場合、8 個の A D 変換回路 310 が配置される。一对の記憶部 400 は、水平方向に配列され、それらの間にデータ転送回路 380 が配置される。また、8 個の A D 変換回路 310 のうち半分は、一对の記憶部 400 の一方に接続され、残りは、一对の記憶部 400 の他方に接続される。

[0039] A D 変換回路 310 は、対応する画素 220 のリセットレベルおよび信号レベルのそれぞれを順に参照信号 R M P と比較するものである。この A D 変換回路 310 は、比較結果を記憶部 400 に供給する。1 つの記憶部 400 に接続された 4 つの A D 変換回路 310 は、その記憶部 400 に順に比較結果を供給する。

[0040] データ転送回路 380 は、時刻コード生成部 250 から記憶部 400 へ垂直方向に時刻コードを転送し、記憶部 400 から画素データ処理回路 270

へ垂直方向に画素データを転送するものである。

[0041] 記憶部400は、AD変換回路310からの比較結果が反転したときの時刻コードを保持するものである。この記憶部400は、リセットレベルに対応する時刻コードをリセットデータとして保持し、信号レベルに対応する時刻コードを信号データとして保持する。そして、記憶部400は、リセットデータおよび信号データの差分を画素データとして求めるCDS処理を行い、その画素データをデータ転送回路380に供給する。

[0042] 上述の構成により画素220ごとにリセットデータおよび信号データが1つつつ生成され、それらに対するCDS処理により1つの画素データが生成される。1つのクラスタ300内に8個のAD変換回路310が配置される場合、それらと2つの記憶部400とにより、8個の画素データが生成される。また、画素毎にAD変換回路310が配置されているため、駆動回路230は、全画素を同時に露光させ、AD変換を実行させることができる。

[0043] 図6は、本技術の第1の実施の形態における画素220およびAD変換回路310の一構成例を示す回路図である。画素220は、画素回路221と、差動トランジスタ227および228と、電流源トランジスタ229とを備える。また、AD変換回路310は、P型トランジスタ321および322と、電圧変換回路330、制御回路340、NOR（否定論理和）ゲート350、遅延VCO回路360およびバッファ回路370とを備える。

[0044] 画素回路221は、駆動回路212の制御に従って、リセットレベルおよび信号レベルを順に生成するものである。この画素回路221は、排出トランジスタ222、フォトダイオード223、転送トランジスタ224、浮遊拡散層225およびリセットトランジスタ226を備える。

[0045] フォトダイオード223は、光電変換により電荷を生成するものである。排出トランジスタ222は、駆動回路230からの駆動信号OFGにより排出が指示されるとフォトダイオード223から電荷を排出するものである。

[0046] 転送トランジスタ224は、駆動回路212からの転送信号TXにより転送が指示されると、露光終了時にフォトダイオード223から浮遊拡散層2

25へ電荷を転送するものである。

[0047] 浮遊拡散層225は、転送された電荷を蓄積して蓄積した電荷量に応じた電圧のアナログ信号S1Gを生成するものである。

[0048] リセットトランジスタ226は、駆動回路212からのリセット信号AZにより初期化が指示されると、浮遊拡散層225を初期化するものである。

[0049] 画素回路221が初期化された際のアナログ信号S1Gのレベルがリセットレベルに該当する。また、露光終了時の露光量に応じたアナログ信号S1Gのレベルが信号レベルに該当する。なお、画素回路221は、アナログ信号S1Gを生成することができるものであれば、同図に例示した回路に限定されない。例えば、排出トランジスタ222を削除した構成とすることもできる。

[0050] また、差動トランジスタ227および228として、例えば、N型のMOSトランジスタが用いられる。差動トランジスタ227および228のそれぞれのドレインは、信号線208および209を介して回路チップ202内の回路に接続される。差動トランジスタ228のゲートは、浮遊拡散層225に接続され、差動トランジスタ227のゲートは、DAC211に接続される。差動トランジスタ227および228のソースは、電流源トランジスタ229に共通に接続される。

[0051] 電流源トランジスタ229は、一定の電流を供給するものである。この電流源トランジスタ229として、例えば、N型のMOSトランジスタが用いられる。また、電流源トランジスタ229は、差動トランジスタ227および228のコモンノードと所定の基準電位（接地電位など）の端子との間に挿入される。

[0052] P型トランジスタ321および322は、電源電圧VDDHの端子に並列に接続される。また、P型トランジスタ321のゲートは、自身のドレインとP型トランジスタ322のゲートとに接続される。また、P型トランジスタ321のドレインは、信号線208を介して差動トランジスタ227のドレインに接続される。P型トランジスタ322のドレインは、信号線209

を介して差動トランジスタ 228 のドレインに接続され、また、電圧変換回路 330 にも接続される。

[0053] 上述の接続構成により、P 型トランジスタ 321 および 322 と、差動トランジスタ 227 および 228 と、電流源トランジスタ 229 とからなる回路は、アナログ信号 S1G と参照信号 RMP とを比較する比較器 320 として機能する。

[0054] 電圧変換回路 330 は、比較器 320 からの出力信号の電圧を変換するものである。より低い系統の電圧に乗り換えることにより、後段の回路において低耐圧トランジスタを用いることができる。これにより、後段の回路の面積を削減することができる。この電圧変換回路 330 は、変換後の信号を制御回路 340 に供給する。

[0055] 制御回路 340 は、電圧変換回路 330 の出力信号の反転遷移を加速させるものである。

[0056] NOR ゲート 350 は、制御回路 340 からの信号と、駆動回路 230 からの駆動信号との否定論理積を遅延 VCO 回路 360 に供給するものである。

[0057] 遅延 VCO 回路 360 は、NOR ゲート 350 からの出力信号を遅延させ、パルス信号を生成するものである。この遅延 VCO 回路 360 は、遅延させた信号を制御回路 340 に帰還信号として供給し、また、パルス信号をバッファ回路 370 に供給する。パルス信号の生成により、AD 変換期間内に時刻コードが記憶部 400 に入力される際に消費される電力を低減することができる。

[0058] 上述の制御回路 340、NOR ゲート 350 および遅延 VCO 回路 360 からなる回路は、出力の一部を入力に帰還し、比較結果 VCO の反転遷移を加速させる正帰還回路として機能する。

[0059] バッファ回路 370 は、遅延 VCO 回路 360 の出力信号を比較結果 VCO として記憶部 400 に供給するものである。バッファ回路 370 により、後段の回路の駆動力を確保することができる。

- [0060] なお、P型トランジスタ321および322以降の後段の回路を回路チップ202に配置し、それ以外を受光チップ201に配置しているが、それぞれのチップに配置する回路は、この構成に限定されない。
- [0061] また、より低い系統の電圧に乗り換えているが、後段の回路面積を削減する必要性に乏しい場合には、電圧変換回路330を配置しない構成とすることもできる。また、遅延VCO回路360により消費電力を低減しているが、消費電力の低減と回路面積との兼ね合いにより遅延VCO回路360を削減することもできる。また、バッファ回路370により駆動力を向上させているが、出力ノードの負荷がそれほど大きくない場合には、バッファ回路370を削除することもできる。
- [0062] 図7は、本技術の第1の実施の形態における電圧変換回路330、制御回路340およびNORゲート350の一構成例を示す回路図である。
- [0063] 電圧変換回路330は、P型トランジスタ331と、N型トランジスタ332および333とを備える。これらのトランジスタとして、例えば、MOSトランジスタが用いられる。
- [0064] P型トランジスタ331は、P型トランジスタ321および322と並列に電源電圧VDDHの端子に接続される。また、P型トランジスタ331のゲートは、P型トランジスタ322のドレインに接続される。
- [0065] N型トランジスタ332および333は、P型トランジスタ331のドレインと基準電位（接地電位など）の端子との間において直列に接続される。また、N型トランジスタ332のゲートは、電源電圧VDDHより低い電源電圧VDDLの端子に接続され、N型トランジスタ333のゲートには、駆動回路230からの駆動信号IN1が入力される。また、N型トランジスタ332および333の接続点は、制御回路340およびNORゲート350に接続される。
- [0066] また、制御回路340は、P型トランジスタ341および342を備える。これらのトランジスタとして、例えば、MOSトランジスタが用いられる。P型トランジスタ341および342は、電源電圧VDDLの端子と、N

型トランジスタ 332 および 333 の接続点との間において直列に接続される。P 型トランジスタ 341 のゲートには、駆動回路 230 からの駆動信号 IN12 が入力され、P 型トランジスタ 342 のゲートには、遅延 VCO 回路 360 からの帰還信号 PFB が入力される。

[0067] また、NOR ゲート 350 は、P 型トランジスタ 355 および 356 と、N 型トランジスタ 354 および 357 とを備える。これらのトランジスタとして、例えば、MOS トランジスタが用いられる。P 型トランジスタ 355 および 356 は、電源電圧 VDDL の端子と、NOR ゲート 350 の出力端子との間において直列に接続される。N 型トランジスタ 354 および 357 は、NOR ゲート 350 の出力端子と基準電位（接地電位など）の端子との間において並列に接続される。

[0068] また、N 型トランジスタ 354 および P 型トランジスタ 355 のゲートは、制御回路 340 に共通に接続される。N 型トランジスタ 357 および P 型トランジスタ 356 のゲートには、駆動回路 230 からの駆動信号 FORCE VCO が入力される。駆動信号 FORCE VCO は、AD 変換終了時に強制的に NOR ゲート 350 により信号を反転させ、比較結果 VCO を出力させるための信号である。N 型トランジスタ 357 および P 型トランジスタ 356 の接続点から遅延 VCO 回路 360 へは、NOR ゲート 350 の出力信号 PRE VCO が出力される。

[0069] なお、電圧変換回路 330、制御回路 340 および NOR ゲート 350 の回路構成は、図 6 で説明した機能を実現することができるものであれば、図 7 に例示した回路に限定されない。

[0070] 図 8 は、本技術の第 1 の実施の形態における遅延 VCO 回路 360 およびバッファ回路 370 の一構成例を示す回路図である。

[0071] 遅延 VCO 回路 360 は、N 型トランジスタ 362、364、365 および 368 と、P 型トランジスタ 361、363、366 および 367 とを備える。P 型トランジスタ 361 および N 型トランジスタ 362 は、電源電圧 VDDL の端子と、基準電位（接地電位など）の端子との間に直列に接続さ

れる。これらのP型トランジスタ361およびN型トランジスタ362のゲートには、NORゲート350からの出力信号PREVCOが入力される。また、P型トランジスタ361およびN型トランジスタ362の接続点は、P型トランジスタ363、N型トランジスタ364、P型トランジスタ367およびN型トランジスタ368のそれぞれのゲートに接続される。

[0072] P型トランジスタ363およびN型トランジスタ364は、電源電圧VDDLの端子と、基準電位の端子との間に直列に接続される。これらのP型トランジスタ363およびN型トランジスタ364の接続点は制御回路340に接続され、この接続点から帰還信号PFBが出力される。

[0073] P型トランジスタ366および367は、電源電圧VDDLの端子と、遅延VCO回路360の出力端子との間において直列に接続される。N型トランジスタ365および368は、遅延VCO回路360の出力端子と基準電位の端子との間において並列に接続される。

[0074] バッファ回路370は、P型トランジスタ371および373と、N型トランジスタ372および374とを備える。これらのトランジスタとして、例えば、MOSトランジスタが用いられる。

[0075] P型トランジスタ371およびN型トランジスタ372は、電源電圧VDDLの端子と、基準電位の端子との間において直列に接続される。これらのP型トランジスタ371およびN型トランジスタ372のゲートは、遅延VCO回路360の出力端子に接続される。P型トランジスタ371およびN型トランジスタ372の接続点は、記憶部400に接続され、この接続点からは、比較結果VCOの反転信号xVCOが出力される。

[0076] P型トランジスタ373およびN型トランジスタ374は、電源電圧VDDLの端子と、基準電位の端子との間において直列に接続される。これらのP型トランジスタ373およびN型トランジスタ374のゲートは、P型トランジスタ371およびN型トランジスタ372の接続点に接続される。P型トランジスタ373およびN型トランジスタ374の接続点は、記憶部400に接続され、この接続点からは、比較結果VCOが出力される。

[0077] なお、遅延VCO回路360およびバッファ回路370の回路構成は、図6で説明した機能を実現することができるものであれば、図8に例示した回路に限定されない。

[0078] 図9は、本技術の第1の実施の形態における画素220とAD変換回路310との間の接続関係の一例を示す斜視図である。

[0079] 画素ブロック213内のX（Xは、整数）行、Y（Yは、整数）列の画素220の座標を（X、Y）とする。左側の座標（0、0）、（0、1）、（1、0）および（1、1）の4画素は、左側の4個のAD変換回路310に接続される。また、右側の座標（0、2）、（0、3）、（1、2）および（1、3）の4画素は、右側の4個のAD変換回路310に接続される。なお、同図において、「AD」は、AD変換回路310を示し、「MEM」は、記憶部400を示す。受光チップ201および回路チップ202のうち受光チップ201を上側として、同図に例示するように、受光チップ201に設けられた画素アレイ部の直下に、演算回路を含むMEM（記憶部400）が配置される。

[0080] [記憶部の構成例]

図10は、本技術の第1の実施の形態における記憶部400の一構成例を示すブロック図である。この記憶部400には、前段保持部419、演算回路420および後段保持部459が配置される。前段保持部419には、AD変換回路310（言い換えれば、画素）毎にライトラッチ部410が配置される。例えば、記憶部400にM（Mは、整数）個のAD変換回路310が接続される場合、M個のライトラッチ部410が配置される。また、後段保持部459には、ライトラッチ部410と同じ個数のリードラッチ部450が配置される。これらのライトラッチ部410およびリードラッチ部450は、例えば、S（Static）ラッチにより実現される。なお、容量付のD（Delay）ラッチを採用することもできる。

[0081] ライトラッチ部410は、対応するAD変換回路310からの比較結果VCOが反転したときの時刻コードを保持するものである。リセットレベルと

参照信号 RMP との比較結果 VCO が反転したときの時刻コードは、そのリセットレベルを AD 変換したリセットデータとして保持される。また、信号レベルと参照信号 RMP との比較結果 VCO が反転したときの時刻コードは、その信号レベルを AD 変換した信号データとして保持される。

[0082] また、 m (m は、0 乃至 $M-1$ の整数) 個目の AD 変換回路 310 の比較結果を $VCO<m>$ とすると、 m 個目のライトラッチ部 410 には、比較結果 $VCO<m>$ が入力される。さらに、全てのライトラッチ部 410 は、ローカルビット線 LBLI を介してデータ転送回路 380 に接続され、このローカルビット線 LBLI を介してライトラッチ部 410 に時刻コードが入力される。

[0083] また、駆動回路 230 は、 m 個目のライトラッチ部 410 に駆動信号 $WORD<m>$ を入力し、全てのライトラッチ部 410 に N (N は、整数) ビットの駆動信号 $CEN1$ を入力する。駆動信号 $WORD<m>$ は、 M 個のライトラッチ部 410 のいずれかと、 M 個のリードラッチ部 450 のいずれかとを駆動する信号である。また、駆動信号 $CEN1$ は、 N ビットのいずれかのビットを出力させる信号である。

[0084] 駆動回路 230 は、駆動信号 $WORD<m>$ により、 M 個のライトラッチ部 410 を順に駆動し、駆動信号 $CEN1$ により、保持したデータを 1 ビット単位で演算回路 420 に出力させる。

[0085] 演算回路 420 は、コード形式の変換と、リセットデータおよび信号データの差分を求める CDS 処理とを行うものである。この演算回路 420 は、 m 個目のライトラッチ部 410 からのリセットデータのコード形式を変換し、そのまま、対応するリードラッチ部 450 に保持させる。そして、演算回路 420 は、 m 個目のライトラッチ部 410 からの信号データのコード形式を変換し、対応するリードラッチ部 450 に保持されたバイナリコードのリセットデータとの差分を求める。演算回路 420 は、その差分を画素データとして対応するリードラッチ部 450 に出力する。

[0086] リードラッチ部 450 は、リセットデータを保持して演算回路 420 に出

かし、画素データを保持してデータ転送回路380に出力するものである。

[0087] また、駆動回路230は、 m 個目のリードラッチ部450に駆動信号WORD $\langle m \rangle$ を入力し、全てのリードラッチ部450に駆動信号CEN2、TENおよびBENを入力する。駆動信号CEN2は、 N ビットのいずれかのビットを出力させる信号である。駆動信号TENは、データ転送回路380へ画素データを出力させる信号である。駆動信号BENは、演算回路420へリセットデータを出力させる信号である。

[0088] 駆動回路230は、駆動信号WORD $\langle m \rangle$ により、 m 個目のリードラッチ部450にデータを保持させる。また、駆動回路230は、駆動信号BENによりリセットデータを1ビット単位で演算回路420に出力させ、駆動信号TENにより画素データの全ビットを同時にデータ転送回路380に出力させる。

[0089] [ライトラッチ部の構成例]

図11は、本技術の第1の実施の形態におけるライトラッチ部410の一構成例を示す回路図である。このライトラッチ部410は、 N 個のライトラッチ回路411を備える。ライトラッチ回路411のそれぞれは、インバータ412乃至415を備える。 n (n は、0乃至 $N-1$ の整数) 個目のライトラッチ回路411は、時刻コードの n ビット目を保持する。

[0090] また、ローカルビット線LBLは、 N 本の信号線からなり、 n 個目のライトラッチ回路411は、ローカルビット線LBLのうち n 本目の信号線LBL $\langle n \rangle$ に接続される。 n 個目のライトラッチ回路411には、駆動信号CEN1のうち n ビット目のCEN1 $\langle n \rangle$ が入力される。全てのライトラッチ回路411には、駆動信号WORD $\langle m \rangle$ および比較結果VCO $\langle m \rangle$ が入力される。

[0091] インバータ412は、比較結果VCO $\langle m \rangle$ がハイレベルである場合に、信号線LBL $\langle n \rangle$ からの時刻コードの n ビット目を反転するものである。このインバータ412は、反転した信号をインバータ413およびインバータ415に供給する。

[0092] インバータ413は、入力された信号を反転してインバータ414に供給するものである。

[0093] インバータ414は、比較結果 $VCO<m>$ がローレベルである場合に、入力された信号を反転するものである。このインバータ414は、反転した信号をインバータ413および415に供給する。

[0094] インバータ415は、駆動信号 $WORD<m>$ および $CEN1<n>$ が両方ともハイレベルである場合に、入力された信号を反転して演算回路420に出力するものである。

[0095] なお、ライトラッチ回路411の回路構成は、図10で説明した機能を実現することができるものであれば、図11に例示した回路に限定されない。

[0096] [演算回路の構成例]

図12は、本技術の第1の実施の形態における演算回路420の一構成例を示す回路図である。この演算回路420は、コード変換回路430およびCDS回路440を備える。

[0097] コード変換回路430は、入力されたデータのコード形式を1ビット単位でグレイコードからバイナリコードに変換するものである。バイナリコードへの変換により、後段のCDS回路440は、差分演算を行うことができる。コード変換回路430は、XNOR（否定排他的論理和）ゲート431、N型トランジスタ432およびフリップフロップ433を備える。N型トランジスタ432として、例えば、MOSトランジスタが用いられる。

[0098] XNORゲート431は、ライトラッチ部410からのデータのnビット目とフリップフロップ433からのビットとの否定排他的論理和をフリップフロップ433の入力端子Dに出力するものである。

[0099] フリップフロップ433は、所定のクロック信号CLKに同期して、XNORゲート431からのビットを保持するものである。このフリップフロップ433は、保持したビットを出力端子QからXNORゲート431およびCDS回路440に出力する。

[0100] N型トランジスタ432は、フリップフロップ433の出力端子Qと基準

電位の端子との間に挿入される。また、N型トランジスタ432のゲートには、駆動回路230からの駆動信号IN13が入力される。駆動信号IN13は、演算回路420を初期化するための信号である。

[0101] なお、コード変換回路430の回路構成は、コード変換を行うことができるものであれば、同図に例示した回路に限定されない。また、コード変換回路430は、グレイコードをバイナリコードに変換しているが、変換前後のコード形式は、この組み合わせに限定されない。また、演算回路420内にコード変換回路430を配置しているが、時刻コードがバイナリコードである場合など、コード変換が不要である場合には、コード変換回路430を配置しない構成とすることもできる。

[0102] CDS回路440は、CDS処理を1ビット単位で行うものである。このCDS回路440は、全加算器441と、N型トランジスタ442、443および446と、フリップフロップ444および445とを備える。

[0103] 全加算器441は、入力端子Aに入力されたビットと入力端子Bに入力されたビットとを加算するものである。入力端子Aは、コード変換回路430に接続され、入力端子Bは、リードラッチ部450に接続される。全加算器441は、入力されたビットの加算結果と桁上げ入力とを加算し、その結果を出力端子Sからフリップフロップ445に出力し、桁上がりのビットを出力端子COからフリップフロップ444に出力する。

[0104] フリップフロップ444は、全加算器441からの桁上がりのビットをクロック信号CLKに同期して保持するものである。このフリップフロップ444は、保持したビットを出力端子Qから全加算器441の桁上がり入力端子CIに出力する。

[0105] フリップフロップ445は、全加算器441からの出力ビットをクロック信号CLKに同期して保持するものである。このフリップフロップ445は、保持したビットを出力端子Qからリードラッチ部450に出力する。フリップフロップ445の配置により、演算回路420は、コード変換とCDS処理とを同時に実行することができる。

- [0106] なお、フリップフロップ445を配置しない構成とすることもできるが、その場合にはリセットデータの読出しと、CDS処理結果（画素データ）の書込みとが同じ桁のビットで行われることが避けられない。このため、リードラッチ部450と同じビット数の一次ラッチを追加する必要がある。
- [0107] N型トランジスタ442は、全加算器441の入力端子Bと基準電位の端子との間に挿入される。また、N型トランジスタ442のゲートには、駆動回路230からの駆動信号IN13が入力される。
- [0108] N型トランジスタ443は、フリップフロップ444の出力端子Qと基準電位の端子との間に挿入される。また、N型トランジスタ443のゲートには、駆動信号IN13が入力される。
- [0109] N型トランジスタ446は、全加算器441の出力端子Sと基準電位の端子との間に挿入される。また、N型トランジスタ446のゲートには、駆動信号IN13が入力される。
- [0110] なお、CDS回路440の回路構成は、CDS処理を行うことができるものであれば、同図に例示した回路に限定されない。
- [0111] また、演算回路420は、コード変換およびCDS処理を行っているが、さらに他の処理を行うこともできる。例えば、演算回路420は、後述する画素加算や、ぼかし処理、輪郭抽出処理、エンボス加工処理などをさらに行うことができる。
- [0112] [リードラッチ部の構成例]
- 図13は、本技術の第1の実施の形態におけるリードラッチ部450の一構成例を示す回路図である。このリードラッチ部450は、N個のリードラッチ回路451を備える。リードラッチ回路451のそれぞれは、スイッチ452と、インバータ453乃至456を備える。
- [0113] また、ローカルビット線LBL0は、N本の信号線からなり、n個目のリードラッチ回路451は、ローカルビット線LBL0のうちn本目の信号線 $LBL0<n>$ に接続される。n個目のリードラッチ回路451には、駆動信号CEN2のうちnビット目の $CEN2<n>$ とBENのうちnビット目

の $BEN<n>$ とが入力される。全てのリードラッチ回路 451 には、駆動信号 $WORD<m>$ および TEN が入力される。

[0114] スイッチ 452 は、駆動信号 $CEN2<n>$ に従って、演算回路 420 と、インバータ 453、455 および 456 のそれぞれの入力端子との間の経路を開閉するものである。例えば、駆動信号 $CEN2<n>$ がハイレベルの場合にスイッチ 452 は、閉状態に移行し、ローレベルの場合に開状態に移行する。

[0115] インバータ 453 は、スイッチ 452 からの信号を反転してインバータ 454 に出力するものである。

[0116] インバータ 454 は、駆動信号 $CEN2<n>$ の反転値がハイレベルである場合にインバータ 453 からの信号を反転するものである。このインバータ 454 は、反転した信号をインバータ 453、455 および 456 に出力する。

[0117] インバータ 455 は、駆動信号 $WORD<m>$ および TEN が両方ともハイレベルである場合に、入力された信号を反転し、信号線 $LBLO<n>$ を介してデータ転送回路 380 へ出力するものである。

[0118] インバータ 456 は、駆動信号 $WORD<m>$ および $BEN<n>$ が両方ともハイレベルである場合に、入力された信号を反転し、演算回路 420 へ出力するものである。

[0119] なお、リードラッチ回路 451 の回路構成は、図 10 で説明した機能を実現することができるものであれば、図 13 に例示した回路に限定されない。

[0120] [データ転送回路の構成例]

図 14 は、本技術の第 1 の実施の形態におけるデータ転送回路 380 の一構成例を示す回路図である。このデータ転送回路 380 には、画素データを転送するための回路であるリードレーンと、時刻コードを転送するための回路であるライトレーンとが設けられる。これらのうちリードレーンには、クラスタ 300 ごとに、 N 個の単位ブロック 381 が設けられる。単位ブロック 381 のそれぞれは、フリップフロップ 382 と、インバータ 383 およ

び385と、バッファ384および386と、N型トランジスタ387とを備える。N型トランジスタ387として、例えば、MOSトランジスタが用いられる。なお、同図においてライトレーン省略されている。

[0121] フリップフロップ382は、前段からのビットをクロック信号CLKに従って保持するものである。このフリップフロップ382は、保持したビットをバッファ384および386と、後段の単位ブロック381とに出力する。

[0122] インバータ383の入力端子とバッファ384の出力端子とは、左側の記憶部400とローカルビット線LBLI<n>を介して接続されている。

[0123] インバータ383は、駆動回路230からの駆動信号REN Lに従って、入力された信号を反転し、後段の単位ブロック381へ出力するものである。駆動信号REN Lは、左側の記憶部400からの画素データを転送させるための信号である。

[0124] インバータ385の入力端子とバッファ386の出力端子とは、右側の記憶部400とローカルビット線LBLI<n>を介して接続されている。

[0125] インバータ385は、駆動回路230からの駆動信号REN Rに従って、入力された信号を反転し、後段の単位ブロック381へ出力するものである。駆動信号REN Rは、右側の記憶部400からの画素データを転送させるための信号である。

[0126] N型トランジスタ387は、フリップフロップ382の出力端子と、基準電位の端子との間に挿入される。また、N型トランジスタ387のゲートには、駆動回路230からの駆動信号REP I N Iが入力される。駆動信号REP I N Iは、データ転送回路380を初期化するための信号である。なお、初期化のためのトランジスタとしてN型トランジスタ387を用いているが、代わりにP型トランジスタにより電源レベルに初期化することもできる。また、N型トランジスタおよびP型トランジスタの両方を用いて任意の値に初期化することもできる。

[0127] なお、時刻コードを転送するライトレーンは、同図に例示した回路と同様

にシフトレジスタなどにより構成される。

[0128] 図15は、本技術の第1の実施の形態における演算回路420の配置を説明するための図である。クラスタ300の列ごとに、列方向に時刻コードや画素データを転送するデータ転送回路380が配置される。

[0129] また、クラスタ300には、データ転送回路380の右側と左側とに記憶部400が配置される。この記憶部400には、前段保持部419、演算回路420および後段保持部459が設けられる。

[0130] 前段保持部419は、リセットデータおよび信号データを順に保持する。演算回路420は、リセットデータおよび信号データの差分を求めて画素データとして後段保持部459に出力する。後段保持部459は、リセットデータを保持して演算回路420に出力し、また、画素データを保持してデータ転送回路380に出力する。なお、前段保持部419および後段保持部459からなる回路は、特許請求の範囲に記載の保持部の一例である。また、ライトラッチ部410およびリードラッチ部450からなる回路は、特許請求の範囲に記載の保持回路の一例である。

[0131] ここで、演算回路420を記憶部400内に配置せず、画素データ処理回路270内に配置した比較例を構成する。この比較例では、記憶部400は、画素毎にリセットデータおよび信号データを順にデータ転送回路380に出力し、データ転送回路380は、それらを順に画素データ処理回路270へ転送する必要がある。

[0132] これに対して、記憶部400内に演算回路420を配置した構成では、演算回路420がリセットデータおよび信号データの差分（画素データ）を求め、データ転送回路380が、その画素データを転送する。このため、画素当たりのデータの転送回数が半分となり、転送期間を短縮することができる。また、データ転送回路380の消費電力を削減することができる。さらに、記憶部400、データ転送回路380や画素データ処理回路270の回路規模を削減することができる。

[0133] [固体撮像素子の動作例]

図16は、本技術の第1の実施の形態におけるクラスタ300およびデータ転送回路380の動作の一例を示すタイミングチャートである。DAC211は、参照信号RMPを供給する。

[0134] 参照信号RMPは、露光終了の直前のタイミングT0からT1までの期間に亘ってスロープ状に変化する。データ転送回路380内のライトレーンは、この期間の時刻を示す時刻コードを転送し、転送された時刻コードは、リセットデータとしてライトラッチ部410に書き込まれる。同図において「P相」は、リセットデータを示す。

[0135] タイミングT1からT2までの期間においてライトラッチ部410は、リセットデータ（P相）を保持し、演算回路420は、そのコード形式をグレイコードからバイナリコードに変換する。

[0136] そして、参照信号RMPは、露光終了の直後のタイミングT2からT3までの期間に亘ってスロープ状に変化する。ライトレーンは、時刻コードを転送し、転送された時刻コードは、信号データとしてライトラッチ部410に書き込まれる。同図において「D相」は、信号データを示す。

[0137] タイミングT3からT4までの期間においてライトラッチ部410は、信号データ（D相）を保持する。一方、演算回路420は、タイミングT2乃至T4の期間内に、リセットデータ（P相）をリードラッチ部450に保持させる。また、演算回路420は、タイミングT3からT4までの期間においてCDS処理を行い、その結果をリードラッチ部450に書き込む。

[0138] タイミングT4以降は、上述の処理が繰り返し実行される。また、リードラッチ部450は、タイミングT4乃至T7においてCDS処理の結果である画素データを保持し、データ転送回路380内のリードレーンは、タイミングT3乃至T5において、CDS処理の結果（画素データ）を読み出して転送する。

[0139] 図17は、データ転送回路380の後段にCDS回路を配置した比較例におけるクラスタ300およびデータ転送回路380の動作の一例を示すタイミングチャートである。また、この比較例では、リセットレベル（P相）を

保持するリードラッチ部と、信号レベル（D相）を保持するリードラッチ部とが別々に配置される。また、データ転送回路380には、リセットレベルを転送するリードレーンと、信号レベルを転送するリードレーンとが別々に配置される。

[0140] 参照信号RMPは、露光終了の直前のタイミングT0からT1までの期間に亘ってスロープ状に変化する。ライトレーンは、時刻コードを転送し、転送された時刻コードは、リセットデータ（P相）としてライトラッチ部410に書き込まれる。

[0141] タイミングT1乃至T2の期間内にリセットデータのコード形式が変換され、リセットデータ（P相）用のリードラッチ部に書き込まれる。タイミングT1乃至T7の期間においてリセットレベル用のリードレーンは、そのリセットデータを読み出して転送する。

[0142] そして、参照信号RMPは、露光終了の直後のタイミングT3からT4までの期間に亘ってスロープ状に変化する。ライトレーンは、時刻コードを転送し、転送された時刻コードは、信号データ（D相）としてライトラッチ部に書き込まれる。

[0143] タイミングT4乃至T5の期間内に信号データのコード形式が変換され、信号データ（D相）用のリードラッチ部に書き込まれる。タイミングT5乃至T10の期間において信号レベル用のリードレーンは、その信号データを読み出して転送する。タイミングT6以降は、同様の処理が繰り返し実行される。

[0144] 同図に例示したように、CDS回路をデータ転送回路380の後段に配置する構成では、画素毎にリセットレベルと信号レベルとをデータ転送回路380が転送する必要がある、転送回数が増加してしまう。また、リセットレベル（P相）を保持するリードラッチ部と、信号レベル（D相）を保持するリードラッチ部とを個別に配置する必要がある、記憶部400の回路規模が増大する。また、リセットレベルを転送するリードレーンと、信号レベルを転送するリードレーンとを個別に配置する必要がある、データ転送回路38

0の回路規模が増大する。

[0145] 図18は、本技術の第1の実施の形態における演算制御の一例を示すタイミングチャートである。時刻コードを保持させる際のタイミングT0において、駆動回路230は、駆動信号FORCE VCOをハイレベルにして比較結果VCOを出力させる。

[0146] また、タイミングT1乃至T2の期間において駆動回路230は、駆動信号GC IN1をハイレベルにして演算回路420を初期化する。

[0147] また、タイミングT1乃至T7の期間において、駆動回路230は、8ビットの駆動信号WORD<m>により、クラスタ300内で0番目の画素に対応するライトラッチ部410およびリードラッチ部450を駆動する。

[0148] タイミングT2乃至T3において、駆動回路230は、12ビットの駆動信号CEN<n>により、11ビット目から0ビット目までのライトラッチ部410を順に駆動する。これにより、リセットデータが書き込まれる。タイミングT3乃至T5において、駆動回路230は、駆動信号CEN1<N>により、0ビット目から11ビット目までのライトラッチ部410を順に駆動する。これにより、信号データが書き込まれる。

[0149] また、駆動回路230は、タイミングT4乃至T6において、12ビットの駆動信号CEN2<n>により、0ビット目から11ビット目までのリードラッチ部450を順に駆動する。これにより、リセットデータが演算回路420へ出力される。

[0150] 駆動回路230は、タイミングT3乃至T5において、駆動信号BEN<n>により、0ビット目から11ビット目までのリードラッチ部450を順に駆動する。これにより、画素データが書き込まれる。

[0151] 図19は、本技術の第1の実施の形態における読出し制御の一例を示すタイミングチャートである。タイミングT0において、駆動回路230は、駆動信号REP IN1をローレベルにして、データ転送回路380の初期化を解除する。

[0152] また、駆動回路230は、タイミングT1において、駆動信号TENをハ

イレベルにして画素データの出力を開始させる。駆動回路230は、タイミングT2乃至T3において、駆動信号WORD<m>により、0番目の画素に対応するリードラッチ部450を駆動し、駆動信号REN Lにより左側からの画素データの転送を開始させる。駆動回路230は、タイミングT3乃至T4において、クロック信号CLKを供給し、画素データを転送させる。

[0153] タイミングT5において駆動回路230は、駆動信号WORD<m>により、1番目の画素に対応するリードラッチ部450を駆動し、駆動信号REN Rにより右側からの画素データの転送を開始させる。

[0154] 図20は、本技術の第1の実施の形態における固体撮像素子200の動作の一例を示すフローチャートである。この動作は、例えば、画像データを撮像するための所定のアプリケーションが実行されたときに開始される。

[0155] 露光終了の直前にライトラッチ部410は、グレイコードのリセットデータを保持する（ステップS901）。演算回路420は、リセットデータのコードをバイナリコードに変換し、リードラッチ部450は、変換後のリセットデータを保持する（ステップS902）。

[0156] 続いて、露光終了の直後にライトラッチ部410は、グレイコードの信号データを保持する（ステップS903）。演算回路420は、信号データのコードをバイナリコードに変換し、CDS処理により画素データを生成する（ステップS904）。

[0157] データ転送回路380は、画素データを転送し（ステップS905）、画素データ処理回路270は、画素データに対する信号処理を行う（ステップS906）。ステップS906の後に固体撮像素子200は、撮像のための動作を終了する。

[0158] このように、本技術の第1の実施の形態によれば、演算回路420が、リセットデータと信号データとの差分を求め、その差分をデータ転送回路380が転送するため、リセットデータおよび信号データを転送する場合よりも転送回数を削減することができる。

[0159] <2. 第2の実施の形態>

上述の第1の実施の形態では、演算回路420は、1ビット単位でコード変換およびCDS処理を行っていたが、処理対象のデータのデータサイズが大きくなるほど、処理に要する遅延時間が長くなってしまう。この第2の実施の形態の演算回路420は、2ビット単位でコード変換およびCDS処理を行う点において第1の実施の形態と異なる。

[0160] 図21は、本技術の第2の実施の形態における演算回路420の一構成例を示す回路図である。この第2の実施の形態の演算回路420は、コード変換回路430において、XNOR（否定排他的論理和）ゲート431の代わりにXORゲート434および435を配置した点において第1の実施の形態と異なる。

[0161] コード変換回路430には、ライトラッチ部410からのデータが2ビット単位で入力される。XORゲート434は、入力された2ビットの一方とフリップフロップ433の出力ビットとの排他的論理和をXORゲート435およびCDS回路440に出力するものである。XORゲート435は、入力された2ビットの他方とXORゲート434の出力ビットとの排他的論理和をフリップフロップ433に出力するものである。

[0162] 図22は、本技術の第2の実施の形態におけるCDS回路440の一構成例を示す回路図である。この第2の実施の形態のCDS回路440は、全加算器447およびフリップフロップ444を備える。

[0163] 全加算器447は、入力端子A0およびA1に入力された2ビットと入力端子B0およびB1に入力された2ビットとを加算するものである。入力端子A0およびA1には、XORゲート434およびフリップフロップ433の出力ビットが入力される。入力端子B0およびB1には、リードラッチ部450からのデータが2ビット単位で入力される。また、全加算器447の桁上り出力端子C0は、フリップフロップ444の入力端子Dに接続され、全加算器447の桁上り入力端子C1は、フリップフロップ444の出力端子Qに接続される。全加算器447の出力端子S0およびS1は、リードラッチ部450に接続され、2ビット単位でデータが出力される。

- [0164] なお、2ビット単位で演算を行うことができるのであれば、演算回路420の回路構成は、図21および図22に例示した構成に限定されない。
- [0165] 例えば、図23に例示するように、XORゲート434および435の代わりに、XNORゲート431および436を配置することもできる。この場合には、図24に例示するように、全加算器447の出力端子S0およびS1から、加算結果を反転したデータが出力される。
- [0166] 図25は、本技術の第2の実施の形態におけるクラスタ300およびデータ転送回路380の動作の一例を示すタイミングチャートである。
- [0167] 参照信号RMPは、露光終了の直前のタイミングT0からT1までの期間に亘ってスロープ状に変化する。データ転送回路380内のライトレーンは、時刻コードを転送し、転送された時刻コードは、リセットデータ（P相）としてライトラッチ部410に書き込まれる。
- [0168] タイミングT1からT2までの期間においてライトラッチ部410は、リセットデータ（P相）を保持する。
- [0169] そして、参照信号RMPは、露光終了の直後のタイミングT2からT3までの期間に亘ってスロープ状に変化する。ライトレーンは、時刻コードを転送し、転送された時刻コードは、信号データ（D相）としてライトラッチ部410に書き込まれる。
- [0170] タイミングT1からT3までの期間において演算回路420は、リセットデータのコードを変換し、タイミングT3乃至T5の期間内に、そのデータをリードラッチ部450に保持させる。また、演算回路420は、CDS処理を行い、その結果をリードラッチ部450に書き込む。
- [0171] タイミングT4以降は、上述の処理が繰り返し実行される。また、リードラッチ部450は、タイミングT5乃至T7においてCDS処理の結果である画素データを保持し、データ転送回路380内のリードレーンは、タイミングT3乃至T5において、CDS処理の結果（画素データ）を読み出して転送する。
- [0172] このように、本技術の第2の実施の形態によれば、演算回路420は、2

ビット単位でCDS処理を行うため、1ビット単位でCDS処理を行う場合と比較して、処理に要する遅延時間を短くすることができる。

[0173] <3. 第3の実施の形態>

上述の第1の実施の形態では、記憶部400ごとに1つの演算回路420を配置していたが、記憶部400に対応する画素数が多いほど、演算に要する遅延時間が長くなるおそれがある。この第3の実施の形態の記憶部400は、複数の演算回路420を配置した点において第1の実施の形態と異なる。

[0174] 図26は、本技術の第3の実施の形態における記憶部400の一構成例を示すブロック図である。この第3の実施の形態の記憶部400には、複数の単位ブロック401が配置される。単位ブロック401のそれぞれには、第1の実施の形態と同様にM個のライトラッチ部410と、M個のリードラッチ部450と、演算回路420とが配置される。これらの演算回路420により、記憶部400に対応する画素群からのデータを並列に処理することができる。

[0175] このように、本技術の第3の実施の形態によれば、差分演算などを行う複数の演算回路420を記憶部400内に配置して並列に演算を行うため、1つの演算回路420を配置する場合と比較して、CDS処理等に要する遅延時間を短くすることができる。

[0176] <4. 第4の実施の形態>

上述の第1の実施の形態では、クラスタ300ごとに、前段保持部419、演算回路420および後段保持部459を1つずつ配置していたが、クラスタ300の個数に応じて演算回路420の個数が多くなり、回路規模が増大してしまう。この第4の実施の形態の固体撮像素子200は、複数のクラスタ300が演算回路420を共有する点において第1の実施の形態と異なる。

[0177] 図27は、本技術の第4の実施の形態における記憶部400の一構成例を示すブロック図である。この第4の実施の形態の記憶部400は、クラスタ

300および301などの複数のクラスタにより共有される。また、クラスタごとに、前段保持部419および後段保持部459が1つずつ配置される。そして、これらのクラスタにより、1つの演算回路420が共有される。例えば、1つ目の前段保持部419および後段保持部459は、クラスタ300に接続され、2つ目の前段保持部419および後段保持部459は、クラスタ301に接続される。

[0178] このように、本技術の第4の実施の形態によれば、複数のクラスタが1つの演算回路420を共有するため、クラスタごとに演算回路420を配置する場合と比較して回路規模を削減することができる。

[0179] <5. 第5の実施の形態>

上述の第1の実施の形態では、データ転送回路380が、画素毎にCDS処理後の画素データを転送していたが、画素数の増大に応じて転送回数が多くなる。この第5の実施の形態の固体撮像素子200は、画素加算を行う点において第1の実施の形態と異なる。

[0180] 図28は、本技術の第5の実施の形態における画素AD変換部260の一構成例を示す図である。同図において、1行目のクラスタ300内のライトラッチ部410やリードラッチ部450は省略されている。この第5の実施の形態の画素AD変換部260において、水平方向に配列された複数のクラスタ300は、互いに接続される。例えば、クラスタ300の4列ごとに、データ転送回路380が配置される。そして、4列のうち1列目と2列目とが接続され、2列目と3列目との間にデータ転送回路380が配置される。また、3列目と4列目とが接続される。例えば、1列目のリードラッチ部450の出力ノードは、ローカルビット線LB_Lに接続され、ライトラッチ部410の出力ノード同士、リードラッチ部450の出力ノード（演算回路420への帰還ノード）同士が接続される。なお、水平方向に接続されるクラスタ300の個数は、2つに限定されない。また、水平方向に配列された複数のクラスタ300が接続されているが、この構成に限定されず、垂直方向に配列された複数のクラスタ300が接続される構成であってもよい。

[0181] そして、データ転送回路 380 に接続された 2 列目および 3 列目のクラスタ 300 内に演算回路 421 が配置される。この演算回路 421 は、2 列目または 3 列目のデータに対して CDS 処理を行う。1 列目および 4 列目の演算回路 420 は、対応する演算回路 421 に CDS 処理後の画素データを供給する。2 列目の演算回路 421 は、1 列目の画素データと 2 列目の画素データとの画素加算を行ってデータ転送回路 380 に出力する。画素加算においては、例えば、加算平均が行われる。また、3 列目の演算回路 421 は、3 列目の画素データと 4 列目の画素データとの画素加算を行ってデータ転送回路 380 に出力する。これにより、転送するデータの個数が半分に間引かれる。

[0182] このように、本技術の第 5 の実施の形態によれば、複数のクラスタ 300 のそれぞれの画素データを加算するため、転送するデータ数を削減することができる。

[0183] <6. 第 6 の実施の形態>

上述の第 5 の実施の形態では、加算平均により画素加算を行っていたが、ベイヤー配列などにおいては、色重心を考慮して加算することが望ましい。この第 6 の実施の形態の演算回路 420 は、色重心を考慮して、重み付け加算を行う点において第 1 の実施の形態と異なる。

[0184] 図 29 は、本技術の第 6 の実施の形態における演算回路 421 の一構成例を示す回路図である。この第 6 の実施の形態の演算回路 421 は、CDS 回路 440 の代わりに加減算回路 460 を備える点において第 1 の実施の形態と異なる。

[0185] 図 30 は、本技術の第 6 の実施の形態における加減算回路 460 の一構成例を示す回路図である。この加減算回路 460 は、ALU (Arithmetic Logic Unit) 461 と、N 型トランジスタ 462、465 および 466 と、全加算器 463 および 464 と、フリップフロップ 467 および 468 とを備える。加減算回路 460 内のトランジスタとして、例えば、MOS トランジスタが用いられる。

- [0186] ALU 461は、フリップフロップ433の出力ビットと、リードラッチ部450からのビットとに対して所定の演算を行うものである。このALU 461は、2ビットの演算結果を全加算器463の入力端子AおよびBに供給する。
- [0187] 全加算器463は、入力された2ビットを加算するものである。この全加算器463は、加算結果を出力端子Sからフリップフロップ468に出力し、桁上りを桁上がり出力端子COからフリップフロップ467に出力する。また、全加算器463は、駆動回路230からのイネーブル信号ENwの反転信号に従って加算を行う。
- [0188] 全加算器464は、入力された2ビットを加算するものである。全加算器463の入力端子Aには、フリップフロップ433の出力ビットが入力され、入力端子Bには、リードラッチ部450からのビットが入力される。また、全加算器464は、加算結果を出力端子Sからフリップフロップ468に出力し、桁上りを桁上がり出力端子COからフリップフロップ467に出力する。また、全加算器464は、イネーブル信号ENwに従って加算を行う。
- [0189] フリップフロップ467は、桁上りのビットを保持するものである。このフリップフロップ467は、保持したビットを全加算器463および464のそれぞれの桁上り入力端子CIに入力する。
- [0190] フリップフロップ468は、全加算器463および464のいずれかの出力ビットを保持するものである。このフリップフロップ468は、保持したビットをリードラッチ部450に出力する。
- [0191] N型トランジスタ462は、ALU 461および全加算器464の入力端子と基準電位の端子との間に挿入される。また、N型トランジスタ462のゲートには、駆動回路230からの駆動信号GCINIが入力される。駆動信号GCINIは、演算回路420を初期化するための信号である。
- [0192] N型トランジスタ466は、フリップフロップ467の出力端子Qと基準電位の端子との間に挿入される。また、N型トランジスタ465のゲートに

は、駆動信号 I N I 3 が入力される。

[0193] N型トランジスタ 4 6 5 は、全加算器 4 6 3 および 4 6 4 の出力端子 S と基準電位の端子との間に挿入される。また、N型トランジスタ 4 6 6 のゲートには、駆動信号 I N I 3 が入力される。

[0194] 上述の構成により、駆動回路 2 3 0 は、イネーブル信号 E N w により全加算器 4 6 4 を駆動して、C D S 処理（言い換えれば、減算処理）を実行させる。そして、駆動回路 2 3 0 は、イネーブル信号 E N w により全加算器 4 6 4 を駆動して、色重心に基づいて、同じ色の 2 つの画素データを重み付け加算させる。

[0195] このように、本技術の第 6 の実施の形態によれば、加減算回路 4 6 0 は、色重心に基づいて重み付け加算を行うため、色重心に関わらず、加算平均を行う場合と比較して、画像データの画質を向上させることができる。

[0196] < 7. 移動体への応用例 >

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0197] 図 3 1 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0198] 車両制御システム 1 2 0 0 0 は、通信ネットワーク 1 2 0 0 1 を介して接続された複数の電子制御ユニットを備える。図 3 1 に示した例では、車両制御システム 1 2 0 0 0 は、駆動系制御ユニット 1 2 0 1 0、ボディ系制御ユニット 1 2 0 2 0、車外情報検出ユニット 1 2 0 3 0、車内情報検出ユニット 1 2 0 4 0、及び統合制御ユニット 1 2 0 5 0 を備える。また、統合制御ユニット 1 2 0 5 0 の機能構成として、マイクロコンピュータ 1 2 0 5 1、音声画像出力部 1 2 0 5 2、及び車載ネットワーク I / F (interface) 1 2 0 5 3 が図示されている。

- [0199] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。
- [0200] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。
- [0201] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。
- [0202] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。
- [0203] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検

出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0204] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0205] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0206] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0207] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図３１の例では、出力装置として、オ

オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0208] 図 32 は、撮像部 12031 の設置位置の例を示す図である。

[0209] 図 32 では、撮像部 12031 として、撮像部 12101, 12102, 12103, 12104, 12105 を有する。

[0210] 撮像部 12101, 12102, 12103, 12104, 12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102, 12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0211] なお、図 32 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112, 12113 は、それぞれサイドミラーに設けられた撮像部 12102, 12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部 12104 の撮像範囲を示す。例えば、撮像部 12101 ないし 12104 で撮像された画像データが重ね合わせられることにより、車両 12100 を上方から見た俯瞰画像が得られる。

[0212] 撮像部 12101 ないし 12104 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 12101 ないし 12104

の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0213] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的变化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0 km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0214] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0215] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識

は、例えば赤外線カメラとしての撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 1 2 0 5 1 が、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 1 2 0 5 2 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 1 2 0 6 2 を制御する。また、音声画像出力部 1 2 0 5 2 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 1 2 0 6 2 を制御してもよい。

[0216] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部 1 2 0 3 1 に適用され得る。具体的には、図 1 の撮像装置 1 0 0 は、撮像部 1 2 0 3 1 に適用することができる。撮像部 1 2 0 3 1 に本開示に係る技術を適用することにより、データの転送回数を低減することができる。

[0217] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0218] また、上述の実施の形態において説明した処理手順は、これら一連の手順を有する方法として捉えてもよく、また、これら一連の手順をコンピュータに実行させるためのプログラム乃至そのプログラムを記憶する記録媒体として捉えてもよい。この記録媒体として、例えば、C D (Compact Disc)、M D (MiniDisc)、D V D (Digital Versatile Disc)、メモ리카ード、ブルーレイディスク (Blu-ray (登録商標) Disc) 等を用いることができる。

[0219] なお、本明細書に記載された効果はあくまで例示であって、限定されるも

のではなく、また、他の効果があってもよい。

[0220] なお、本技術は以下のような構成もとることができる。

(1) 所定のリセットデータと光量に応じた信号データとを保持する保持部と、前記リセットデータおよび前記信号データの差分を求めて画素データとして出力する演算回路とをそれぞれに設けた複数の記憶部と、

前記出力された画素データを転送するデータ転送回路とを具備する固体撮像素子。

(2) 前記保持部は、所定数の保持回路を備え、

前記演算回路は、前記所定数の保持回路に共通に接続される前記(1)記載の固体撮像素子。

(3) 前記保持部は、前記リセットデータおよび前記信号データをビット単位で順に前記演算回路に出力し、

前記演算回路は、前記リセットデータのうち出力された前記ビットと前記信号データのうち出力された前記ビットとの差分を求める前記(2)記載の固体撮像素子。

(4) 前記保持部は、前記リセットデータおよび前記信号データを2ビット単位で順に前記演算回路に出力し、

前記演算回路は、前記リセットデータのうち出力された前記2ビットと前記信号データのうち出力された前記2ビットとの差分を求める前記(2)記載の固体撮像素子。

(5) 前記複数の記憶部は、二次元格子状に配列され、

前記演算回路は、前記複数の記憶部のうち所定の水平方向に配列された所定数の記憶部のそれぞれの前記画素データを加算し、

前記データ転送回路は、前記水平方向に垂直な方向に沿って前記加算された画素データを転送する

前記(2)から(4)のいずれかに記載の固体撮像素子。

(6) 前記演算回路は、所定数の前記画素データを重み付け加算する前記(2)から(5)のいずれかに記載の固体撮像素子。

(7) 前記複数の記憶部のそれぞれには、複数の単位ブロックが配置され、
前記複数の単位ブロックには、前記演算回路に共通に接続された所定数の
前記保持部と前記演算回路とがそれぞれに配置される

前記(1)記載の固体撮像素子。

(8) 前記記憶部には、前記演算回路に共通に接続された所定数の前記保持
部が配置される

前記(1)記載の固体撮像素子。

(9) 前記演算回路は、

前記リセットデータおよび前記信号データのそれぞれのコード形式を変換
するコード変換回路と、

前記コード形式が変換された前記リセットデータと前記コード形式が変換
された前記信号データとの差分を前記画素データとして求める相関二重サン
プリング回路と

をさらに備える前記(1)から(8)のいずれかに記載の固体撮像素子。

(10) 前記保持部は、

前記リセットデータおよび信号データを順に保持して前記演算回路に出力
する前段保持部と、

前記リセットデータを保持して前記演算回路に出力し、前記画素データを
保持して前記データ転送回路に出力する後段保持部と

を備える前記(1)から(9)のいずれかに記載の固体撮像素子。

(11) 複数の画素を有する画素アレイ部と、

所定のリセットデータと光量に応じた信号データとを保持する保持部と、
前記リセットデータおよび前記信号データの差分を求めて画素データとして
出力する演算回路とをそれぞれに設けた複数の記憶部と、

前記出力された画素データを転送する転送回路と
を備え、

前記演算回路は前記画素アレイ部の直下に配置される
固体撮像素子。

(12) 所定のリセットデータと光量に応じた信号データとを保持する保持部と、前記リセットデータおよび前記信号データの差分を求めて画素データとして出力する演算回路とをそれぞれに設けた複数の記憶部と、

前記出力された画素データを転送するデータ転送回路と、

前記転送された画素データを処理する画素データ処理回路とを具備する撮像装置。

(13) 保持部が、所定のリセットデータと光量に応じた信号データとを保持する保持手順と、

演算回路が、前記リセットデータおよび前記信号データの差分を求めて画素データとして出力する演算手順と、

転送回路が、前記出力された画素データを転送するデータ転送手順とを具備する固体撮像素子の制御方法。

符号の説明

[0221]	100	撮像装置
	110	光学部
	120	DSP回路
	130	表示部
	140	操作部
	150	バス
	160	フレームメモリ
	170	記憶部
	180	電源部
	200	固体撮像素子
	201	受光チップ
	202	回路チップ
	210	画素アレイ部
	211	DAC
	212、230	駆動回路

- 2 1 3 画素ブロック
- 2 2 0 画素
- 2 2 1 画素回路
- 2 2 2 排出トランジスタ
- 2 2 3 フォトダイオード
- 2 2 4 転送トランジスタ
- 2 2 5 浮遊拡散層
- 2 2 6 リセットトランジスタ
- 2 2 7、2 2 8 差動トランジスタ
- 2 2 9 電流源トランジスタ
- 2 4 0 タイミング生成回路
- 2 5 0 時刻コード生成部
- 2 6 0 画素 A D 変換部
- 2 7 0 画素データ処理回路
- 3 0 0 クラスタ
- 3 1 0 A D 変換回路
- 3 2 0 比較器
- 3 2 1、3 2 2、3 3 1、3 4 1、3 4 2、3 5 5、3 5 6、3 6 1、3 6 3、3 6 6、3 6 7、3 7 1、3 7 3 P 型トランジスタ
- 3 3 0 電圧変換回路
- 3 3 2、3 3 3、3 5 4、3 5 7、3 6 2、3 6 4、3 6 5、3 6 8、3 7 2、3 7 4、3 8 7、4 3 2、4 4 2、4 4 3、4 4 6、4 6 2、4 6 5、4 6 6 N 型トランジスタ
- 3 4 0 制御回路
- 3 5 0 NOR ゲート
- 3 6 0 遅延 VCO 回路
- 3 7 0 バッファ回路
- 3 8 0 データ転送回路

3 8 1 単位ブロック

3 8 2、4 3 3、4 4 4、4 4 5、4 6 7、4 6 8 フリップフロップ

3 8 3、3 8 5、4 1 2～4 1 5、4 5 3～4 5 6 インバータ

3 8 4、3 8 6 バッファ

4 0 0 記憶部

4 0 1 単位ブロック

4 1 0 ライトラッチ部

4 1 1 ライトラッチ回路

4 1 9 前段保持部

4 2 0、4 2 1 演算回路

4 3 0 コード変換回路

4 3 1、4 3 6 X N O R（否定排他的論理和）ゲート

4 3 4、4 3 5 X O R（排他的論理和）ゲート

4 4 0 C D S 回路

4 4 1、4 4 7、4 6 3、4 6 4 全加算器

4 5 0 リードラッチ部

4 5 1 リードラッチ回路

4 5 2 スイッチ

4 5 9 後段保持部

4 6 0 加減算回路

4 6 1 A L U

1 2 0 3 1 撮像部

請求の範囲

- [請求項1] 所定のリセットデータと光量に応じた信号データとを保持する保持部と、前記リセットデータおよび前記信号データの差分を求めて画素データとして出力する演算回路とをそれぞれに設けた複数の記憶部と、
- 前記出力された画素データを転送するデータ転送回路とを具備する固体撮像素子。
- [請求項2] 前記保持部は、所定数の保持回路を備え、
- 前記演算回路は、前記所定数の保持回路に共通に接続される請求項1記載の固体撮像素子。
- [請求項3] 前記保持部は、前記リセットデータおよび前記信号データをビット単位で順に前記演算回路に出力し、
- 前記演算回路は、前記リセットデータのうち出力された前記ビットと前記信号データのうち出力された前記ビットとの差分を求める請求項2記載の固体撮像素子。
- [請求項4] 前記保持部は、前記リセットデータおよび前記信号データを2ビット単位で順に前記演算回路に出力し、
- 前記演算回路は、前記リセットデータのうち出力された前記2ビットと前記信号データのうち出力された前記2ビットとの差分を求める請求項2記載の固体撮像素子。
- [請求項5] 前記複数の記憶部は、二次元格子状に配列され、
- 前記演算回路は、前記複数の記憶部のうち所定の水平方向に配列された所定数の記憶部のそれぞれの前記画素データを加算し、
- 前記データ転送回路は、前記水平方向に垂直な方向に沿って前記加算された画素データを転送する請求項2記載の固体撮像素子。
- [請求項6] 前記演算回路は、前記画素データを重み付け加算する請求項2記載の固体撮像素子。

- [請求項7] 前記複数の記憶部のそれぞれには、複数の単位ブロックが配置され、
- 前記複数の単位ブロックには、前記演算回路に共通に接続された所定数の前記保持部と前記演算回路とがそれぞれに配置される
- 請求項1記載の固体撮像素子。
- [請求項8] 前記記憶部には、前記演算回路に共通に接続された所定数の前記保持部が配置される
- 請求項1記載の固体撮像素子。
- [請求項9] 前記演算回路は、
- 前記リセットデータおよび前記信号データのそれぞれのコード形式を変換するコード変換回路と、
- 前記コード形式が変換された前記リセットデータと前記コード形式が変換された前記信号データとの差分を前記画素データとして求める
- 相関二重サンプリング回路と
- をさらに備える請求項1記載の固体撮像素子。
- [請求項10] 前記保持部は、
- 前記リセットデータおよび信号データを順に保持して前記演算回路に出力する前段保持部と、
- 前記リセットデータを保持して前記演算回路に出力し、前記画素データを保持して前記データ転送回路に出力する後段保持部と
- を備える請求項1記載の固体撮像素子。
- [請求項11] 複数の画素を有する画素アレイ部と、
- 所定のリセットデータと光量に応じた信号データとを保持する保持部と、前記リセットデータおよび前記信号データの差分を求めて画素データとして出力する演算回路とをそれぞれに設けた複数の記憶部と、
- 前記出力された画素データを転送する転送回路と
- を備え、

前記演算回路は前記画素アレイ部の直下に配置される
固体撮像素子。

[請求項12] 所定のリセットデータと光量に応じた信号データとを保持する保持部と、前記リセットデータおよび前記信号データの差分を求めて画素データとして出力する演算回路とをそれぞれに設けた複数の記憶部と、

前記出力された画素データを転送するデータ転送回路と、
前記転送された画素データを処理する画素データ処理回路と
を具備する撮像装置。

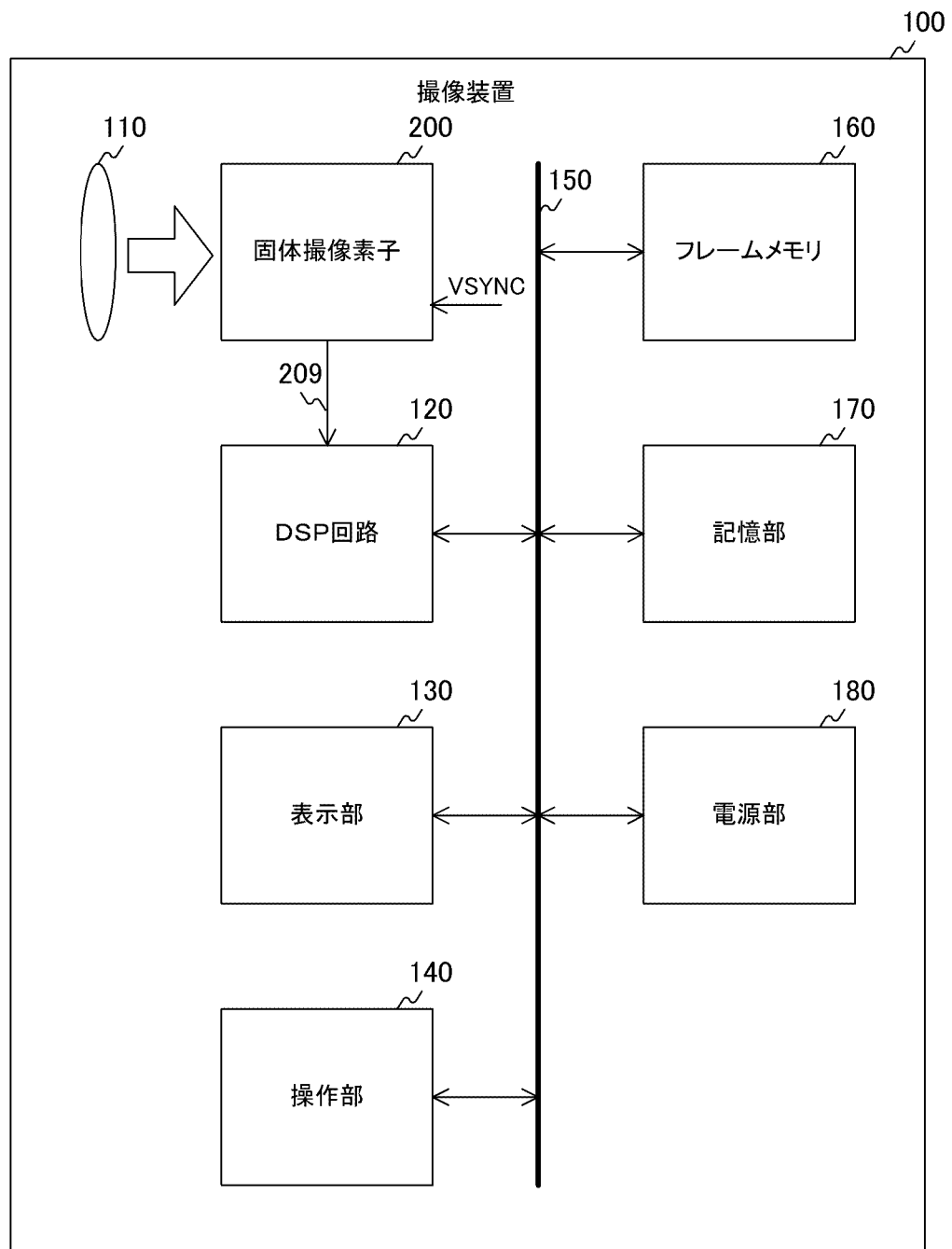
[請求項13] 保持部が、所定のリセットデータと光量に応じた信号データとを保持する保持手順と、

演算回路が、前記リセットデータおよび前記信号データの差分を求めて画素データとして出力する演算手順と、

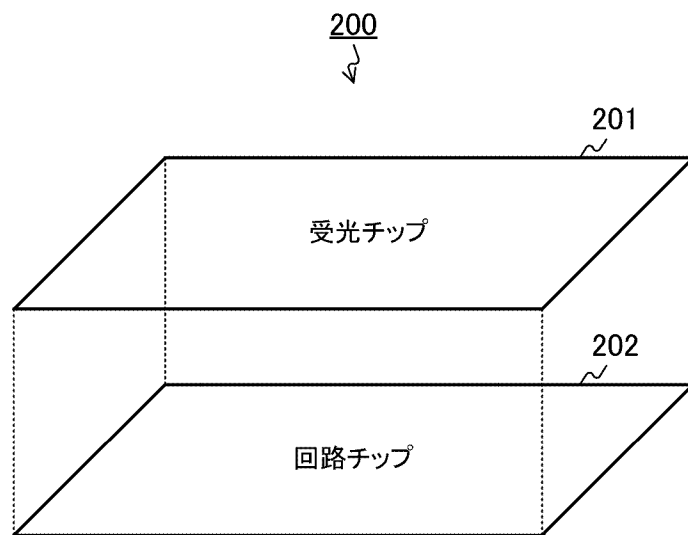
転送回路が、前記出力された画素データを転送するデータ転送手順と

を具備する固体撮像素子の制御方法。

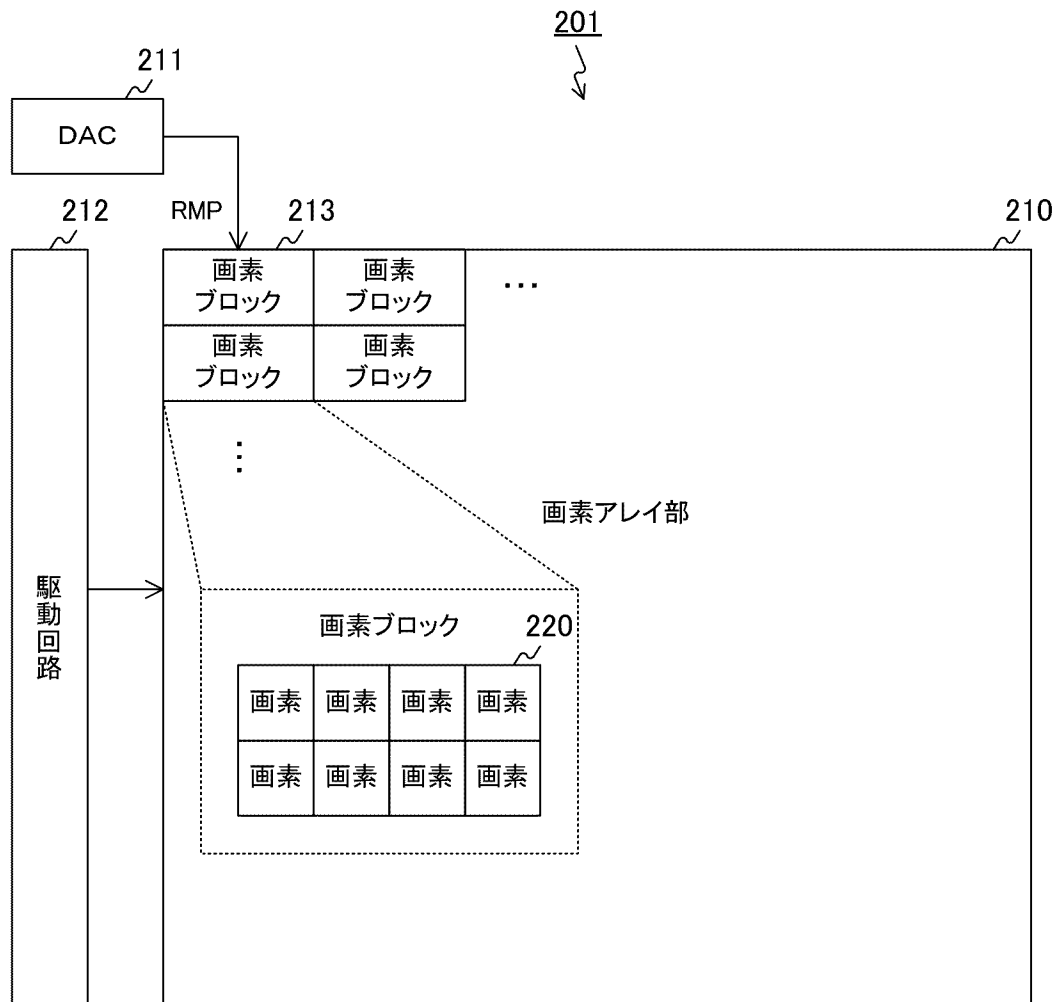
[図1]



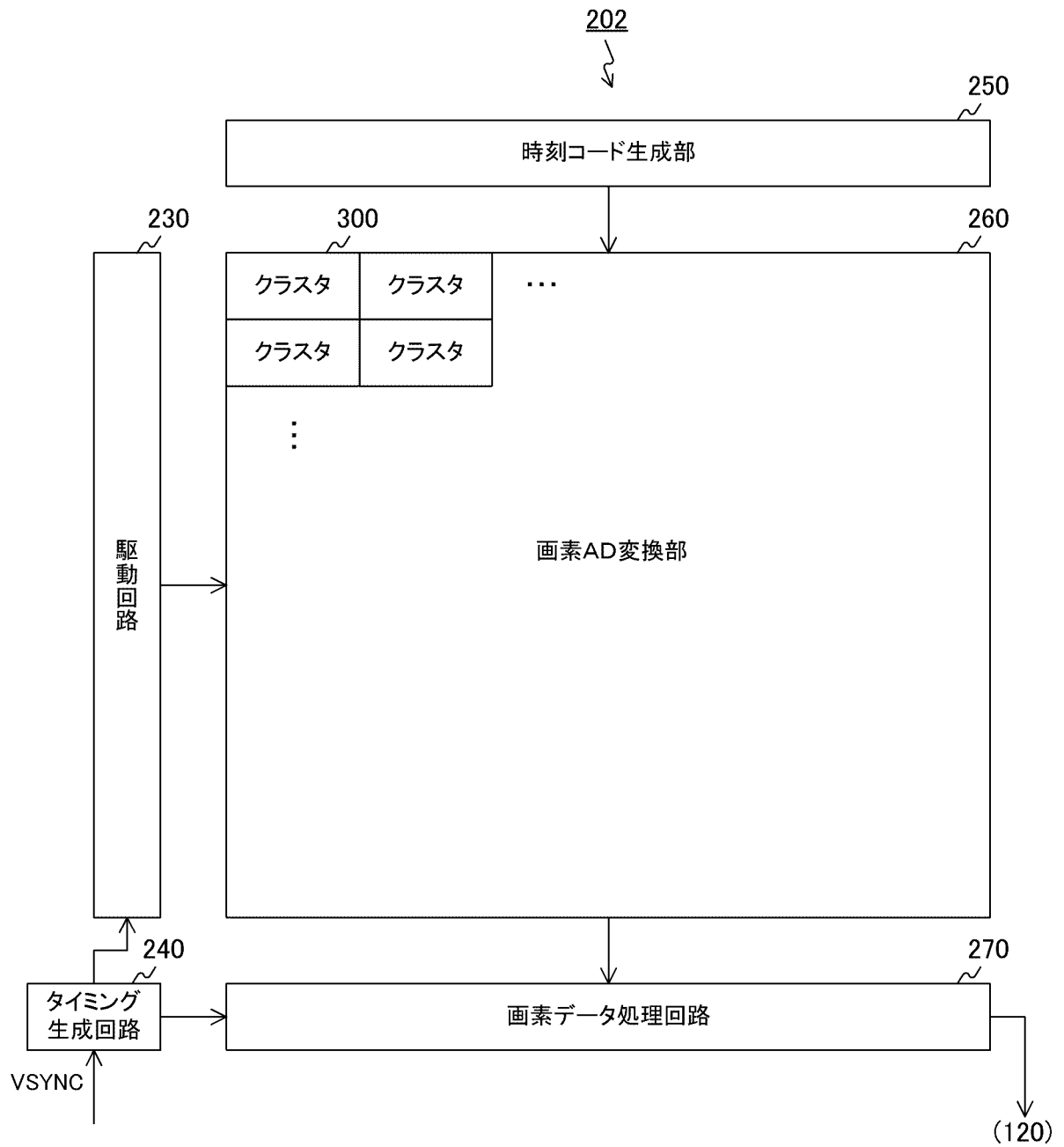
[図2]



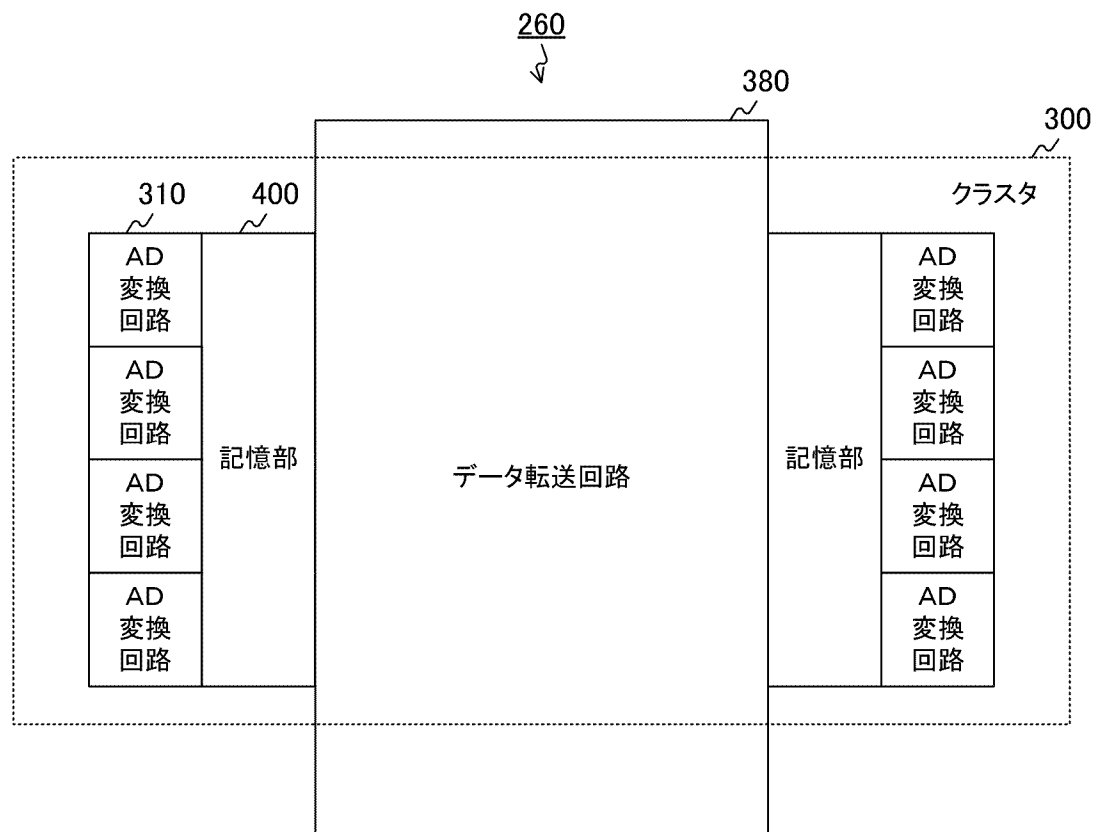
[図3]



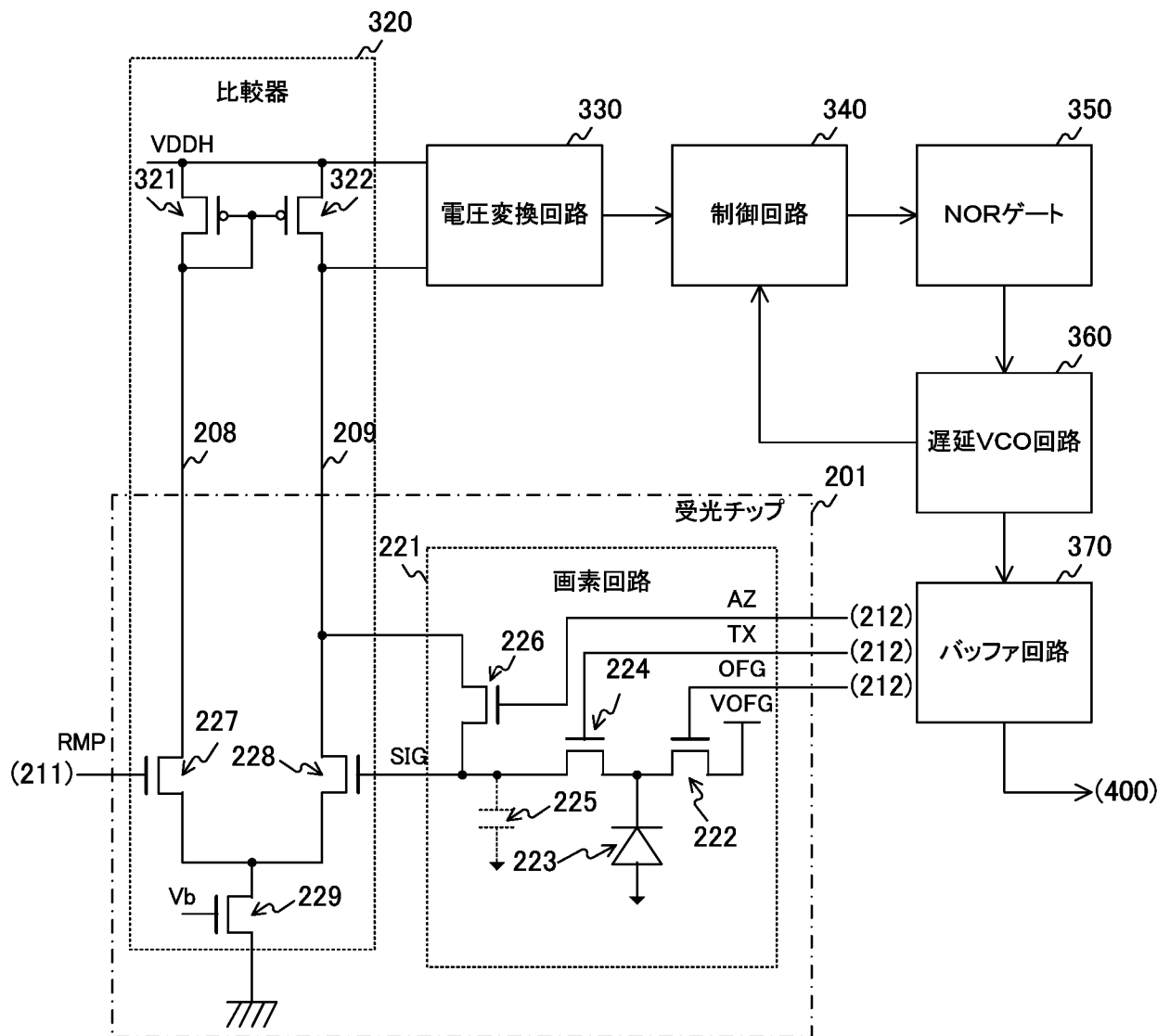
[図4]



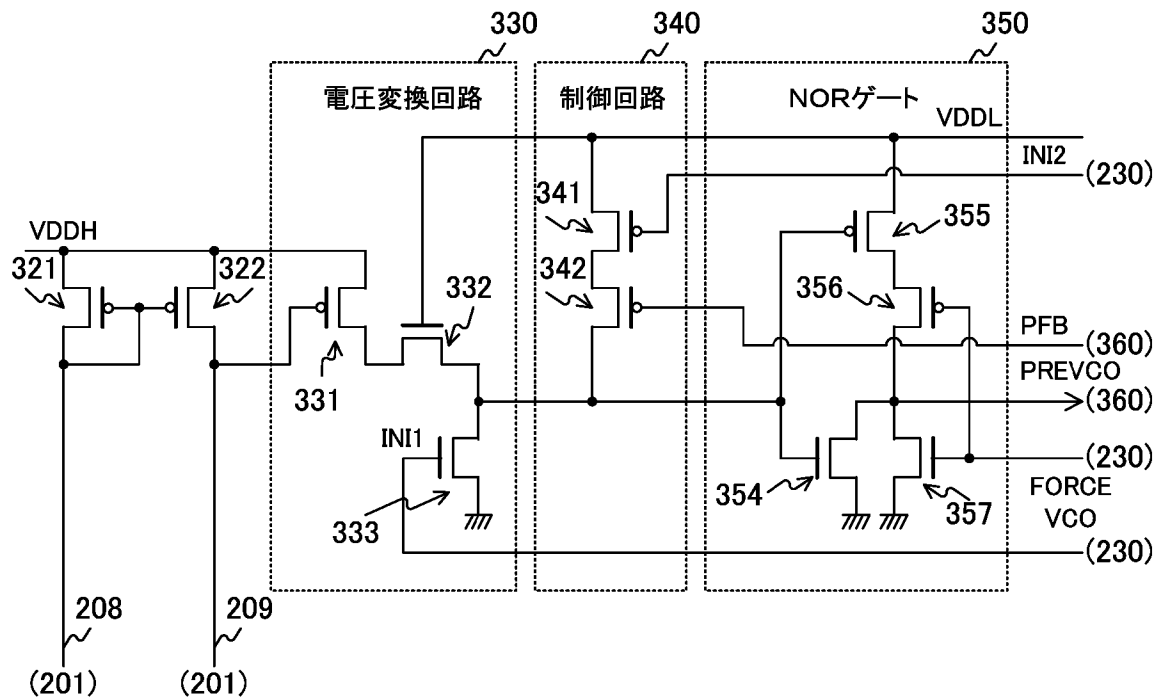
[図5]



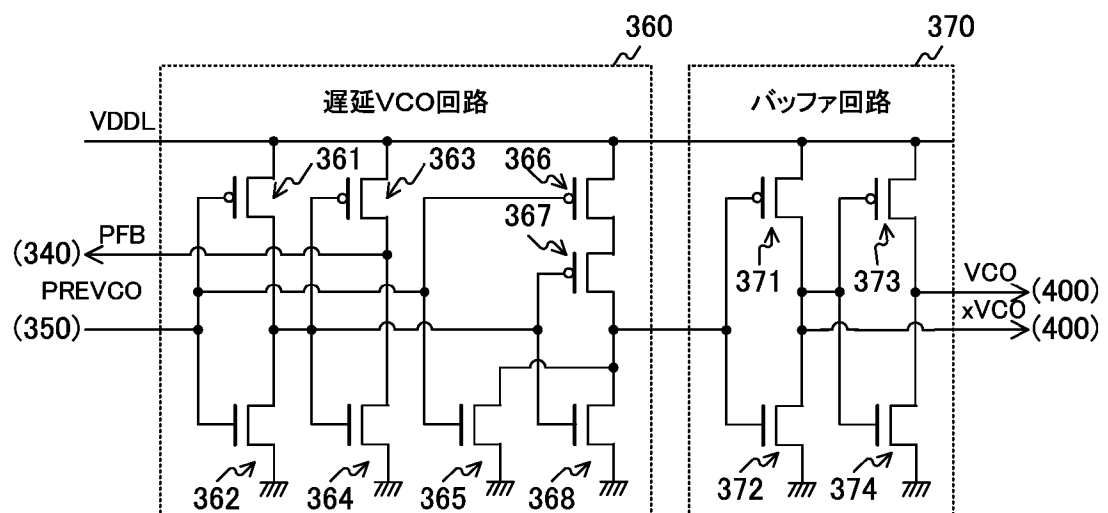
[図6]



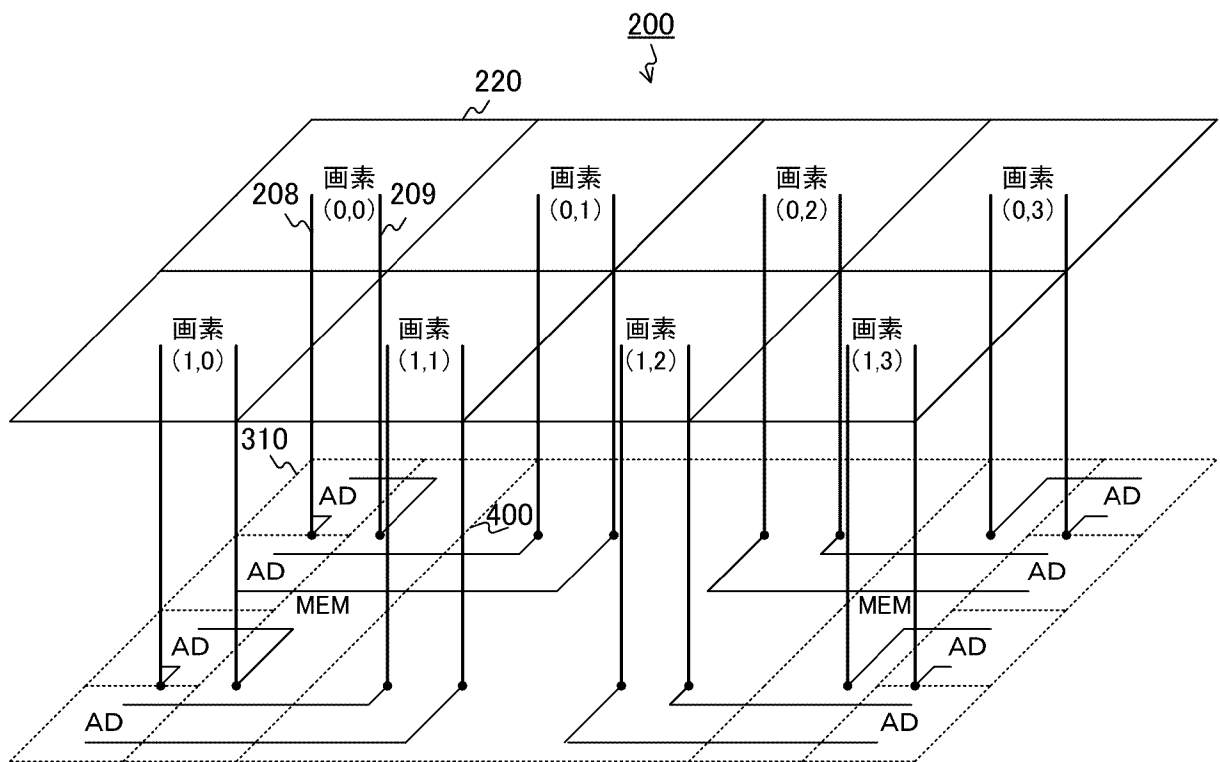
[図7]



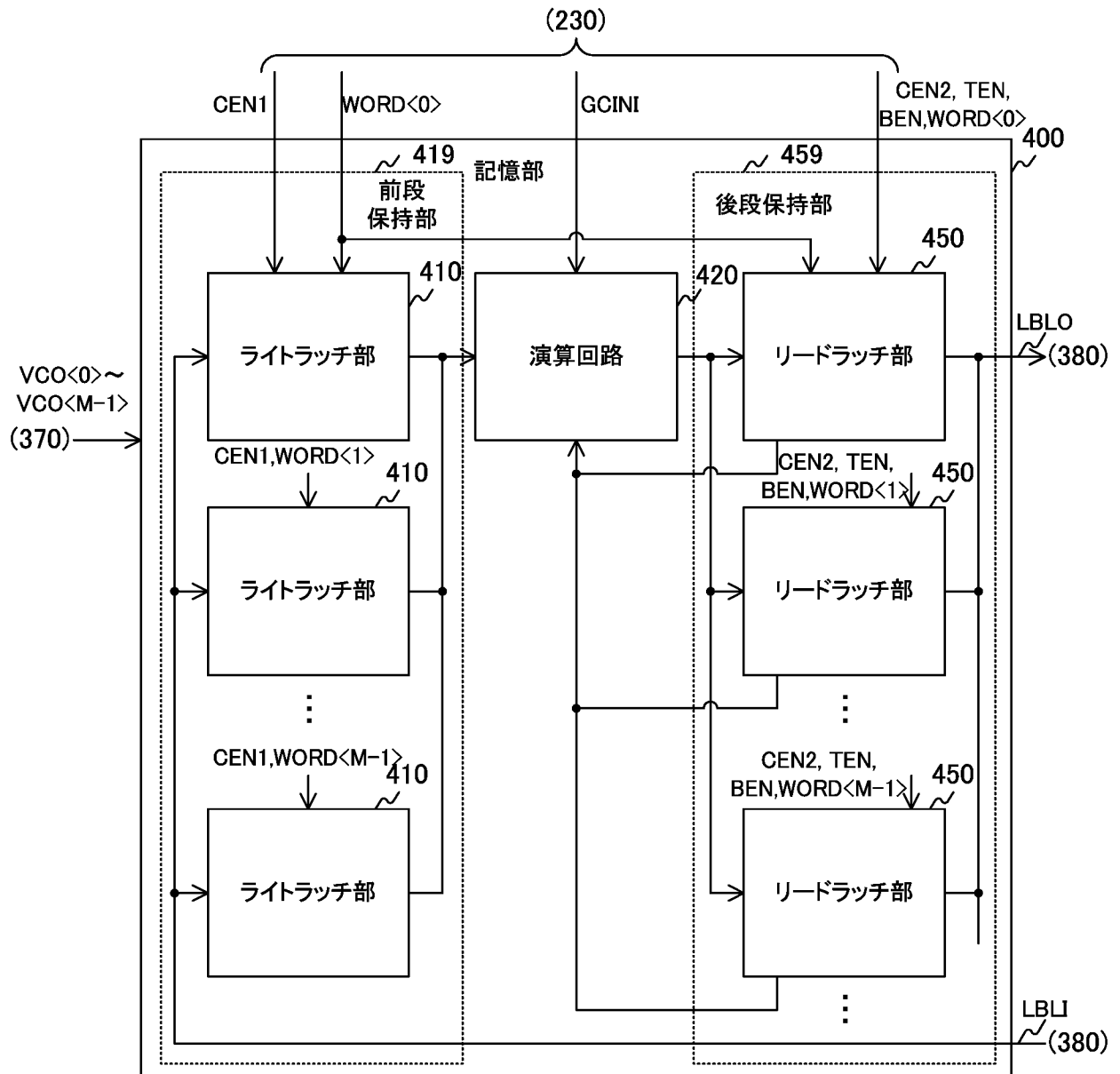
[図8]



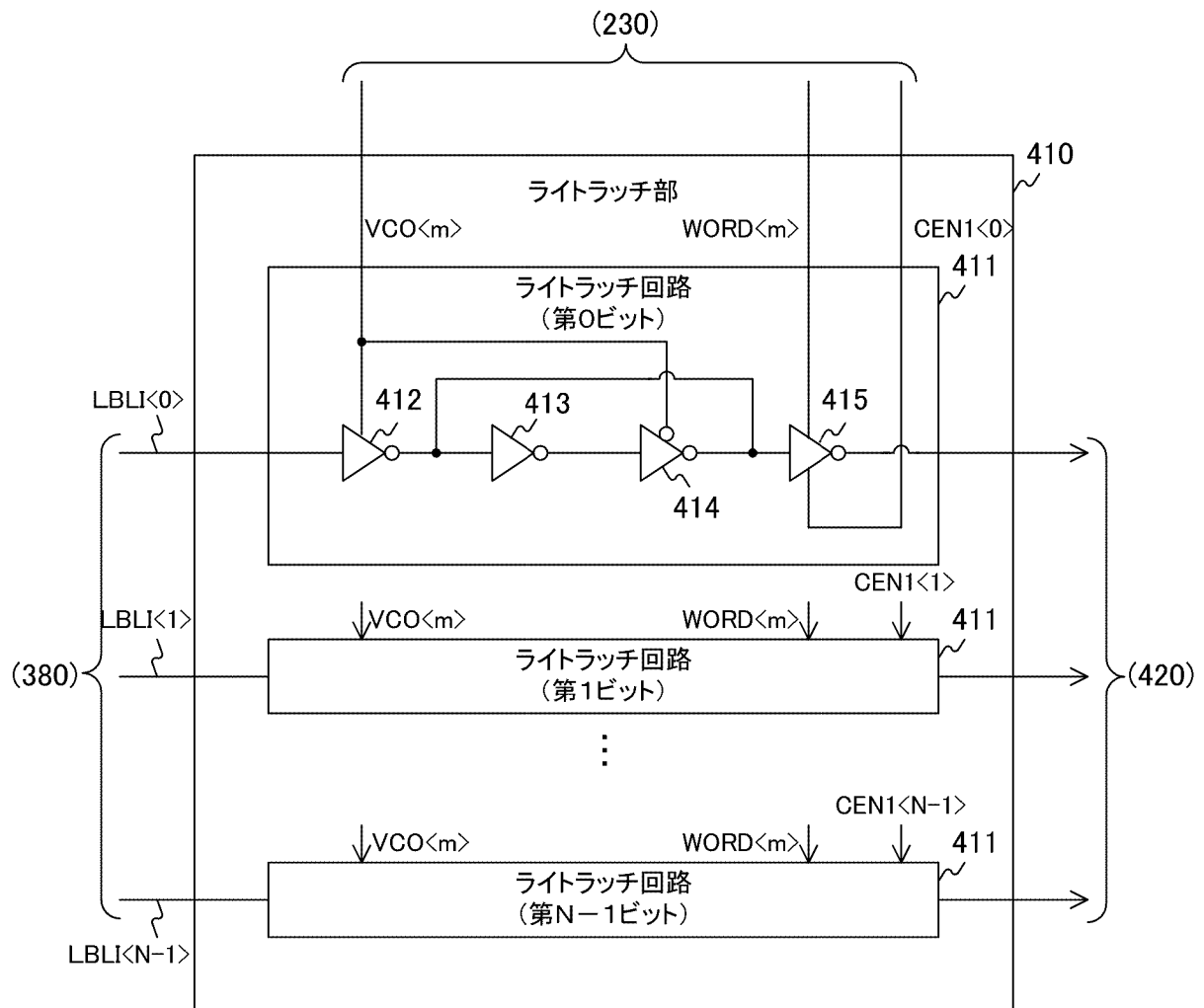
[図9]



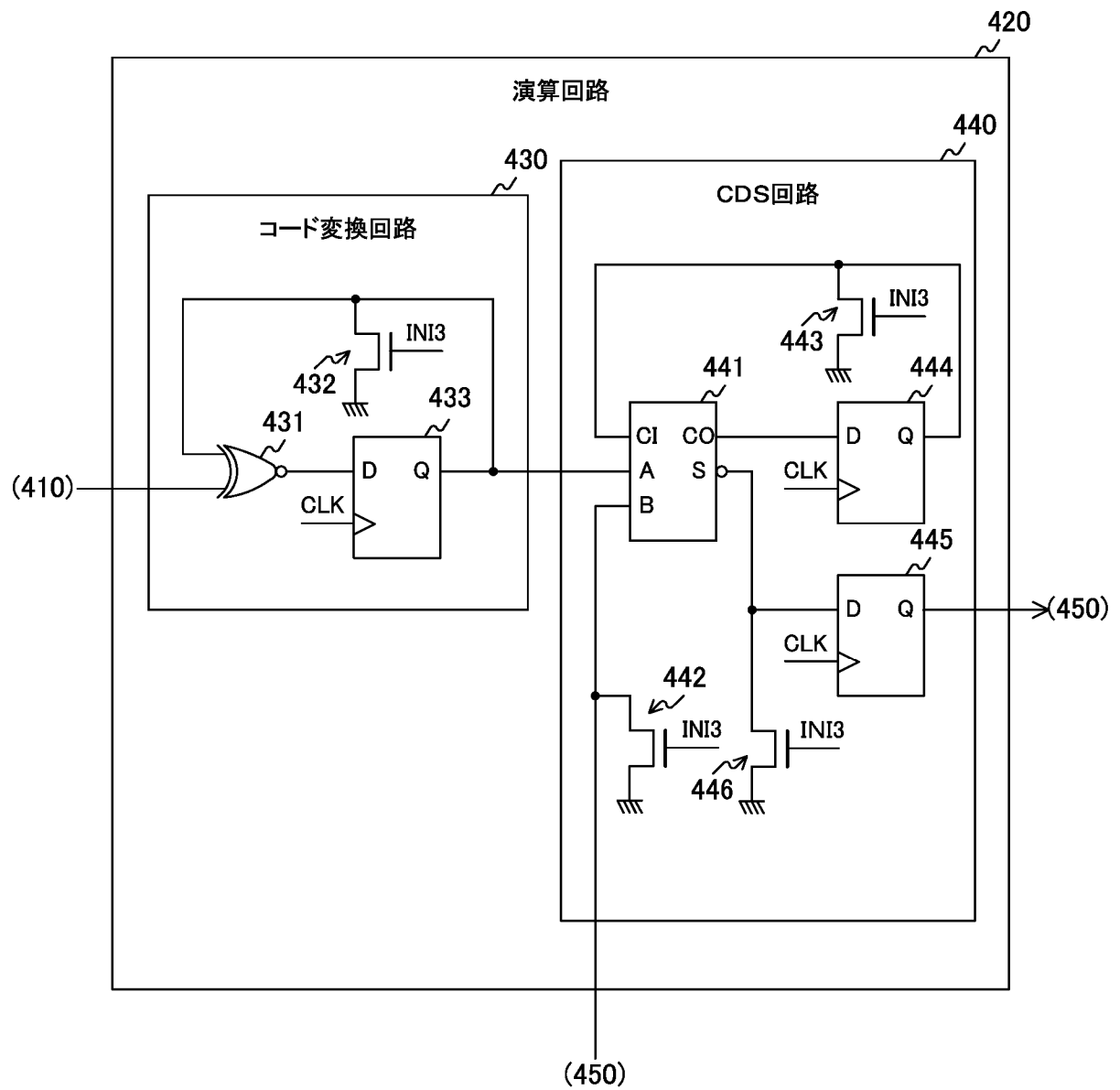
[図10]



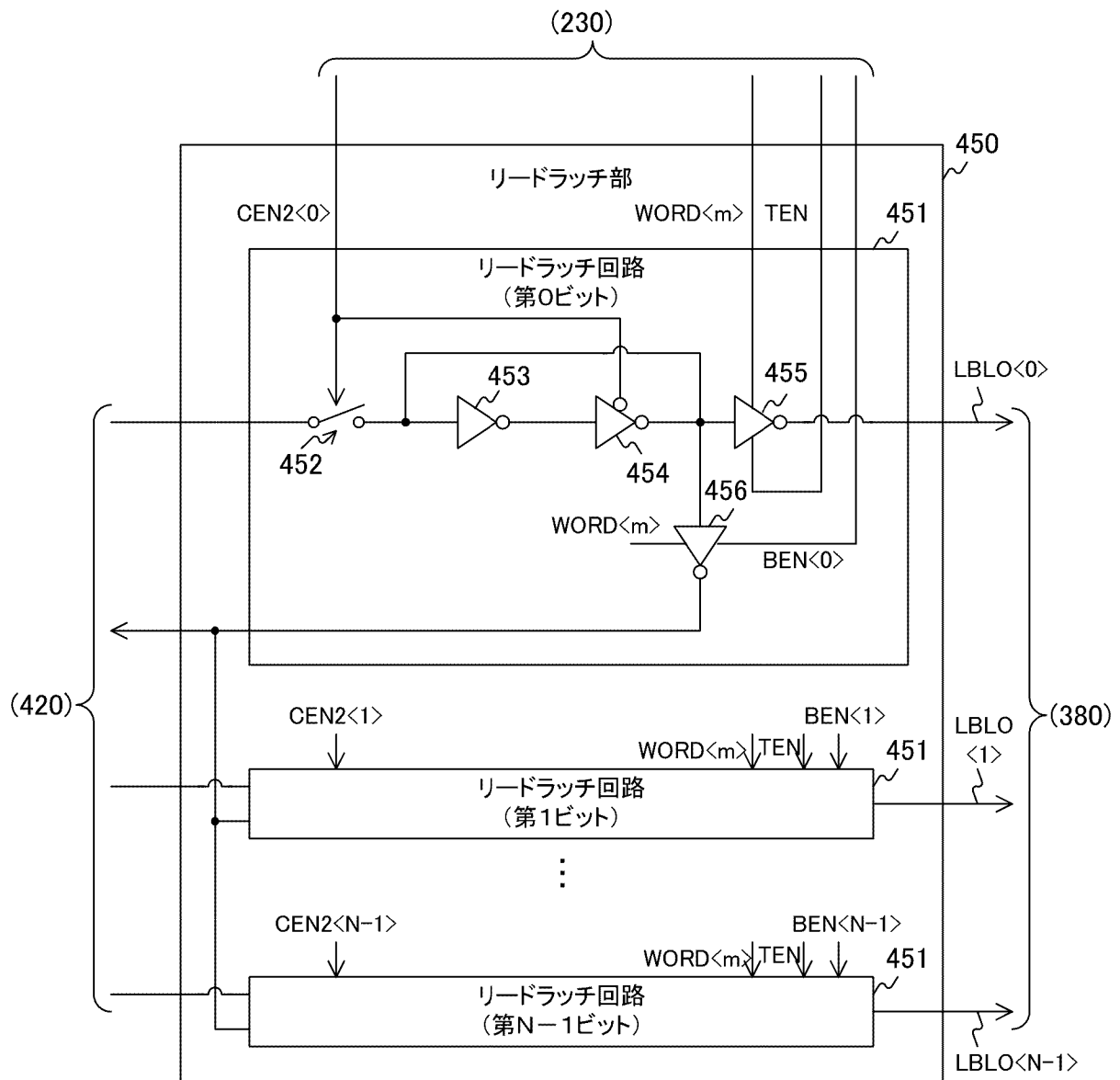
[図11]



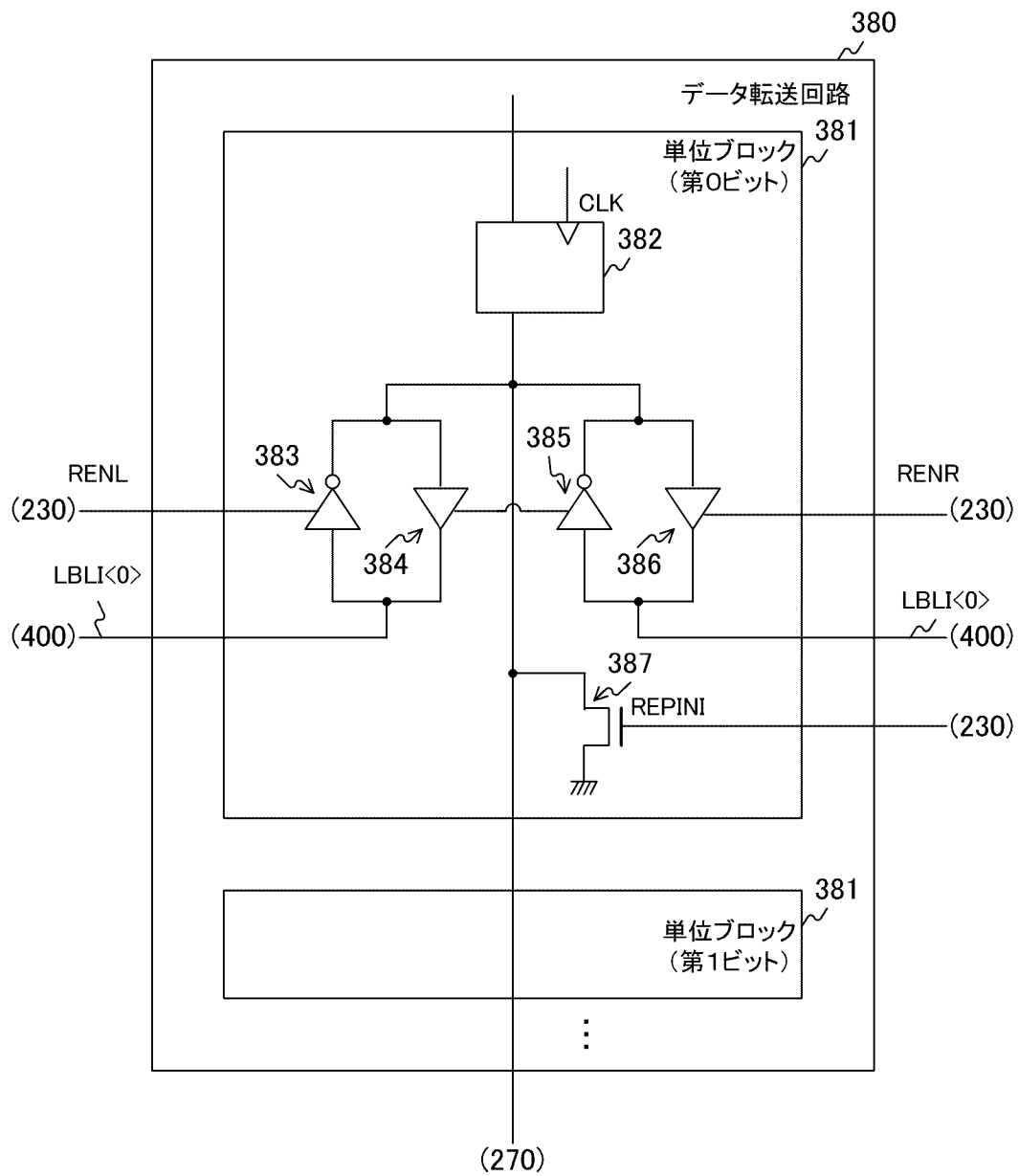
[図12]



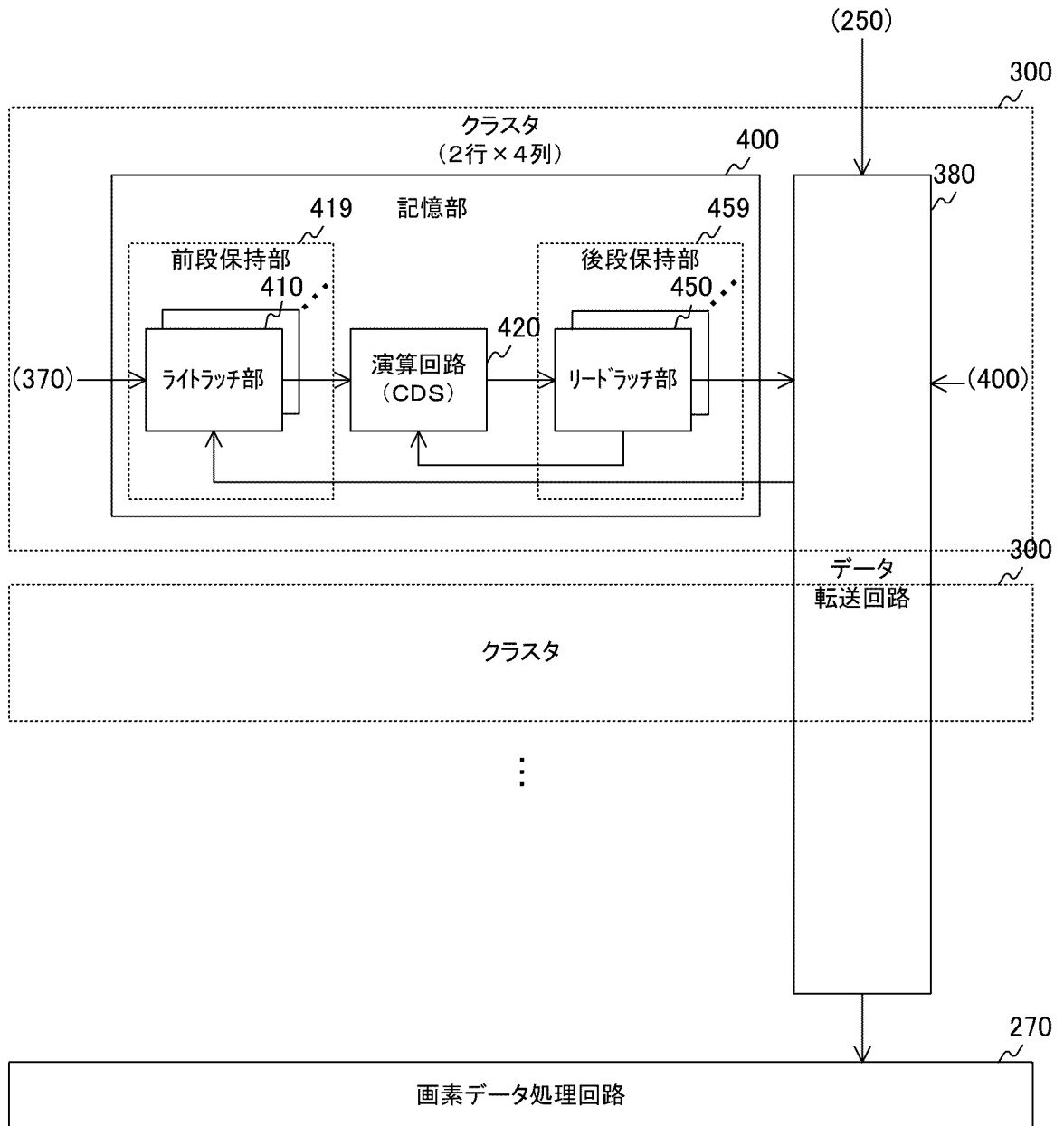
[図13]



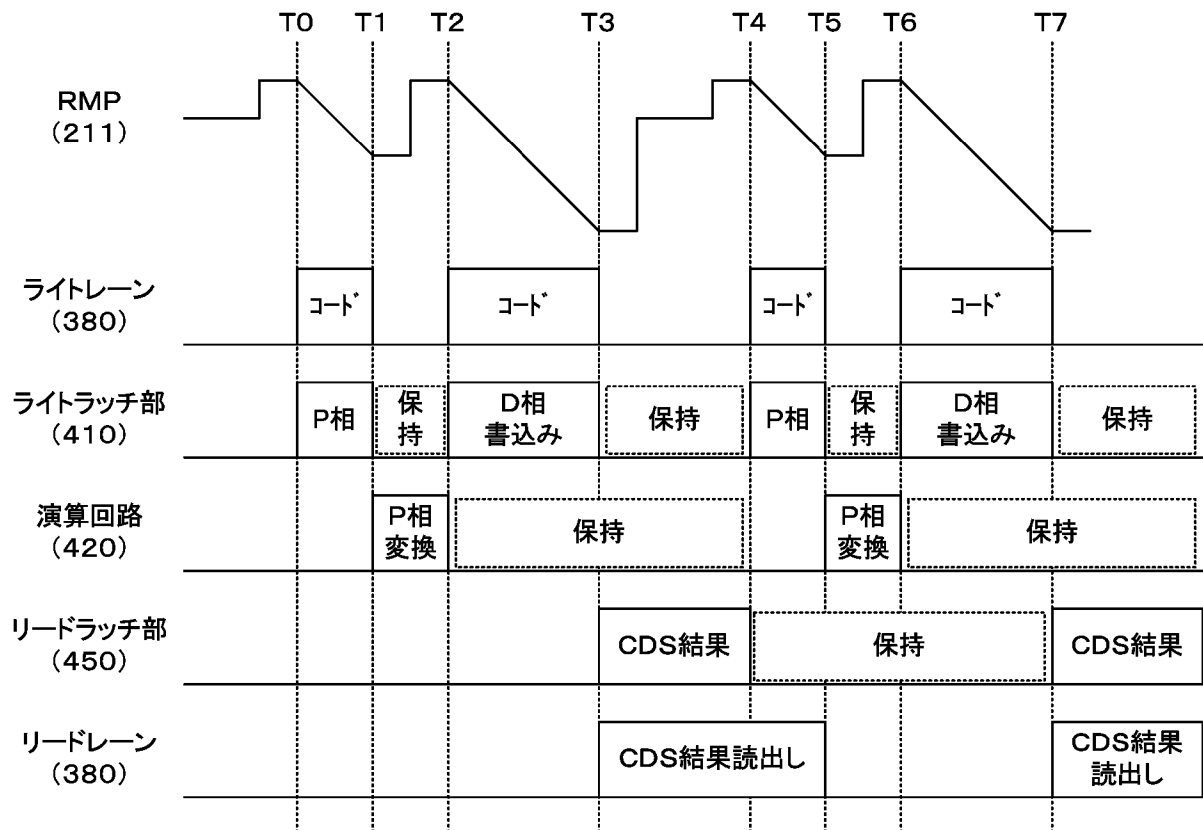
[図14]



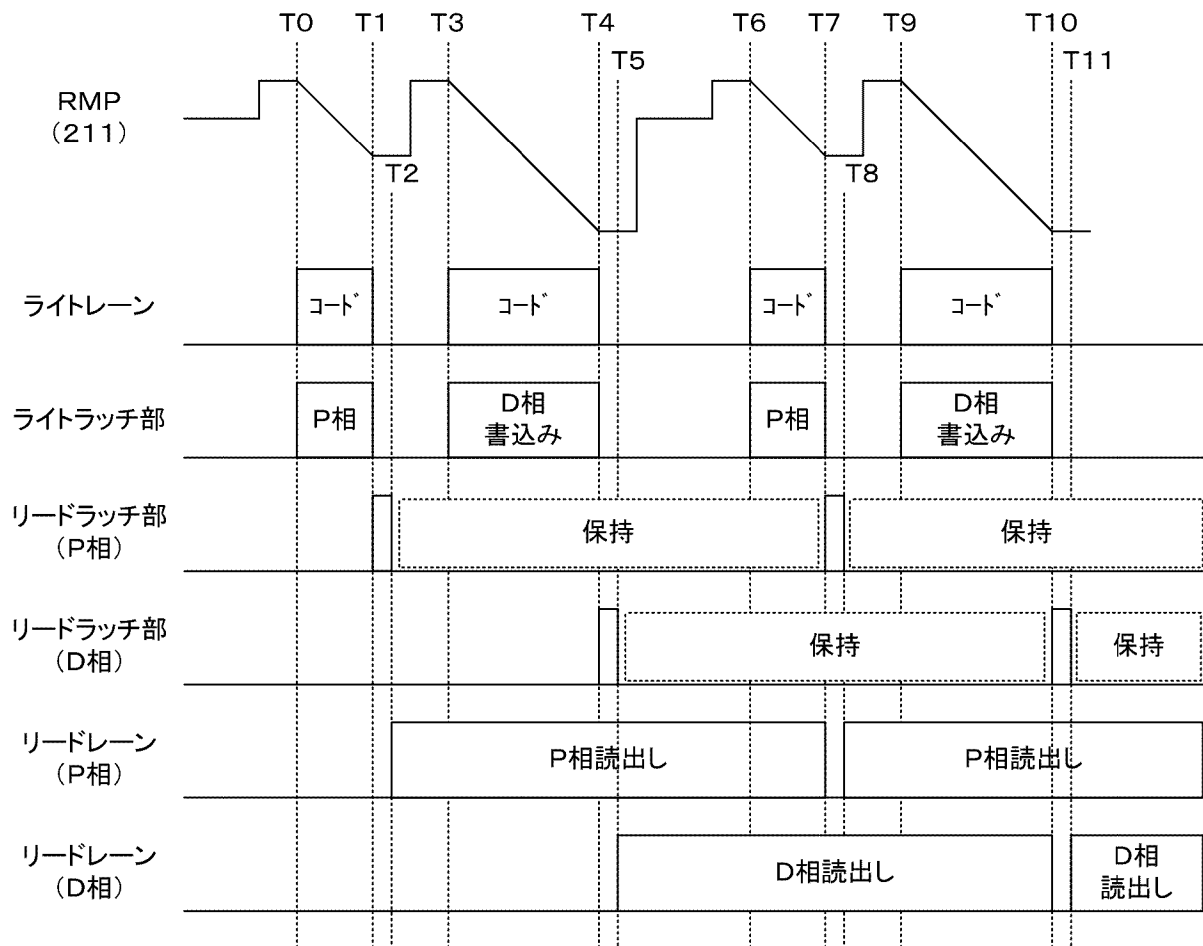
[図15]



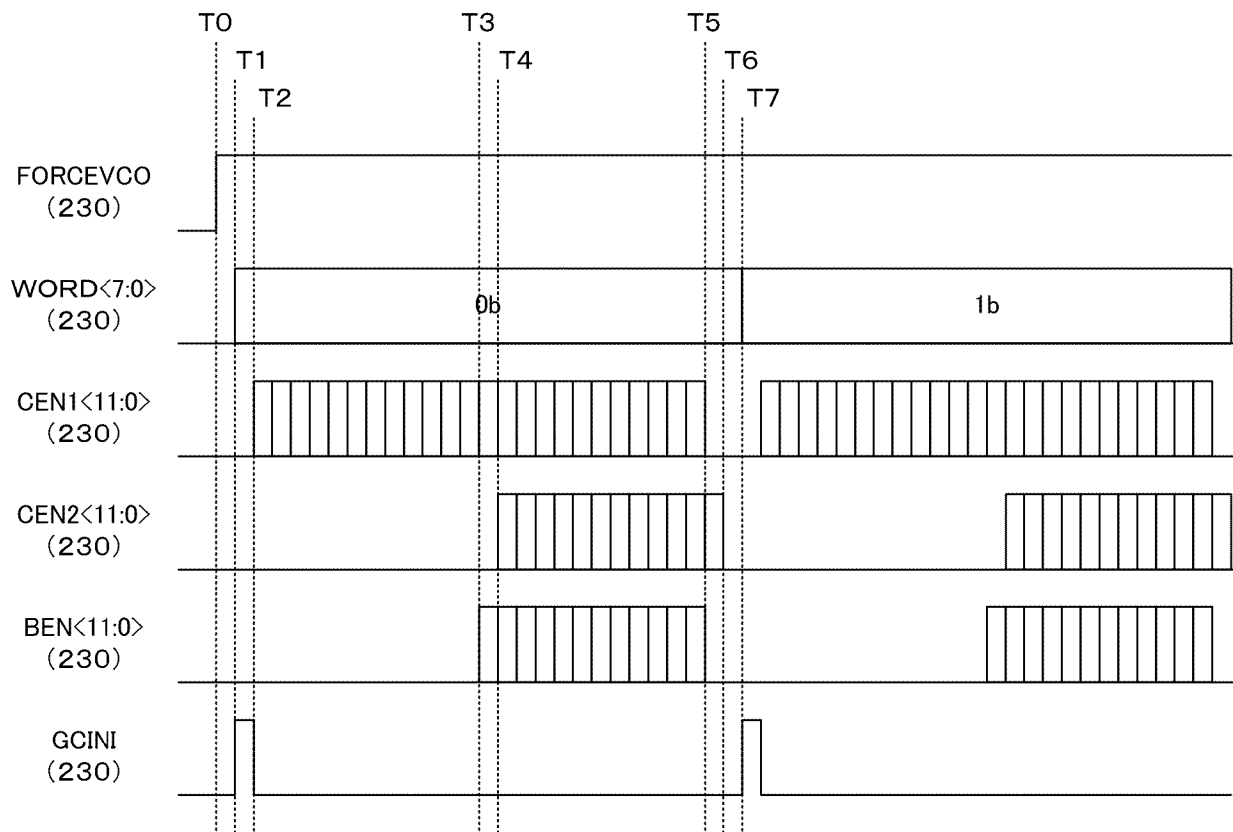
[図16]



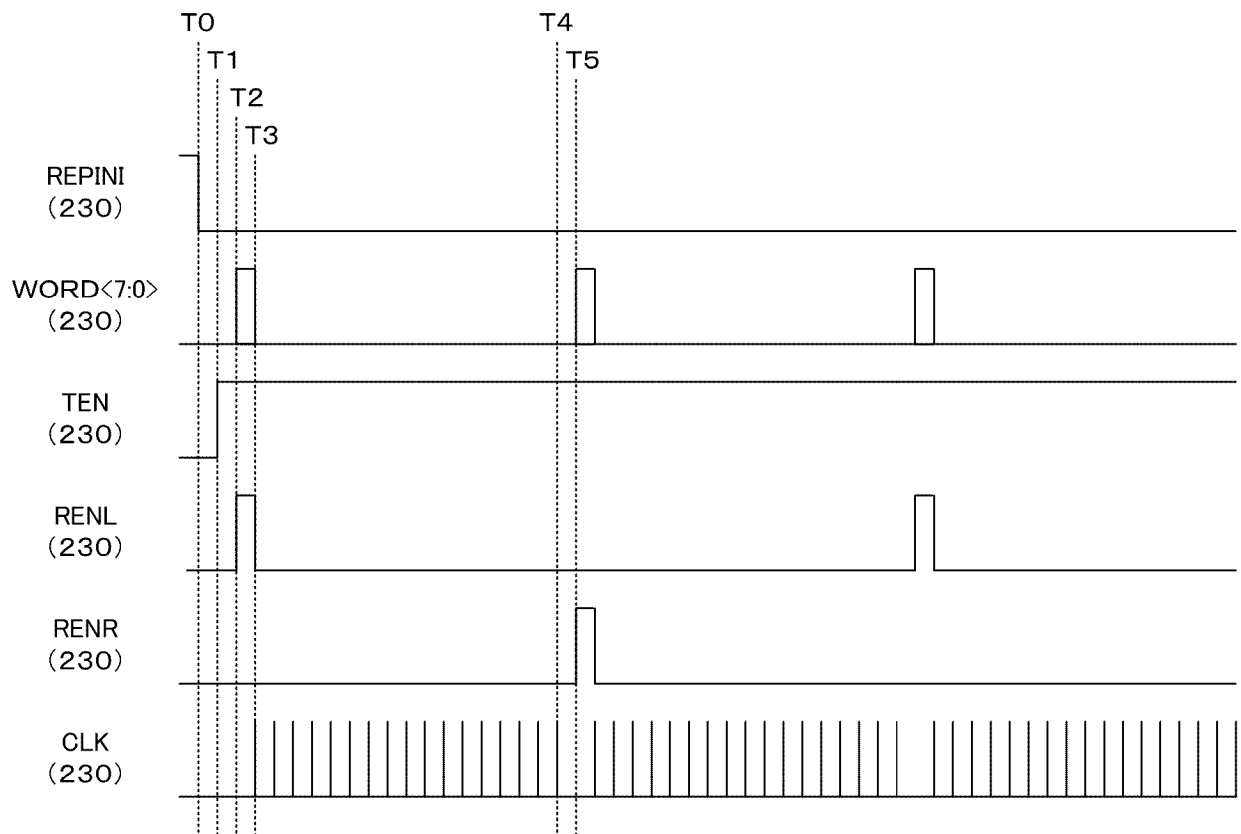
[図17]



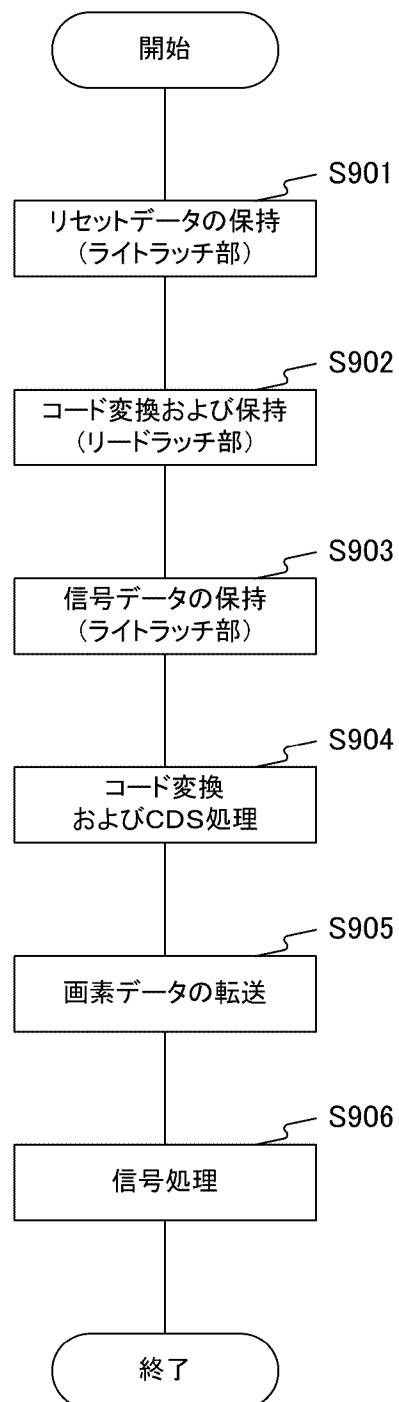
[図18]



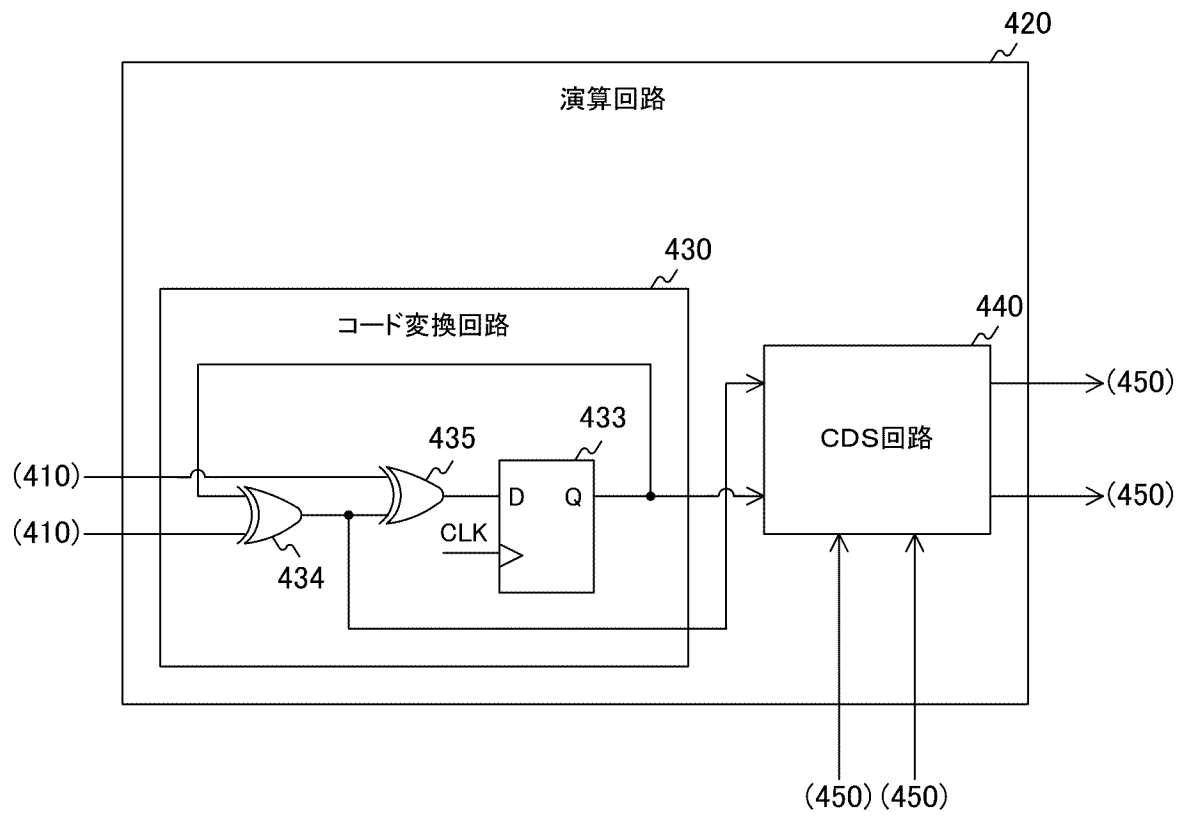
[図19]



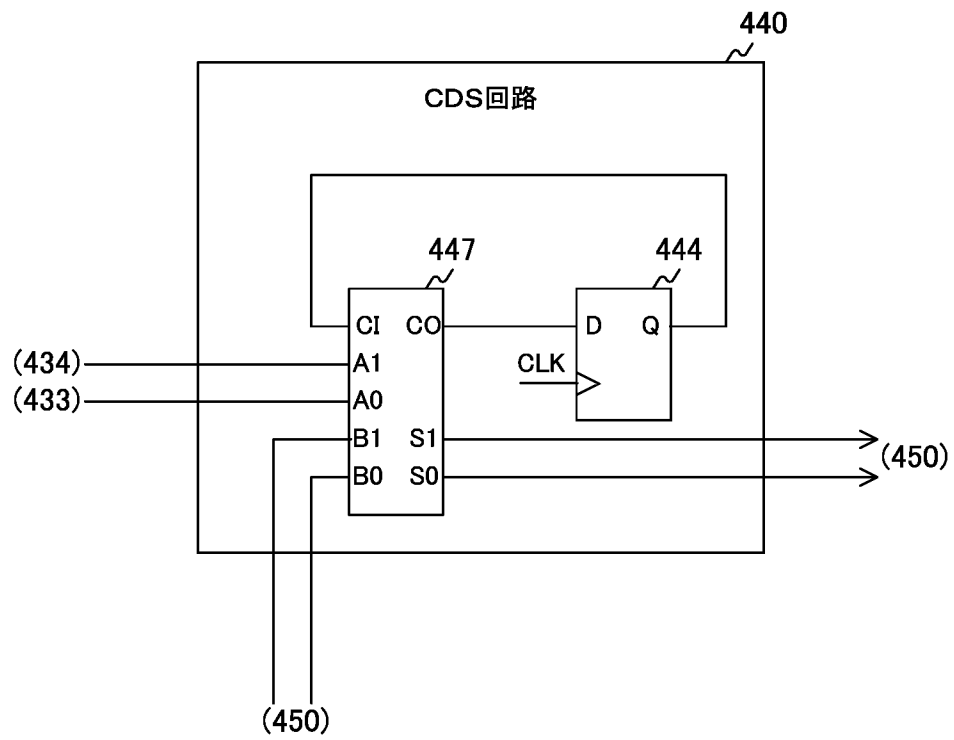
[図20]



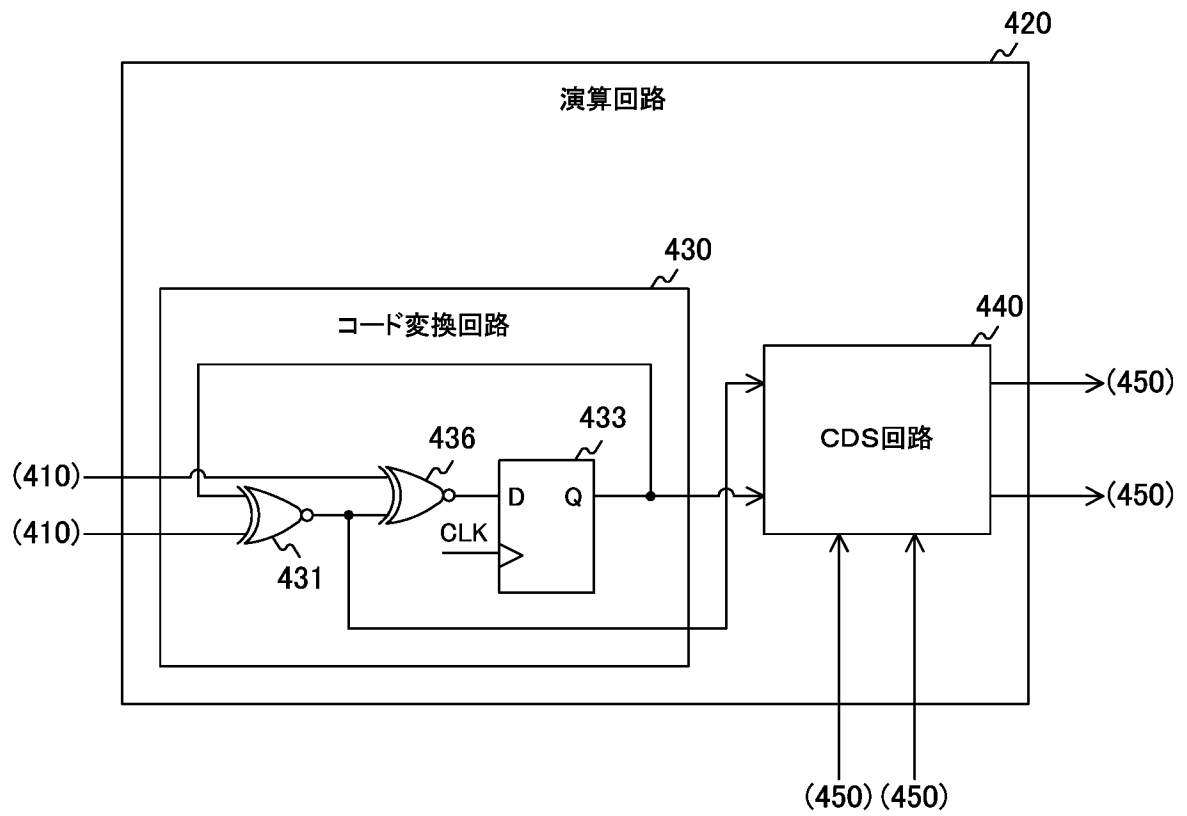
[図21]



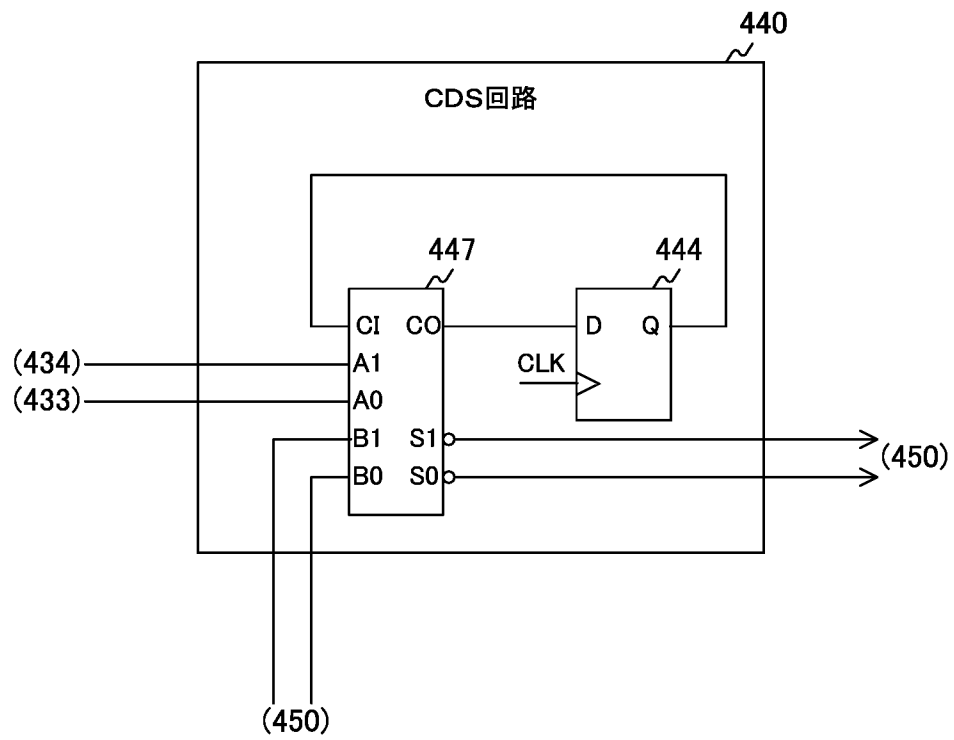
[図22]



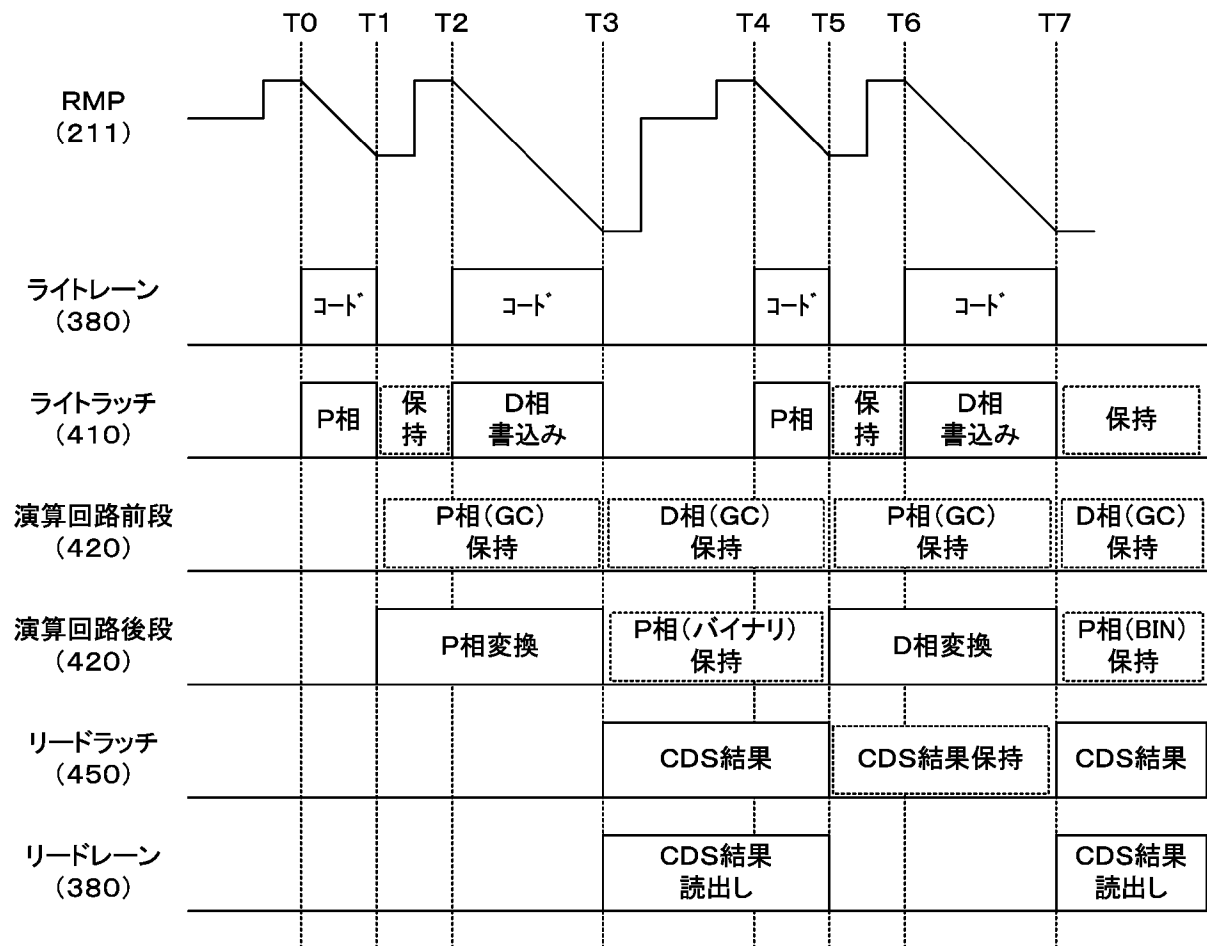
[図23]



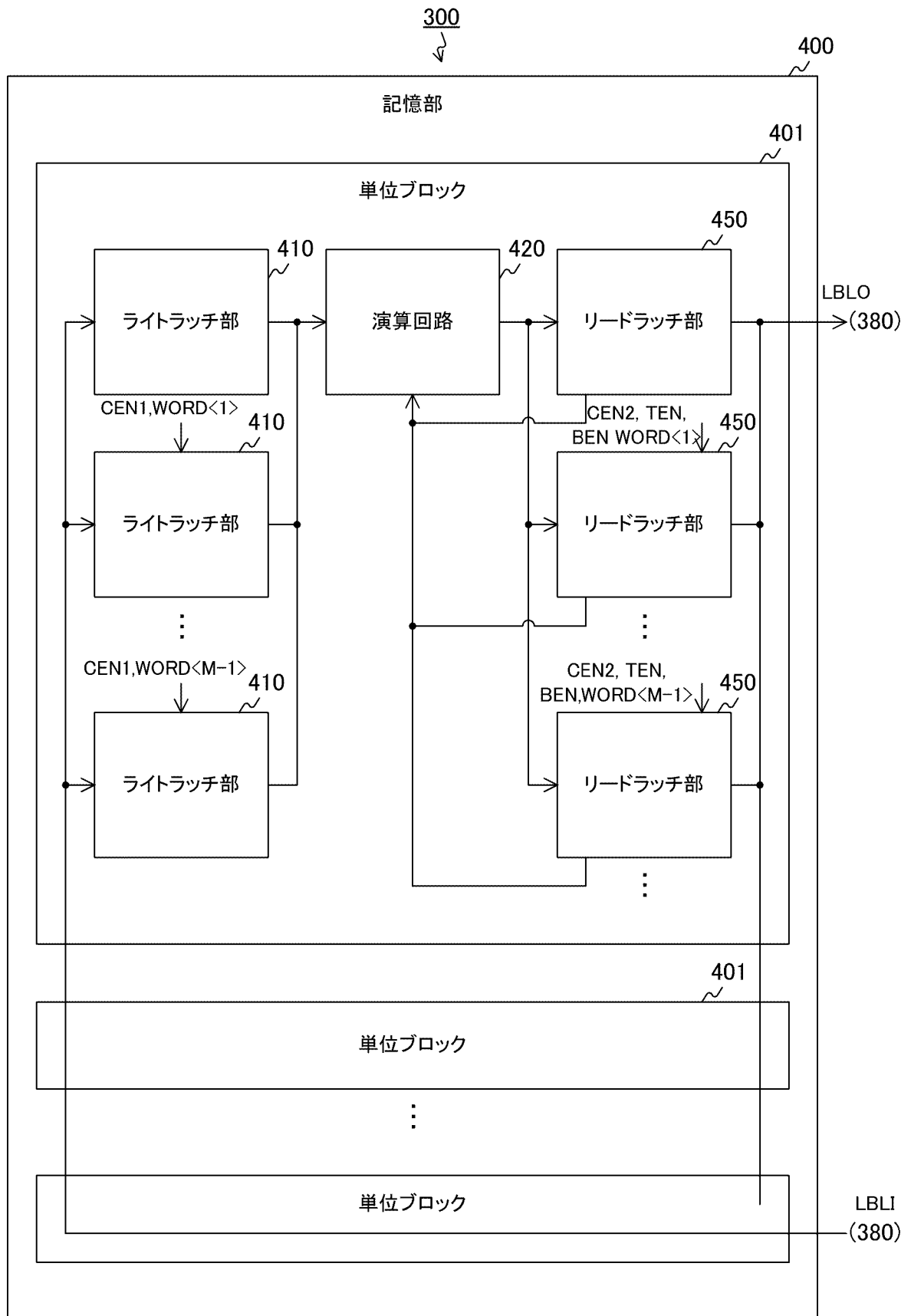
[図24]



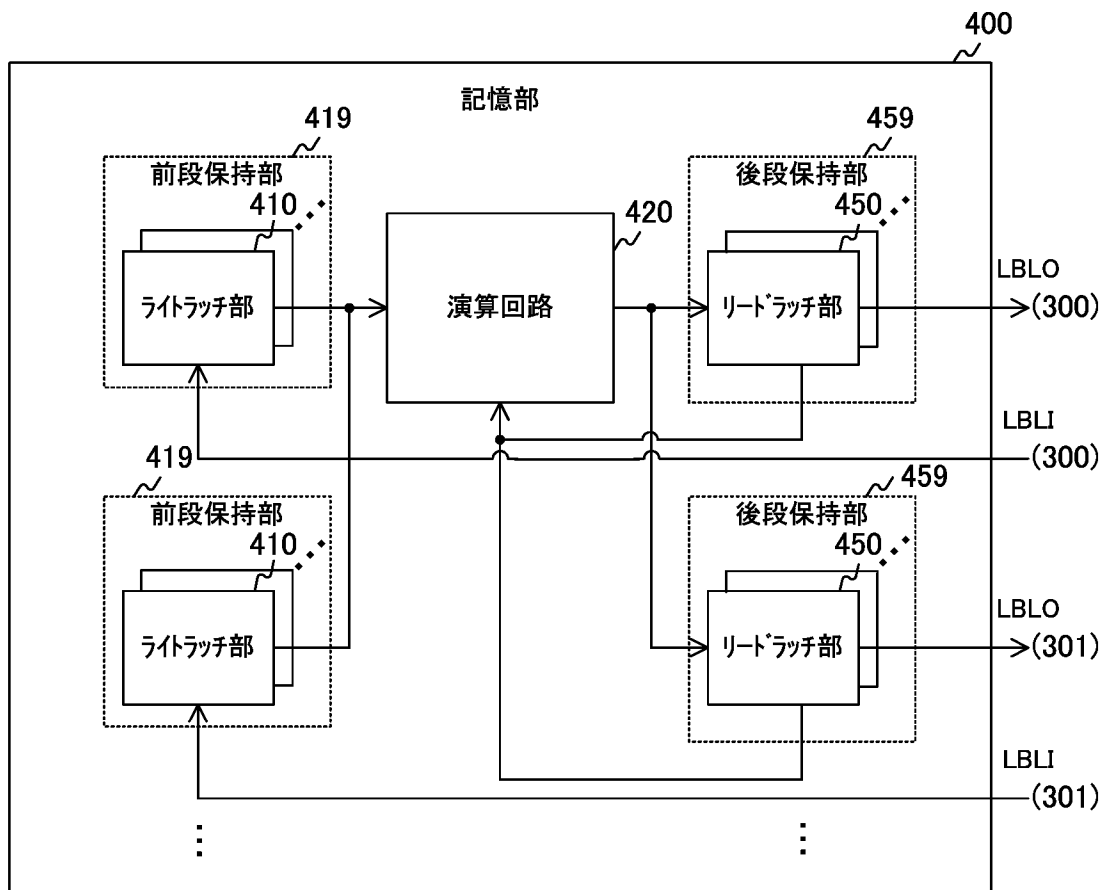
[図25]



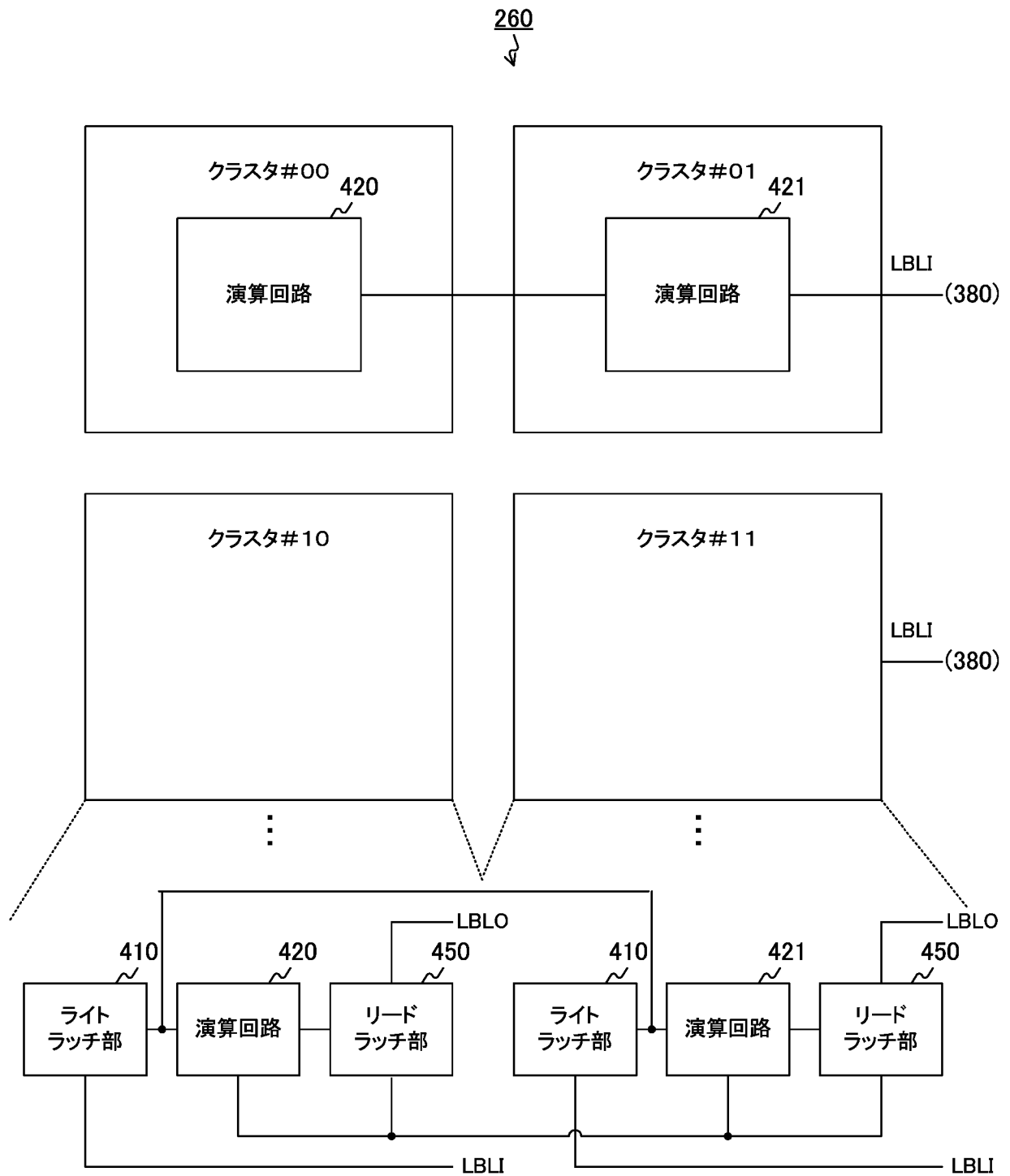
[図26]



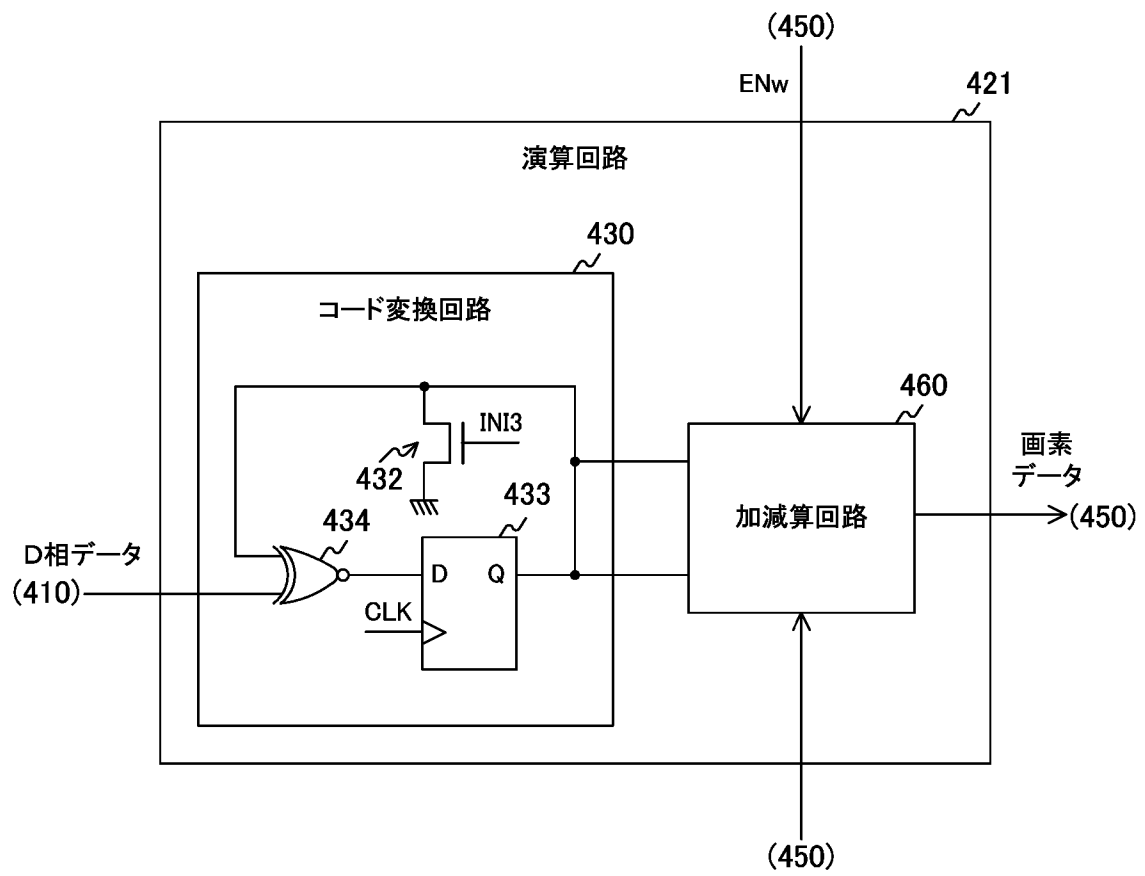
[図27]



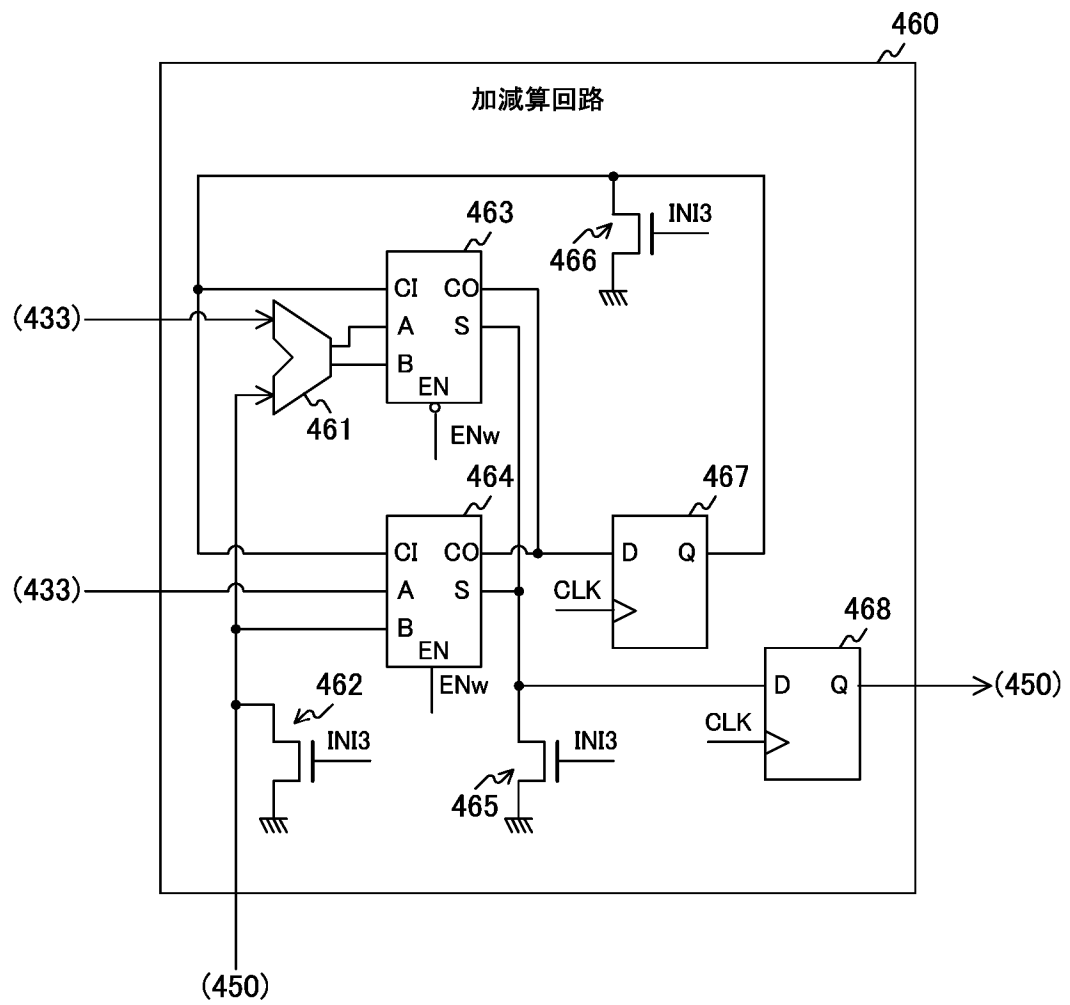
[図28]



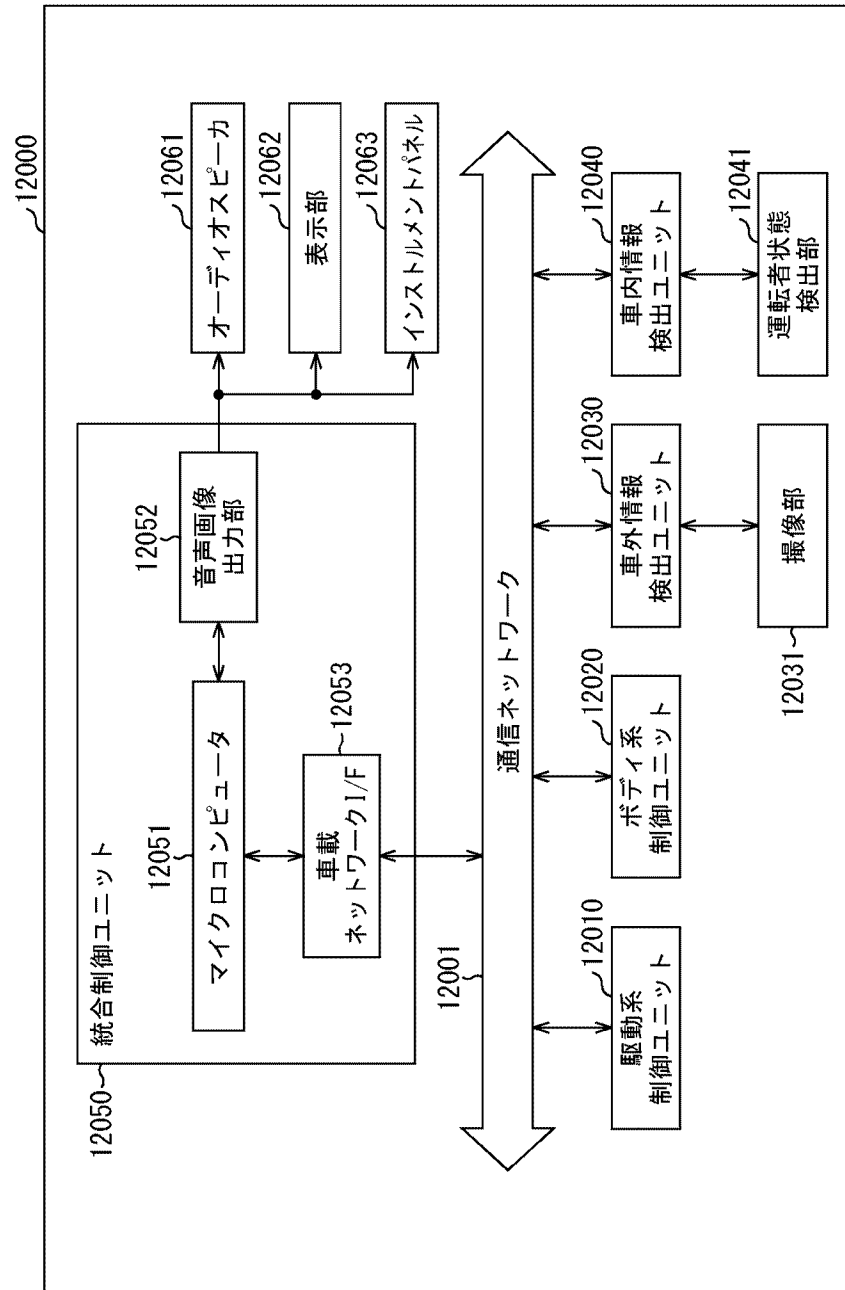
[図29]



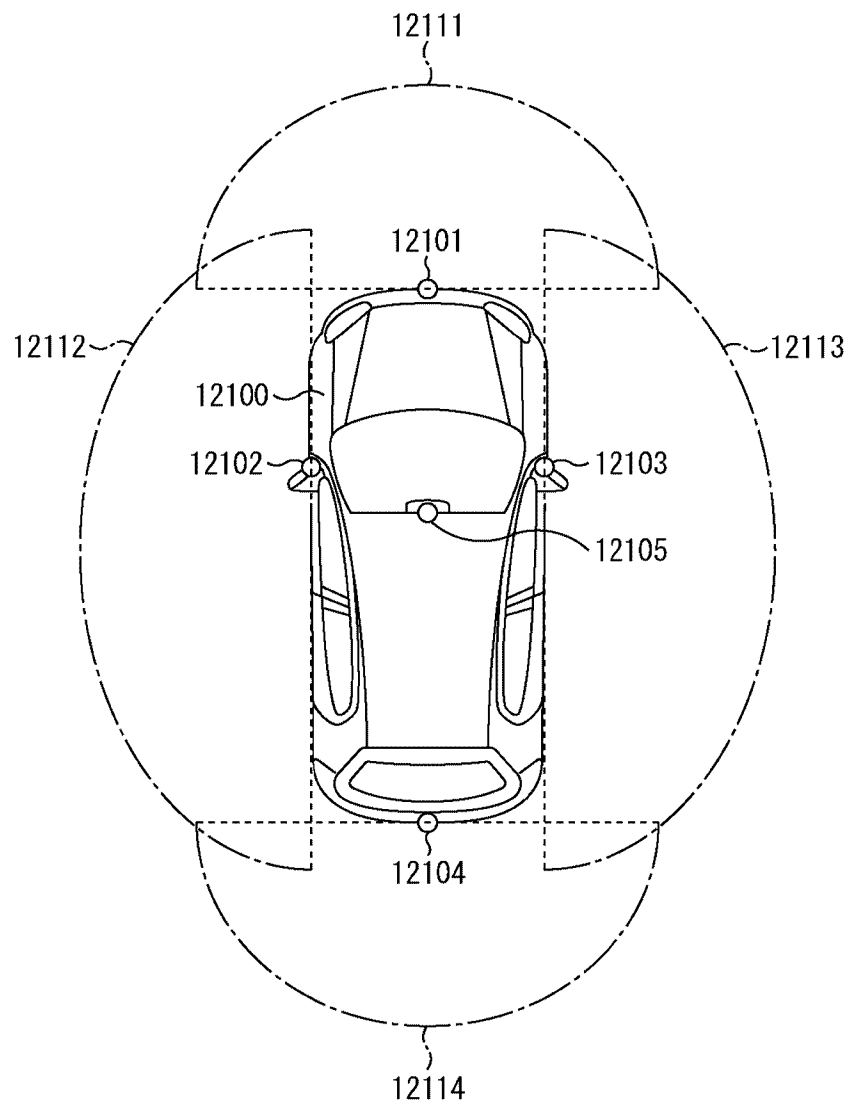
[図30]



[図31]



[図32]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/036890

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/357(2011.01)i, H04N5/363(2011.01)i, H04N5/3745(2011.01)i, H04N5/378(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/357, H04N5/363, H04N5/3745, H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2017/018215 A1 (SONY CORPORATION) 02 February 2017, paragraphs [0026], [0032], [0033], [0077], [0084], [0255]-[0260], fig. 2, 6, 38 & US 2018/0103216 A1, paragraphs [0074], [0080], [0081], [0125], [0132], [0304]-[0309], fig. 2, 6, 38 & CN 107615753 A	1-4, 7-13 5, 6
X	JP 2017-55382 A (CANON INC.) 16 March 2017, paragraphs [0017], [0021], [0072], fig. 1(a), 2(b), 5 & US 2017/0078607 A1, paragraphs [0042], [0046], [0107], fig. 1A, 2B, 5 & CN 106534724 A	1, 12, 13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

21.11.2019

Date of mailing of the international search report

03.12.2019

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/036890

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-232900 A (NIKON CORPORATION) 11 December 2014, paragraph [0110], fig. 2 (Family: none)	5, 6

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04N5/357(2011.01)i, H04N5/363(2011.01)i, H04N5/3745(2011.01)i, H04N5/378(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04N5/357, H04N5/363, H04N5/3745, H04N5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2017/018215 A1（ソニー株式会社）2017.02.02, 段落 [0026], [0032], [0033], [0077], [0084], [0255] - [0260], 図 2, 6, 38	1-4, 7-13
Y	& US 2018/0103216 A1, 段落 [0074], [0080], [0081], [0125], [0132], [0304] - [0309], 図 2, 6, 38 & CN 107615753 A	5, 6
X	JP 2017-55382 A（キヤノン株式会社）2017.03.16, 段落 [0017], [0021], [0072], 図 1(a), 2(b), 5 & US 2017/0078607 A1, 段落 [0042], [0046], [0107], 図 1A, 2B, 5 & CN 106534724 A	1, 12, 13

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

21.11.2019

国際調査報告の発送日

03.12.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

鈴木 明

5 V

9185

電話番号 03-3581-1101 内線 3571

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2014-232900 A (株式会社ニコン) 2014.12.11, 段落 [0110], 図 2 (ファミリーなし)	5, 6