



(12) 发明专利申请

(10) 申请公布号 CN 102473630 A

(43) 申请公布日 2012. 05. 23

(21) 申请号 201080026692. 7

(51) Int. Cl.

(22) 申请日 2010. 09. 06

H01L 21/3065(2006. 01)

(30) 优先权数据

2009-246096 2009. 10. 27 JP

(85) PCT申请进入国家阶段日

2011. 12. 15

(86) PCT申请的申请数据

PCT/JP2010/065203 2010. 09. 06

(87) PCT申请的公布数据

W02011/052296 JA 2011. 05. 05

(71) 申请人 SPP 科技股份有限公司

地址 日本东京

(72) 发明人 大石明光 村上彰一 畑下晶保

(74) 专利代理机构 北京科龙寰宇知识产权代理

有限责任公司 11139

代理人 孙皓晨 费碧华

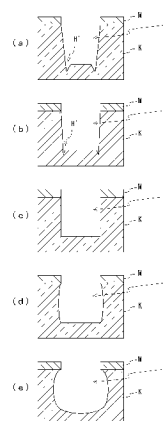
权利要求书 1 页 说明书 7 页 附图 3 页

(54) 发明名称

等离子蚀刻法

(57) 摘要

本发明涉及一种能够高精度地蚀刻宽带隙半导体基板的等离子蚀刻法。将惰性气体供给到处理腔室内进行等离子化,并且对载置宽带隙半导体基板的基台赋予偏置电位,使由惰性气体的等离子化所产生的离子入射到基台上的半导体基板而加热半导体基板,当半导体基板的温度达到 $200^{\circ}\text{C}\sim 400^{\circ}\text{C}$ 的温度即蚀刻时的温度后,将蚀刻气体供给到处理腔室内进行等离子化,并且对基台赋予偏置电位,一面将半导体基板的温度维持在所述蚀刻时的温度一面蚀刻半导体基板。



1. 一种等离子蚀刻法,将蚀刻气体供给到处理腔室内进行等离子化,并且对配置在所述处理腔室内的载置宽带隙半导体基板的基台赋予偏置电位,而对所述基台上的宽带隙半导体基板进行等离子蚀刻;且该等离子蚀刻法的特征在于:

将所述半导体基板加热到 $200^{\circ}\text{C} \sim 400^{\circ}\text{C}$ 而进行蚀刻。

2. 根据权利要求 1 所述的等离子蚀刻法,其特征在于:

所述半导体基板是碳化硅基板。

3. 根据权利要求 1 所述的等离子蚀刻法,其特征在于:

预先对所述半导体基板进行加热直到其温度达到蚀刻时的温度为止,之后,

一面将所述半导体基板的温度维持在所述蚀刻时的温度,一面利用已等离子化的蚀刻气体来蚀刻所述半导体基板。

4. 根据权利要求 3 所述的等离子蚀刻法,其特征在于:

当为了使所述半导体基板的温度达到蚀刻时的温度而进行加热时,将惰性气体供给到所述处理腔室内进行等离子化,并且对所述基台赋予偏置电位,使由所述惰性气体的等离子化所产生的离子入射到所述半导体基板,从而加热该半导体基板。

等离子蚀刻法

技术领域

[0001] 本发明涉及一种对宽带隙半导体基板进行等离子蚀刻的等离子蚀刻法。

背景技术

[0002] 在半导体领域中,以往广泛使用硅基板(Si 基板)作为基板材料,但近年来物性优于该硅基板的宽带隙半导体基板受到关注。一般来说,所述宽带隙半导体基板具有与硅或砷化镓(GaAs)相比晶体的晶格常数小且带隙大的特点,例如包含碳化硅(SiC)、氮化镓(GaN)、氮化铝(AlN)、氧化锌(ZnO)、氮化硼(BN)及磷化硼(BP)等、硼(B)、碳(C)、氮(N)及氧(O)中的至少1种而构成。

[0003] 而且,该宽带隙半导体基板的晶体的晶格常数小,也就是说,原子间的键结较强且具有优异的物性,而相反,由于原子间的键结较强故存在难以进行蚀刻加工的缺点。所以,以往作为对这样的半导体基板进行等离子蚀刻的方法,提出了例如日本专利特开2008-294210号公报中公开的涉及碳化硅基板的等离子蚀刻法。

[0004] 所述等离子蚀刻法中依序实施如下步骤:遮罩形成步骤,在碳化硅基板的表面形成包含预定形状的遮罩图案的二氧化硅膜(SiO_2 膜);第1蚀刻步骤,使用 SF_6 气体、 O_2 气体及Ar气体的混合气体作为蚀刻气体,且将所述二氧化硅膜作为遮罩,对所述碳化硅基板进行等离子蚀刻;及第2蚀刻步骤,使用Ar气体及 O_2 气体的混合气体作为蚀刻气体,且将所述二氧化硅膜作为遮罩,对所述碳化硅基板进行等离子蚀刻;且在所述第1蚀刻步骤中,将 SF_6 气体、 O_2 气体及Ar气体的比例设为预定比例,将环境压力设为0.5Pa以下,将碳化硅基板加热到 $70^\circ\text{C} \sim 100^\circ\text{C}$;在所述第2蚀刻步骤中,将Ar气体及 O_2 气体的比例设为预定比例,将环境压力设为0.5Pa以下,将碳化硅基板加热到 $70^\circ\text{C} \sim 100^\circ\text{C}$ 。

[0005] 先行技术文献

[0006] 专利文献

[0007] 专利文献1:日本专利特开2008-294210号公报

发明内容

[0008] 发明所欲解决的问题

[0009] 然而,例如在对硅(Si)进行等离子蚀刻的情况下,基板的温度通常限制为到 100°C 为止的温度。其原因在于,如果基板的温度超过 100°C ,那么会产生以下问题:因蚀刻容易各向同性地进行或者难以形成保护膜,而导致蚀刻形状劣化(难以进行各向异性蚀刻);因成为遮罩的抗蚀膜的耐热性低,所以,因抗蚀膜的软化会导致遮罩图案的形状精度降低。而且,在对二氧化硅(SiO_2)进行等离子蚀刻的情况下,根据成为遮罩的抗蚀膜的耐热性低这一问题,一般与上文同样地也将该基板的加热温度限制为到 100°C 为止的温度。

[0010] 而且,在上文所述的以往的等离子蚀刻法中,将碳化硅基板加热到 $70^\circ\text{C} \sim 100^\circ\text{C}$ 而进行蚀刻,与所述硅或者二氧化硅同样地也控制为到 100°C 为止的温度。

[0011] 但是,本发明者等人经过反复努力研究之后得出以下观点:当成为等离子蚀刻的

对象的基板是原子间的键结较强的宽带隙半导体基板时,如果将该半导体基板加热到高于 100℃ 的温度而进行蚀刻,那么蚀刻加工精度会得到提高。

[0012] 本发明是本发明者等人对能够实施高精度的等离子蚀刻的宽带隙半导体基板的加热温度反复进行实验之后得出的结果,其目的在于提供一种能够高精度地蚀刻宽带隙半导体基板的等离子蚀刻法。

[0013] 解决问题的技术手段

[0014] 用于实现所述目的的本发明是一种等离子蚀刻法,将蚀刻气体供给到处理腔室内进行等离子化,并且对配置在所述处理腔室内的载置宽带隙半导体基板的基台赋予偏置电位,从而对所述基台上的宽带隙半导体基板进行等离子蚀刻;且该等离子蚀刻法的特征在于:

[0015] 将所述半导体基板加热到 200℃~400℃ 而进行蚀刻。

[0016] 根据本发明,在对宽带隙半导体基板(以下简称为“半导体基板”)进行等离子蚀刻时,将该半导体基板加热到 200℃~400℃。这样做的原因在于:本发明者等人经过研究之后判明了当对原子间的键结较强的半导体基板进行蚀刻时,该半导体基板的加热温度优选 200℃~400℃。

[0017] 即,根据本发明者等人的研究,当半导体基板 K 的加热温度低时,如图 2(a) 所示,在经蚀刻所形成的孔 H 或者沟 H 的底面的侧壁侧进一步形成沟 H',无法获得高精度的蚀刻形状。然而,如果使半导体基板 K 的加热温度缓慢升高,那么如图 2(b) 所示,所形成的沟 H' 的大小会缓慢减小,最后如图 2(c) 所示,未形成沟 H'。

[0018] 而且,如果从未形成沟 H' 的加热温度起使半导体基板 K 的加热温度缓慢升高,那么蚀刻容易各向同性地进行,如图 2(d) 及图 2(e) 所示,会蚀刻到孔 H 及沟 H 的侧壁。就构成半导体基板 K 的原子而言,如果其键结没有断开,便不会与由蚀刻气体的等离子化所产生的自由基或者离子反应,但该半导体基板 K 的温度越高,原子间的键结越容易断开,则由蚀刻气体的等离子化所产生的自由基或者离子越容易与构成半导体基板 K 的原子反应,所以,利用所述反应所进行的蚀刻可有效地进行。还有,在可以构成半导体基板 K 的所述材料中,尤其是就碳化硅而言,一方面硅(Si)与碳(C)的键结牢固,另一方面随着其温度升高,两者的键结容易断开,而容易进行蚀刻。所以,半导体基板 K 的加热温度越高,宽带隙半导体基板 K 的蚀刻越容易各向同性地进行,孔 H 或者沟 H 的侧壁越容易被蚀刻。还有,在图 2(d) 及图 2(e) 中,图 2(e) 中图示了当半导体基板 K 的加热温度高时的蚀刻形状。而且,图 2 中,符号 M 表示遮罩。

[0019] 而且,从这一方面对半导体基板的加热温度与蚀刻形状的关系进行了调查,结果可确认:如果半导体基板的加热温度为 200℃~400℃,那么进行等离子蚀刻时,在孔 H 或者沟 H 的底面完全不会形成沟 H',或者即便形成也非常小,而且,孔 H 或者沟 H 的侧壁也完全不会被蚀刻,或者即便被蚀刻也是极少部分。所以,如果将半导体基板加热到 200℃~400℃,便能够高精度地对半导体基板进行蚀刻。还有,如果半导体基板的加热温度在 300℃~400℃ 的范围内更好。

[0020] 这样,根据本发明的等离子蚀刻法,在对半导体基板进行等离子蚀刻时,将该半导体基板加热到 200℃~400℃,所以能够高精度地对半导体基板进行蚀刻。

[0021] 然而,如图 3 所示,使半导体基板的温度从加热前的温度 T_0 升高到蚀刻处理时的

温度 T_1 ($200^{\circ}\text{C} \leq T_1 \leq 400^{\circ}\text{C}$) 需要一定的时间。而且,如果在半导体基板的温度达到蚀刻处理温度 T_1 之前将蚀刻气体供给到处理腔室内且开始进行半导体基板的蚀刻,那么从开始蚀刻到半导体基板的温度达到蚀刻处理温度 T_1 这一期间内,因该半导体基板的温度变化而导致蚀刻处理条件有变动,所以,会产生无法高精度地对半导体基板进行蚀刻(例如,由于在半导体基板的温度低的时间段的蚀刻而形成的如图 2(a) 或图 2(b) 所示的沟 H' ,即便利用半导体基板的温度成为蚀刻处理温度 T_1 后的蚀刻,也不会完全地消失)的问题、或者蚀刻速度不均一的问题。

[0022] 所以,预先对所述半导体基板进行加热直到其温度达到蚀刻时的温度为止,之后,一面将所述半导体基板的温度维持在所述蚀刻时的温度,一面利用已等离子化的蚀刻气体来对所述半导体基板进行蚀刻,如此一来,可以防止蚀刻处理开始后半导体基板的温度产生变化,从而可以使蚀刻处理稳定,因此,能够高精度地对半导体基板进行蚀刻,或者能够防止蚀刻速度变得不均一。

[0023] 还有,当为了使所述半导体基板的温度为蚀刻时的温度而进行加热时,也可以采用如下方式:将惰性气体供给到所述处理腔室内进行等离子化,并且对所述基台赋予偏置电位,使由所述惰性气体的等离子化所产生的离子入射到所述半导体基板而加热该半导体基板。这样一来,可防止因离子入射而导致的蚀刻,且可以使半导体基板升高到预定温度。而且,无需重新设置加热半导体基板的加热机构,仅通过产生惰性气体的等离子便可以半导体基板进行加热。

[0024] 而且,为了将半导体基板的温度维持在一定温度,利用由蚀刻气体的等离子化所产生的离子的入射来加热半导体基板即可。

[0025] 除此之外,当加热半导体基板时,可以利用加热器进行加热,也可以利用离子入射及加热器这两者进行加热。而且,在半导体基板的温度升高过度的情况下,也可以配合进行半导体基板的冷却。

[0026] 还有,作为所述半导体基板,如上所述,例如可以列举包含碳化硅、氮化镓、氮化铝、氧化锌、氮化硼及磷化硼等、硼、碳、氮及氧之中的至少 1 种而构成者,但并不限制为所述种类。

[0027] 发明效果

[0028] 如上所述,根据本发明的等离子蚀刻法,通过将半导体基板的加热温度设为 $200^{\circ}\text{C} \sim 400^{\circ}\text{C}$,能够实施高精度的等离子蚀刻。

附图说明

[0029] 图 1 是表示用于实施本发明的一实施方式中的等离子蚀刻法的蚀刻装置的概略构成的截面图。

[0030] 图 2 是用于说明基板的蚀刻形状与加热温度的关系的截面图。

[0031] 图 3 是表示基板的温度与加热时间的关系的图。

具体实施方式

[0032] 以下,根据附图对本发明具体的实施方式进行说明。还有,本实施方式中,以如下情况为例进行说明:利用如图 1 所示的蚀刻装置 1 来对作为宽带隙半导体基板中的 1 种的

碳化硅基板 K 实施等离子蚀刻。而且,该碳化硅基板 K 例如具有 4H-SiC 晶体结构,其表面上形成着例如二氧化硅膜来作为蚀刻遮罩,在所述二氧化硅膜上形成着设为预定形状的遮罩图案。

[0033] 首先,对所述蚀刻装置 1 进行说明。如图 1 所示,所述蚀刻装置 1 包括:处理腔室 11,具有闭合空间;基台 15,升降自如地配设在处理腔室 11 内,且载置所述碳化硅基板 K;升降气缸 18,使基台 15 升降;排气装置 20,对处理腔室 11 内的压力进行减压;气体供给装置 25,将蚀刻气体及惰性气体供给到处理腔室 11 内;等离子产生装置 30,将供给到处理腔室 11 内的蚀刻气体及惰性气体等离子化;及高频电源 35,对基台 15 供给高频电力。

[0034] 所述处理腔室 11 包括具有相互连通的内部空间的下腔室 12 及上腔室 13,上腔室 13 与下腔室 12 相比形成得较小。所述基台 15 包括载置碳化硅基板 K 的上构件 16、及连接升降气缸 18 的下构件 17,且配置在下腔室 12 内。

[0035] 所述排气装置 20 包括连接在下腔室 12 侧面的排气管 21,经过排气管 21 而对处理腔室 11 内的气体进行排气,从而使处理腔室 11 的内部达到预定压力。

[0036] 所述气体供给装置 25 包括:蚀刻气体供给部 26,供给作为蚀刻气体的例如 SF_6 气体或者 SF_6 气体与 O_2 气体的混合气体;惰性气体供给部 27,例如供给 He 气体等惰性气体;及供给管 28,一端连接于上腔室 13 的上面,另一端形成分叉而分别连接于蚀刻气体供给部 26 及惰性气体供给部 27;且从蚀刻气体供给部 26 经过供给管 28 而将蚀刻气体供给到处理腔室 11 内,从惰性气体供给部 27 经过供给管 28 而将惰性气体供给到处理腔室 11 内。

[0037] 所述等离子产生装置 30 包括:多个线圈 31,上下地并排设置在上腔室 13 的外周部,且为环状;及高频电源 32,对各线圈 31 供给高频电力;且通过由高频电源 32 对线圈 31 供给高频电力,而将供给到上腔室 13 内的蚀刻气体及惰性气体等离子化。所述高频电源 35 通过对基台 15 供给高频电力而使基台 15 与等离子之间产生电位差(偏置电位),且使由蚀刻气体及惰性气体的等离子化所产生的离子入射到碳化硅基板 K。

[0038] 下面,对利用以上文所述的方式而构成的蚀刻装置 1 对碳化硅基板 K 进行等离子蚀刻的方法进行说明。

[0039] 首先,将所述碳化硅基板 K 搬入到蚀刻装置 1 内,并载置在基台 15 上,一直对碳化硅基板 K 进行加热,直到所述碳化硅基板 K 的温度达到 $200^{\circ}\text{C} \sim 400^{\circ}\text{C}$ 的温度即蚀刻时的温度(蚀刻处理温度)为止。此时,在蚀刻装置 1 中,从惰性气体供给部 27 将惰性气体供给到处理腔室 11 内,利用排气装置 20 使处理腔室 11 内达到预定压力,利用高频电源 32、35 分别对线圈 31 及基台 15 供给高频电力。供给到处理腔室 11 内的惰性气体被等离子化,由所述等离子化所产生的离子受到偏置电位的作用而入射、碰撞碳化硅基板 K。借此,碳化硅基板 K 受到加热而温度升高,最终在蚀刻处理温度下达到平衡。

[0040] 还有,关于碳化硅基板 K 的温度是否已达到蚀刻处理温度,例如可根据碳化硅基板 K 的加热时间或温度测定来判断。而且,作为蚀刻遮罩的二氧化硅膜,与抗蚀剂相比耐热性强,所以即便将碳化硅基板 K 加热到 $200^{\circ}\text{C} \sim 400^{\circ}\text{C}$,也不会软化而导致遮罩图案的形状精度降低。

[0041] 而且,如果碳化硅基板 K 的温度在蚀刻处理温度下处于平衡,那么将所述二氧化硅膜作为遮罩而对碳化硅基板 K 进行蚀刻。此时,在蚀刻装置 1 中,从蚀刻气体供给部 26 将蚀刻气体供给到处理腔室 11 内,利用排气装置 20 使处理腔室 11 内达到预定压力,利用高

频电源 32、35 分别对线圈 31 及基台 15 供给高频电力。供给到处理腔室 11 内的蚀刻气体被等离子化,利用由所述等离子化所产生的自由基或者离子来对碳化硅基板 K 进行蚀刻。而且,在所述碳化硅基板 K 上形成与所述二氧化硅膜的遮罩图案相对应的孔或者沟。

[0042] 还有,当蚀刻碳化硅基板 K 时,也是利用受偏置电位的作用而入射、碰撞的离子对碳化硅基板 K 进行加热,所以所述碳化硅基板 K 的温度能够维持在一定温度(所述蚀刻处理温度)。

[0043] 然而,如上所述,在本例中,是将碳化硅基板 K 加热到 $200^{\circ}\text{C} \sim 400^{\circ}\text{C}$ 而进行蚀刻。这样做的原因在于本发明者等人经过研究后判明:当对原子间的键结较强的碳化硅基板 K 进行蚀刻时,优选将该碳化硅基板 K 加热到 $200^{\circ}\text{C} \sim 400^{\circ}\text{C}$ 的温度。

[0044] 即,根据本发明者等人的研究,当碳化硅基板 K 的加热温度低时,如图 2(a) 所示,在经蚀刻所形成的孔 H 或者沟 H 的底面的侧壁侧进一步形成了沟 H', 而无法获得高精度的蚀刻形状。然而,如果使碳化硅基板 K 的加热温度缓慢升高,那么如图 2(b) 所示,所形成的沟 H' 的大小会缓慢变小,最后如图 2(c) 所示,未形成沟 H'。

[0045] 而且,如果从未形成沟 H' 的加热温度起使碳化硅基板 K 的加热温度缓慢升高,那么蚀刻容易各向同性地进行,如图 2(d) 及图 2(e) 所示,会蚀刻到孔 H 或者沟 H 的侧壁。就构成碳化硅基板 K 的硅(Si)及碳(C)而言,如果两者的键结没有断开,便不会与利用蚀刻气体的等离子化而产生的自由基或者离子反应,但该碳化硅基板 K 的温度越高,硅与碳的键结越容易断开,利用蚀刻气体的等离子化而产生的自由基或者离子与硅或者碳越容易反应,所以利用所述反应进行的蚀刻可有效地进行。所以,碳化硅基板 K 的加热温度越高,则碳化硅基板 K 的蚀刻越容易各向同性地进行,孔 H 或者沟 H 的侧壁越容易被蚀刻。

[0046] 而且,从这一方面对碳化硅基板 K 的加热温度与蚀刻形状的关系进行了调查,结果可确认:如果碳化硅基板 K 的加热温度为 $200^{\circ}\text{C} \sim 400^{\circ}\text{C}$ (更优选的是 $300^{\circ}\text{C} \sim 400^{\circ}\text{C}$), 那么当进行蚀刻时,在孔 H 或者沟 H 的底面完全不会形成沟 H', 或者即便形成也非常小,而且,孔 H 或者沟 H 的侧壁也完全不会被蚀刻,或者即便被蚀刻也是极少部分。所以,如果将碳化硅基板 K 加热到 $200^{\circ}\text{C} \sim 400^{\circ}\text{C}$ (更优选的是 $300^{\circ}\text{C} \sim 400^{\circ}\text{C}$), 便能够高精度地对碳化硅基板 K 进行蚀刻。

[0047] 这样,根据本例中的等离子蚀刻法,当对碳化硅基板 K 进行等离子蚀刻时,因将所述碳化硅基板 K 加热到 $200^{\circ}\text{C} \sim 400^{\circ}\text{C}$, 所以能够高精度地蚀刻碳化硅基板 K。

[0048] 而且,在本例中,是在碳化硅基板 K 的温度达到蚀刻处理温度后开始蚀刻处理,其原因在于:如图 3 所示,使碳化硅基板 K 的温度从加热前的温度 T_0 升高到蚀刻处理温度 T_1 ($200^{\circ}\text{C} \leq T_1 \leq 400^{\circ}\text{C}$) 需要一定的时间,所以,如果在碳化硅基板 K 的温度达到蚀刻处理温度 T_1 之前便开始碳化硅基板 K 的蚀刻,那么从蚀刻开始到碳化硅基板 K 的温度达到蚀刻处理温度 T_1 这一期间内,会因该碳化硅基板 K 的温度变化而导致蚀刻处理条件产生变动,会导致无法高精度地蚀刻碳化硅基板 K (例如由于在碳化硅基板 K 的温度低的时间段的蚀刻而形成的如图 2(a) 或者图 2(b) 所示的沟 H', 即便利用碳化硅基板 K 的温度达到蚀刻处理温度 T_1 后的蚀刻也不会完全消失) 的问题、及蚀刻速度不均一的问题。

[0049] 所以,像本例一样,如果在碳化硅基板 K 的温度达到蚀刻处理温度 T_1 之后开始蚀刻处理,那么,能够防止蚀刻处理开始后碳化硅基板 K 的温度变化,能够使蚀刻处理稳定,能够高精度地蚀刻碳化硅基板 K, 且能够防止蚀刻速度不均一。

[0050] 而且,因使由惰性气体的等离子化所产生的离子入射、碰撞到碳化硅基板 K 而加热碳化硅基板 K,所以可以防止因离子入射而产生的蚀刻,且可以使碳化硅基板 K 的温度升高。而且,无需在处理腔室 11 设置用于加热碳化硅基板 K 的加热机构,仅通过产生惰性气体的等离子便可加热碳化硅基板 K。

[0051] 另外,应用本例的等离子蚀刻法对表面形成着作为遮罩的二氧化硅膜的碳化硅基板 K 进行蚀刻后,像图 2(a) 或者图 2(b) 那样,未形成沟 H',而且,如图 2(d) 或者图 2(e) 所示,侧壁也未被蚀刻,而获得如图 2(c) 所示的高精度的蚀刻形状。还有,通过使惰性气体等离子化而加热碳化硅基板 K,使该碳化硅基板 K 的温度为 200℃~400℃的蚀刻处理温度时的处理条件为:将作为惰性气体的 He 气体的供给流量设为 50sccm;将处理腔室 11 内的压力设为 3Pa;将供给到线圈 31 的高频电力设为 2.5kW;且将供给到基台 15 的高频电力设为 700W;且当碳化硅基板 K 的温度达到蚀刻处理温度后,蚀刻该碳化硅基板 K 时的处理条件为:将作为蚀刻气体的 SF₆ 气体的供给流量设为 50sccm;将处理腔室 11 内的压力设为 3Pa;将供给到线圈 31 的高频电力设为 2.5kW;且将供给到基台 15 的高频电力设为 700W。而且,此时,碳化硅基板 K 的蚀刻处理温度为大约 400℃。

[0052] 以上,对本发明的一实施方式进行了说明,但本发明能够采用的具体形态并不受这些说明的任何限制。

[0053] 在上例中,通过使由惰性气体的等离子化所产生的离子入射、碰撞到碳化硅基板 K,而使碳化硅基板 K 的温度升高,但可使用任何一种方法加热碳化硅基板 K。例如,可以使加热器嵌入在基台 15 中,利用所述加热器加热碳化硅基板 K,也可以利用离子入射和加热器这两者来加热碳化硅基板 K。而且,在因加热而导致碳化硅基板 K 的温度升高到超过 400℃的温度的情况下,可配合进行碳化硅基板 K 的冷却,将碳化硅基板 K 的温度控制在 200℃~400℃的范围内。

[0054] 而且,作为蚀刻对象基板 K,列举了具有 4H-SiC 晶体结构的碳化硅基板这一个示例,但蚀刻对象基板 K 也可以是具有除 4H-SiC 以外的晶体结构的碳化硅基板,另外,也可以是例如氮化镓、氮化铝、氧化锌、氮化硼及磷化硼等的化合物半导体基板。而且,关于碳化硅基板 K 的蚀刻遮罩,除了所述二氧化硅膜以外,也可以采用例如镍膜等金属遮罩。

[0055] 另外,在上例中,使用所述蚀刻装置 1 实施了本发明的等离子蚀刻法,但也可以使用具有其他结构的蚀刻装置来实施所述等离子蚀刻法。

[0056] [符号的说明]

[0057] 1 蚀刻装置

[0058] 11 处理腔室

[0059] 15 基台

[0060] 20 排气装置

[0061] 25 气体供给装置

[0062] 26 蚀刻气体供给部

[0063] 27 惰性气体供给部

[0064] 30 等离子产生装置

[0065] 31 线圈

[0066] 32 高频电源

[0067] 35 高频电源

[0068] K 碳化硅基板（宽带隙半导体基板）

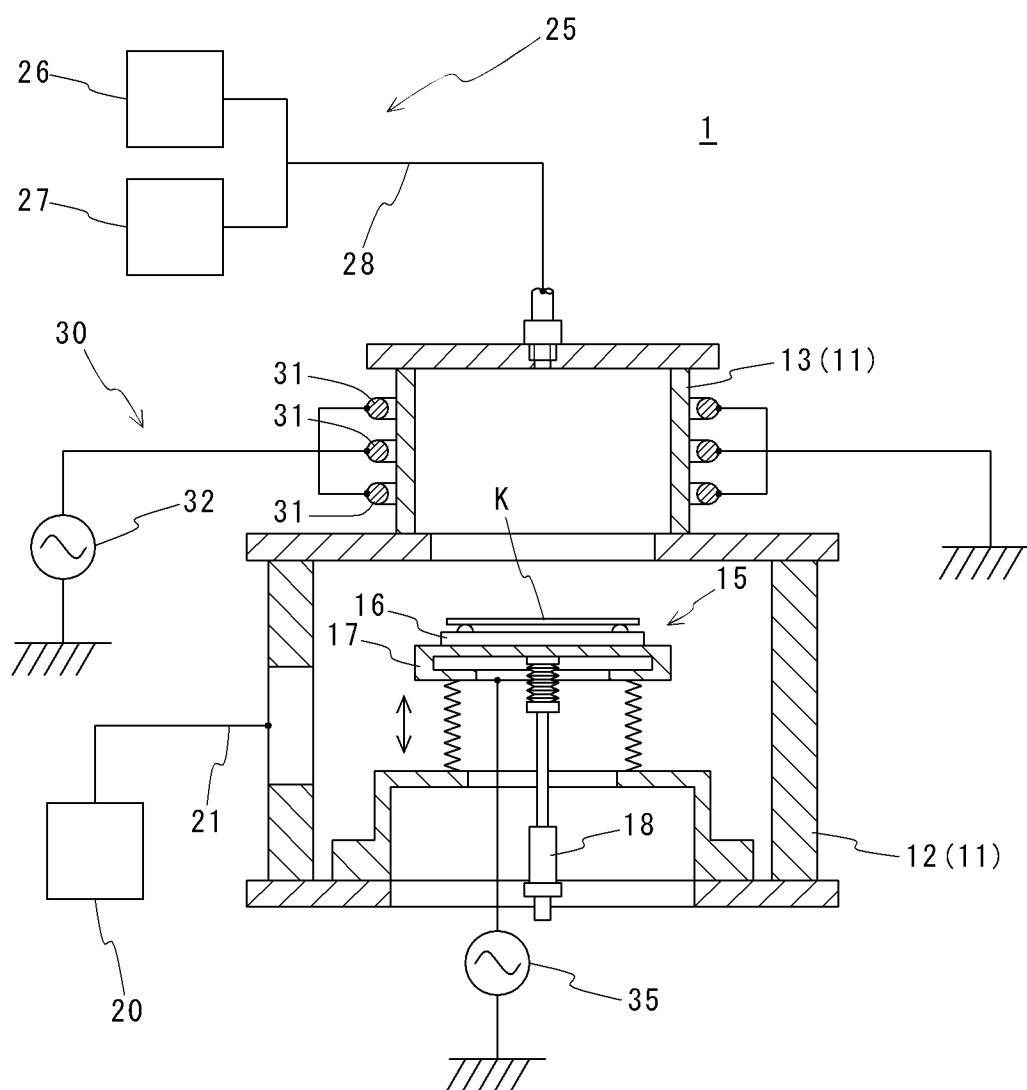


图 1

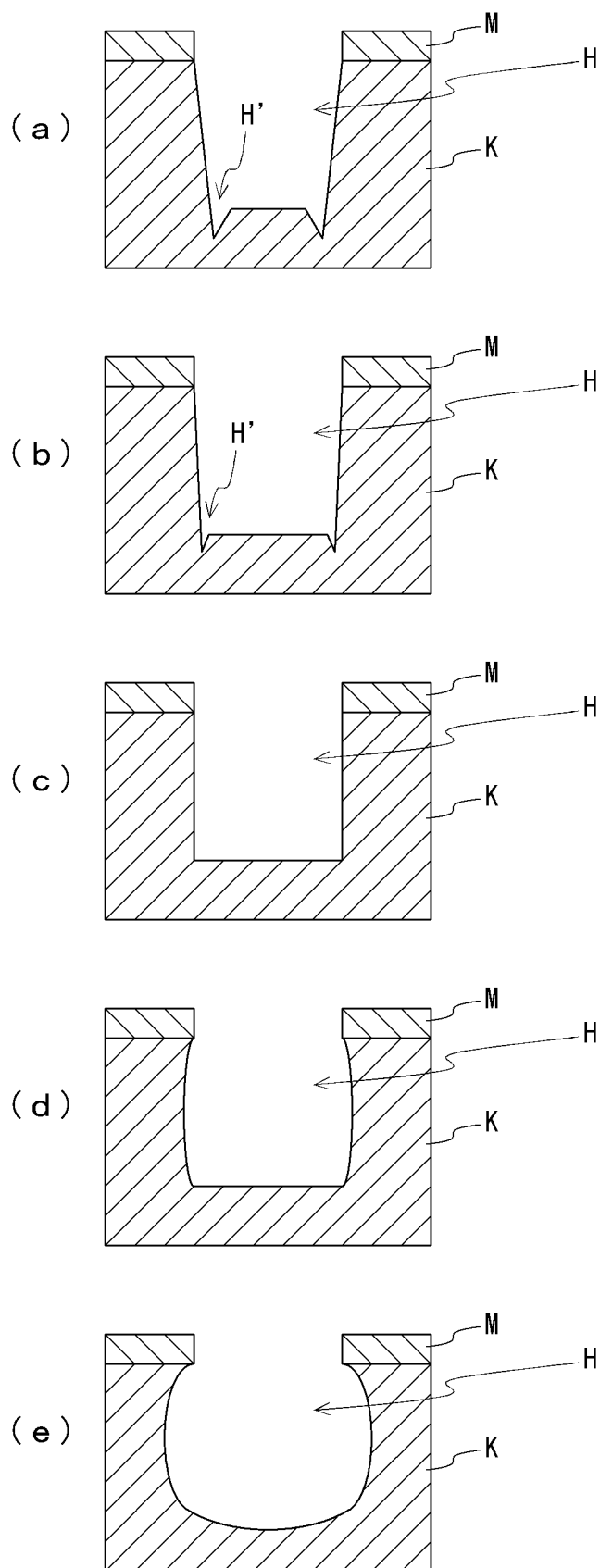


图 2

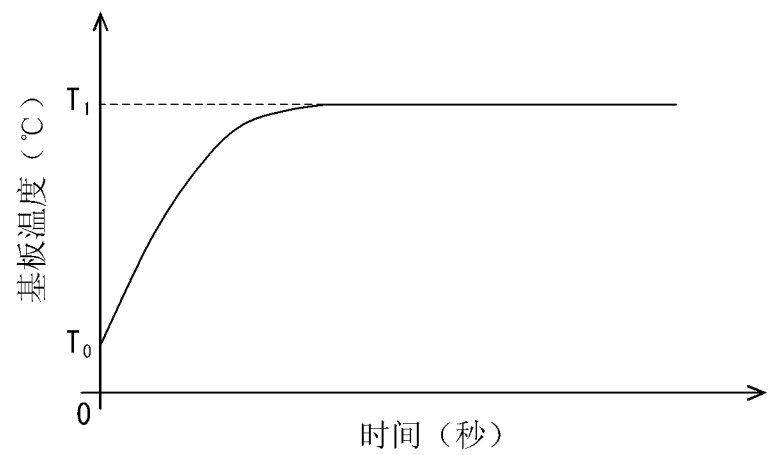


图 3