

申請日期	85 年 6 月 3 日
案 號	85106605
類 別	G06F 3/00

A4
C4

322553

Int. C1⁶

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 新 型	中 文	半導體積體電路裝置
	英 文	
二、發明 創 作 人	姓 名	(1) 門馬敦子 (2) 松本美紀 (3) 大石貫時
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國東京都羽村市栄町一————二 日立さかえ寮三一〇
	住、居所	(2) 日本國東京都青梅市河辺町六——六——六 ランハイツニ〇二 (3) 日本國東京都小金井市緑町五——六——三八
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地
	代 表 人 姓 名	(1) 金井務

裝

訂

線

322553

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 1995 年 7 月 6 日 7-194229 ☒無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

四、中文發明摘要(發明之名稱：

半 導 體 積 體 電 路 裝 置

一種半導體積體電路裝置，具有與時鐘信號成為同步的輸入或輸出信號，而與外部授受對電源電壓成為小信號振幅之信號之低振幅輸入輸出介面，接受從外部供給之時鐘信號之輸入電路係以實質上經常的動作之差動電路輸入，而接受與該時鐘信號成為同步的輸入之低振幅輸入信號之輸入信號則以該時鐘信號間歇的使差動電路動作，在該差動電路動作之期間內，以該內部時鐘信號抽樣該輸入之內部信號，在差動電路不動作之期間內則保持該抽樣之信號。

英文發明摘要(發明之名稱：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體積體電路裝置，其特徵為：該裝置係由具有同步於時鐘信號輸入或輸出信號，並且與外部之間授受對電源電壓成為小信號振幅之信號之低振幅之輸入輸出介面，該輸入輸出介面中，接受從外部供給之時鐘信號之第1輸入電路係包括形成在閘極上供給該低振幅輸入信號及成為該信號振幅之大約中間電位之基準電壓之差動MOSFET，及設在該差動MOSFET之共同源極上，實質上經常的動作之電流源MOSFET，並且形成該低振幅之輸入信號對應於電源電壓之振幅之內部信號，而且接受同步於該時鐘信號輸入之低振幅之輸入信號之第2輸入電路係由包括在閘極供給低振幅之輸入信號及成為該信號振幅之大約中間電位之基準電壓之差動MOSFET，及設在差動MOSFET之共同源極，以從該第1輸入電路輸入之內部時鐘信號使其間歇的動作之電流源MOSFET而形成具有該低振幅之輸入信號對應於電源電壓之振幅之內部信號之輸入部，以該內部時鐘信號在該輸入部成為動作之期間內抽樣由該輸入部輸入之內部信號，當該輸入部成為非動作之期間內，保持該抽樣之信號之緩衝電路所構成。

2. 一種半導體積體電路，其特徵為：該裝置係由具有同步於時鐘信號輸入或輸出信號，並與外部之間授受對電源電壓成為小信號振幅之信號之低振幅輸入輸出介面，該輸入輸出介面中，接受從外部供給之時鐘信號之第1輸入電路包括由在閘極與源極之間供給該低振幅輸入信號及

六、申請專利範圍

成為該信號振幅之大約中間電位之基準電壓之第 1 導電型之一對輸入 MOSFET，及設在該一對輸入 MOSFET 之吸極上，將對應於一方之輸入 MOSFET 之吸極電流之電流供給於另一方之輸入 MOSFET 之吸極之第 2 導電型 MOSFET 所構成之電流鏡電路，及將動作電流供給於構成該電流鏡電路之第 2 導電型 MOSFET 之源極之電流源 MOSFET，並且形成低振幅之輸入信號 IN 對應於電源電壓之振幅之內部信號，接受同步於該時鐘信號輸入之低振幅輸入信號之第 2 輸入電路係由與該第 1 輸入電路相同之電路所構成，以從該第 1 輸入電路輸入之內部時鐘信號使該電流源 MOSFET 間歇性的動作而形成該低振幅之輸入信號對應於電源電壓之振幅之內部信號之輸入部，及以該內部時鐘信號在該輸入部成為動作之期間內抽樣從該輸入部輸入之內部信號，在該輸入部成為非動作之期間內保持經抽樣之信號之緩衝電路所構成。

3. 如申請專利範圍第 2 項之裝置，其中該裝置具有不進行任何動作之非動作模態，在該非動作模態時，使構成該第 1 輸入電路之電流源 MOSFET 及構成該第 2 輸入電路之電流源 MOSFET 皆成為斷路狀態。

4. 如申請專利範圍第 1，2，或 3 項之裝置，其中該裝置構成同步動態型 RAM，第 1 輸入電路係時鐘信號用或時鐘啟動信號用輸入電路，第 2 輸入電路為其他之控制信號或位址輸入信號，或資料輸入信號用輸入電路。

六、申請專利範圍

5. 一種具有第 1 輸入電路及第 2 輸入電路之半導體積體電路裝置，其特徵為：該第 1 輸入電路包括在其閘極接受從該半導體積體電路裝置之外部供給之外部時鐘信號及成為該外部時鐘信號之信號振幅之大約中間電位之第 1 基準電壓之一對差動 MOSFET，及將電流供給於該一對差動 MOSFET 之各源極與吸極間之通路之電源電路，並且形成具有大於該外部時鐘信號之信號振幅之信號振幅之內部時鐘信號，該第 2 輸入電路包括接受從該半導體積體電路裝置之外部供給之外部輸入信號，成為該外部輸入信號之信號振幅之大約中間電位之第 2 基準電壓，及響應於該外部時鐘信號之控制信號，並根據該控制信號門鎖該外部輸入信號之門鎖電路，該門鎖電路形成具有大於該外部輸入信號之信號振幅之信號振幅之內部信號。

6. 如申請專利範圍第 5 項之裝置，其中又包括內部電路，該門鎖電路具有輸出相補信號之第 1 及第 2 端子，該第 2 輸入電路又包括連接於第 1 及第 2 端子之一對信號線，將該外部輸入信號及該基準電壓分別傳送至該一對信號線之第 1 傳送閘極電路，將該一對信號線之電位傳送至該內部電路之第 2 傳送閘極電路，及將該一對信號線之電位預充電於該第 2 基準電壓之預充電電路。

7. 如申請專利範圍第 6 項之裝置，其中該控制信號包括響應於該外部時鐘信號從第 1 位準變成第 2 位準而形成之第 1 脈波信號，及響應於該外部時鐘信號從第 1 位準變成第 2 位準而且在形成第 1 脈波信號之後形成之第 2 脈

六、申請專利範圍

波信號，該第 1 傳送閘極電路響應於該第 1 脈波信號成為導通狀態，該第 2 傳送閘極電路響應於該第 2 脈波信號成為導通狀態。

8. 如申請專利範圍第 7 項之裝置，其中該控制信號又包括響應於該外部時鐘信號成為第 1 位準而形成之第 3 脈波信號，該預充電電路響應於該第 3 脈波信號被該第 2 基準電壓供給於該一對信號線。

9. 如申請專利範圍第 8 項之裝置，其中該第 1 傳送閘極電路包括具有接受該外部輸入信號之第 3 端子，連接於該一對信號線中之一方之間之源極與吸極間通路，及接受該第 1 脈波信號之閘極之第 1 MOSFET，具有有接受該第 2 基準電壓之第 4 端子，連接於該一對信號線中之另一方之間之源極與吸極間之通路，及接受該第 1 脈波信號之閘極之第 2 MOSFET，該第 2 傳送閘極電路包括具有連接於該一對信號線中之一方與該內部電路之間之源極與吸極間之通路，及接受第 2 脈波信號之閘極之第 3 MOSFET，及具有連接於該一對信號線中之另一方與該內部電路之間之源極與吸極間之通路，及接受該第 2 脈波信號之閘極之第 4 MOSFET，該預充電電路包括具有連接於該一對信號線間之源極與吸極間之通路，及接受該第 3 脈波信號之閘極之第 5 MOSFET，具有連接於該第 2 基準電壓與該一對信號線中之一方之間之源極與吸極間之通路，及接受該第 3 脈波信號之閘極之第 6 MOSFET，及具有連接於該一對信號線之間之源極與

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

吸極間之通路，及接受該第3脈波信號之閘極之第7 MOSFET，該閘鎖電路包括具有連接於該第1端子之輸入端子，及連接於第2端子之輸出端子之第1CMOS倒相器，及具有連接於該第1CMOS倒相器之輸入端子之輸出端子，及連接於該第CMOS倒相器之輸出端子之輸入端子之第2CMOS倒相器。

10. 一種具有第1輸入電路及第2輸入電路之半導體積體電路裝置，其特徵為：該第1輸入電路包括在閘極上接受從該半導體積體電路裝置之外部供給之外部時鐘信號，及成為該外部時鐘信號之信號振幅之大約中間電位之第1基準電壓之一對第1差動MOSFET，及將電流供給於該一對第1差動MOSFET之各源極與吸極間之通路之第1電流源電路，並且形成具有大於該外部時鐘信號之信號振幅之信號振幅之內部時鐘信號，該第2輸入電路D接受從該半導體積體電路裝置之外部供給之外部輸入信號，成為該外部輸入信號之信號振幅之大約中間電位之第2基準電壓，及響應於該外部時鐘信號之控制信號，並且形成具有大於該外部輸入信號之信號振幅之信號振幅之內部信號，該第2輸入電路響應於該控制信號成為動作狀態。

11. 如申請專利範圍第10項之裝置，其中該第2輸入電路包括在其閘極接受該外部輸入信號及該第2基準電壓之一對第2差動MOSFET，及將電流分別供給於該一對第2差動MOSFET之各源極與吸極間之通路之

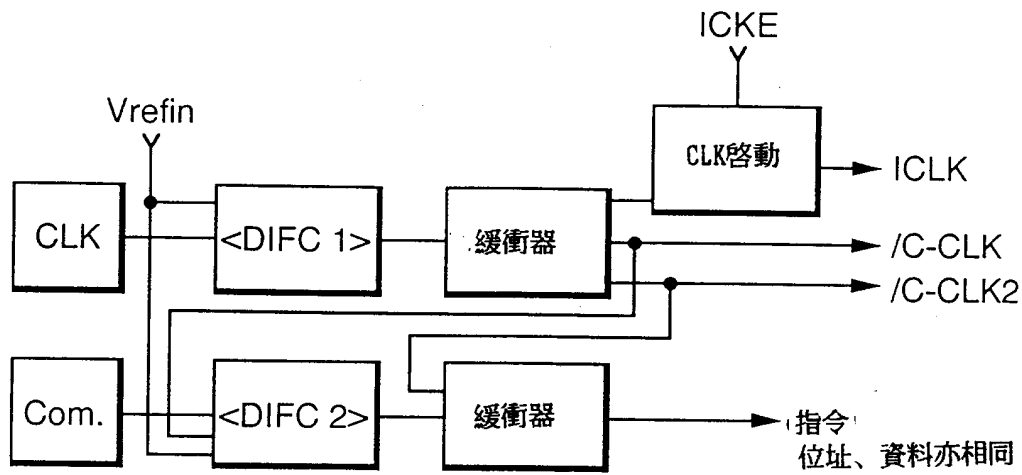
六、申請專利範圍

第 2 電流源電路。

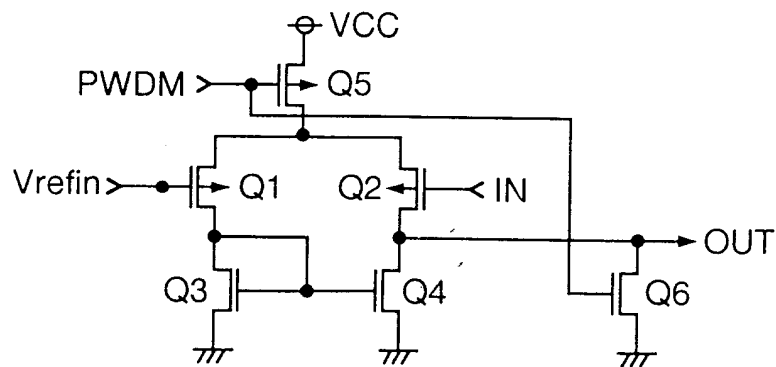
1 2 . 如申請專利範圍第 1 1 項之裝置，其中該第 2 電流源電路包括響應於該控制信號成為導通狀態之 MOSFET。

(請先閱讀背面之注意事項再填寫本頁)

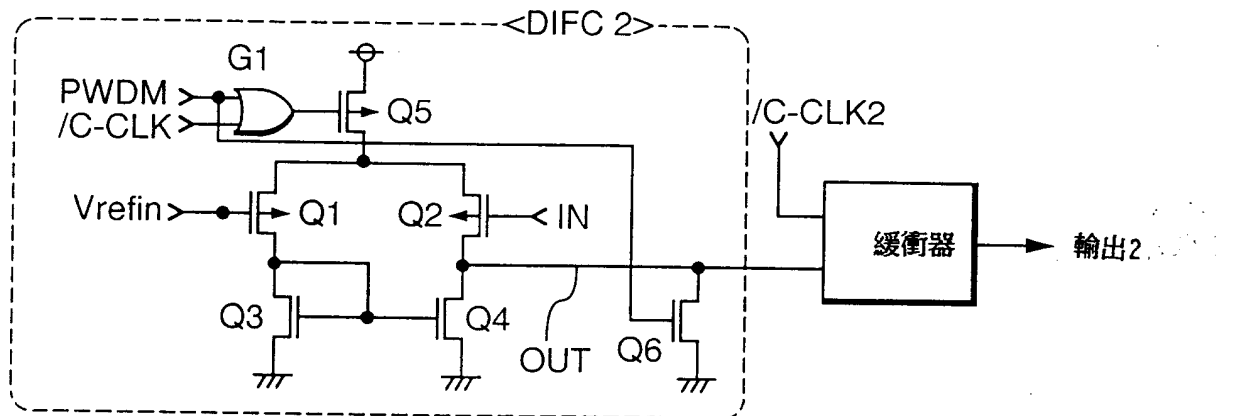
訂



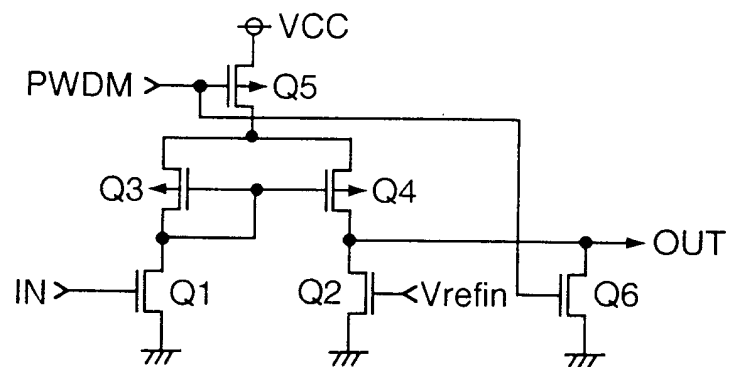
第 1 圖



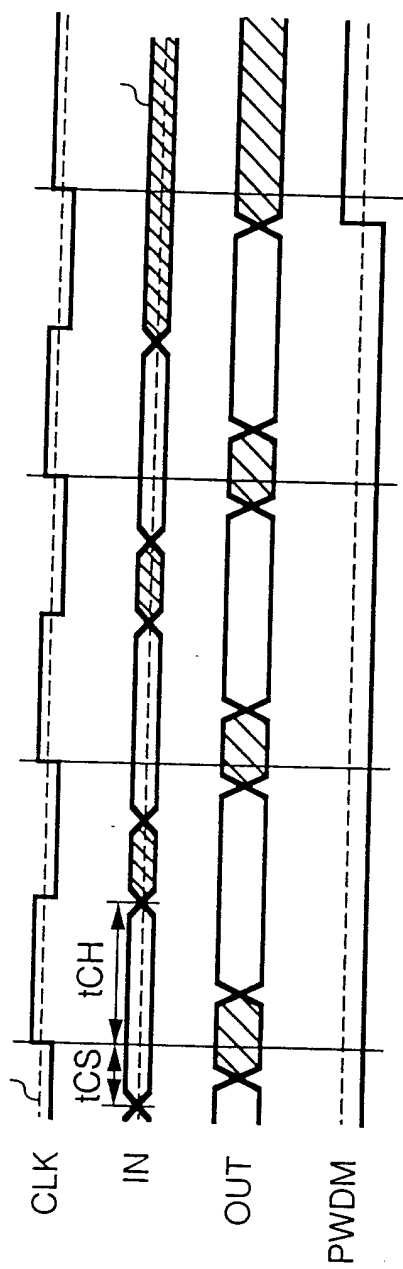
第 2 圖



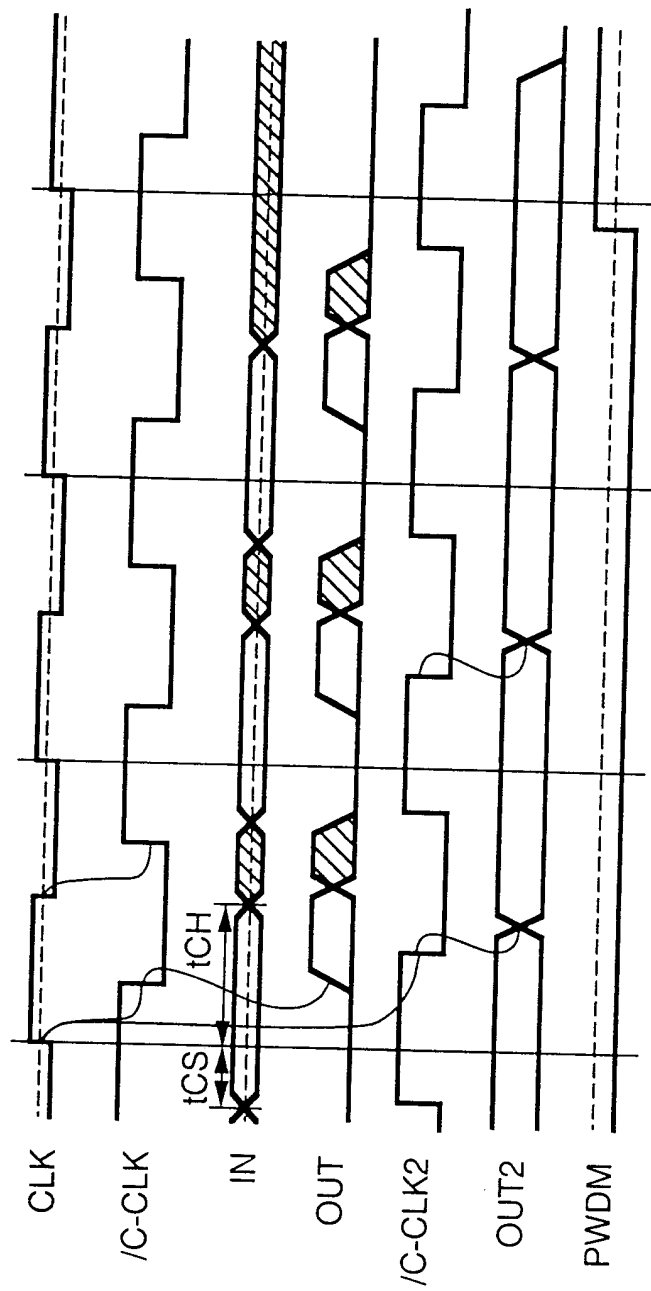
第 3 圖



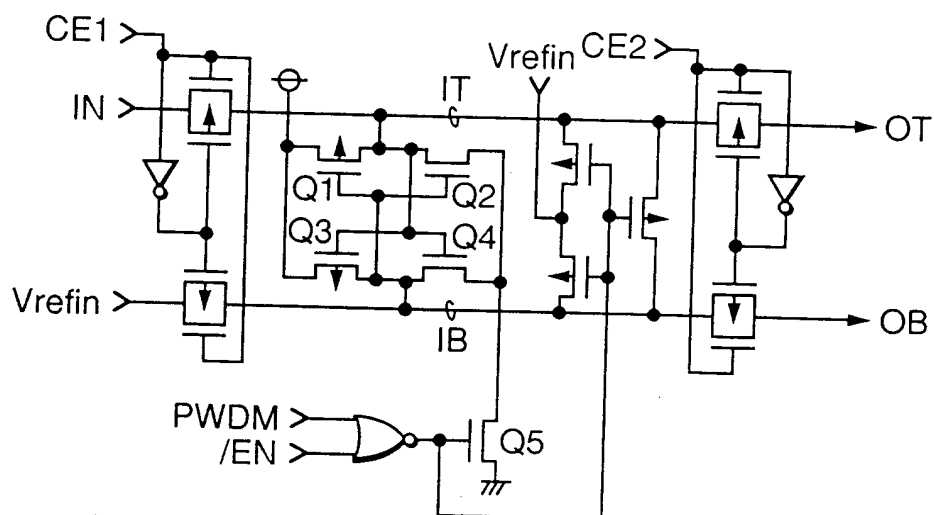
第4圖



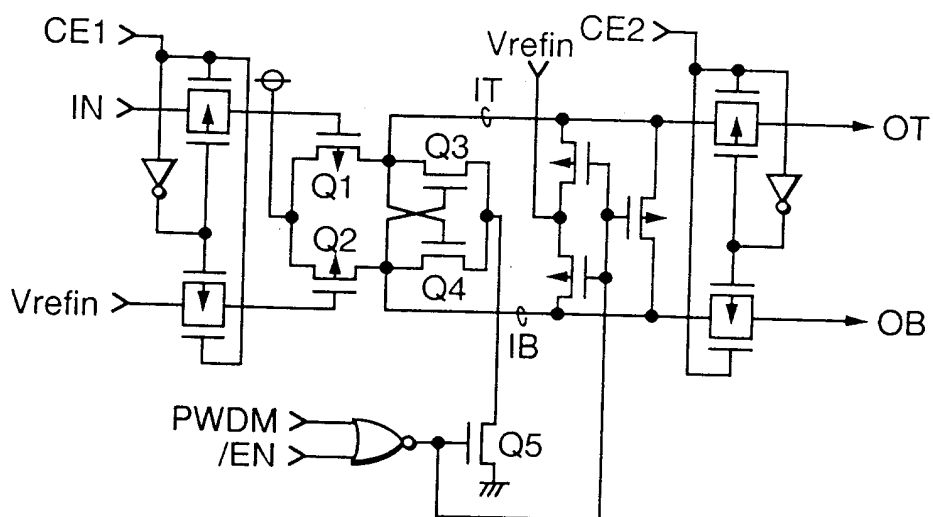
第 5 圖 A



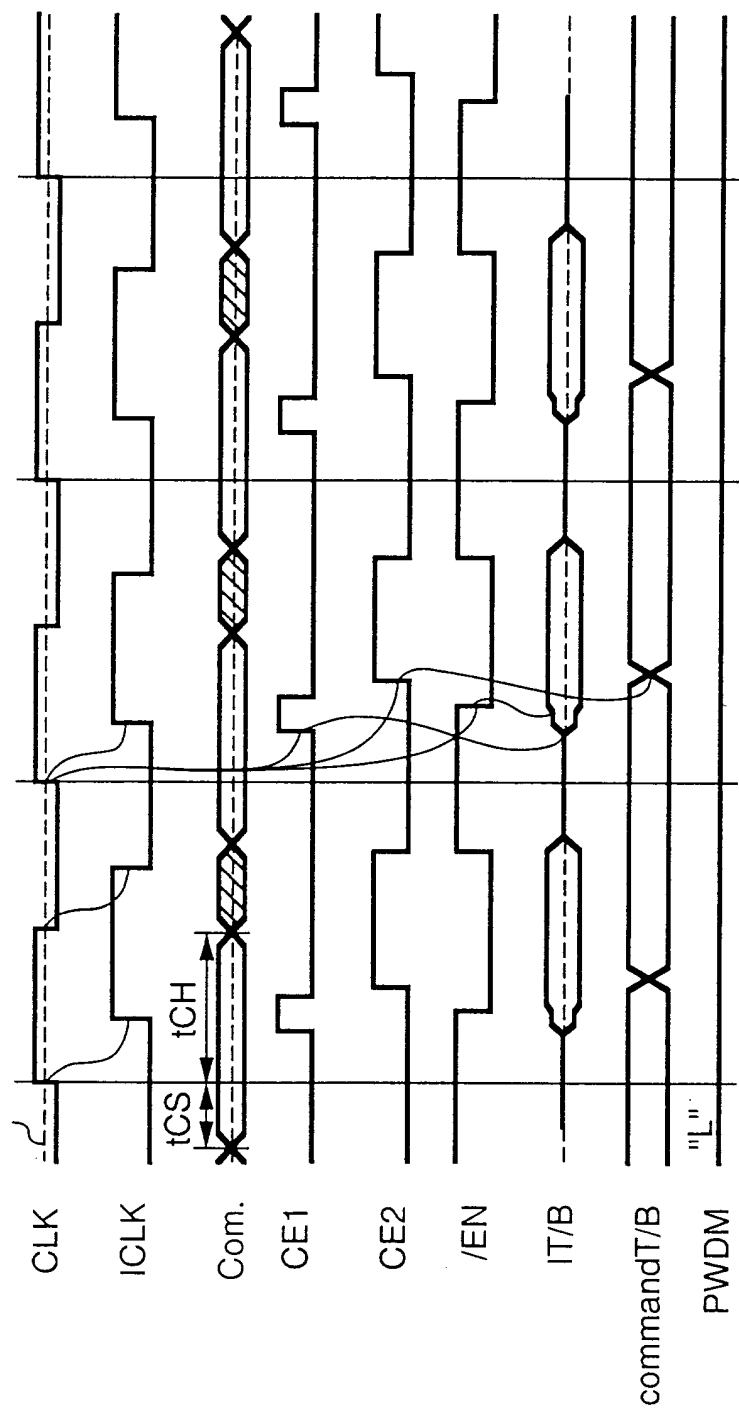
第 5 圖 B



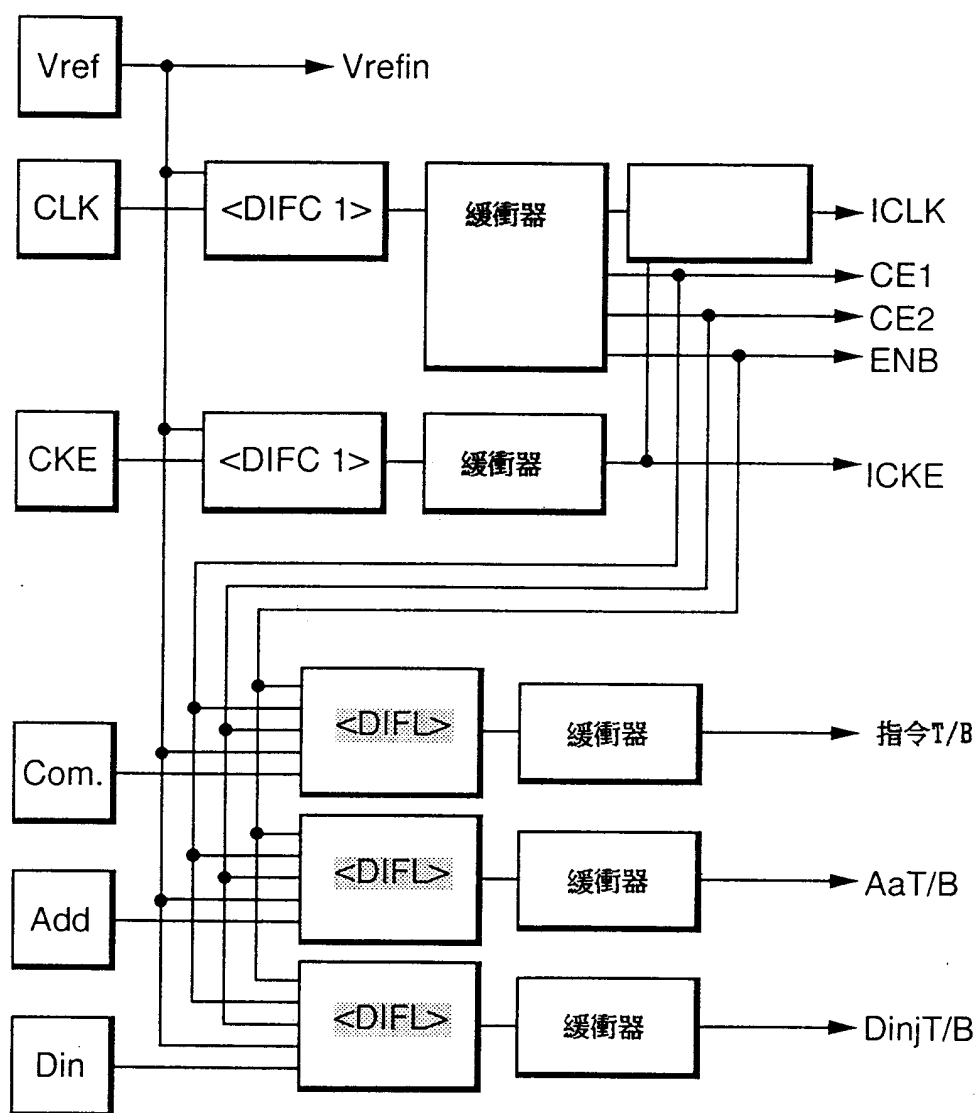
第 6 圖 A



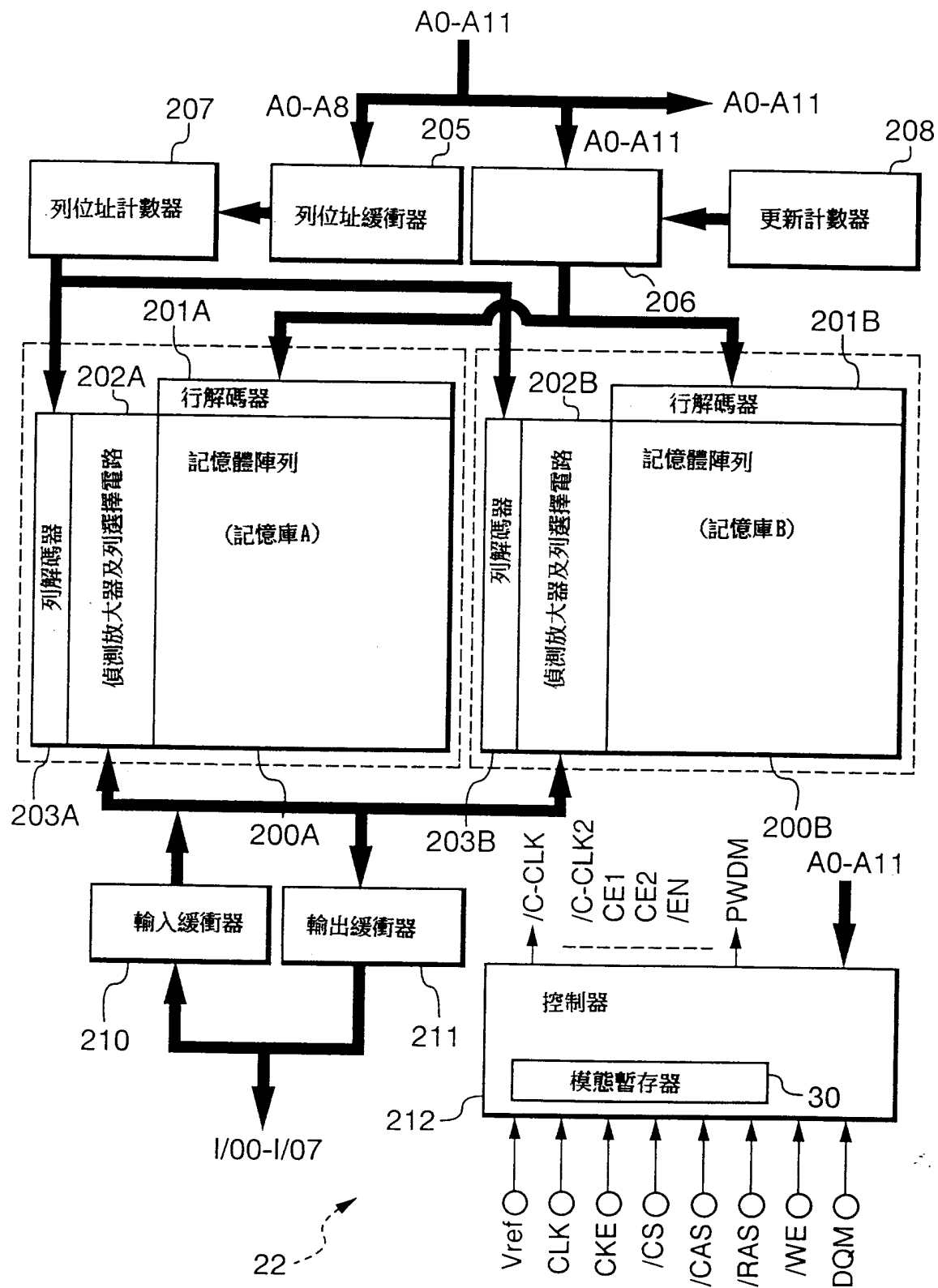
第 6 圖 B



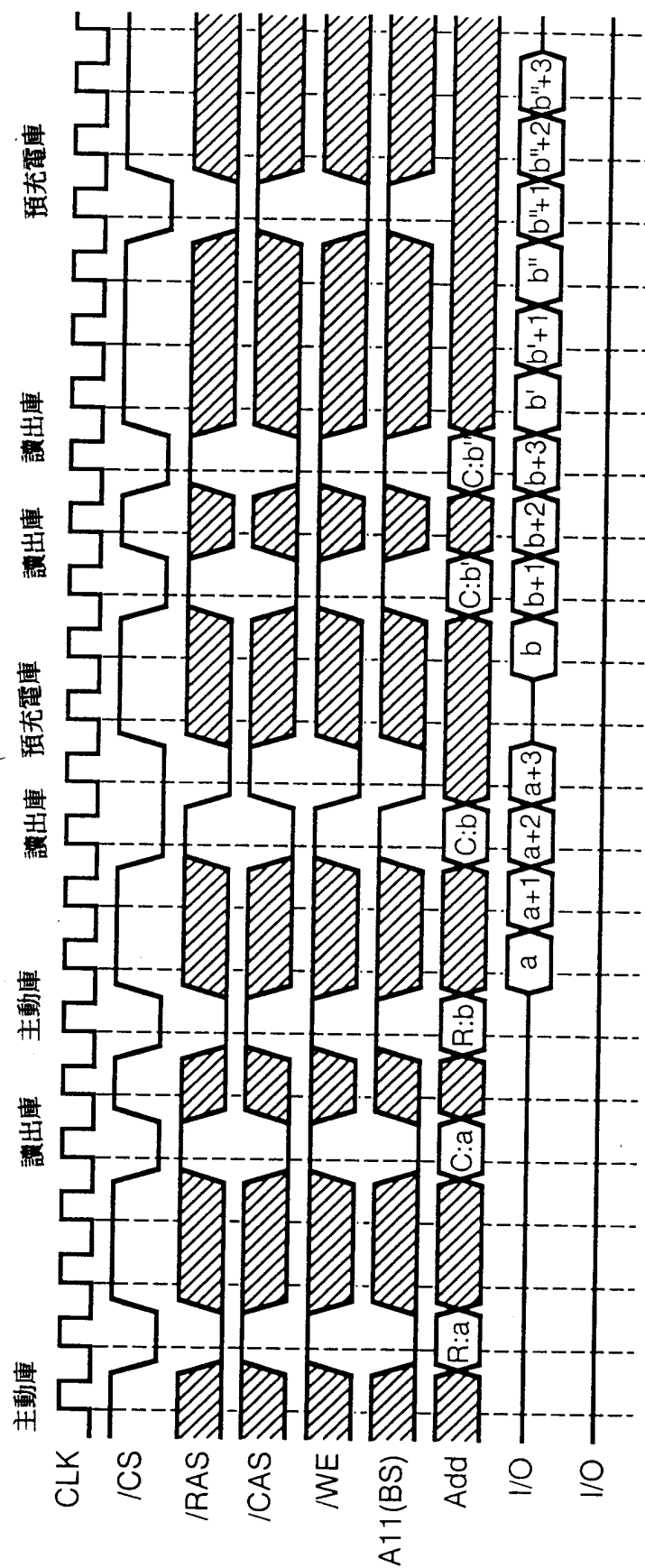
第7圖



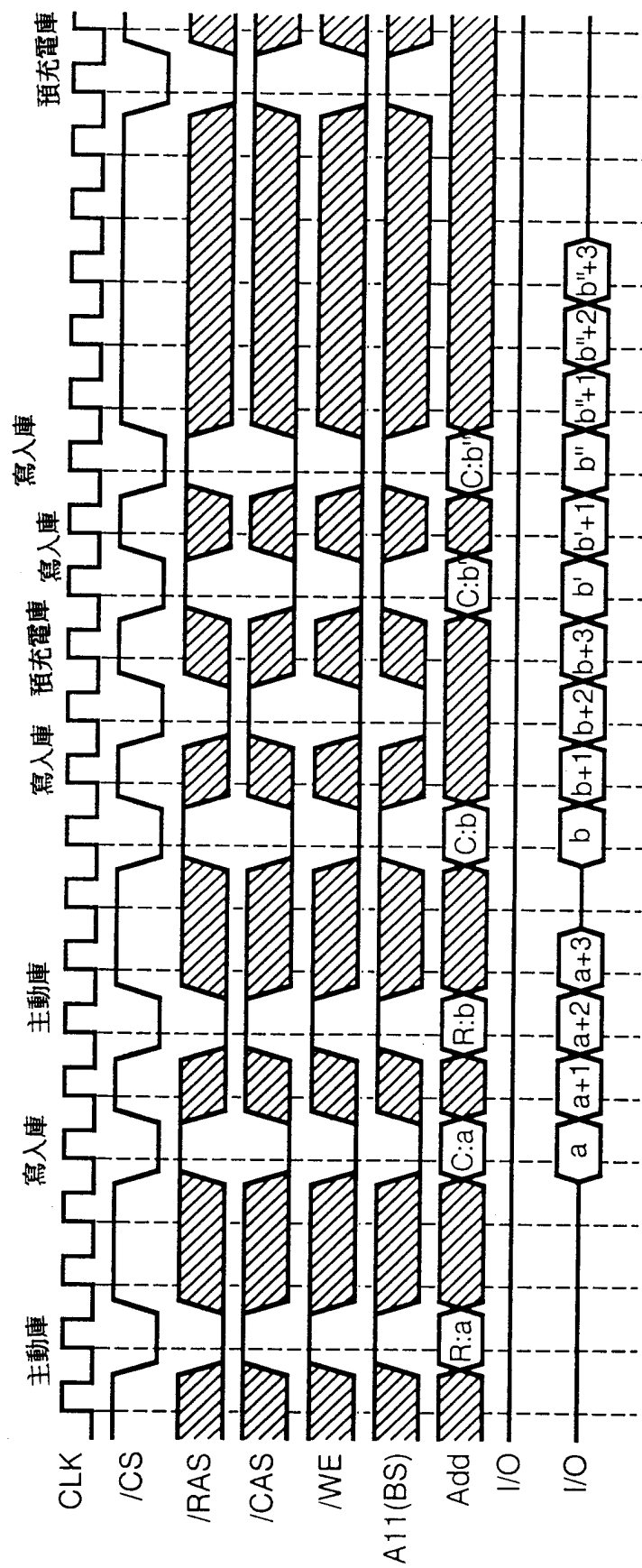
第 8 圖



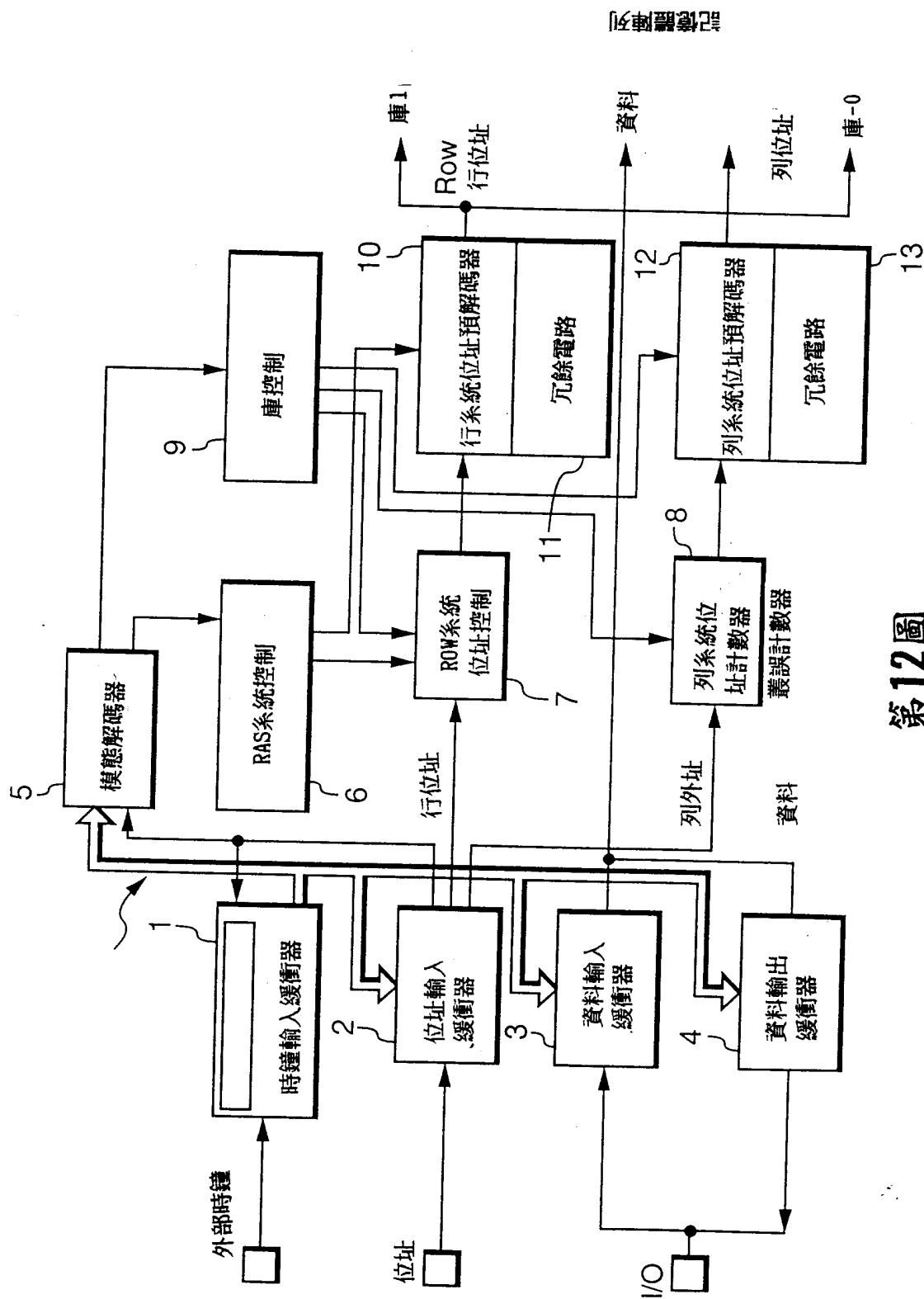
第 9 圖



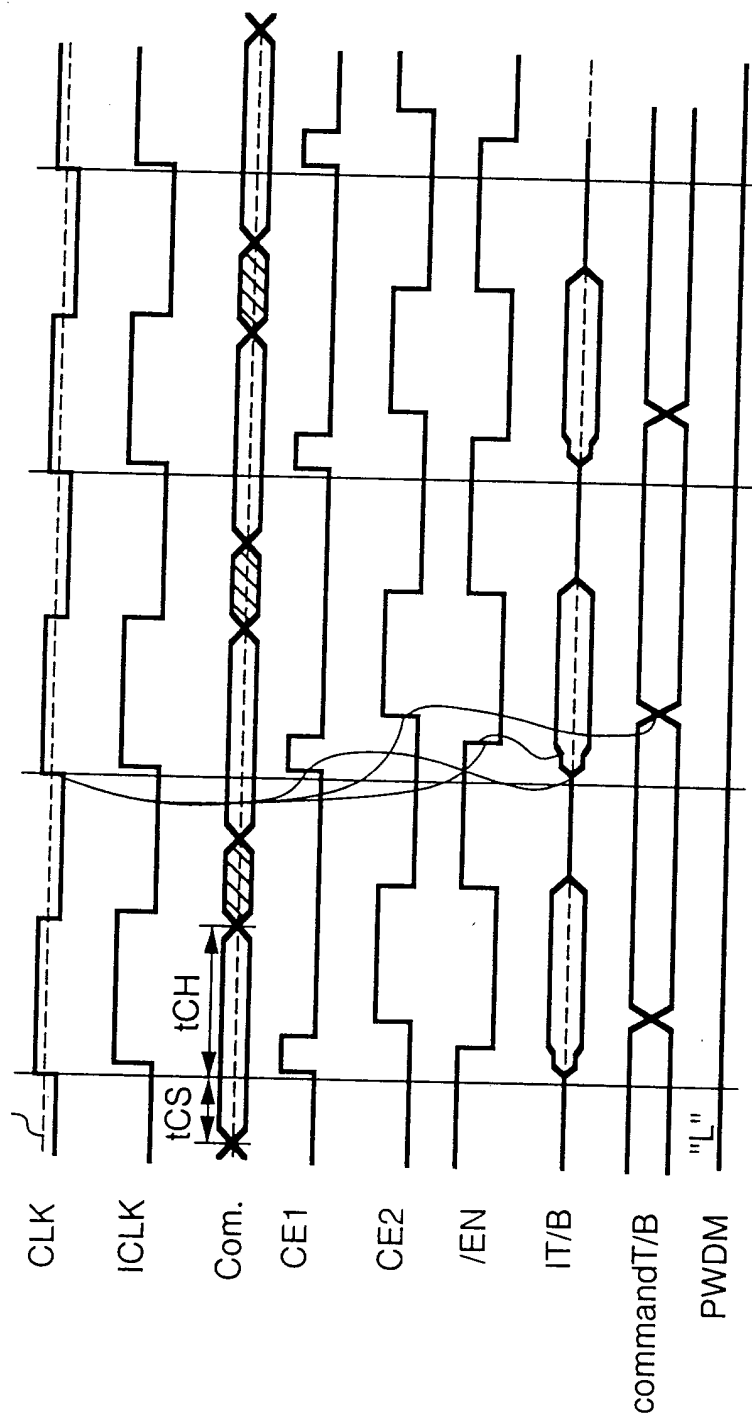
第10圖



第11圖



第12圖



第13圖

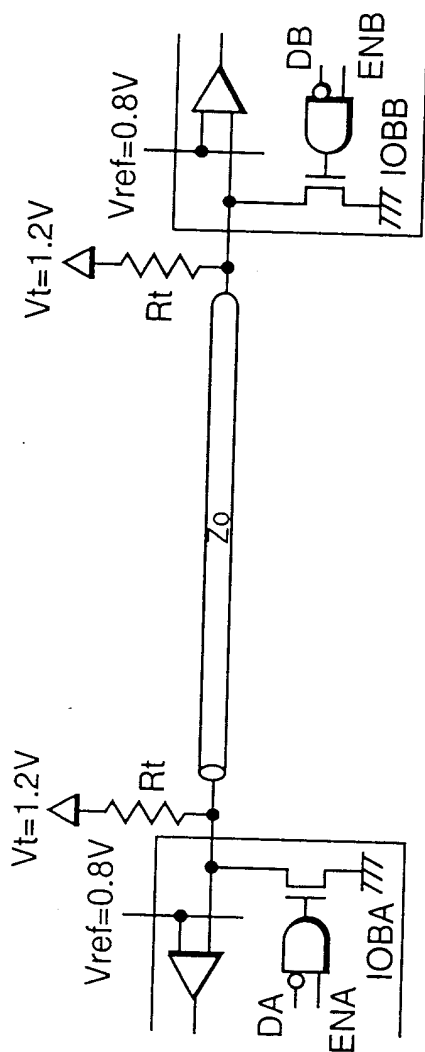


圖
14
梁

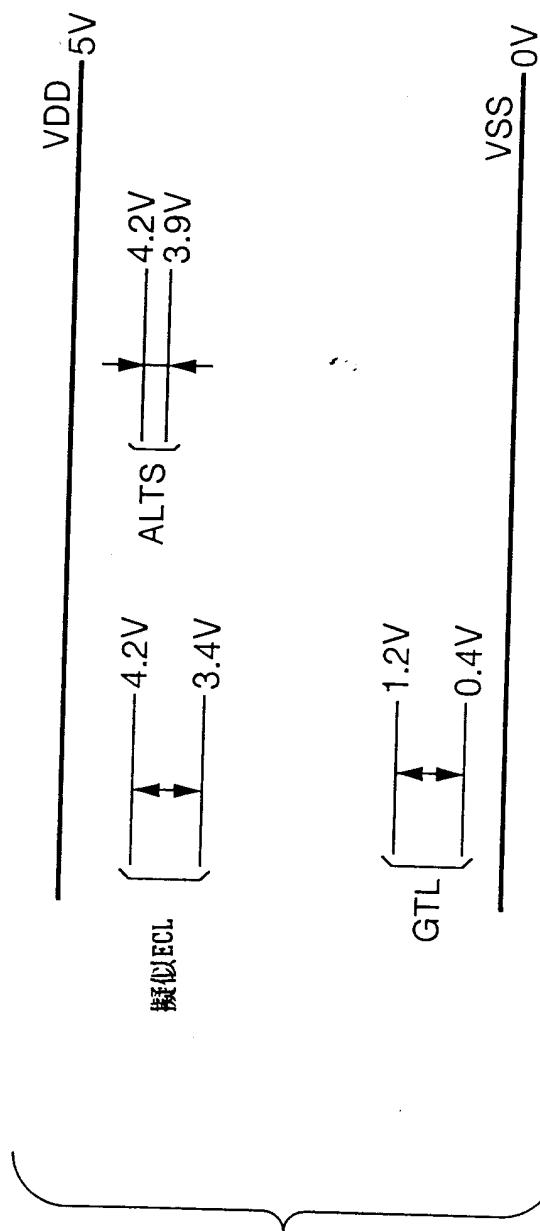
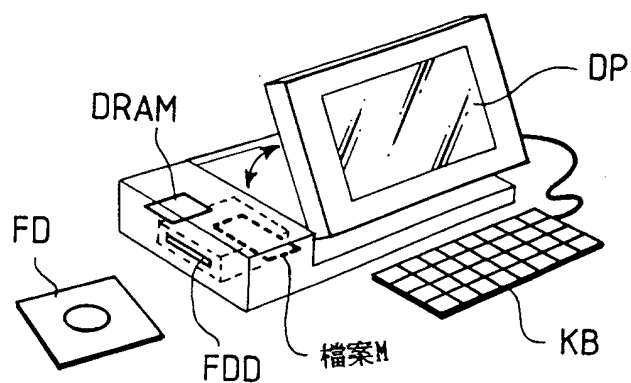
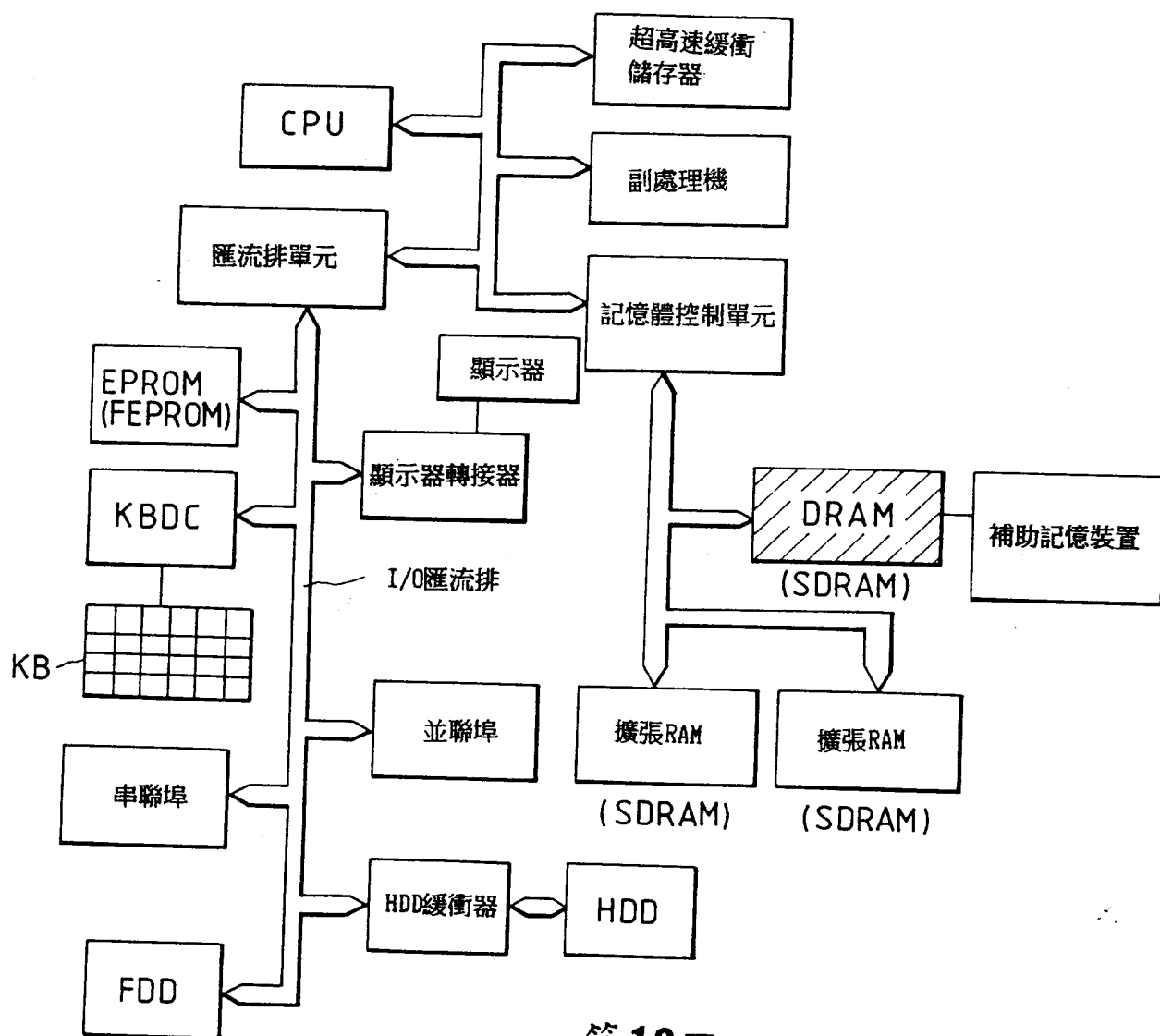


圖 15 第



第16圖A



第16圖B

五、發明說明 (1)

86年4月/8日

補充

本發明係關於半導體積體電路裝置，尤關於同步於時鐘信號輸入及輸出信號之同步動態型 R A M 等半導體積體電路中之低振幅信號用介面技術。

個人電腦或工作站等資訊處理裝置中使用一條傳送通路上並聯許多資訊處理部而互相傳送資訊之匯流排電路。降低該匯流排電路之消耗功率等時需要使用 G T L (Gunning Transceiver Logic)。該 G T L 為將匯流排電路上之信號振幅減小至習用之 T T L 位準之一半以下以便降低消耗功率之邏輯電路。亦即使匯流排電路之終端電壓 V_t 成為例如 + 1 . 2 V 之低電壓，而接收電路係使用具有如 0 . 8 V 之基準電壓 V_{ref} 之差動放大電路。如此，傳送至信號傳送電路之高位準與低位準成為對應於終端電壓 V_t 之 1 . 2 V，及因輸出 M O S F E T 之導通電阻所造成之電壓降而成為 0 . 4 V。有關 G T L 在 1 9 9 2 年 2 月 1 9 日之 I S S C C (International Solid State Circuit Conference 1 9 9 2 2 / 1 9 p p . 5 8 - 5 9) 中揭示。

本發明之發明人研討一種具有可應用於匯流排電路之信號之振幅化之介面之動態型 R A M 等半導體積體電路裝置，做為 G T L 之代表。這種 G T L 中使用差動輸入電路，但因為經常通過直流電流，故輸入介面之消耗電流增大。

本發明之目的為提供一種可降低低振幅輸入介面之消耗功率之半導體積體電路。本發明之上述目的及其他目的

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(2)

，特徵等可從參照圖式之說明更為明確。

本發明之代表性裝置如下。亦即在具有與時鐘信號成為同步的輸入或輸出信號，而且與外部授受對電源電壓成為小信號振幅之信號之低振幅輸入輸出介面之半導體積體電路裝置中，接受從外部供給之時鐘信號之輸入信號係以實質上經常的動作之差動電路輸入，而接受同步於該時鐘信號輸入之低振幅輸入信號之輸入信號則以該時鐘信號使差動電路間歇性的動作，以該內部時鐘信號抽樣在該差動電路動作之期間內輸入之內部信號，而在差動電路不動作之期間內，保持該抽樣之信號。

依照這種裝置，可使除了必須經常動作之輸入電路之其他許多輸入電路間歇性的動作，故可大幅度的降低消耗電流。

以下參照圖式說明本發明之實施例。

第1圖為本發明半導體積體電路裝置中之輸入電路之實施例之方塊圖。該實施例中，與從外部端子CLK供給之時鐘信號成為同步的，從外部端子Com輸入控制信號(Commard)圖中雖未表示，若有位址信號(Address)及資料(Data)做為其他輸入信號輸入，則與上述相同的，與時鐘信號成為同步的輸入。

從該外部端子輸入之輸入信號係對電源電壓成為小信號振幅之低振幅信號。雖然無特別限制，這種低振幅信號有例如上述之GTL信號。除了這種GTL信號之外，只要是對電源電壓成為小信號振幅之信號即可。

五、發明說明(3)

爲了輸入如上述之低振幅，而且從半導體積體電路外部供給之（外部）時鐘信號 CLK 而設置第 1 輸入電路 D I F C 1。該輸入電路 D I F C 1 係使用實質上經常動作之差動放大電路。在差動放大電路之一輸入端供給該低振幅之時鐘信號，在另一輸入端供給經常設定於中間電壓之基準電壓 V_{refin} 。該輸入電路 D I F C 1 識別（外部）時鐘信號 CLK 對該基準電壓 V_{refin} 成爲高位準／低位準，將之放大而形成對應於內部電源電壓之高位準／低位準之內部信號。這種內部信號經由緩衝器 Buffer 輸入內部電路中。

雖無特別限制，但內部電路中之一電路係接受該緩衝器 Buffer 之輸出信號及經由與該輸入電路 D I F C 1 同樣之未圖示之其他輸入電路輸入之內部時鐘啓動信號 I C K E 而形成內部時鐘信號 I C L K 之時鐘啓動電路（CLK enable）。內部時鐘信號之信號振幅大於外部時鐘信號之信號振幅。其他內部電路係同步於時鐘信號從外部端子 Com 接受控制信號（外部輸入信號之第 2 輸入電路 D I F C 2 及其緩衝器 Buffer。亦即從緩衝器 Buffer 輸出之 1 個內部時鐘信號 / C - C L K 係用來使該第 2 輸入電路 D I F C 2 間歇動作，其他內部時鐘信號 / C - C L K 2 係用來做爲緩衝器 Buffer 抽樣及保持動作。如上所述，配合第 2 輸入電路 D I F C 2 間歇性之動作，可將消耗功率對應於脈波任務（Duty）大幅度的降低。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

訂

五、發明說明(4)

第2圖表示第1輸入電路D I F C 1之一實施例之電路圖。本發明之圖中，因為在P通道型M O S F E T之通道部分（基板閘極部分）附加箭頭而與N通道型M O S F E區別。為了防止圖式變成複雜，附加於各圖式之電路元件之記號有互相重複。此表示實現另一電路功能。

在成為差動型態之P通道型M O S F E T Q 1及Q 2上分別供給基準電壓 V_{refin} 及低振幅之輸入信號（內部時鐘信號）I N。在差動M O S F E T Q 1與Q 2之吸極側與電路之接地電位之間設置由N通道型M O S F E T Q 3及Q 4所構成之電流鏡型態之主動負載電路。在該差動M O S F E T Q 1與Q 1之共同化源極與電源電壓V C C之間設有由P型通道型所構成之電流源M O S F E T Q 5（電流源電路）。此外，設有C M O S倒相等做為緩衝器Buffer，但在圖中省略未圖示。輸出信號（內部時鐘信號）之信號振幅大於輸入信號（內部時鐘信號）I N之信號振幅。

本實施例之半導體積體電路裝置具有在非動作期間（待命狀態或休息狀態）內只使必要之電路部分動作，而使其他電路成為非動作狀態之所謂之低消耗功率模態，由指示該低消耗功率模態之控制信號P W D M使該電流源M O S F E T Q 5成為斷路狀態。亦即，在該低消耗功率模態時時鐘信號之輸入亦停止；以便降低輸入電路D I F 1之電路消耗。形成這種低消耗功率模態時，為了

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(5)

防止輸入電路 D I F 1 之輸出成為浮動狀態而設置 N 通道型 M O S F E T Q 6，在其閘極上供給該控制信號 P W D M。當電流源 M O S F E T Q 5 因控制信號 P W D M 而成為斷路狀態時，輸入電路 D I F C 1 之輸出信號因該 M O S F E T Q 6 之導通狀態而被固定於電路之接地電位。

第 3 圖中表示該第 2 輸入電路 D I F C 2 之一實施例之電路圖。該第 2 輸入電路 D I F C 2 因（外部）輸入信號 I N 同步於（外部）時鐘信號 C L K 輸入而為了降低其電流消耗由（內部）時鐘信號 / C - C L K 使其間歇性的動作。亦即，在構造與第 2 圖所示相同之 M O S F E T Q 1 ~ Q 6 所構成之差動放大器中，於電流源 M O S F E T Q 5 之閘極上經由 O R 閘極電路 G 1 供給該（內部）時鐘信號 / C - C L K。本實施例中，為了在上述低消耗功率模態時無條件的使該電流源 M O S F E T Q 5 成為斷路狀態而設置該 O R 閘極電路 G 1，將該控制信號 P W D M 與（內部）時鐘信號 / C - C L K 一起供給。

如上所述，當由 M O S F E T Q 1 ~ Q 5 所構成之差動放大電路因（內部）時鐘信號 / C - C L K 而間歇性的動作時接受該差動放大器之放大輸出之緩衝器 Buffer 具有抽樣保持功能。亦即緩衝器 Buffer 在供給內部時鐘信號 / C - C L K 2 而差動放大器成為動作狀態時，抽樣該放大輸出信號，當該差動放電路成為非動作狀態時保持該

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (6)

輸入之放大輸出信號而進行保持動作。因此，緩衝器 Buffer 可使用通過門鎖電路。亦可由因（內部）時鐘信號 / C - C L K 2 而成為導通狀態之傳送閘極 MOSFET，及將經由傳送閘極 MOSFET 輸入之信號供給於閘極，以其閘極輸入電容量做為電容器使用之 CMOS 倒相器構成抽樣保持電路，以取代上述電路。

輸出信號（內部信號）O U T 之信號振幅大於（外部）輸入信號 I N 之信號振幅。

第 4 圖表示該第 1 輸入電路 D I F C 1 之其他實施例之電路圖。該實施例中，在一對 N 通道型 MOSFET Q 1 與 Q 2 之閘極與源極之間分別供給輸入信號 I N 及基準電壓 Vrefin。亦即輸入 MOSFET Q 1 與 Q 2 係由 N 通道型 MOSFET 所構成，源極上供給電路之接地電位。如此，MOSFET Q 1 與 Q 2 形成對應於供給於各閘極與源極間之輸入電壓之電流信號。

雖然無特別限制，若輸入信號為對應於該 G T L 電路之信號時，輸入 MOSFET Q 1 與 Q 2 之閾值電壓成為 0.4 V 之低閾值電壓，而基準電壓 Vrefin 成為 0.8 V 之電壓。本實施例中，並非進行差動放大器之利用基準電壓 Vrefin 之位準偵測，而係進行對應於輸入信號 I N 及基準電壓 Vrefin 之電流偵測動作。亦即，由 MOSFET Q 2 形成輸入信號 I N 為高位準時之 MOSFET Q 1 之吸極電流，及當輸入信號 I N 為低位準時之 MOSFET Q 1 之吸極電流之大約一半之電流。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(7)

因此，基準電壓 V_{refin} 與第 2 圖之實施例不相同的，其位準不必為上述輸入信號 I_N 之高位準與低位準之中間位準。

例如以該 G T L 之例說明時，亦可將 M O S F E T Q_2 之通道寬度設定為 M O S F E T Q_1 之 $1/2$ ，在其閘極施加 $1.2V$ 之匯流排電路之終端電壓 V_t 。或者亦可將 M O S F E T Q_1 與 Q_2 之尺寸設定為相等，在 M O S F E T Q_2 之閘極上施加該終端電壓 V_t ，在設置於 M O S F E T Q_1 與 Q_2 之吸極間之由 P 通道型 M O S F E T Q_3 及 Q_4 所構成之電流鏡電路中，將 M O S F E T Q_3 之尺寸設定為 M O S F E T Q_4 之 2 倍，若輸入信號 I_N 對 M O S F E T Q_2 之吸極電流成為高位準時供給大約 2 倍之電流。

亦即本實施例之電路中，當輸入信號 I_N 成為低位準時，將對應於其位準之 M O S F E T 1 之吸極電流經由 M O S F E T Q_3 及 Q_4 供給於 M O S F E T Q_2 之吸極。此時，因為 M O S F E T Q_2 之吸極電流較大，故將輸出 O U T 放電使其成為低位準而形成如電路之接地電位之低位準之輸出信號。當輸入信號 I_N 成為高位準時，將對應於其位準之 M O S F E T Q_1 之吸極電流經由 M O S F E T Q_3 及 Q_4 供給於 M O S F E T Q_2 之吸極。此時，因為通過電流鏡電路之 M O S F E T Q_1 之吸極電流大於 M O S F E T Q_2 之吸極電流，故將輸出 O U T 充電成為高位準而形成如電源電壓 V_{CC} 之高位準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

五、發明說明(8)

本實施例中，在構成電流鏡電路之 MOSFET Q3 及 Q4 之源極設置電壓供給用電源開關 MOSFET Q5。在該 MOSFET Q5 之閘極上施加用來減小如上述之低消耗功率模態時之消耗電流之控制信號 PWD M。在無這種低消耗功率模態之半導體積體電路裝置中，於 MOSFET Q3 及 Q4 之源極施加電源電壓 VCC。

上述電流偵測方式之輸入電路亦可利用於第 1 圖之第 2 輸入電路 D I F C 2 中。亦即在第 4 圖之 MOSFET Q5 之閘極上供給時鐘信號 / C - C L K，或具有低消耗功率模態者中設置如第 3 圖所示實施例之閘極電路 G1 而供給控制信號 PWD M 及時鐘信號 / C - C L K 即可。在其輸出部則設置與第 3 圖所示相同之緩衝器 Buffer 即可。

本實施例之輸入電路中，即使例 G T L 電路其輸入信號偏向電路之接地電位側，其輸入 MOSFET 可使用 N 通道型 MOSFET。亦即若在上述 G T L 之介面使用 N 通道型差動 MOSFET 時，設在其共同源極與電路之接地電位間之電流源 MOSFET 之動作電壓變成不足而不能進行充分之動作。因此，如第 2 或 3 圖所示之實施例所述，使用 P 通道型 MOSFET。此時使其具有相同電導時之 MOSFET 之尺寸變大，結果閘極輸入電容量增大。

如後文中所述，在成為偏向電源電壓之擬似 E C L 位準及 A L T S 位準時，可將第 4 圖所示實施例之各

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (9)

M O S F E T 之導電型例轉使用。亦即使用 P 通道型 M O S F E T 做為接受輸入信號及基準電壓之 M O S F E T，而使用 N 通道型 M O S F E T 做為構成電流鏡電路之 M O S F E T 及做為電源開關之 M O S F E T。

第 5 (A)，(B) 圖表示用來說明本發明之輸入電路之動作之時序圖。5 第 (A) 圖中表示將同步於時鐘信號輸入之輸入信號 I N 直接放大而輸入內部之電路。第 5 (B) 圖表示用來說明本發明之第 2 輸入電路之動作之時序圖。在第 5 (A) 圖之電路中表示將對時鐘信號 C L K 具有設定時間 t_{cs} 及保持時間 t_{cH} 而且成為同步的輸入之輸入信號 I N 直接放大而輸入內部之實施例。該輸入信號 I N 與輸入內部之信號 O U T 之時間延遲相當於放大電路中之延遲時間。這種輸入電路中，因為差動放大電路經常在動作，故其消耗功率必然增加。

如第 5 (B) 圖所示，本發明之第 2 輸入電路中，在放大該時鐘信號 C L K 而形成之內部時鐘信號 $\neg C - C L K$ 成為高位準之期間內成為非動作狀態而不消耗動作電流。此時，因為內部時鐘信號 $\neg C - C L K$ 成為高位準，故第 3 圖所示實施例之電路中，M O S F E T Q 6 成為導通狀態，將輸出 O U T 固定於低位準。此時，緩衝器 Buffer 保持在此之前輸入之信號而輸出該輸出信號 O U T 2。

當內部時鐘信號 $\neg C - C L K$ 對應於該時鐘信號 C L

五、發明說明 (10)

K 之變化而成為低位準後，該電流源 MOSFET Q 5 成為導通狀態，差動放大器活化，參照基準電壓 V_{refin} 識別輸入信號 IN 之高位準 / 低位準，形成高位準 / 低位準之輸出信號 OUT。該輸出信號 OUT 經由緩衝器 Buffer 做為輸出信號 OUT 2 輸入。

將供給於該輸出緩衝器之內部時鐘信號 / C - CLK 2 延遲上述放大期間產生，利用其邊緣門鎖於該緩衝器 Buffer 後，放大信號 OUT 實質上成為無效。因此，在第 3 圖之實施例中，亦可以該時鐘 / C - CLK 2 成為低位準之時序使 MOSFET Q 5 成為斷路狀態，將差動電路活化之期間縮短為必要之最小極限。如此，即使時鐘信號 / C - CLK 之脈波任務 (Duty) 成為 50%，將可將差動放大器之消耗電流對應於該放大期間降低為 1 / 2 以下。

從外部供給之輸入信號亦可使其與外部之時鐘信號 CLK 成為同步的變化，將輸入信號之延遲時間，亦即內部時鐘信號 / C - CLK 對外部時鐘 CLK 之信號延遲時間做為設定時間 t_{cs} 利用。若將這種信號延遲時間做為設定時間 t_{cs} 利用時，不必以包括輸入信號之信號延遲時間之一定之時間邊限多餘的設定設定時間 t_{cs} 及保持時間 t_{cH} ，故可縮短 (提高頻率) 時鐘信號 CLK 之週期。

第 6 (A)，(B) 圖表示第 2 輸入電路 DIFC 2 之其他實施例之電路圖。第 6 (A) 圖之電路中，使用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (11)

C M O S 門鎖電路進行放大及門鎖動作。C M O S 門鎖電路係將由 P 通道型 M O S F E T Q 1 , Q 3 與 N 通道型 M O S F E T Q 2 , Q 4 所構成之 2 個 C M O S 倒相器之輸出與輸入交叉的連接而構成。為了使該 C M O S 門鎖電路與時鐘信號成為同步的進行放大動作而設置將電路電位做為動作電壓供給於該門鎖電路之 N 通道型 M O S F E T Q 5 。在門鎖電路之一對輸入輸出波節 I T , I B 上設置由將兩者短路之 M O S F E T 及供給基準電壓 V_{refin} 之 M O S F E T 所構成之預充電電路。

在該 C M O S 門鎖電路之一對輸入輸出波節 (一對信號線) I T 與 I B 上設置根據與時鐘信號 C L K 成為同之一定之時序信號 C E 1 輸入該輸入信號 I N 及基準電壓 V_{refin} 之 C M O S 傳送閘極電路。在 C M O S 門鎖電路之一對輸入輸出波節 I T 及 I B 上之放大門鎖電路通過根據一定之時序信號 C E 2 被轉換控制之 C M O S 傳送閘極電路傳送至輸出信號 O T 及 O B 。

對應於上述低消耗功率模態之控制信號 P W D M 及同步於時鐘信號 C L K 之信號 $\neg E N$ 經由 N O R 閘極電路傳送至控制該 C M O S 門鎖電路之動作開始之 M O S F E T Q 5 之閘極。該 N O R 閘極電路之輸出信號又被用來做為進行預充電電路之動作控制之預充電信號。

在第 6 (B) 圖所示之電路中，輸入信號 I N 及基準電壓 V_{refin} 經由該 C M O S 傳送閘極電路分別供給於 P 通道型差動 M O S F E T Q 1 及 Q 2 之閘極。在該差動

五、發明說明 (12)

M O S F E T Q 1 及 Q 2 之吸極設置閘極與吸極交叉的連接成門鎖型態之 N 通道型 M O S F E T Q 3 及 Q 4 做為主動負載電路。如此，在第 6 (B) 圖之電路中，放大部與門鎖部各自分開形成。在輸出波節 (一對信號線) I T 與 I B 上設置與上述相同之預充電電路。因為輸出波節 I T 及 I B 最後係由差動 M O S F E T Q 1 及 Q 2 之吸極輸出所決定，故可省略預先電電路。然而，藉著設置本實施例之預充電電路，即可使門鎖部之記憶狀態以高速響應輸入信號之差動放大輸出。

第 7 圖表示用來說明第 6 (A) ， (B) 圖所示輸入電路 D I F C 2 之動作之時序圖。控制信號 / E N 對應於將從外部端子供給之時鐘信號 C L K 放大之內部時鐘信號。時序信號 C E 1 同步於該時序信號 / E N 之前半部之期間產生。各時序信號 C E / 與 C E 2 可採用由該 / E N 形成之信號，或從時序信號 C L K 直接形成之信號等各種實施型態。

信號 / E N 成為高位準之期間為預充電期間。在第 6 (A) 圖所示之電路中，C M O S 門鎖電路之輸入輸出波節 (一對信號線) I T 與 I B 短路，並且預充電成該基準電壓 V_{refin} 。在第 6 (B) 圖之電路中，主動負載電路之輸出波節 (一對信號線) I T 與 I B 短路，並且預充電為該基準電壓 V_{refin} 。

在時序信號 C E 1 成為高位準之期間內，輸入端之 C M O S 傳送閘極電路成為導通狀態，輸入從半導體積體

五、發明說明 (13)

電路裝置之外部輸入之 (外部) 輸入信號 I_N 及基準電壓 V_{refin} 。然後，因為信號 $/E_N$ 成為低位準，在第 6 (A) 圖所示之電路中，CMOS 門鎖電路成為動作狀態，由於具有正反饋之放大動作而使輸入輸出波節 I_T 及 I_B 以高速相補的變成高位準或低位準。因為信號 $/E_N$ 成為低位準，在第 6 (B) 圖中，由於差動放大輸出及將其輸出信號在負載電路中予以正反饋放大之動作，同樣的使輸出波節 (一對信號線) I_T 與 I_B 相補的變化成為位準或低位準。

一對信號線 I_T ， I_B 上之內部信號之信號振幅大於 (外部) 輸入信號 I_N 之信號振幅。

當時序信號 CE_1 成為低位準後，輸入端之 CMOS 傳送閘極電路變成斷路狀態，與輸入端分離有被門鎖，因為時序信號 CE_2 變成高位準，輸出端之 CMOS 傳送閘極電路成為導通狀態，將被門鎖之信號傳送至輸出端子 O_T 及 O_B 。當信號 $/E_N$ 成為高位準後，開始預充電動作而將輸出波節設定於基準電壓 V_{refin} ，在此期間內無電流消耗。

若如第 6 (A) 圖所示的使用 CMOS 門鎖電路時，只在輸入該輸入信號 I_N 而將之放大之期間內消耗電流。亦即，在 CMOS 電路中，信號位準成為高位準與低位準後，N 通道型 MOSFET 或 P 通道型 MOSFET 中之一方成為斷路狀態，故無直流電流經常通過。因此，由於信號 $/E_N$ 變成高位準而使 MOSFET Q5 成為斷路狀

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (14)

態，其意義與第 2，3 圖所示之實施例電路不同。亦即，使 MOSFET Q5 成為斷路狀態並非為了降低消耗功率，而係使門鎖電路所保持之信號復置而進行下一次輸入該輸入信號之預備動作（預充電動作）。

因此，在該信號 $\neg$ EN 成為高位準之期間內，時序信號 CE2 成為低位準而輸出端之 CMOS 傳送閘極電路亦成為斷路狀態。因此，輸出信號 OT 及 OB 由未圖示之適當門鎖電路所保持。

第 8 圖表示將本發明應用於同步動態型 RAM 時之輸入信號之一實施例之方塊圖。本實施例中，時鐘信號 CLK 及時鐘啓動信號 CKE 係使用如第 2，4 圖所示實施例之電路之經常動作之輸入電路 DIFC1。指令信號 Com，位址信號 Add 及輸入資料 Din 係使用如第 6 (A)，(B) 圖所示之門鎖型輸入電路。

因此，在設置於接受時鐘信號 CLK 之輸入電路 DIFC1 之輸出端之緩衝器 Buffer 上設置形成上述輸入電路之動作所必須之時序信號 CE1，CE2，及控制信號 ENB 之功能。在此 ENB 與 $\neg$ EN 表示相同意義，將低位準設定為主動位準。時鐘電路 (CLK enable) 上供給通過接受時鐘啓動信號 CLK 之輸入電路 DIFC1 及緩衝電路 Buffer 之內部時鐘啓動信號。因此，內部時鐘信號 ICLK 係在時鐘啓動信號 CKE 成為主動位準時產生。

第 9 圖表示應用本發明之同步 DRAM (以後簡稱

五、發明說明 (15)

S D R A M) 之一實施例之方塊圖。雖然無特別限制，但該圖中所示之 S D R A M 係利用公知之半導體積體電路之製造技術形成在例如單結晶矽等之一個半導體基板上。

本實施例之 S D R A M 具有構成記憶庫 A (B A N K A) 之記憶體陣列 2 0 0 A，及構成記憶庫 (B A N K B) 之記憶體陣列 2 0 0 B。各記憶體陣列 2 0 0 A 及 2 0 0 B 具有配置成矩陣狀之動態型記憶體晶胞，依照圖示，配置於同一列之記憶體晶胞之選擇端子被結合成每一列之字線 (未圖示)，而配置於同一行之記憶體晶胞之資料輸入輸出端子結合成每一行之相補資料線 (未圖示)。

上述記憶體陣列 2 0 0 A 之未圖示之字線依照行解碼器 2 0 1 A 所進行之行位址信號之解碼結果將其中之一條驅動成選擇位準。記憶體陣列 2 0 0 A 之未圖示之相補資料線結合於偵測放大器及列選擇電路 2 0 2 A。偵測放大器及列選擇電路 2 0 2 A 之偵測放大器係檢測因從記憶體晶胞讀出資料而出現於各相補資料線之微小電位差而將之放大之放大電路。其中之列開關電路係各別的選擇相補資料線使其與相補共同資料線 2 0 4 導通之轉換電路。列開關電路依照列解碼器 2 0 3 A 所進行之列位址信號之解碼結果進行選擇動作。

在記憶體陣列 2 0 0 B 側亦同樣的設置行解碼器 2 0 1 B，偵測放大器，及列選擇電路 2 0 2 B，列解碼器 2 0 3 B。該相補共同資料線 2 0 4 連接於輸入緩衝器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (16)

2 0 1 之輸出端子及輸出緩衝器 2 1 1 之輸入端子。輸入緩衝器 2 1 0 之輸入端子及輸出緩衝器 2 1 1 之輸出端子連接於 8 位元之資料輸入輸出端子 I / O 0 ~ I / O 7。

從位址輸入端子 A 0 ~ A 1 1 供給之行位址信號及列位址信號以位址多工器形成輸入列位址緩衝器 2 0 5 及行位址緩衝器 2 0 6。被供給之位址信號分別由各緩衝器保持。行位址緩衝器 2 0 6 在更新動作模態時，將從更新計數器 2 0 8 輸出之更新位址信號做為行位址信號輸入。列位址緩衝器 2 0 5 之輸出被當做列位址計數器 2 0 7 之預置資料供給，而列位址計數器 2 0 7 配合後述之指令等所指定之動作模態，將依次增量做為預置資料之列位址信號，或其列位址信號之數值輸出於列解碼器 2 0 3 A，2 0 3 B。

雖然無特別限制，控制器 2 1 2 中供給時鐘信號 C L K，時鐘啟動信號 C K E，晶粒選擇信號 C S，行位址選通脈衝信號 / R A S，寫入啟動信號 / W E，資料輸入輸出掩罩控制信號等外部控制信號，及從位址輸入端子 A 0 ~ A 1 1 供給之控制資料及基準電壓 Vref，根據其信號之位準變化及時序等形成控制 S D R A M 之動作模態及該電路塊之動作之內部時序信號，故具有控制邏輯（未圖示）及模態暫存器 3 0。

時鐘信號 C L K 成為 S D R A M 之主時鐘，其他之外部輸入信號同步於該內部時鐘信號之上昇邊緣而成為有意

五、發明說明 (17)

義。晶粒選擇信號 / C S 因為成為低位準而指示指令輸入週期之開始。當晶粒選擇信號 / C S 成為高位準時 (晶粒非選擇狀態) 或其他輸入則無意義。但後述之記憶庫之選擇狀態及叢誤長度等內部動作不會因變化成晶粒非選擇狀態而受影響。 / R A S , / C A S , / W E 之各信號之功能與一般之 D R A M 之對應信號之功能不同，而在定義後述之指令週期時成為有意義之信號。

時鐘啓動信號 C K E 係指示下一個時鐘信號之有效性之信號。當該信號 C K E 成為高位準時，下一個時鐘信號 C L K 之上昇邊緣成為有效，而成為低位準時則成為無效。雖然未圖示，但在讀出模態時，控制對輸出緩衝器 2 1 1 之輸出啓動之外部控制信號亦供給於控制器 2 1 2，當該信號成為高位準時，輸出緩衝器 2 1 1 成為高輸出阻抗狀態。

該行位準位址信號係由；同步於時鐘信號 C L K (內部時鐘信號) 之上昇邊緣之後述之行位址選通脈衝庫主動指令週期中之 A 0 ~ A 1 0 之位準所定義。A 1 1 產生之輸入在該行位址選通脈衝庫主動指令週期中被認為係庫選擇信號。亦即當 A 1 1 之輸入成為低位準時，選擇記憶庫 B A N K A，而成為高位準時則選擇記憶庫 B A N K B。雖然無特別限制，但記憶庫之選擇控制可依照只對選擇記憶庫側之行解碼器之活化，非選擇記憶庫側之列轉換電路之全部非選擇，只將選擇記憶庫側連接於輸入緩衝器 2 1 0 及輸出緩衝器 2 1 1 等處理進行。

五、發明說明 (18)

後述之預充電指令週期中之 A 1 0 之輸入指示對相補資料線等之預充電動作之型態，其高位準指示預充電之對象為雙方之記憶體庫，其低位準指示 A 1 1 所指示之一方之記憶體庫為預充電之對象。

列位址信號係由同步於時鐘信號 C L K (內部時鐘) 之上昇邊緣之讀出或寫入指令 (後述之列位址讀出指令，列位址寫 X 指令) 週期之 A 0 ~ A 8 之位準定義。如此定義之列位址做為叢誤存取之開始位址。

以下說明由指令指示之 S D R A M 之主要動作模態。

(1) 模態暫存器設定指令 (M o)

係用來設定上述模態暫存器 3 0 之指令，由於 / C S，/ R A S，/ C A S，/ W E 二低位準而指定該指令，而需要設定之資料 (暫存器設定資料) 係經由 A 0 ~ A 1 1 供給。雖然無特別限制，但暫存器設定資料係叢誤長度，C A S 等待時間，寫入模態等。雖然無特別限制，但可設定之叢誤長度為 1，2，4，8 全頁 (2 5 6)，而可設定之 C A S 等待時間為 1，2，3，可設定之寫入模態為叢誤寫入及單寫入。

該 C A S 等待時間係用來指示在由後述之列位址讀出指令指示之讀出動作時，從 / C A S 之下降至輸出緩衝器 2 1 1 之輸出動作之期間消耗之內部時鐘信號之週期。在確定讀出資料之前，需要讀出資料用之內部動作時間，而配合內部時鐘信號之使用頻率設定該時間。換言之，若使

五、發明說明 (19)

用頻率高之內部時鐘信號時，將 C A S 等待時間設定相對的較大之數值，而使用頻率低之內部時鐘信號時則將 C A S 等待時間設定為相對的較小數值。

(2) 行位址選通脈衝庫主動指令 (A c)

該指令係使行位址選通脈衝之指示與 A 1 1 所進行之記憶庫之選擇成為有效之指令，由 / C S ， / R A S 二低位準， / C A S ， / W E 二高位準指示，而將此時供給於 A 0 ~ A 1 0 之位址做為行位址信號，將供給於 A 1 1 之信號做為記憶庫之選擇信號輸入。輸入動作與內部時鐘信號之上昇邊緣成為同步的進行。例如指定該指令後，即選擇因而被指定之記憶庫之字線，將連接於該字線之記憶體晶胞導通於對應之相補資料線。

(3) 列位址讀出指令 (R e)

該指令係開始進行叢誤讀出動作所需之指令，同時為指示列位址選通脈衝之指令，係由 / C S ， / C A S 二低位準， / R A S ， / W E 二高位準指示，而將此時供給於 A 0 ~ A 8 之列位址做為列位址信號輸入。如此輸入之列位址信號做為叢誤開始位址供給於列位址計數器 2 0 7 。在如此指示之叢誤讀出動作中，在此之前於行位址選通脈衝庫主動指令週期時選擇記憶庫及其字線，而該選擇字線之記憶體晶胞依照同步於內部時鐘信號從列位址計數器 2 0 7 輸出之位址信號選擇而連續的讀出。連續的讀出之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五

五、發明說明 (20)

資料數量為由叢誤長度指定之數量。從輸出緩衝器 2 1 1 開始讀出資料之時刻係等待由 C A S 等待時間所規定之內部時鐘信號之週期數量進行。

(4) 列位址寫入指令 (W r)

若在模態暫存器 3 0 中設定叢誤寫入做為寫入動作之型態時，則做為開始進行該叢誤寫入動作所需之指令，若在模態暫存器 3 0 中設定單寫入做為寫入動作之型態時，則做為開始進行該單寫入動作所需之指令。該指令供給在單寫入及叢誤寫入時之列位址選通脈衝之指示。該指令係由 $\neg$ C S , $\neg$ C A S , $\neg$ W E 二低位準， $\neg$ R A S 二高位準所指示，而此時供給於 A 0 ~ A 8 之位址做為列位址信號輸入。如此輸入之列位址信號在叢誤寫入時做為叢誤開始位址供給於列位址計數器 2 0 7 。如此指示之叢誤寫入動作之順序亦與叢誤讀出動相同的進行。但寫入動作中無 C A S 等待時間，而寫入資料之輸入係從該列位址寫入指令週期開始。

(5) 預充電指令 (P r)

該指令做為對由 A 1 0 , A 1 1 選擇之記憶庫之預充電動作之開始指令，而由 $\neg$ C S , $\neg$ R A S , $\neg$ W E 二低位準， $\neg$ C A S 二高位準指示。

(6) 自動更新指令

(請先閱讀背面之注意事項再填寫本頁)

訂

訂

五、發明說明 (21)

該指令為開始進行自動更新所需之指令，係由 $\overline{CS}$ ， $\overline{RAS}$ ， $\overline{CAS}$ 二低位準， $\overline{WE}$ ， CKE 二高位準指示。

(7) 叢誤制動全頁指令

該指令係使對全頁之叢誤動作對記憶庫停止所需之指令，在全頁以外之叢誤動作時則忽略。該指令係由 $\overline{CS}$ ， $\overline{WE}$ 二低位準， $\overline{RAS}$ ， $\overline{CAS}$ 二高位準所指示。

(8) 無動作指令 (N o p)

該指令係不進行實質上之動作之指令，係由 $\overline{CS}$ 二低位準， $\overline{RAS}$ ， $\overline{CAS}$ ， $\overline{WE}$ 之高位準所指示。

在 S D R A M 中，於一方之記憶庫進行叢誤動作時，在其途中指定其他之記憶庫而供給行位址選通脈衝庫主動指令時，對該正在執行之一方之記憶庫之動作不發生任何影響，而成為可能進行該其他記憶庫中之行位址系統之動作。例如 S D R A M 具有在內部保持從外部供給之資料，位址，及控制信號之裝置，其保持內容，尤其位址及控制信號雖然無特別限制，但於每一記憶庫保持。或者由行位址選通脈衝庫主動指令週期選擇之記憶塊中之相當於一條字線之資料被門鎖於未圖示之門鎖電路中，以便在列系統動作之前進行預先讀出動作。

因此，只要資料不在資料輸入輸出端子 I / O 0 ~

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (22)

I / O 7 中不發生衝突，即可在執行處理未終了之指令當中發行對與該正在執行中之指令做為處理對象之記憶庫不同之記憶庫之預充電指令，行位址選通脈衝庫主動指令而預先開始進行內部動作。

因為 S D R A M 2 2 可同步於時鐘信號 C L K (內部時鐘信號) 輸入及輸出資料，位址及控制信號，故可使容量與 D R A M 相同之大容量記憶體進行與 S R A M 相配之高速動作，而且以叢誤長度指定對被選擇之一條字線存取幾個資料而以其內部之列位址計數器 2 0 7 依次切換列系統之選擇狀態，連續的讀出或寫入許多個資料。

第 1 0 圖表示用來說明應用本發明之 S D R A M 之讀出週期之一實施例之時序圖。因為 / C A S 及 / R A S 變成低位準而輸入行位址 R : a 。又因為位址 A 1 1 (庫選擇 B S) 變成低位準而使庫 O 成為主動，對庫 O 開始進行行系列之位址選擇動作。在 3 個時鐘之後， / C A S 變成低位準而輸入列位址 C : a ，開始列系列之選擇動作。

假設 C A S 等待時間成為 3 時，則在 3 個時鐘之後輸出該輸出信號 a 。若已指定叢誤讀出，則以後同步於時鐘依次輸出資料 a + 1 ， a + 2 ， a + 3 。與這種讀出動作併行的輸入主動庫 1 之指定，與其對應之行位址 R : b ，及延遲 3 個時鐘後輸列位址 C : b 。因此，在 3 個時鐘後依次讀出資料 b ， b + 1 ， b + 2 ， b + 3 。

指定讀出庫 1 而輸入列位址 C : b ' 後，延遲 3 個時鐘輸出資料 b ' ，及 b ' + 1 。在 2 個時鐘後指定讀出 -

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紅

五、發明說明 (23)

1 而輸入列位址 $C : b''$ 後， b' 被 b'' 置換，故在延遲 3 個時鐘後輸出資料 b'' 及 $b'' + 1$ ， $b'' + 2$ ， $b'' + 3$ 。

第 11 圖表示用來說明應用本發明之 SDRAM 之寫入週期之一實施例之時序圖。因為 $\overline{CS}$ ， $\overline{RAS}$ 變成低位準，故輸入行位址 $R : a$ 。又因為位址 $A11$ (庫選擇 BS) 變成低位準，故庫 - 0 成為主動而對庫 - 0 開始進行列系列之位址選擇動作。在 3 個時鐘後， $\overline{CAS}$ 變成低位準，輸入列位址 $C : a$ 而開始進行列系列之選擇動作，而在被選擇之記憶體晶胞中寫入與其同時輸入之寫入信號 a ，然後對應於叢誤寫入更新列位址而同步於時鐘信號寫入資料 $a + 1$ ， $a + 2$ ， $a + 3$ 。

與該叢誤寫入動作成為併行的輸入主動庫 - 1 之指定，與其對應之行位址 $R : b$ ，及延遲 3 個時鐘輸入列位址 $C : b$ ，並且寫入該寫入資料 b 。以後，與上述相同的將 $b + 1$ ， $b + 2$ ， $b + 3$ 同步於時鐘依次寫入。以後，指定寫入庫 - 1 輸入列位址 $C : b'$ ，輸入寫入資料 b' 及 $b' + 1$ ，指定讀出 - 1 而輸入列位址 $C : b''$ 時，列位址從 b' 被置換成 b'' ，故依次寫入與其對應之資料 b'' ， $b'' + 1$ ， $b'' + 2$ ， $b'' + 3$ 。

第 12 圖中表示應用本發明之 SDRAM 之其他實施例之輸入部之方塊圖。圖中，以 SDRAM 中之輸入輸出緩衝器，及與其關連之內部電路為代表表示。

時鐘輸入緩衝器 (Clock Input Buffer) 1 除了外

五、發明說明 (24)

部時鐘 C L K 之外又接受晶粒選擇信號 / C S , 行位址選通脈衝信號 / R A S , 列位址選通脈衝信號 / C A S 寫入啓動信號 / W E 等控制信號而形成內部動作所需之各種控制信號。與一般之同步 D R A M 不同, 並非將外部時鐘 C L K 直接做為內部時鐘使用, 而係由包含於時鐘輸入緩衝器 1 中之 P L L 電路 (或 D L L 電路) 形成內部時鐘。

亦即外部時鐘 C L K 輸入 P L L 電路 (或 D L L 電路) 之相位比較器中, 在此與內部時鐘互相比較, 對應於外部時鐘 C L K 進行內部時鐘之相位控制 (頻率控制), 形成與外部時鐘同步之內部時鐘。依照這種構造, 與將外部時鐘 C L K 直接做為內部時鐘使用之上述電路比較, 可實質上消除輸入緩衝器之信號延遲, 在時鐘信號 C L K 及與其同步的輸入之各種輸入信號之設定時間中, 不必考慮該時鐘信號 C L K 之信號延遲時間, 可充分應付外部時鐘 C L K 之信號延遲時間, 可充分應付外部時鐘 C L K 之高頻化。

位址輸入緩衝器 (Address Input Buffer) 2 輸入如上述之以時間系列輸入之位址信號。從該位址輸入緩衝器 2 中除了輸入行系統位址信號及列系統位址信號之外, 又輸入模態設定時使用之碼資訊 C o d e 。該碼資訊 C o d e 被設定於包含在模態解碼器 (Mode Decoder) 5 中之模態暫存器中, 由模態解碼器 5 解讀而形成實現與其對應之動作用之各種控制信號。

資料輸入緩衝器 (Data Input Buffer) 3 輸入從

五、發明說明 (25)

輸入輸出端子 I / O 供給之寫入信號，做為寫入資料 Data 傳送至圖示之記憶體陣列 (Memory Array) 。資料輸出緩衝器 (Data Output Buffer) 4 從外部端子 I / O 送出從記憶體陣列 (Memory Array) 中讀出之讀出資料 Data 。

R A S 系統控制信號 6 根據模態解碼器 5 之輸出控制行系統位址控制系統 7 及行系統位址預解碼器 1 0 而控制行系統之位址選擇動作。行系統位址控制器 7 輸出行位址信號或更新位址信號。行系統位址解碼器 1 0 解讀位址信號而送出預解碼於庫 0 及 1 之位址信號。

庫控制信號 9 根據從模態解碼器 5 供給之輸出信號控制列系統位址計數器 8 及列系統位址預解碼器 1 2 而控制列系統之位址選擇動作。列位址信號做為初期值輸入列系統位址計數器 8 中。該列系統位址計數器 8 又被稱為叢誤計數器。列系統位址預解碼器 1 2 解讀位址信號而送出預解碼於記憶體陣列之陣列信號。

行系統位址預解碼器 1 0 中設有冗餘電路 1 1 ，而將不良之字線以冗餘字線取代。同樣的，在列系統位址預解碼器 1 2 中設置冗餘電路 1 3 ，而將不良字線以冗餘資料線取代。

第 1 3 圖表示用來說明第 1 2 圖所示輸入電路之動作之時序圖。然而，輸入電路之具體結構係使用如第 6 圖所示之電路。該圖中，控制信號 / E N ，從外部端子供給之時鐘信號 C L K 經由 P L L 電路或 D L L 電路與內部時鐘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (26)

I C L K 進行相位同步。同樣的時序信號 / E N 亦與外部時鐘 C L K 形成相位同步。時序信號 C E 1 與該時序信號之前半部分之期間成為同步的產生，而對應於後半部分之期間產生時序信號 C E 2。各時序信號 C E 1 及 C E 2 可為由 / E N 形成，或由時鐘信號 I C L K 直接形成。

當信號 / E N 成為高位準之期間內，即成為預充電期間。在第 6 (A) 圖所示之電路中，C M O S 閘鎖電路之輸入輸出節 I T 與 I B 互相短路，並且被預充電至該基準電壓 V_{refin} 。在第 6 (B) 圖所示之電路中，主動負載電路之輸出節 I T 與 I B 互相短路，而且被預充電為該基準電壓 V_{refin} 。

當時序信號 C E 1 為高位準之期間內，輸入端之 C M O S 傳送閘極電路成為導通狀態而輸入該輸入信號 I N 及基準電壓 V_{refin} 。由於信號 / E N 成為低位準，在第 6 (A) 圖所示電路中，C M O S 閘鎖電路成為動作狀態，而由於具有正反饋之放大動作，以高速使輸入輸出節 I T 與 I B 相補的變成高位準與低位準。因為信號 / E N 成為低位準，在第 6 (B) 圖所示之電路中，以輸出節 I T 與 I B 將差動放大輸出與其輸出信號經由負載電路之正反饋放大動作，同樣的相補的變化成高位準與低位準。

當時序信號 C E 1 變成低位準後，輸入端之 C M O S 傳送閘極電路成為斷路狀態而與輸入側分離，並且被閘鎖。由於時序信號 C E 2 成為高位準，輸出端之 C M O S 傳

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(27)

送閘極電路成為導通狀態，將該門鎖之信號傳送至輸出端子 O T 及 O B。當信號 / E N 成為高位準後，開始進行預充電動作而將輸出節設定為基準電壓 V_{refin} 。在此期間內，不消耗電流。

該信號 / E N 成為高位準之期間內，時序信號 C E 2 成為低位準而輸出端之 C M O S 傳送閘極電路亦成為斷路狀態。因此，輸出信號 O T 及 O B 由如上述未圖示之適當之門鎖電路保持。本實施例中，因為外部時鐘 C L K，內部時鐘 I C L K 或時序信號 / E N 之時間差實質上消失，故不必考慮從外部供給之信號 C o m 等之設定時間 t_{cs} ，內部時序信號 / E N 等之信號延遲時間，保持時間 t_{cH} 之邊限可增大，亦即可增高時序信號 C L K 之頻率。

第 14 圖表示用來說明應用本發明之 G T L 電路之概略方塊圖。該 G T L 將匯流排線路上之信號振幅減小至習用之 T T L 位準之一半以下，以便降低消耗功率。亦即將匯流排電路之終端電壓 V_t 設定為 + 1.2 V 之低電壓，接收電路則使用具有如 0.8 V 之基準電壓 V_{ref} 之差動放電器。如此，傳送至信號傳送電路之高位準及低位準成為對應於終端電壓 V_t 之 1.2 V，及因輸出 M O S F E T 之導通電阻所造成之電壓降 0.4。將本發明應用於這種 G T L 介面時，則將輸入信號經由信號傳送通路供給於 S D R A M 等輸入電路。該基準電壓 r_{ef} (V_{refin}) 係設定為如 0.8 V 之電壓。該基準電壓

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (28)

V r e f 亦可為在半導體積體電路裝置內部產生之電壓。

第 1 5 圖為用來說明應用本發明之低振幅介面之代表性實施例之位準設定圖。其中之一係以 + 5 V 等電源電壓 V D D 為基準，高位準為 4 . 2 V，低位準為 3 . 4 V 之擬似 E C L 信號取代習用電路之接地電位，另一為以高位準為 1 . 2 V，低位準為 0 . 4 V 之 G T L 信號取代習用電路之接地電位，最後一種係已由本發明之發明人所發明之高位準為 4 . 2 V，低位準為 3 . 9 V 之 A L T S 信號。其他亦可應用例如 L V T T L 等信號。

第 1 6 (A)，(B) 圖表示應用本發明之 S D R A M 之個人電腦系統之一實施例之結構圖。第 1 6 (A) 圖表示其外觀之要部概略圖。第 1 6 (B) 圖為其方塊圖。

本實施例具有軟碟驅動器 F D D 及係應用本發明之 D R A M 之檔案記憶體 f i l e M 做為主記憶體，及具有做為電池備用之 S R A M 之系統。以輸入輸出裝置做為鍵盤 K B 及顯示器 D P，並將軟碟 F D 插入該軟碟驅動器 F D D 中。如，可成為可在做為軟體之軟碟 F D 及做為硬碟之檔案記憶體 f i l e M 中記憶資訊之桌上型個人電腦。

本實施例係說明應用於桌上型個人電腦之例。但亦可應用於筆記型個人電腦等。補助功能係以軟碟，但並不特別限定。

第 1 6 (B) 圖中，本實施例之個人電腦中包括做為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (29)

主資訊機器之中央處理裝置 C P U ，設在資訊處理系統內之 I / O 匯流排，B U S 單元，存取主記憶體或擴張記憶體等高速記憶體之記憶體控制單元 Memory Controll Unit ，做為主記憶體之本發明之 D R A M (S D R A M) 及擴張 R A M (S D R A M) ，儲存基本控制程式等之 E P R O M (快閃 E P R O M) ，及前端連接於鍵盤之鍵盤控制器 K B D C 等。

顯示轉接器連接於 I / O 匯流排，而在顯示轉接器之前端連接顯示器。在 I / O 匯流排上連接平行埠 I / F ，滑鼠等串聯埠 I / F ，軟碟驅動器 F D D ，及來自 I / O 匯流排而被變換成 H D D I / F 之緩衝控制器 H D D buffer 。擴張 R A M 及做為主記憶體之本發明之 S D R A M 連接於來自記憶體控制單元之匯流排。雖然並無特別限制，但擴張 R A M 係由本發明之 S D R A M 所構成。

以下說明該個人電腦系統之動作概略。接通電源而開始動作後，首先中央處理裝置 C P U 經由 I / O 匯流排存取該 R O M 而進行初期診斷，及初期設定。然後，將系統程式從補助記憶裝置裝載於做為主記憶體之本發明之 D R A M 中。中央處理裝置 C P U 經由 I / O 匯流排在 H D D 控制器上存取 H D D 。系統程式裝載完成後，依照使用者之處理要求進行處理。

使用者以 I / O 匯流排上之鍵盤控制器 K B D C 及顯示轉接器進行處理之輸入輸出而執行作業。然後，視需要

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

五、發明說明 (30)

活用連接於平行埠 I F，串聯埠 I / F 之輸入輸出裝置。若本體上之做為主記憶體之本發明之 S D R A M 中若主記憶容量不足時，則以擴張 R A M 補助主記憶體。圖中表示硬碟驅動器 H D D，但亦可用利用快閃記憶體 F E P R O M 之快閃檔案取代。

在上述微電腦系統中，連接於中央處理裝置 C P U 之匯流排，及連接於控制單元 D R A M (S D A R M) 之匯流排係由上述 G T L 所構成。各匯流排同步於時鐘授受信號，而同步於上述實施例之時鐘信號輸入於該介面之各種輸入信號係由時鐘信號驅動而間歇性的動作而可降低消耗功率。

上述實施例所產生之作用效果如下。

(1) 具有與時鐘信號同步的輸入或輸出信號，而且與外部之間授受對電源電壓成為小信號振幅之信號之低振幅之輸入輸出介面之半導體積體電路裝置中可產生接受從外部供給之時鐘信號之輸入電路係以實質上經常動作之差動電路輸入，而接受同步於時鐘信號輸入之低振幅輸入信號之輸入電路則可形成以上述時鐘信號間歇性的使差動電路動作，在該差動電路正在動作之期間內，以該內部時鐘信號抽樣輸入之內部信號，在差動電路不動作之期間內則保持該抽樣之信號，以便應用低信號振幅，並且可大幅度的降低消耗電流之輸入電路。

(2) 在 (1) 項之半導體積體電路裝置中，於不行任何動作之非動作模態時，使構成該第 1 輸入電路之電流

五、發明說明 (31)

源 M O S F E T 及構成第 2 輸入電路之電流源

M O S F E T 皆成為斷路狀態，即可在這種非動作模態下降低消耗功率。

(3) 使用在輸入接收控制信號之前半時成為導通狀態，輸入該低振幅之輸入信號及大致上成為其中間電位之基準電壓之第 1 傳送閘極電路，由輸入及輸出成為交叉狀的連接於對應於該輸入信號與基準電壓之一對節之

C M O S 倒相器所構成之門鎖電路，在產生該輸入接收信號之前短路該一對節而供給對應於該基準電壓之預充電電壓之預充電電路，在該輸入接收控制信號之後半時成為導通狀態，將門鎖電路之輸出信號傳送至內剖電路之第 2 傳送閘極電路做為該第 2 輸入電路，故可形成高靈敏度，低水肖耗功率，而且具有門鎖功能之輸入電路。

(4) 使用在輸入接收控制信號之前半時成為導通狀態，輸入該低振幅之輸入信號及大致上成為其中間電位之基準電壓之第 1 傳送閘極電路，閘極連接於對應於輸入信號及基準電壓之一對節而構成之第 1 導電型差動

M O S F E T，設在第 1 導電型差動 M O S F E T 之吸極端，而閘極與吸極互相交叉連接之第 2 導電型負載

M O S F E T，在產生該輸入接收信號之前，短路將第 1 導電型差動 M O S F E T 與第 2 導電型負負 M O S F E T 之吸極而成之一對輸出節而供給對應於該基準電壓之預充電電壓之預充電電路，在該輸入接收控制信號之後半時成為導通狀態，將該一對輸出節之信號傳送至內部電路之第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (32)

2 傳送閘極電路做為第 2 輸入電路，故可形成高靈敏度，低消耗功率，而且具有門鎖功能之輸入電路。

(5) 在具有同步於時鐘信號輸入或輸出信號，而與外部之間授受對電源電壓成為小信號振幅之信號之低振幅之輸入輸出介面之半導體積體電路裝置中，使用由在閘極與源極之間供給該低振幅之輸入信號及成為該信號振幅之大約中間電位之基準電壓之第 1 導電型之一對輸入 MOSFET，設在該一對輸入 MOSFET 之吸極，將對應於一方之輸入 MOSFET 之吸極電流之電流供給於另一方之輸入 MOSFET 之吸極之第 2 導電型 MOSFET 所構成之電流鏡電路，及將動作電流供給於構成上述電流鏡電路之第 2 導電型 MOSFET 之源極之電流源 MOSFET，使接受時鐘信號者經常的動作，使接受同步於時鐘信號之輸入信號者以時鐘信號間歇性的動作。依照這種結構，因為輸入信號供給於 MOSFET 之閘極與源極之間，故即使低振幅信號位準偏向電路之接地電位或電源電壓側，皆可使其動作。

(6) 在第 (5) 項之半導體積體電路裝置中，在不進行任何動作之非動作模態時使電流源 MOSFET 成為斷路狀態，故可在這種非動作模態下降低消耗電流。

(7) 將本發明應用於同步動態型 RAM，即可降低消耗功率，同時實現 GTL 等低振幅介面。

(8) 包括在閘極上接受從半導體積體電路裝置之外部供給之外部時鐘信號及成為該外部時鐘信號之信號振幅

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (33)

之大約中間電位之第 1 基準電壓之一對差動 MOSFET，及將電流供給於該一對差動 MOSFET 之各源極與吸極通路之電流源電路，包括形成具有大於該外部時鐘信號之信號振幅之信號振幅之內部時鐘信號之第 1 輸入電路，及接受從半導體積體電路裝置之外部供給之外部輸入信號，成為該外部輸入信號之信號振幅之大約中間電位之第 2 基準電壓，及響應於該外部時鐘信號之控制信號，根據該控制信號門鎖該外部輸入信號之門鎖電路，該門鎖電路係使用形成具有大於該輸入信號之信號振幅之信號振幅之內部信號之第 2 輸入電路，因此可形成具有可應用於低信號振幅，可大幅度的降低消耗電流之輸入電路之半導體積體電路裝置。

以上說明本發明之具體實施例，但本發明不受該實施例之限制，可在不超越其要旨之範圍內變更實施。例如在 SDRAM 中資料係以 8 位元單位輸入及輸出之外，亦可以 16 位元單位進行輸入及輸出。其資料位元數量及對應於記憶容量之位址之分配亦可採用各種實施型態。本發明可廣泛的利用於同步於時鐘信號接受輸入信號之各種半導體積體電路裝置中。

本發明之代表性實施例可產生之效果如下。亦即，在具有與時鐘信號成為同步的輸入或輸出信號，而與外部之間授受對電源電壓成為小信號振幅之信號之低振幅輸入輸出介面之半導體積體電路裝置中，接受從外部供給之時鐘信號之輸入電路係使用實質上經常的動作之差動電路，而

五、發明說明 (34)

接受同步於時鐘信號輸入之低振幅輸入信號之輸入電路則為以時鐘信號使其間歇性的動作，在該差動電路正在動作之期間內，以該內部時鐘信號抽樣接收之內部信號，可應用於低信號振幅，並且可大幅度的降低消耗電流之輸入電路。

在上述半導體積體電路裝置中，於不進行任何動作之非動作模態時，使構成第 1 輸入電路之電流源 MOSFET 及第 2 輸入電路之電流源 MOSFET 皆成為斷路狀態，即可在該非動作模態下降低消耗功率。

因為使用由在輸入接收控制信號之前半時成為導通狀態，輸入該低振幅輸入信號及大致上成為其中間電位之基準電壓之第 1 傳送閘極電路，及輸入及輸出交叉的連接於該輸入信號及對應於基準電壓之一對節之 CMOS 倒相器所構成之門鎖電路，在產生輸入接收信號之前短路該一對節而供給對應於該基準電壓之預充電電壓之預充電電路，及在輸入接收控制信號之後半時成為導通狀態而將門鎖電路之輸出信號傳送至內部電路之第 2 傳送閘極電路做為第 2 輸入電路，故可形成高靈敏度，低消耗功率，而且具有門鎖功能之輸入電路。

因為使用在輸入接收控制信號之前半時成為導通狀態，輸入該低振幅之輸入信號及大致上成為其中間電位之基準電壓之第 1 傳送閘極電路，將閘極連接於對應於輸入信號及基準電壓之一對節而成之第 1 導電型差動 MOSFET，設在第 1 導電型差動 MOSFET 之吸極，閘極與吸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (35)

極成爲交叉的連接而成之第2導電型負載MOSFET，在產生輸入信號之前將連接該第1導電型差動MOSFET與第2導電型負載MOSFET之吸極而成之一對輸出節短路而供給對應於基準電壓之預充電電壓之預充電電路，及在輸入接收控制信號之後半時成爲導通狀態而將一對輸出節之信號傳送至內部電路之第2傳送閘極電路做爲第2輸入電路，即可形成高靈敏度，低消耗功率，而且具有門鎖功能之輸入電路。

在具有同步於時鐘信號輸入或輸出信號，而與外部之間授受對電源電壓成爲小信號振幅之信號之低振幅輸入輸出介面之半導體積體電路裝置中，使用由在閘極與源極之間供給低振幅之輸入信號及成爲該信號振幅之大約中間電位之基準電壓之第1導電型之一對輸入MOSFET，設在該一對輸入MOSFET之吸極上，將對應於一方之輸入MOSFET之吸極電流之電流供給於另一方之輸入MOSFET之吸極之第2導電型MOSFET所構成之電流鏡電路，及將動作電流供給於構成電流鏡電路之第2導電型MOSFET之源極之電流源MOSFET，使接受時鐘信號者經常的動作，以時鐘信號使接受同步於時鐘信號之輸入信號者間歇性的動作。依照這種結構，因爲輸入信號被供給於MOSFET之閘極與源極之間，故即使低振幅信號位準偏向電路之接地電位或電源電壓，仍可使其動作。

在上述半導體積體電路裝置中，於不進行任何動作之

五、發明說明 (36)

非動作模態時使電流源 M O S F E T 成爲斷路狀態，即可在非動作模態下降低消耗功率。

將本發明應用於同步動態型 R A M 中，即可一方面降低消耗功率，一方面實現 G T L 等低振幅介面。

因爲使用包括在閘極接受從半導體積體電路裝置之外部供給之外部時鐘信號及成爲該外部時鐘信號之信號振幅之大約中間電位之第 1 基準電壓之一對差動 M O S F E T，及將電流供給於一對差動 M O S F E T 之各源極與吸極間通路之電流源電路，又包括形成具有大於外部時鐘信號之信號振幅之信號振幅之內部時鐘信號之第 1 輸入電路，及接受從半導體積體電路裝置之外部供給之外部輸入信號，成爲該外部輸入信號之信號振幅之大約中間電位之第 2 基準電壓，及響應於外部時鐘信號之控制信號，根據控制信號門鎖外部輸入信號之門鎖電路，該門鎖電路係使用形成具有信號振幅大於輸入信號之信號振幅之內部信號之第 2 輸入電路，故可形成具有可應用於低信號振幅，並可大幅度的降低消耗電流之輸入電路之半導體積體電路裝置。

圖式：

第 1 圖爲本發明之半導體積體電路裝置中之輸入電路之一實施例之概略方塊圖；

第 2 圖爲第 1 圖所示輸入電路 D I F C 1 之一實施例之電路；

第 3 圖爲第 1 圖所示輸入電路 D I F C 2 之一實施例

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

五、發明說明 (37)

之電路；

第 4 圖為第 1 圖所示輸入電路 D I F C 2 之另一實施例之電路；

第 5 (A) , (B) 圖為用來說明有關本發明之輸入電路之動作之時序圖；

第 6 (A) , (B) 圖為第 1 圖所示輸入電路 D I F C 2 之另一實施例之電路；

第 7 圖為用來說明第 6 圖所示輸入電路 D I F C 2 之動作之時序圖；

第 8 圖為將本發明應用於同步動態型 R A M 時之輸入電路之一實施例之概略方塊圖；

第 9 圖為應用本發明之同步 D R A M 之一實施例之方塊圖；

第 1 0 圖為用來說明應用本發明之 S D R A M 之讀出週期之一實施例之時序圖；

第 1 1 圖為用來說明應用本發明之 S D R A M 之寫入週期之一實施例之時序圖；

第 1 2 圖為應用本發明之 S D R A M 之其他實施例之輸入部之方塊圖；

第 1 3 圖為用來說明第 1 2 圖所示輸入電路之動作之時序圖；

第 1 4 圖為用來說明應用本發明之 G T L 電路之概略方塊圖；

第 1 5 圖為用來說明應用本發明之低振幅介面之代表

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (38)

性實施例之位準設定圖；

第 1 6 (A) , (B) 圖為應用本發明之使用
S D R A M 之個人電腦系統之一實施例之結構圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂