

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6186601号  
(P6186601)

(45) 発行日 平成29年8月30日(2017.8.30)

(24) 登録日 平成29年8月10日(2017.8.10)

(51) Int.Cl.			F I		
HO 1 L	29/93	(2006.01)	HO 1 L	29/93	H
HO 1 L	21/329	(2006.01)	HO 1 L	27/06	3 1 1 B
HO 1 L	27/06	(2006.01)	HO 1 L	27/06	3 1 1 C
HO 1 L	21/822	(2006.01)	HO 1 L	27/06	1 0 1 P
HO 1 L	27/04	(2006.01)	HO 1 L	27/04	C

請求項の数 8 (全 15 頁)

(21) 出願番号 特願2013-5263 (P2013-5263)  
 (22) 出願日 平成25年1月16日(2013.1.16)  
 (65) 公開番号 特開2014-138054 (P2014-138054A)  
 (43) 公開日 平成26年7月28日(2014.7.28)  
 審査請求日 平成28年1月12日(2016.1.12)

(73) 特許権者 390009667  
 セイコーN P C株式会社  
 東京都中央区八丁堀一丁目9番9号  
 (74) 代理人 100165179  
 弁理士 田▲崎▼ 聡  
 (74) 代理人 100126664  
 弁理士 鈴木 慎吾  
 (74) 代理人 100161207  
 弁理士 西澤 和純  
 (74) 代理人 100147740  
 弁理士 保坂 俊  
 (72) 発明者 藤竹 正仁  
 栃木県那須塩原市下田野531-1セイコーN P C株式会社内

最終頁に続く

(54) 【発明の名称】 可変容量ダイオード

(57) 【特許請求の範囲】

【請求項1】

p型半導体基板の主表面に形成した高濃度のn型不純物層および前記n型不純物層の直下に形成した前記n型不純物層と接合する第1のp型不純物層を有する接合型可変容量ダイオードにおいて、

前記n型不純物層および前記第1のp型不純物層は超階段接合をしており、

前記第1のp型不純物層の下部の半導体基板内に形成したp型不純物埋め込み層から前記第1のp型不純物層に接触するかまたは重なる前記半導体基板の主表面側への湧き上がり拡散により、前記第1のp型不純物層の下部におけるp型不純物濃度を前記半導体基板表面から約0.5μmの所で約6×10<sup>15</sup>/cm<sup>3</sup>に高めたことを特徴とする可変容量ダイオード。

10

【請求項2】

前記p型埋め込み層が半導体基板表面近傍に形成された後、半導体基板上にエピタキシャル層が形成されることを特徴とする、請求項1に記載の可変容量ダイオード。

【請求項3】

前記p型埋め込み層から半導体基板の主表面側への湧き上がり拡散は、前記半導体基板へのエピタキシャル層の形成とともに行なわれることを特徴とする、請求項1または2に記載の可変容量ダイオード。

20

## 【請求項 4】

前記 p 型埋め込み層から半導体基板の主表面側への湧き上がり拡散は、前記エピタキシャル層が形成された後の熱処理により行なわれることを特徴とする、請求項 1 ~ 3 のいずれか 1 項に記載の可変容量ダイオード。

## 【請求項 5】

可変容量ダイオードを構成する前記高濃度 n 型不純物層、前記高濃度 n 型不純物層に隣接し配置された素子分離酸化膜下に形成された p 型不純物層、および前記素子分離酸化膜の前記高濃度 n 型不純物層と異なる側に隣接しかつ前記高濃度 n 型不純物層と同時に形成された高濃度 n 型不純物層によりスナップバックトランジスタを構成する ESD 保護素子を含むことを特徴とする、請求項 1 ~ 4 のいずれか 1 項に記載の可変容量ダイオード。

10

## 【請求項 6】

半導体基板表面に p 型埋め込み層を形成する工程、  
前記半導体基板表面にエピタキシャル層を形成する工程、  
エピタキシャル層表面側へ前記 p 型埋め込み層からの p 型湧き上がり拡散層を形成する工程、および  
エピタキシャル層表面に第 1 の n 型層および前記第 1 の n 型層直下に第 1 の p 型層を形成し、前記第 1 の n 型層および第 1 の p 型層の間で p n 接合を形成する工程、  
を含み、前記 p 型湧き上がり拡散層を形成する工程は、前記 p 型埋め込み層からの前記 p 型湧き上がり拡散層が前記第 1 の p 型層に接触するかまたは重なるとともに、前記第 1 の p 型層の下部における p 型不純物濃度が前記エピタキシャル層表面から約 0.5 μm の所で約  $6 \times 10^{15}/\text{cm}^3$  となるように湧き上がり拡散を行う工程であることを特徴とする可変容量ダイオードの製造方法。

20

## 【請求項 7】

前記 p n 接合は超階段接合であることを特徴とする、請求項 6 に記載の可変容量ダイオードの製造方法。

30

## 【請求項 8】

前記半導体基板表面にエピタキシャル層を形成する工程および前記 p 型湧き上がり拡散層を形成する工程は同時に行なうことを特徴とする、請求項 6 または 7 に記載の可変容量ダイオードの製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、可変容量ダイオードおよびその製造方法に関するものであり、特に大きな容量可変比を有しかつ直列抵抗の小さな可変容量ダイオードに関する。

40

## 【背景技術】

## 【0002】

可変容量ダイオード (Variable Capacitance Diode) は、p n 接合の空乏層の幅が印加電圧によって変化することを利用した容量を可変させたダイオードで、バリキャップとも呼ばれる。この可変容量ダイオードは高周波フィルタ、TVチューナ、水晶振動子を共振器とした VCXO (Voltage Controlled Xtal Oscillator) 等の電圧制御可変発振器 (VCO: Voltage Controlled Oscillator) などに使用されている。

## 【0003】

図 7 は従来使用されている可変容量素子の構造の一例を示す断面図である。半導体基板 1

50

01内に形成されたp+埋め込み層102上に形成された低濃度のn型(n-)エピタキシャル層103内に可変容量素子の基板領域となる低濃度のpウエル領域104が存在し、可変容量素子100は、pウエル領域104の表面に形成された高濃度の第1のn型層(n++領域)108と、この第1のn型層108の直下に形成され、かつこの第1のn型層108に接しpn接合を形成する中濃度の第1のp型層(p+領域)107とにより構成されている。この可変容量素子100と素子分離(LOCOS)酸化膜106により隔てられた外側のpウエル領域104の表面には高濃度の第2のp型層(p++領域)110が存在する。

【0004】

また、この第2のp型層110の直下には、この第2のp型層110に接した中濃度の第1のp型層107がpウエル領域104内に形成されている。この第2のp型層110にはポリシリコン配線またはアルミニウム配線等が接続し(端子bで示す)、第1のp型層107を介してpウエル領域104とコンタクトし、pウエル領域104に対し接地電位を与えている。一方第1のn型層108にもポリシリコン配線またはアルミニウム配線等が接続している(端子aで示す)。端子a側がカソード電極に、端子b側がアノード電極になっており、端子aおよび端子bの間でpn接合(第1のn型層108と第1のp型層107)によるダイオードDおよび直列抵抗Rが形成されている。(尚、n型エピタキシャル層103上の絶縁膜、導電体膜等は記載を省略している。)

【0005】

図8は、図7に示す従来の可変容量ダイオードの製造方法の一例を示す図である。図8(a)に示すようにp型シリコン半導体基板101の表面にp型不純物イオンのイオン注入法またはブリデポ法によりp型層(後にp型埋め込み層となるp+層)102を形成する。次にこのp型層(p+層)102上に低濃度n型(n-)エピタキシャル層103を形成し{図8(b)}、可変容量ダイオードの形成領域にp型不純物イオン注入を行なった後適度な熱処理を行ないpウエル104を形成する。{図8(c)}、次に、LOCOS酸化用にエピタキシャル層103(pウエル104)の表面にシリコン酸化膜およびシリコン窒化膜を形成して、素子分離(LOCOS酸化)用の窓開けを行ない、反転防止用イオン注入層105を形成した後LOCOS酸化膜106を形成する。その後、その窒化膜および酸化膜を除去する。{図8(d)}次にエピタキシャル層103(pウエル104)上に薄いシリコン酸化膜を形成した後、p型不純物イオン(たとえば、B)をイオン注入して、エピタキシャル層103(pウエル104)内の所定の領域に第1のp型層107を形成する。{図8(e)}次に、n型不純物イオン(たとえば、P、Sb、As)をイオン注入して、第1のp型層107上でpn接合が形成されるように第1のn型層108を形成し、またESD保護素子用の第2のn型層109を形成する。さらに、p型不純物イオン(たとえばBやBF<sub>2</sub>)をイオン注入して接地電位供給用となる高濃度の第2のp型層110を形成する。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2008-311398

【発明の概要】

【発明が解決しようとする課題】

【0007】

図7に示すように、可変容量ダイオード100は、端子a-b間でpn接合115の(空乏層)容量Cと(直列)抵抗Rが直列に配列した構成となっている。直列抵抗Rは、図7に示すように不純物濃度の低いpウエル領域104の抵抗成分が支配的となる。しかし、pウエル領域104の濃度は低い( $10^{14}/\text{cm}^3 \sim 10^{16}/\text{cm}^3$ )ので、直列抵抗Rは高くなっている。可変容量ダイオードの容量Cは電圧に対して容量変化(これを容量可変比と呼ぶ)が大きい特性が望ましい。図9は階段接合および超階段接合におけるシリコン半導体基板の深さ方向の濃度分布の概略図並びにこれらに対応する容量・電圧特性

10

20

30

40

50

の概略図を示す図である。通常のpn接合は、図9(a)に示すように、階段接合(pn接合部から濃度が一定の分布)に近いので、空乏層が電圧印加に対して余り延びないので、容量可変比が小さい。そこで、図9(b)に示すように、pn接合においてpn接合部から基板内部側の深さ方向の濃度が低くなる超階段接合にすると、空乏層が電圧印加に対して延びるので、容量可変比を大きくすることができる。

【0008】

しかし、容量可変比を大きくするために超階段接合を形成すると、基板内部側(たとえば、図7ではpウエル領域104)の不純物濃度が低くなるために、直列抵抗Rが増大する。一方、可変容量ダイオードの分割数を増やすと直列抵抗Rが低くなるので抵抗成分に関しては効果的であるが、寄生容量が増えるので容量可変比を大きくすることができなくなるとい問題がある。

10

【課題を解決するための手段】

【0009】

本発明は、pn接合に関して容量可変比を増大できる超階段接合を実現しつつ、直列抵抗を低下するために、基板内部に埋め込み層を設け、その埋め込み層から埋め込み層の上方(基板表面)側への湧き上がり拡散(すなわち上方拡散)を利用する。基板濃度(pウエルを形成したときはpウエル)よりも高い湧き上がり拡散層を超階段接合層と接触させ、超階段接合層の下部における基板濃度を上げて可変容量ダイオードにおける直列抵抗の抵抗値を低下させる。具体的には、本発明は以下の(1)~(7)に示す構成要素からなる。

20

【0010】

(1)本発明は、半導体基板の主表面に形成した高濃度の第1導電体型不純物層と、前記第1導電体型不純物層の直下に形成した前記第1導電体型不純物層と超階段接合する第1の第2導電体型不純物層を有する、超階段接合型可変容量ダイオードにおいて、前記第1の第2導電体型不純物層の下部の半導体基板内に形成した第2導電体型埋め込み層から基板の主表面側への湧き上がり拡散により、前記第1の第2導電体型不純物層の下部における第2導電体型不純物濃度を高めたことを特徴とする可変容量ダイオードであり、さらに前記第1の第2導電体型不純物層の下部において湧き上がり拡散によって形成された湧き上がり拡散層は、前記第1の第2導電体型不純物層に接触するか、または重なっていることを特徴とする可変容量ダイオードである。

30

【0011】

(2)本発明は、(1)に加えて、前記第2導電体型埋め込み層が半導体基板表面近傍に形成された後、半導体基板上にエピタキシャル層が形成され、さらに前記第2導電体型埋め込み層から半導体基板の主表面側への湧き上がり拡散は、前記半導体基板へのエピタキシャル層の形成とともに行なわれることを特徴とし、また前記第2導電体型埋め込み層から半導体基板の主表面側への湧き上がり拡散は、前記エピタキシャル層が形成された後の熱処理により行なわれることを特徴とする。

【0012】

(3)本発明は、(1)に加えて、前記第2導電体型埋め込み層は半導体基板内部への所定の深さへ達する第2導電体型不純物イオン注入により形成され、前記第2導電体型埋め込み層から基板の主表面側への湧き上がり拡散は熱処理により行なわれることを特徴とする。

40

【0013】

(4)本発明は、半導体基板表面に第2導電体型埋め込み層を形成する工程、前記半導体基板表面にエピタキシャル層を形成する工程、エピタキシャル層表面側へ前記第2導電体型埋め込み層からの湧き上がり拡散層を形成する工程、および、エピタキシャル層表面に第1の第1導電体型層および前記第1の第1導電体型層直下に第1の第2導電体型層を形成し、前記第1の第1導電体型層および第1の第2導電体型層の間で超階段接合を形成する工程、を含むことを特徴とする可変容量ダイオードの製造方法であり、さらに前記半導体基板表面にエピタキシャル層を形成する工程および前記湧き上がり拡散層を形成する工

50

程は同時に行なうことを特徴とする。

【0014】

(5) 本発明は、半導体基板内部への所定の深さへ達する第2導電体型不純物イオン注入により第2導電体型埋め込み層を形成する工程、前記第2導電体型埋め込み層から基板の主表面側への湧き上がり拡散層を形成する工程、および、前記半導体基板の主表面に第1の第1導電体型層および前記第1の第1導電体型層直下に第1の第2導電体型層を形成し、前記第1の第1導電体型層および第1の第2導電体型層の間で超階段接合を形成する工程、を含むことを特徴とする可変容量ダイオードの製造方法。

【0015】

(6) 本発明は、(4)または(5)に加えて、前記湧き上がり拡散層は、前記第1の第2導電体型不純物層に接触するか、または重なっていることを特徴とする。

10

【0016】

(7) 本発明の可変容量ダイオードは、可変容量ダイオードを構成する前記高濃度の第1導電体型不純物層(第1の高濃度第1導電体型不純物層)、前記第1の高濃度第1導電体型不純物層に隣接し配置された素子分離酸化膜下に形成された第2導電体型不純物層、および前記素子分離酸化膜の前記第1の高濃度第1導電体型不純物層と異なる側に隣接しかつ前記第1の高濃度第1導電体型不純物層と同時に形成された高濃度第1導電体型不純物層(第2の高濃度第1導電体型不純物層)によりスナップバックトランジスタを構成するESD保護素子を含むことを特徴とする。

尚(1)~(6)における第1導電体型とはp型またはn型を意味し、第2導電型とはこれらと逆導電型、すなわちn型またはp型を意味する。

20

【発明の効果】

【0017】

本発明の可変容量ダイオードは、可変容量を構成するpn接合における基板内側の不純物層の濃度勾配が深さ方向に次第に減少するいわゆる超階段接合になっているので、印加電圧の増加に従い空乏層が広がり容量可変比が大きい。しかも超階段接合を形成する不純物拡散層直下の基板不純物濃度が従来のものより高いので、可変容量ダイオードの直列抵抗値が従来のものより低くなっている。従って、容量可変比が大きくしかも直列抵抗値が低い理想的な可変容量ダイオードを形成することができる。

【図面の簡単な説明】

30

【0018】

【図1】図1は、本発明の可変容量ダイオードの断面構造を示す図である。

【図2】図2は、本発明の超階段接合およびp型湧き上がり拡散層を有する可変容量ダイオードの製造方法(第1の実施形態)を示す図である。

【図3】図3は、本発明の可変容量ダイオードを形成する製造方法(第2の実施形態)を示す図である。

【図4】図4は、従来法のpn接合部における深さ方向の不純物濃度プロファイルを示す図である。

【図5】図5は、本発明のpn接合部における深さ方向の不純物濃度プロファイルを示す図である。

40

【図6】図6は、可変容量ダイオード(バリキャップ)を用いた製品の周波数可変特性を示す図である。

【図7】図7は、従来使用されている可変容量素子の構造の一例を示す断面図である。

【図8】図8は、従来使用されている可変容量素子の構造の一例を示す断面図である。

【図9】図9は、容量可変比を増大させる方法について説明する図である。

【図10】図10は、本発明の可変容量ダイオードを用いた電圧制御型発振器の回路図の一例を示す図である。

【図11】図11は、図1に示したESD保護素子を有する可変容量素子のレイアウトの一例を示す平面図である。

【発明を実施するための形態】

50

## 【0019】

本発明は、容量可変比が大きく、しかも直列抵抗の低い可変容量ダイオードおよびその製造方法を提供するものである。以下においては、第1導電体をn型、第2導電体をp型として説明するが、これらを逆にしても良いことは当然であり、その場合は電源系を逆に設定すれば良い。

## 【0020】

図1は、本発明の可変容量ダイオードの断面構造を示す図である。p型半導体基板（或いは、n型またはp型半導体基板内に形成したpウェル）内にp型不純物元素を含むp型埋め込み層12が形成され、熱処理によってこのp型埋め込み層12から半導体基板内にp型不純物元素が拡散したp型不純物層13が形成される。特に基板表面（基板上方）へ拡散したp型不純物層13を湧き上がり拡散層とも呼ぶ。基板表面側には高濃度のn型不純物元素を含む第1のn型層（n++領域）14が形成され、この第1のn型層14に多結晶シリコン膜やアルミニウム膜等の導電体配線が接続する。（これを端子配線aで示す。）また、第1のn型層14の直下に接して中濃度のp型不純物元素を含む第1のp型層15（p+領域）が存在し、これら第1のn型層14および第1のp型層15でpn接合（pn接合面19）を形成している。このpn接合において、第1のp型層15はpn接合面19でp型不純物元素濃度が最も高く、pn接合面19から離れるに従い不純物元素濃度が低下する構造、いわゆる超階段接合構造になっている。すなわち本発明の可変容量ダイオードは超階段接合型である。また、第1のp型層15の下部にはp型埋め込み層12から拡散したp型湧き上がり拡散層13（p-領域）が存在し、好適には第1のp型層15とp型湧き上がり拡散層13は接触しているか重なっている。すなわち、このときには第1のp型層15の最下部のp型不純物元素濃度はp型湧き上がり拡散層13の最上部におけるp型不純物元素濃度と同じくになっている。このp型湧き上がり拡散層13は、第1のn型層14の界面まで達している場合もある。（尚、上記の「重なる」は、このことも含む。）

## 【0021】

可変容量ダイオードにおけるpn接合を構成する第1のn型層14および第1のp型層15に対して素子分離（LOCOS: Local Oxidation of Silicon）酸化膜16を挟んで、第2のn型層22が配置されている。その外側に半導体基板の表面側に高濃度のp型不純物元素を含む第2のp型層17（p++領域）が形成されている。この第2のp型層17の直下にはこれと接して、第1のp型層15と同時に形成される第1のp型層21（p+領域）が形成されている。第2のp型層17にはポリシリコン配線やアルミニウム配線等の導電体配線が接続している。（これを端子配線bで示す。）尚、p型湧き上がり拡散層13に隣接して薄いn型不純物濃度を有するnウェル層（またはn-エピタキシャル層）20が存在する。このnウェル層内には、p型拡散抵抗やPMOSTランジスタ等の素子が形成される。

## 【0022】

また、可変容量ダイオードにおけるpn接合を構成する第1のn型層14および第1のp型層15に対して素子分離酸化膜16を挟んで、第2のp型層17とは異なる半導体基板の表面側領域に高濃度のn型不純物元素を含む第2のn型層（n++領域）22が形成されている。この第2のn型層22は第1のn型層14と同時に形成することができ、第2のn型層22にはポリシリコン配線やアルミニウム配線等の導電体配線が接続している。（これを端子配線cで示す。）第2のn型層22は素子分離（LOCOS）層16を挟んで基本的に第1のn型層14の外側に配置されるが、第2のn型層22に接続する端子配線cは接地電位に接続され、ESD（静電放電: Electro Static Discharge）保護素子の役割を果たしている。素子分離酸化膜16の直下にはp型不純物元素を含む第3のp型層23が形成されている。この第3のp型層23は、素子分離酸化膜16の直下における半導体基板11の表面濃度を上げることによって、基板表面の反転防止および可変容量素子18のブレークダウン電圧を下げてESD保護素子の効果を高める。

## 【0023】

可変容量ダイオード18をESD保護素子を取り囲み、可変容量ダイオード18の第1のn型層14、それを取り囲む素子分離層16直下の反転防止層である第3のp型層23、およびさらにその外側の第2のn型層(n++領域)22でnpnトランジスタとなり、ESD保護素子としてのスナップバックトランジスタEを構成する。回路的に見ると、第1のn型層14と接続する端子aは電源電圧(カソード電圧、V<sub>dd</sub>)になり、ダイオードDの他方は、基板側のp型湧き上がり拡散層13および第1のp型層21および第2のp型層17につながり、第2のp型層17に接続する端子bは接地電圧(アノード電圧、V<sub>ss</sub>)となる。また、ESD保護素子における第2のn型層(n++領域)22に接続する端子cは端子bと同電位で接地電圧(V<sub>ss</sub>)となる。

#### 【0024】

可変容量ダイオード18は、第1のn型層14および第1のp型層15からなるpn接合、このpn接合に接地電位(V<sub>ss</sub>)を供給する第2のp型層17およびそれと接触する第1のp型層21、並びにこれらを接続する半導体基板11(p型湧き上がり拡散層13を含む)等から構成される。図1に示すように、端子a-b間の回路は、pn接合に伴う空乏層容量C、pn接合によるダイオードD、および拡散抵抗による抵抗Rが直列に接続している。抵抗Rは直列抵抗と呼ばれているが、第1のp型層15、21、およびこれらの不純物拡散層の間の抵抗の和になるが、最も抵抗が高い第1のp型層15および21の間の抵抗R<sub>15-21</sub>に律速される。p型湧き上がり拡散層13が第1のp型層15、21と接触していないときは、抵抗R<sub>15-21</sub>は半導体基板11(またはpウエル11)の抵抗R<sub>sub</sub>とp型湧き上がり拡散層13の抵抗R<sub>13</sub>との和になるが、p型湧き上がり拡散層13が第1のp型層15、21と接触している場合は、抵抗R<sub>15-21</sub>はR<sub>13</sub>とほぼ等しくなる。R<sub>sub</sub>>R<sub>13</sub>であるから、直列抵抗Rを低減するには、図1に示すように、p型湧き上がり拡散層13を第1のp型層15、21と接触させるかまたは重なるように形成し、かつp型湧き上がり拡散層13の抵抗R<sub>13</sub>を下げると良い。尚、p型湧き上がり拡散層13は第1のn型層14の領域まで上方拡散させても良く、この場合はp型半導体基板(またはpウエル)11の領域はp型湧き上がり拡散層13と同じ濃度となり、p型湧き上がり拡散層13が第1のp型層15を取り囲んだ状態となる。(p型湧き上がり拡散層13を半導体基板表面まで拡散する場合は、このp型湧き上がり拡散層13の表面近傍の濃度が半導体基板表面近傍において支配的となるので、pウエルを形成しなくても良い。)

#### 【0025】

一方容量Cは、a-b間の印加電圧Vを増大させるに従い変化し、その変化量が大きくなるようにすれば良い。そのためには、第1のn型層14および第1のp型層15からなるpn接合の空乏層幅が電圧印加とともに増大するようにすれば良いので、pn接合において、第1のn型層14の濃度が第2のp型層の濃度より高く、その接合面から深くなるに従い第2のp型層の濃度が低下するような濃度勾配にした構造、いわゆる超階段接合にすれば良い。尚、上記の本発明の可変容量ダイオードにおいて、各領域の不純物元素の濃度は概略以下の様になる。p型半導体基板(p-領域)11の濃度は $10^{15} / \text{cm}^3 \sim 10^{16} / \text{cm}^3$ 、以下、p型埋め込み層12は $10^{17} / \text{cm}^3$ 以上、p型湧き上がり拡散層13は $10^{15} \sim 10^{17} / \text{cm}^3$ 、第1のp型層は $10^{16} \sim 10^{18} / \text{cm}^3$ 、第2のp型層17は $10^{18} \sim 10^{21} / \text{cm}^3$ 、第1のn型層14は $10^{18} \sim 10^{21} / \text{cm}^3$ 、第2のn型層22は $10^{18} \sim 10^{21} / \text{cm}^3$ である。

#### 【0026】

図10は、図1に示した本発明の可変容量ダイオードを用いた電圧制御型発振器の回路図の一例を示す図である。V<sub>DD</sub>端子74とV<sub>SS</sub>端子76との間には内部回路71が設けられている。この内部回路71は、従来技術同様に、反転増幅器や帰還抵抗など一般的な発振回路による構成であるから詳細な説明は省略する。入力端子75は、抵抗72を介し内部回路71に対して水晶などの圧電振動子が接続される端子であり、この入力端子75とV<sub>SS</sub>端子76の間には可変容量素子78が設けられている。図示していないが、可変容量素子78の入力端子75側には、別の端子を通じて制御電圧が与えられ、その容量

10

20

30

40

50

値が調整される。また、この可変容量素子78は、入力端子75に接続した上述のスナップバックトランジスタ79を有しているため、静電気のようなサージが与えられたとき、内部回路71に対するESD保護素子としても機能する。さらに、VDD端子74とVSS端子76との間にも保護素子として、保護ダイオード73が設けられている。また、図10に示す端子a、bおよびcはそれぞれ図1に示した端子a、bおよびcに対応する。

#### 【0027】

図11は、図1に示したESD保護素子を有する可変容量素子のレイアウトを示す平面図である。図1と対応する構成要素には同じ符号を用いている。図11に示すように、可変容量素子18の一部であるn型領域14は、行列状に複数位置され、これらは全て同電位となるように接続されている。(配線層でつながり端子aに接続される。)すなわち、レイアウトでは複数領域に分割されているが、回路上では一つの可変容量素子である。また、図11では3行3列の構成を図示しているが、これは単なる一例であって発明の範囲を限定するものではない。n型領域14の下には、可変容量素子のpn接合を構成するためp型領域15が形成されており、それぞれのn型領域14は素子分離領域16で囲まれている。そして、素子分離領域16の下には、図1に示すようにp型領域23が形成されている。

10

#### 【0028】

図11において矢印Xで示す破線部分の断面図が図1の断面図に対応する。それぞれのn型領域14の両外側には素子分離領域16(p型領域23)を介してn型領域22が配置されている。これらの複数のn型領域22は全て同電位となるように接続されている。(配線層でつながり端子cに接続され、端子cは接地される。)図11に記載した記号で示すように、これらの領域はnpnトランジスタからなるスナップバックトランジスタを構成し、ESD保護素子として機能する。すなわち、各可変容量素子とスナップバックトランジスタは対の構成を取りながら配置されているため、ESDに強い可変容量素子およびそれらを有するデバイスを作製できる。さらにその外側は、第1のp型領域21からなる接地領域で囲まれている。(図11では図示していないが、配線層でつながり端子bに接続され、端子bは接地される。)

20

#### 【0029】

次に、第1のn型層14および第1のp型層15から構成されるpn接合が超階段接合となり、第1のp型層15がp型湧き上がり拡散層13と接触させる製造方法について説明する。図2は、本発明の超階段接合およびp型湧き上がり拡散層を有する可変容量ダイオードの製造方法(第1の実施形態)を示す図である。p型の半導体基板(またはpウエル半導体層、pウエルはあらかじめイオン注入法等で形成しておく)31内にp型の不純物、たとえばp型不純物イオン(Bイオンなど)を注入したりBのプリデポ拡散を行ったりして、半導体基板表面または表面近傍にp型埋め込み層32を形成する。{図2(a)}次に半導体基板上に低濃度のp型(p-)またはn型(n-)のエピタキシャル層33を形成する。{尚、n型(n-)のエピタキシャル層33を形成したとき、あるいはp型(p-)のエピタキシャル層33のp型不純物濃度を調節するときには、可変容量ダイオード形成領域等において、p型のイオン注入によりpウエル(p-)を形成する。p型(p-)領域33に隣接してn型(n-)領域41を形成する場合もある。n型(n-)エピタキシャル層33を形成するときは、n型(n-)エピタキシャル層33と兼用することができ、p型(p-)エピタキシャル層33を形成するときは、たとえばn型不純物イオン(Pイオン、Sbイオン、Asイオン等)をイオン注入して適切なn型不純物濃度を要するnウエル(n-)層41とする。このn型(n-)層41にはp型拡散(抵抗)層、pMOSトランジスタ等の素子を形成できる。

30

40

#### 【0030】

このエピタキシャル(以下、エピと略す)成長時の熱処理において、エピ成長に伴いp型埋め込み層32からp型不純物濃度を上方へ拡散させ、p型不純物層34を形成する。このp型不純物層34はp型湧き上がり拡散層とも称する。従って、本来のエピ層32のp型不純物濃度またはn型不純物濃度よりも高い濃度を有する層がエピ層32の全体または

50

下側に形成され、p型埋め込み層32をピーク位置として表面側になるに従いp型不純物濃度が低下する濃度勾配となる。尚、エピ層33を低温(950以下)で形成し余りp型湧き上がり拡散層34を拡散させないようにし、エピ層形成後に適度な高温熱処理を行ないエピ層内にp型不純物元素を湧き上がり拡散させ、所望のプロファイルを有するp型湧き上がり拡散層34を形成しても良い。尚、{図2(b)}図2(b)における破線は半導体基板31とエピ層33との境界線を示す位置である。あるいは、エピ層形成と同時にまたはエピ層形成後の熱処理によってエピ層表面まで湧き上がり拡散させても良い。この場合は、p型湧き上がり拡散層34のp型不純物濃度は、当初の半導体基板またはpウエルのp型不純物濃度よりも高くなるので、pウエルを形成する必要はない。

#### 【0031】

次にLOCOS酸化用にエピ層33の表面にシリコン酸化膜およびシリコン窒化膜を形成して、素子分離(LOCOS酸化)用の窓開けを行ない、反転防止用イオン注入層35を形成した後LOCOS酸化膜36を形成する。その後、その窒化膜および酸化膜を除去する。{図2(c)}次にエピ層33上に薄いシリコン酸化膜を形成した後、p型不純物イオン(たとえば、B)をイオン注入して、半導体基板31(エピ層33)内の所定の領域に第1のp型層37を形成する。また、n型不純物イオン(たとえば、P、Sb、As)をイオン注入して第1のn型層38および第2のn型層39を形成する。さらにp型不純物イオンをイオン注入して、第2のp型層40を半導体基板31(エピ層33)内の所定の領域に形成する。その後熱処理を行ないイオン注入層の活性化およびイオン注入層の必要な拡散を行なう。

#### 【0032】

この熱処理後の状態で第1のp型層37の最も濃い濃度が第1のn型層の最も薄い濃度になる(これらの境界面がpn接合面となる)ように、第1のp型層形成時のイオン注入の加速エネルギー(これによるシリコン半導体中のイオン注入ピーク深さを $R_{p1}$ とする)およびイオン注入量(イオンドーズ量、これを $D_{p1}$ とする)、並びに第1のn型層形成時のイオン注入の加速エネルギー(これによるシリコン半導体中のイオン注入ピーク深さを $R_{n1}$ とする)およびイオン注入量(イオンドーズ量、これを $D_{n1}$ とする)、並びに熱処理条件を選定する。このpn接合は超階段接合になるので、 $R_{p1} > R_{n1}$ および $D_{p1} < D_{n1}$ となるようにする。第2のn型層39は第1のn型層38と同程度の濃度を有するので、第1のn型層38と同時に形成しても良い。また、第1のp型層37がと接触するか、またはオーバーラップするか、あるいはp型湧き上がり拡散層34を表面まで形成するように、p型埋め込み層32形成用のイオン注入の加速エネルギー、ドーズ量、エピ層条件(形成温度、エピ層厚み)や熱処理条件を適宜選定する。また、第1のp型層37の濃度勾配が良好な可変容量比を得るための超階段接合に適した勾配になるように、第1のp型層37の形成用のp型不純物イオン注入の加速エネルギーやドーズ量を可変しても良い。

#### 【0033】

尚、第1および第2のn型層形成用のn型イオン注入、あるいは第1および第2のp型層形成用のp型イオン注入を行なった後で、その都度適宜熱処理を行ないこれらのn型層またはp型層を拡散して所望のプロファイルを得るようにしても良い。たとえば、第1のp型層形成用のp型不純物イオン注入を行なった後で熱処理を行ない、第1のp型層37をp型不純物層34と接触させた後に、第1および第2のn型層形成用のn型不純物イオン注入を行なう。この後熱処理を行ない第1のn型層38の下部が第1のp型層37のピーク濃度よりも深くなるようにして超階段接合を形成する。さらに第2のp型層形成用のp型不純物イオン注入を行ない、熱処理を行ない第2のp型層40を形成する。

#### 【0034】

この後、第1のn型層38、第2のn型層39、第2のp型層40、およびLOCOS酸化膜上にシリコン酸化膜等の絶縁膜を形成し、この絶縁膜に必要な窓開けを行なった(コンタクト孔形成)後、多結晶シリコン膜、シリサイド膜、あるいはアルミニウム等の導電膜を積層して配線層を形成する。これらの配線層が図1に示す端子a、b、c等に対応する。

10

20

30

40

50

## 【 0 0 3 5 】

図 3 は、エピ形成を行わずに本発明の可変容量ダイオードを形成する製造方法（第 2 の実施形態）を示す図である。図 3（a）に示すように p 型半導体基板 5 1 内の深い位置（表面より約  $1\ \mu\text{m} \sim 4\ \mu\text{m}$ ）に p 型半導体基板 5 1 の表面側より p 型不純物イオンを注入し、p 型埋め込み層 5 2 を形成する。このイオン注入はイオン注入の加速エネルギーを大きくして行なうことによりシリコン半導体基板 5 1 内の深い位置にイオン注入できる。たとえば、B + イオンの場合、 $1000\ \text{keV}$  の加速エネルギーで入射距離（飛程  $R_p$ ）が約  $1.8\ \mu\text{m}$  となる。

## 【 0 0 3 6 】

次に図 3（b）に示すように熱処理を行ない、p 型埋め込み層 5 2 の p 型不純物を半導体基板上面側に拡散させ、不純物層 5 3 形成する。この不純物層 5 3 を湧き上がり拡散層とも称する。湧き上がり拡散層 5 3 は p 型半導体基板 5 1 の基板表面近くまで拡散させる。（表面まで拡散させることもできる。）もとの p 型埋め込み層 5 2 を破線で示すが、最初の p 型不純物濃度より低くなるが、この領域は湧き上がり拡散層 5 3 の中でピーク濃度となっており、p 型埋め込み層 5 2 から表面側へ近づくにつれて p 型不純物濃度は（指数関数的に）低下している。尚、湧き上がり拡散層 5 3 に隣接して P M O S 等の素子形成用の n ウエル 6 1 を形成することもできる。この n ウエル 6 1 も、半導体基板内にリン（P）等の n 型不純物イオンを注入して、その n 型イオン注入層を拡散して形成することができる。この n ウエル 6 1 内には p 型拡散抵抗や P M O S トランジスタ等を形成することができる。

## 【 0 0 3 7 】

次に L O C O S 酸化用にシリコン半導体基板 5 1 の表面にシリコン酸化膜およびシリコン窒化膜を形成して、素子分離（L O C O S 酸化）用の窓開けを行ない、反転防止用イオン注入層 5 5 を形成した後 L O C O S 酸化膜 5 6 を形成する。その後、その窒化膜および酸化膜を除去する。{ 図 3（c）} 次にシリコン半導体基板 5 1 上に薄いシリコン酸化膜を形成した後、p 型不純物イオンをイオン注入して、半導体基板 5 1 内の所定の領域に第 1 の p 型層 5 7 を形成する。{ 図 3（d）} また、n 型不純物イオン（たとえば、P、S b、A s）をイオン注入して第 1 の n 型層 5 8 および第 2 の n 型層 5 9 を形成する。{ 図 3（e）} さらに p 型不純物イオンをイオン注入して、第 2 の p 型層 6 0 を半導体基板 5 1 の表面の所定領域に形成する。その後熱処理を行ないイオン注入層の活性化およびイオン注入層の必要な拡散を行なう。{ 図 3（f）}

## 【 0 0 3 8 】

この熱処理後の状態で第 1 の p 型層の最も濃い濃度が第 1 の n 型層の最も薄い濃度になるように、第 1 の p 型層形成時のイオン注入の加速エネルギー（このイオン注入によるシリコン半導体中のイオン注入ピーク深さを  $R_{p1}$  とする）およびイオン注入量（ドーズ量、これを  $D_{p1}$  とする）、並びに第 1 の n 型層形成時のイオン注入の加速エネルギー（これによるシリコン半導体中のイオン注入ピーク深さを  $R_{n1}$  とする）およびイオン注入量（ドーズ量、これを  $D_{n1}$  とする）、並びに熱処理条件を選定し、p n 接合を形成する。この p n 接合は超階段接合にするので、 $R_{p1} > R_{n1}$  および  $D_{p1} < D_{p2}$  となるようにする。第 2 の n 型層 5 9 は第 1 の n 型層 5 8 と同時に形成しても良い。また、第 1 の p 型層 5 7 が p 型湧き上がり層 5 3 と接触するように p 型埋め込み層 5 2 形成用のイオン注入の加速エネルギー、ドーズ量、各種熱処理条件を適宜選定する。

## 【 0 0 3 9 】

尚、第 1 および第 2 の n 型層形成用の n 型イオン注入、あるいは第 1 および第 2 の p 型層形成用の n 型イオン注入を行なった後で、適宜熱処理を行ないこれらの n 型層または p 型層を拡散して所望のプロファイルを得るようにしても良い。たとえば、第 1 の p 型層形成用の p 型不純物イオン注入を行なった後で熱処理を行ない、第 1 および第 2 の n 型層形成用の n 型不純物イオン注入を行なう。この後熱処理を行ない第 1 の n 型層 5 8 の下部が第 1 の p 型層 5 7 のピーク濃度よりも深くなるようにして超階段接合を形成する。さらに第 2 の p 型層形成用の p 型不純物イオン注入を行ない、熱処理を行ない第 2 の p 型層 6 0 を

10

20

30

40

50

形成する。

【 0 0 4 0 】

この後、第 1 の n 型層 5 8、第 2 の n 型層 5 9、第 2 の p 型層 6 0、および L O C O S 酸化膜上にシリコン酸化膜等の絶縁膜を形成し、この絶縁膜に必要な窓開けを行なった（コンタクト孔形成）後、多結晶シリコン膜、シリサイド膜、あるいはアルミニウム等の金属膜を積層して配線層を形成する。これらの配線層が図 1 に示す端子 a、b、c 等に対応する。このようにエピ層を形成せずに p 型半導体基板内に本発明の可変容量ダイオードを形成することができる。

【 実施例 1 】

【 0 0 4 1 】

p 型シリコン半導体基板にドーズ量  $1.5 \times 10^{13} / \text{cm}^2$  の B + イオンを加速エネルギー 5 0 keV でイオン注入した後、エピ層を約  $1.8 \mu\text{m}$  成長させた後、p ウエルを形成した。次に、湧き上がりの熱処理を行なったもの（本発明）と行なわないもの（従来法）を作製した。第 1 の p 型層はエピ層にドーズ量  $4.9 \times 10^{13} / \text{cm}^2$  の B + イオンを加速エネルギー 3 0 keV でイオン注入し形成した。図 4 は従来法の p n 接合部における深さ方向の不純物濃度プロファイルを示す図である。プロファイル A は第 1 の n 型層の不純物（P）濃度プロファイルである。プロファイル B は第 1 の p 型層（B）の濃度プロファイルを示す。エピ層表面から約  $0.2 \mu\text{m}$  の深さに p n 接合が存在し、p n 接合における不純物濃度は  $2.0 \times 10^{17} / \text{cm}^3$  であり、その接合面から深くなるに従い B 濃度は徐々に低下し、超階段接合が形成されていることが分かる。プロファイル D はエピ層内の p ウエルの濃度勾配を示し、プロファイル C は p 型埋め込み層から拡散した B 濃度を示す。湧き上がり拡散するための特別の熱処理は行っていないが、エピ成長時やその後の熱処理（p ウエル形成など）により p 型埋め込み層からエピ層表面側へ少し拡散している。第 1 の p 型層は深さ約  $0.2 \mu\text{m}$  ~ 約  $0.7 \mu\text{m}$  にあり、第 1 の p 型層と p 型埋め込み層からの不純物層（プロファイル C で示される）との間（表面から約  $0.7 \mu\text{m}$  ~  $1.15 \mu\text{m}$ ）には、プロファイル D で示される p ウエル層（B 濃度約  $3 \times 10^{15} / \text{cm}^3$  ~  $1.7 \times 10^{15} / \text{cm}^3$ ）が顔を出して存在している。

【 0 0 4 2 】

図 5 は本発明の p n 接合部における深さ方向の不純物濃度プロファイルを示す図である。プロファイル A および B は図 4 に示す従来法と同様であるが、湧き上がりの熱処理を行っていないので、湧き上がり拡散層（プロファイル C）がより上方へ伸び p ウエル層は湧き上がり拡散層（プロファイル C）で隠されている。すなわち、エピ層表面から約  $0.5 \mu\text{m}$  の所で濃度が約  $6 \times 10^{15} / \text{cm}^3$  になり、さらに深くなるに従い徐々に増加していき、約  $2.0 \mu\text{m}$  の深さの所で約  $7 \times 10^{16} / \text{cm}^3$  になっている。従来法と比較すると約  $0.7 \mu\text{m}$  ~ 約  $1.4 \mu\text{m}$  の領域で p 型不純物濃度が約 5 ~ 1 0 倍増加している。濃度差を抵抗に換算すると約  $1/2$  ~  $1/7$  倍に相当し抵抗が小さくなる。（尚、直列抵抗 R にはその他の成分も含まれるので、この抵抗は直列抵抗 R とは異なる。）

【 0 0 4 3 】

図 6 は、可変容量ダイオード（バリキャップ）を用いた製品の周波数可変特性を示す図である。F で示す曲線が本発明の特性で、G で示す曲線が従来法による特性である。1.65V 電圧印加を基準とした電圧（Vc）印加における周波数可変量を縦軸に示している。従来法と比較して周波数可変量の増大が認められ、しかも 0V 印加時 - 1 5 8 ppm、3.3V 印加時 1 6 4 ppm であり、ともに 1 5 0 ppm 以上の大きな周波数可変量が得られる。電圧 0 V で周波数 2 0 0 MHz 時の直列抵抗 R は 2 6 であり、従来法（3 2 以上）に比べて直列抵抗 R を大きく減少させることができた。

【 0 0 4 4 】

以上の説明では、第 1 導電型を n 型、第 2 導電型を p 型として説明してきたが、これらは逆（すなわち、第 1 導電型を p 型、第 2 導電型を n 型）であっても、超階段接合を形成しつつ直列抵抗を低減することが可能な可変容量型ダイオードを当然に実現できる。また、本発明の可変容量素子は上述したように IC プロセスと同じプロセスで作製できるので、IC と同じチップ内に可変容量素子を搭載できる。従って、IC に可変容量素子を外付け

10

20

30

40

50

して使用する従来製品と比較すると実装面積や実装コストを大幅に低減することができる。

【0045】

尚、明細書の各部分に記載し説明した内容を記載しなかった他の部分においても矛盾なく適用できることに関しては、当該他の部分に当該内容を適用できることは言うまでもない。さらに、上記実施形態は一例であり、要旨を逸脱しない範囲内で種々変更して実施でき、本発明の権利範囲が上記実施形態に限定されないことも言うまでもない。

【産業上の利用可能性】

【0046】

本発明の可変容量ダイオードは、高周波フィルタ、TVチューナ、水晶振動子を共振器としたVCXO (Voltage Controlled Xtal Oscillator) 等の電圧制御可変発振器 (VCO: Voltage Controlled Oscillator) 等に適用することができる。

10

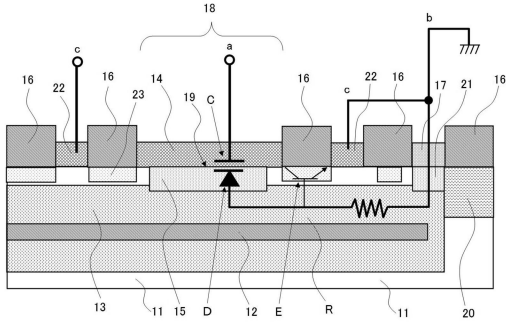
【符号の説明】

【0047】

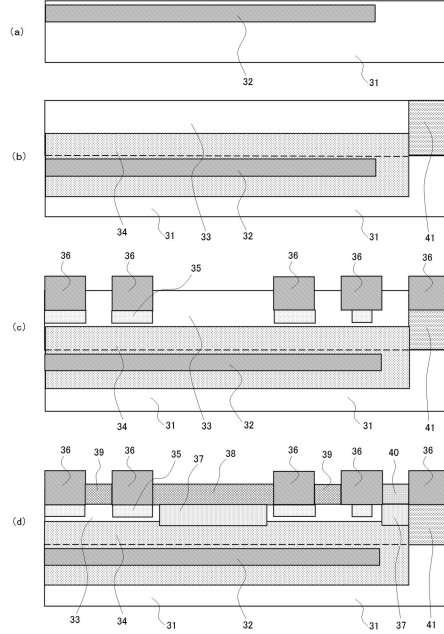
- 10・・・可変容量ダイオード、
- 11・・・半導体基板、
- 12・・・p型埋め込み層、
- 13・・・p型湧き上がり拡散層、
- 14・・・第1のn型層、
- 15・・・第1のp型層、
- 16・・・素子分離酸化膜、
- 17・・・第2のp型層、
- 18・・・可変容量ダイオード、
- 19・・・pn接合面、

20

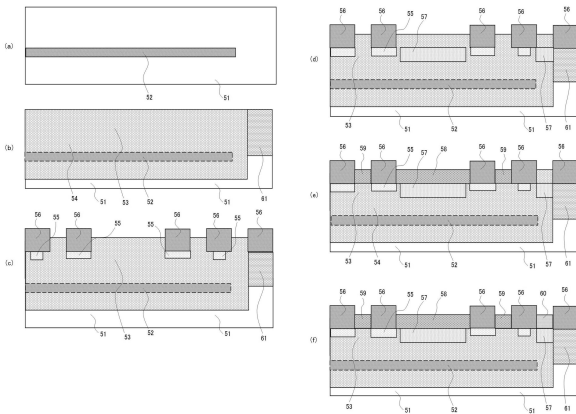
【図1】



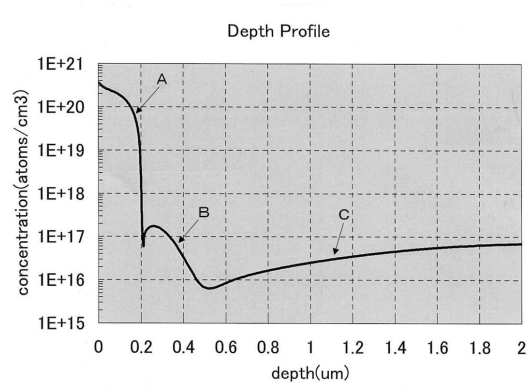
【図2】



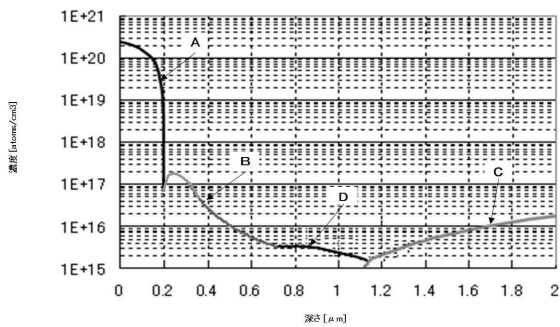
【図3】



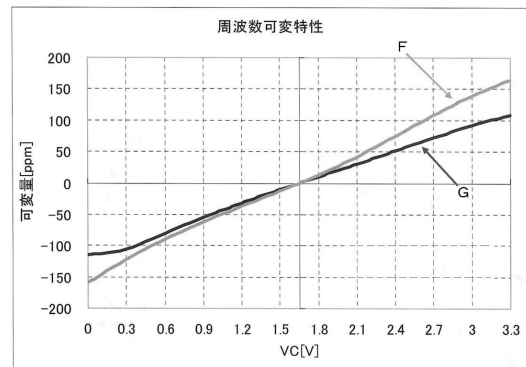
【図5】



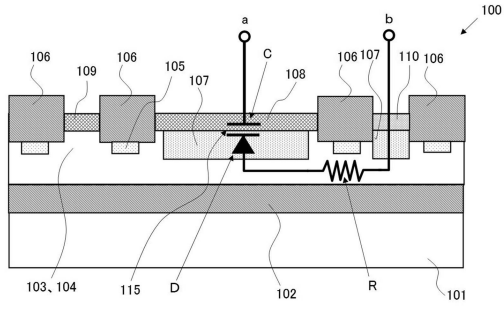
【図4】



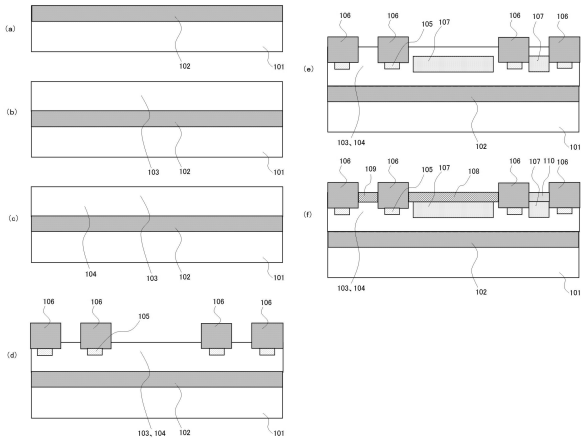
【図6】



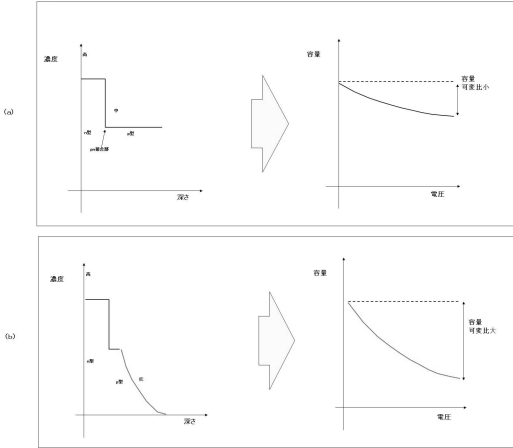
【図7】



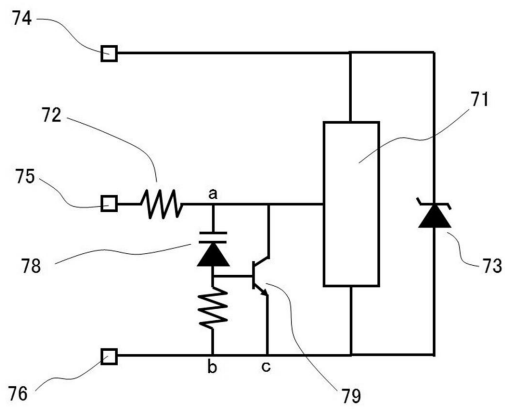
【図8】



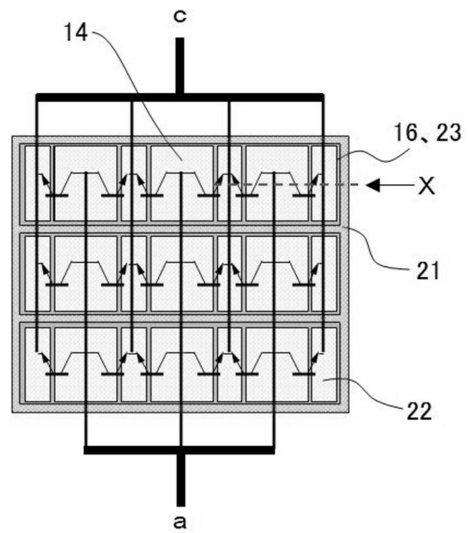
【図9】



【図10】



【図11】



---

フロントページの続き

- (72)発明者 坂巻 和男  
栃木県那須塩原市下田野 5 3 1 - 1 セイコーNPC株式会社内
- (72)発明者 小笠原 直樹  
栃木県那須塩原市下田野 5 3 1 - 1 セイコーNPC株式会社内

審査官 棚田 一也

- (56)参考文献 特開平06 - 295987 (JP, A)  
特開2009 - 182291 (JP, A)  
特開2008 - 311398 (JP, A)  
特表2008 - 527714 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
- |      |        |
|------|--------|
| H01L | 21/329 |
| H01L | 21/822 |
| H01L | 27/04  |
| H01L | 27/06  |
| H01L | 29/93  |