

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6485299号  
(P6485299)

(45) 発行日 平成31年3月20日 (2019. 3. 20)

(24) 登録日 平成31年3月1日 (2019. 3. 1)

(51) Int. Cl.

F I

H O 1 L 29/78 (2006. 01)

H O 1 L 29/78 6 5 2 C

H O 1 L 29/12 (2006. 01)

H O 1 L 29/78 6 5 2 J

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 5 3 A

H O 1 L 29/06 (2006. 01)

H O 1 L 29/78 6 5 2 T

H O 1 L 21/20 (2006. 01)

H O 1 L 29/78 6 5 8 E

請求項の数 27 (全 27 頁) 最終頁に続く

(21) 出願番号 特願2015-178990 (P2015-178990)

(22) 出願日 平成27年9月11日 (2015. 9. 11)

(65) 公開番号 特開2017-5236 (P2017-5236A)

(43) 公開日 平成29年1月5日 (2017. 1. 5)

審査請求日 平成29年10月24日 (2017. 10. 24)

(31) 優先権主張番号 特願2015-114375 (P2015-114375)

(32) 優先日 平成27年6月5日 (2015. 6. 5)

(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000241463

豊田合成株式会社

愛知県清須市春日長畑1番地

(74) 代理人 110000028

特許業務法人明成国際特許事務所

(72) 発明者 藤井 隆弘

愛知県清須市春日長畑1番地 豊田合成株式会社内

(72) 発明者 小嶋 正芳

愛知県清須市春日長畑1番地 豊田合成株式会社内

(72) 発明者 丹羽 隆樹

愛知県清須市春日長畑1番地 豊田合成株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法ならびに電力変換装置

(57) 【特許請求の範囲】

【請求項 1】

半導体装置であって、

上面と側面とを有する台地状を成すメサ構造と、前記メサ構造の周囲に広がる周囲面と、  
を有する第1のn型半導体層と、

前記周囲面と前記側面とが成す角部から少なくとも前記側面にわたって形成された第1のp型半導体層と、

前記第1のp型半導体層より低い濃度でアクセプタ元素を含有し、前記第1のp型半導体層の上に形成された第2のp型半導体層と、

前記第1のn型半導体層より高い濃度でドナー元素を含有し、前記第2のp型半導体層の上に形成された第2のn型半導体層と、

前記第2のn型半導体層から前記第2のp型半導体層を貫通し前記上面の内側に至るまで落ち込んだ溝部と、

前記溝部の表面に形成された絶縁膜と、

前記絶縁膜を介して前記溝部に形成された電極と

を備え、

前記第1のp型半導体層の厚さは、前記メサ構造から離れるに従って薄くなる、半導体装置。

【請求項 2】

前記第1のp型半導体層は、前記上面から前記第2のn型半導体層が位置する側へ10

10

20

0 nmの位置より、前記周囲面が位置する側に形成されている、請求項1に記載の半導体装置。

【請求項3】

前記第1のp型半導体層は、前記上面より前記周囲面が位置する側に形成されている、請求項1または請求項2に記載の半導体装置。

【請求項4】

前記第2のp型半導体層は、前記第1のp型半導体層の上から前記上面にわたって形成されている、請求項1から請求項3までのいずれか一項に記載の半導体装置。

【請求項5】

前記第1のp型半導体層と前記第2のp型半導体層との界面が前記上面と成す角度は、  
0°以上90°以下である、請求項1から請求項4までのいずれか一項に記載の半導体装置。

10

【請求項6】

前記第1のp型半導体層と前記第2のp型半導体層との界面が前記上面と成す角度は、  
30°以上80°以下である、請求項1から請求項5までのいずれか一項に記載の半導体装置。

【請求項7】

前記第1のp型半導体層と前記第2のp型半導体層との界面が前記上面と成す角度は、  
40°以上60°以下である、請求項1から請求項6までのいずれか一項に記載の半導体装置。

20

【請求項8】

前記上面、前記側面および前記周囲面の少なくとも1つの面は、アクセプタ元素がデルタドーピングされた界面である、請求項1から請求項7までのいずれか一項に記載の半導体装置。

【請求項9】

前記溝部は、前記周囲面より前記第2のn型半導体層が位置する側に形成されている、請求項1から請求項8までのいずれか一項に記載の半導体装置。

【請求項10】

前記第1のp型半導体層および前記第2のp型半導体層は、ガリウム(Ga)を含有する窒化物半導体である、請求項1から請求項9までのいずれか一項に記載の半導体装置。

30

【請求項11】

前記第1のp型半導体層および前記第2のp型半導体層は、窒化ガリウム(GaN)から主に成る、請求項1から請求項10までのいずれか一項に記載の半導体装置。

【請求項12】

前記第1のp型半導体層および前記第2のp型半導体層に含まれるアクセプタ元素は、マグネシウム(Mg)である、請求項1から請求項11までのいずれか一項に記載の半導体装置。

【請求項13】

前記第1のp型半導体層に含まれるアクセプタ元素の濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $8 \times 10^{19} \text{ cm}^{-3}$ 以下である、請求項1から請求項12までのいずれか一項に記載の半導体装置。

40

【請求項14】

前記第1のn型半導体層および前記第2のn型半導体層に含まれるドナー元素は、ケイ素(Si)である、請求項1から請求項13までのいずれか一項に記載の半導体装置。

【請求項15】

前記側面における結晶面は、a面またはm面である、請求項1から請求項14までのいずれか一項に記載の半導体装置。

【請求項16】

請求項1から請求項15までのいずれか一項に記載の半導体装置であって、  
前記第1のp型半導体層は、前記側面の全域にわたって形成され、

50

前記第2のp型半導体層は、前記第1のp型半導体層の上から前記上面にわたって形成されている、半導体装置。

【請求項17】

請求項1から請求項16までのいずれか一項に記載の半導体装置を備える電力変換装置。

【請求項18】

半導体装置の製造方法であって、

n型およびp型のうち一方の特性を有する第1の半導体層に、上面と側面とを有する台地状を成すメサ構造と、前記メサ構造の周囲に広がる周囲面とを形成し、

III族原料とV族原料とを第1のV/III比で含有する原料ガスを用いたエピタキシャル成長によって、n型およびp型のうち前記一方の特性とは異なる他方の特性を有する第2の半導体層を、前記周囲面と前記側面とが成す角部から少なくとも前記側面にわたって形成し、

前記第1のV/III比より低い第2のV/III比でIII族原料とV族原料とを含有する原料ガスを用いたエピタキシャル成長によって、前記他方の特性に寄与するドーパント元素を前記第2の半導体層より低い濃度で含有する第3の半導体層を、前記第2の半導体層の上に形成し、

前記メサ構造から離れるに従って厚さが薄くなるように前記第2の半導体層を形成する、半導体装置の製造方法。

【請求項19】

請求項18に記載の半導体装置の製造方法であって、

前記一方の特性はn型であり、前記他方の特性はp型であり、

前記第1の半導体層より高い濃度でドナー元素を含有する第4の半導体層を、前記第3の半導体層の上に形成し、

前記第3の半導体層から前記第2の半導体層を貫通し前記上面の内側に至るまで落ち込んだ溝部を形成し、

前記溝部の表面に絶縁膜を形成し、

前記絶縁膜を介して前記溝部に電極を形成する、半導体装置の製造方法。

【請求項20】

前記第2の半導体層および前記第3の半導体層を形成する前に、前記上面、前記側面および前記周囲面の少なくとも1つの面に対して、前記他方の特性に寄与するドーパント元素をデルタドーピングする、請求項18または請求項19までのいずれか一項に記載の半導体装置の製造方法。

【請求項21】

請求項18から請求項20までのいずれか一項に記載の半導体装置の製造方法であって、

前記一方の特性はn型であり、前記他方の特性はp型であり、

前記第2の半導体層に含まれるアクセプタ元素の濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $8 \times 10^{19} \text{ cm}^{-3}$ 以下となるように前記第2の半導体層を形成する、半導体装置の製造方法。

【請求項22】

前記側面における結晶面がa面またはm面となるように前記メサ構造を形成する、請求項18から請求項21までのいずれか一項に記載の半導体装置の製造方法。

【請求項23】

請求項18から請求項22までのいずれか一項に記載の半導体装置の製造方法であって、

前記側面の全域にわたって前記第2の半導体層を形成し、

前記第2の半導体層の上から前記上面にわたって前記第3の半導体層を形成する、半導体装置の製造方法。

【請求項24】

前記第1のV/III比は、1500以上3000以下である、請求項18から請求項23までのいずれか一項に記載の半導体装置の製造方法。

【請求項25】

前記第1のV/III比は、2500以上3000以下である、請求項18から請求項24までのいずれか一項に記載の半導体装置の製造方法。

【請求項26】

前記第2の半導体層をエピタキシャル成長させる温度は、950以上1200以下である、請求項18から請求項25までのいずれか一項に記載の半導体装置の製造方法。

【請求項27】

前記第2の半導体層をエピタキシャル成長させる圧力は、1kPa以上100kPa以下である、請求項18から請求項26までのいずれか一項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法ならびに電力変換装置に関する。

【背景技術】

【0002】

半導体装置（半導体デバイス、半導体素子）の構造として、トレンチ（溝部）にゲート電極を形成したトレンチゲート構造が知られている。特許文献1、2には、n型半導体層に形成されたメサ構造（凸部）にトレンチの底部を設け、メサ構造の周囲に形成されたp型半導体によって、トレンチの底部に発生する電界集中を緩和する技術が記載されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2009-117593号公報

【特許文献2】特開2014-209540号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1の技術では、p型ベース領域におけるチャネルを構成する部位に沿ってp<sup>+</sup>型ディープ層が隣接しているため、p<sup>+</sup>型ディープ層からチャネルへとアクセプタ元素が拡散することによって、チャネルにおける電気特性が低下する可能性があった。その対策として、チャネルとp<sup>+</sup>型ディープ層との距離を大きく取った場合、トレンチ底部とp<sup>+</sup>型ディープ層との距離も大きくなるため、トレンチ底部における電界集中を十分に緩和できない可能性があった。したがって、特許文献1の技術では、チャネルにおける電気特性の確保と、トレンチ底部における電界集中の緩和とを両立させることが難しいという問題があった。

【0005】

そのため、トレンチゲート構造において、チャネルの電気特性を確保しつつ、耐電圧特性を向上させることができる技術が望まれていた。そのほか、半導体装置においては、低コスト化、微細化、製造の容易化、省資源化、使い勝手の向上、耐久性の向上などが望まれていた。

【課題を解決するための手段】

【0006】

本発明は、上述の課題の少なくとも一部を解決するためになされたものであり、以下の形態として実現することが可能である。

〔形態1〕半導体装置であって、上面と側面とを有する台地状を成すメサ構造と、前記メサ構造の周囲に広がる周囲面と、を有する第1のn型半導体層と、前記周囲面と前記側面

10

20

30

40

50

とが成す角部から少なくとも前記側面にわたって形成された第1のp型半導体層と、前記第1のp型半導体層より低い濃度でアクセプタ元素を含有し、前記第1のp型半導体層の上に形成された第2のp型半導体層と、前記第1のn型半導体層より高い濃度でドナー元素を含有し、前記第2のp型半導体層の上に形成された第2のn型半導体層と、前記第2のn型半導体層から前記第2のp型半導体層を貫通し前記上面の内側に至るまで落ち込んだ溝部と、前記溝部の表面に形成された絶縁膜と、前記絶縁膜を介して前記溝部に形成された電極とを備え、前記第1のp型半導体層の厚さは、前記メサ構造から離れるに従って薄くなる、半導体装置。

〔形態2〕半導体装置の製造方法であって、n型およびp型のうち一方の特性を有する第1の半導体層に、上面と側面とを有する台地状を成すメサ構造と、前記メサ構造の周囲に広がる周囲面とを形成し、III族原料とV族原料とを第1のV/III比で含有する原料ガスを用いたエピタキシャル成長によって、n型およびp型のうち前記一方の特性とは異なる他方の特性を有する第2の半導体層を、前記周囲面と前記側面とが成す角部から少なくとも前記側面にわたって形成し、前記第1のV/III比より低い第2のV/III比でIII族原料とV族原料とを含有する原料ガスを用いたエピタキシャル成長によって、前記他方の特性に寄与するドーパント元素を前記第2の半導体層より低い濃度で含有する第3の半導体層を、前記第2の半導体層の上に形成し、前記メサ構造から離れるに従って厚さが薄くなるように前記第2の半導体層を形成する、半導体装置の製造方法。

#### 【0007】

(1) 本発明の一形態によれば、半導体装置が提供される。この半導体装置は、上面と側面とを有する台地状を成すメサ構造と、前記メサ構造の周囲に広がる周囲面と、を有する第1のn型半導体層と；前記周囲面と前記側面とが成す角部から少なくとも前記側面にわたって形成された第1のp型半導体層と；前記第1のp型半導体層より低い濃度でアクセプタ元素を含有し、前記第1のp型半導体層の上に形成された第2のp型半導体層と；前記第1のn型半導体層より高い濃度でドナー元素を含有し、前記第2のp型半導体層の上に形成された第2のn型半導体層と；前記第2のn型半導体層から前記第2のp型半導体層を貫通し前記上面の内側に至るまで落ち込んだ溝部と；前記溝部の表面に形成された絶縁膜と；前記絶縁膜を介して前記溝部に形成された電極とを備える。この形態によれば、第1のp型半導体層が角部から側面にわたって形成されているため、第1のp型半導体層のアクセプタ元素によって角部および側面において空乏層を十分に形成できる。また、第1のp型半導体層の上に第2のp型半導体層が形成されているため、第2のp型半導体層におけるチャネルを構成する部位へと第1のp型半導体層から拡散するアクセプタ元素を抑制できる。これらの結果、トレンチゲート構造において、チャネルの電気特性を確保しつつ、耐電圧特性を向上させることができる。

#### 【0008】

(2) 上記形態の半導体装置において、前記第1のp型半導体層は、前記上面から前記第2のn型半導体層が位置する側へ100nmの位置より、前記周囲面が位置する側に形成されていてもよい。この形態によれば、第1のp型半導体層に含まれるアクセプタ元素に起因するオン抵抗の増大を抑制できる。したがって、チャネルの電気特性を十分に確保できる。

#### 【0009】

(3) 上記形態の半導体装置において、前記第1のp型半導体層は、前記上面より前記周囲面が位置する側に形成されていてもよい。この形態によれば、第1のp型半導体層に含まれるアクセプタ元素に起因するオン抵抗の増大をいっそう抑制できる。したがって、チャネルの電気特性をいっそう十分に確保できる。

#### 【0010】

(4) 上記形態の半導体装置において、前記第2のp型半導体層は、前記第1のp型半導体層の上から前記上面にわたって形成されていてもよい。この形態によれば、第2のp型半導体層が上面に形成されていない構造と比較して、第1のp型半導体層に含まれるアクセプタ元素に起因するオン抵抗の増大を抑制できる。したがって、チャネルの電気特性を

10

20

30

40

50

十分に確保できる。

【0011】

(5) 上記形態の半導体装置において、前記第1のp型半導体層の厚さは、前記メサ構造から離れるに従って薄くなってもよい。この形態によれば、第2のp型半導体層におけるチャンネルを構成する部位へと第1のp型半導体層から拡散するアクセプタ元素をいっそう抑制できる。

【0012】

(6) 上記形態の半導体装置において、前記第1のp型半導体層と前記第2のp型半導体層との界面が前記上面と成す角度は、 $0^{\circ}$ 以上 $90^{\circ}$ 以下であってもよい。この形態によれば、角部および側面における空乏層の形成と、第1のp型半導体層からチャンネルへと拡散するアクセプタ元素の抑制との両立を図ることができる。

10

【0013】

(7) 上記形態の半導体装置において、前記第1のp型半導体層と前記第2のp型半導体層との界面が前記上面と成す角度は、 $30^{\circ}$ 以上 $80^{\circ}$ 以下であってもよい。この形態によれば、角部および側面における空乏層の形成と、第1のp型半導体層からチャンネルへと拡散するアクセプタ元素の抑制との両立を効果的に図ることができる。

【0014】

(8) 上記形態の半導体装置において、前記第1のp型半導体層と前記第2のp型半導体層との界面が前記上面と成す角度は、 $40^{\circ}$ 以上 $60^{\circ}$ 以下であってもよい。この形態によれば、角部および側面における空乏層の形成と、第1のp型半導体層からチャンネルへと拡散するアクセプタ元素の抑制との両立をいっそう効果的に図ることができる。

20

【0015】

(9) 上記形態の半導体装置において、前記上面、前記側面および前記周囲面の少なくとも1つの面は、アクセプタ元素がデルタドーピングされた界面であってもよい。この形態によれば、デルタドーピングされた界面において空乏層をいっそう十分に形成できる。

【0016】

(10) 上記形態の半導体装置において、前記溝部は、前記周囲面より前記第2のn型半導体層が位置する側に形成されていてもよい。この形態によれば、溝部の底部における電界集中を効果的に緩和できる。

【0017】

(11) 上記形態の半導体装置において、前記第1のp型半導体層および前記第2のp型半導体層は、ガリウム(Ga)を含有する窒化物半導体であってもよい。この形態によれば、アクセプタ元素が拡散しやすい窒化物半導体を用いたトレンチゲート構造において、チャンネルの電気特性を確保しつつ、耐電圧特性を向上させることができる。

30

【0018】

(12) 上記形態の半導体装置において、前記第1のp型半導体層および前記第2のp型半導体層は、窒化ガリウム(GaN)から主に成ってもよい。この形態によれば、アクセプタ元素が拡散しやすい窒化ガリウムを用いたトレンチゲート構造において、チャンネルの電気特性を確保しつつ、耐電圧特性を向上させることができる。

【0019】

(13) 上記形態の半導体装置において、前記第1のp型半導体層および前記第2のp型半導体層に含まれるアクセプタ元素は、マグネシウム(Mg)であってもよい。この形態によれば、アクセプタ元素にマグネシウムを用いたトレンチゲート構造において、チャンネルの電気特性を確保しつつ、耐電圧特性を向上させることができる。

40

【0020】

(14) 上記形態の半導体装置において、前記第1のp型半導体層に含まれるアクセプタ元素の濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $8 \times 10^{19} \text{ cm}^{-3}$ 以下であってもよい。この形態によれば、角部および側面において空乏層を効果的に形成できる。

【0021】

(15) 上記形態の半導体装置において、前記第1のn型半導体層および前記第2のn型

50

半導体層に含まれるドナー元素は、ケイ素 (Si) であってもよい。この形態によれば、ドナー元素にケイ素を用いたトレンチゲート構造において、チャネルの電気特性を確保しつつ、耐電圧特性を向上させることができる。

(16) 上記形態の半導体装置において、前記側面における結晶面は、a面またはm面であってもよい。この形態によれば、側面における第1のp型半導体層の結晶品質を向上させることができる。

(17) 上記形態の半導体装置において、前記第1のp型半導体層は、前記側面の全域にわたって形成され、前記第2のp型半導体層は、前記第1のp型半導体層の上から前記上面にわたって形成されていてもよい。この形態によれば、角部および側面において空乏層を効果的に形成できる。

10

#### 【0022】

本発明の一形態によれば、半導体装置の製造方法が提供される。この製造方法は、n型およびp型のうち一方の特性を有する第1の半導体層に、上面と側面とを有する台地状を成すメサ構造と、前記メサ構造の周囲に広がる周囲面とを形成し；III族原料とV族原料とを第1のV/III比で含有する原料ガスを用いたエピタキシャル成長によって、n型およびp型のうち前記一方の特性とは異なる他方の特性を有する第2の半導体層を、前記周囲面と前記側面とが成す角部から少なくとも前記側面にわたって形成し；前記第1のV/III比より低い第2のV/III比でIII族原料とV族原料とを含有する原料ガスを用いたエピタキシャル成長によって、前記他方の特性に寄与するドーパント元素を前記第2の半導体層より低い濃度で含有する第3の半導体層を、前記第2の半導体層の上に形成する。この形態によれば、上面の上方に位置する第3の半導体層へと第2の半導体層から拡散するドーパント元素が抑制されるように、第2の半導体層を角部から側面にわたって容易に形成できる。

20

#### 【0023】

上記形態の製造方法において、前記一方の特性はn型であり、前記他方の特性はp型であり；前記第1の半導体層より高い濃度でドナー元素を含有する第4の半導体層を、前記第3の半導体層の上に形成し；前記第3の半導体層から前記第2の半導体層を貫通し前記上面の内側に至るまで落ち込んだ溝部を形成し；前記溝部の表面に絶縁膜を形成し；前記絶縁膜を介して前記溝部に電極を形成してもよい。この形態によれば、トレンチゲート構造において、チャネルの電気特性を確保しつつ、耐電圧特性を向上させることができる。

30

#### 【0024】

上記形態の製造方法において、前記メサ構造から離れるに従って厚さが薄くなるように前記第2の半導体層を形成してもよい。この形態によれば、上面の上方に位置する第3の半導体層へと第2の半導体層から拡散するドーパント元素をいっそう抑制できる。

#### 【0025】

上記形態の製造方法において、前記第2の半導体層および前記第3の半導体層を形成する前に、前記上面、前記側面および前記周囲面の少なくとも1つの面に対して、前記他方の特性に寄与するドーパント元素をデルタドーピングしてもよい。この形態によれば、デルタドーピングされた界面において空乏層をいっそう十分に形成できる。

#### 【0026】

上記形態の製造方法において、前記一方の特性はn型であり、前記他方の特性はp型であり、前記第2の半導体層に含まれるアクセプタ元素の濃度が  $1 \times 10^{19} \text{ cm}^{-3}$  以上  $8 \times 10^{19} \text{ cm}^{-3}$  以下となるように前記第2の半導体層を形成してもよい。この形態によれば、角部および側面において空乏層を効果的に形成可能に第2の半導体層を形成できる。

40

#### 【0027】

上記形態の製造方法において、前記側面における結晶面がa面またはm面となるように前記メサ構造を形成してもよい。a面またはm面ではc面と比較して第2の半導体層の成長速度が速いため、角部および側面に対して第2の半導体層を容易に形成できる。なお、a面ではm面と比較して第2の半導体層の成長速度がいっそう速い。

50

## 【0028】

上記形態の製造方法において、前記側面の全域にわたって前記第2の半導体層を形成し、前記第2の半導体層の上から前記上面にわたって前記第3の半導体層を形成してもよい。この形態によれば、角部および側面において空乏層を効果的に形成可能に第2および第3の半導体層を形成できる。

## 【0029】

上記形態の製造方法において、前記第1のV/III比は、1500以上3000以下であってもよい。この形態によれば、角部および側面に対して第2の半導体層を容易に形成できる。

## 【0030】

上記形態の製造方法において、前記第1のV/III比は、2500以上3000以下であってもよい。この形態によれば、角部および側面に対して第2の半導体層をいっそう容易に形成できる。

## 【0031】

上記形態の製造方法において、前記第2の半導体層をエピタキシャル成長させる温度は、950以上1200以下であってもよい。この形態によれば、角部および側面に対して第2の半導体層を容易に形成できる。

## 【0032】

上記形態の製造方法において、前記第2の半導体層をエピタキシャル成長させる圧力は、1kPa以上100kPa以下であってもよい。この形態によれば、角部および側面に対して第2の半導体層を容易に形成できる。

## 【0033】

本発明は、半導体装置およびその製造方法以外の種々の形態で実現することも可能であり、例えば、上記形態の半導体装置を備える電力変換装置、上記形態の製造方法を実施する製造装置などの形態で実現できる。

## 【発明の効果】

## 【0034】

本願発明の半導体装置によれば、トレンチゲート構造において、チャネルの電気特性を確保しつつ、耐電圧特性を向上させることができる。また、本願発明の半導体装置の製造方法によれば、上面の上方に位置する第3の半導体層へと第2の半導体層から拡散するドーパント元素が抑制されるように、第2の半導体層を角部から側面にわたって容易に形成できる。

## 【図面の簡単な説明】

## 【0035】

【図1】電力変換装置の構成を示す説明図である。

【図2】第1実施形態における半導体装置の構成を模式的に示す断面図である。

【図3】第1実施形態における半導体装置の詳細構成を模式的に示す断面図である。

【図4】p型半導体層の作用を示す説明図である。

【図5】p型半導体層の作用を示す説明図である。

【図6】第1実施形態における半導体装置の製造方法を示す工程図である。

【図7】半導体装置を製造する様子を示す説明図である。

【図8】半導体装置を製造する様子を示す説明図である。

【図9】半導体装置を製造する様子を示す説明図である。

【図10】半導体装置を製造する様子を示す説明図である。

【図11】半導体装置を製造する様子を示す説明図である。

【図12】半導体装置を製造する様子を示す説明図である。

【図13】半導体装置を製造する様子を示す説明図である。

【図14】第1実施形態の変形例における半導体装置の製造方法を示す工程図である。

【図15】第2実施形態における半導体装置の詳細構成を示す説明図である。

【図16】第3実施形態における半導体装置の詳細構成を示す説明図である。

10

20

30

40

50



【図 17】第 4 実施形態における半導体装置の詳細構成を示す説明図である。

【図 18】第 5 実施形態における半導体装置の詳細構成を示す説明図である。

【図 19】第 6 実施形態における半導体装置の詳細構成を示す説明図である。

【図 20】第 7 実施形態における半導体装置の構成を示す説明図である。

【発明を実施するための形態】

【0036】

A．第 1 実施形態

A - 1．電力変換装置の構成

図 1 は、電力変換装置 10 の構成を示す説明図である。電力変換装置 10 は、交流電源 E から負荷 R に供給される電力を変換する装置である。電力変換装置 10 は、交流電源 E の力率を改善する力率改善回路の構成部品として、半導体装置 100 と、制御回路 200 と、4 つのダイオード D1 と、コイル L と、ダイオード D2 と、キャパシタ C とを備える。

10

【0037】

電力変換装置 10 において、4 つのダイオード D1 は、交流電源 E の交流電圧を整流するダイオードブリッジ DB を構成する。ダイオードブリッジ DB は、直流側の端子として、正極出力端 Tp と、負極出力端 Tn とを有する。コイル L は、ダイオードブリッジ DB の正極出力端 Tp に接続されている。ダイオード D2 のアノード側は、コイル L を介して正極出力端 Tp に接続されている。ダイオード D2 のカソード側は、キャパシタ C を介して負極出力端 Tn に接続されている。負荷 R は、キャパシタ C と並列に接続されている。

20

【0038】

電力変換装置 10 の半導体装置 100 は、FET (Field-Effect Transistor) である。半導体装置 100 のソース側は、負極出力端 Tn に接続されている。半導体装置 100 のドレイン側は、コイル L を介して正極出力端 Tp に接続されている。半導体装置 100 のゲート側は、制御回路 200 に接続されている。電力変換装置 10 の制御回路 200 は、交流電源 E の力率が改善されるように、負荷 R に出力される電圧、および、ダイオードブリッジ DB における電流に基づいて、半導体装置 100 のソース - ドレイン間の電流を制御する。

【0039】

A - 2．半導体装置の構成

図 2 は、第 1 実施形態における半導体装置 100 の構成を模式的に示す断面図である。図 2 には、相互に直交する XYZ 軸が図示されている。図 2 の XYZ 軸のうち、X 軸は、図 2 の紙面左から紙面右に向かう軸である。+ X 軸方向は、紙面右に向かう方向であり、- X 軸方向は、紙面左に向かう方向である。図 2 の XYZ 軸のうち、Y 軸は、図 2 の紙面手前から紙面奥に向かう軸である。+ Y 軸方向は、紙面奥に向かう方向であり、- Y 軸方向は、紙面手前に向かう方向である。図 2 の XYZ 軸のうち、Z 軸は、図 2 の紙面下から紙面上に向かう軸である。+ Z 軸方向は、紙面上に向かう方向であり、- Z 軸方向は、紙面下に向かう方向である。図 2 の XYZ 軸は、他の図の XYZ 軸に対応する。

30

【0040】

半導体装置 100 は、ガリウム (Ga) を含有する窒化物半導体を用いて形成された半導体装置である。本実施形態では、半導体装置 100 は、窒化ガリウム (GaN) を用いて形成された GaN 系の半導体装置である。本実施形態では、半導体装置 100 は、縦型トレンチ MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) である。本実施形態では、半導体装置 100 は、電力制御に用いられ、パワーデバイスとも呼ばれる。

40

【0041】

半導体装置 100 は、基板 110 と、n 型半導体層 111 と、p 型半導体層 112 と、p 型半導体層 113 と、n 型半導体層 114 とを備える。半導体装置 100 は、これらの半導体層に形成された構造として、トレンチ 122 と、リセス 124 と、段差部 126 と、終端部 129 とを有する。半導体装置 100 は、更に、絶縁膜 130 と、ゲート電極 1

50

４２と、ソース電極１４４と、ドレイン電極１４８とを備える。本実施形態では、半導体装置１００は、更に、絶縁膜１５０と、配線電極１６０とを備える。

【００４２】

図３は、第１実施形態における半導体装置１００の詳細構成を模式的に示す断面図である。図３には、トレンチ１２２を中心に半導体装置１００の断面が図示されている。

【００４３】

半導体装置１００の基板１１０は、Ｘ軸およびＹ軸に沿って広がる板状を成す半導体である。本実施形態では、基板１１０は、窒化ガリウム（ＧａＮ）から主に成る。本明細書の説明において、「窒化ガリウム（ＧａＮ）から主に成る」とは、モル分率において窒化ガリウム（ＧａＮ）を９０％以上含有することを意味する。本実施形態では、基板１１０は、ケイ素（Ｓｉ）をドナー元素として含有するｎ型半導体である。本実施形態では、基板１１０に含まれるケイ素（Ｓｉ）濃度の平均値は、約 $1 \times 10^{18} \text{ cm}^{-3}$ である。

10

【００４４】

半導体装置１００のｎ型半導体層１１１は、ｎ型の特性を有する第１の半導体層である。本実施形態では、ｎ型半導体層１１１は、基板１１０の＋Ｚ軸方向側に位置し、Ｘ軸およびＹ軸に沿って広がる。本実施形態では、ｎ型半導体層１１１は、窒化ガリウム（ＧａＮ）から主に成る。本実施形態では、ｎ型半導体層１１１は、ケイ素（Ｓｉ）をドナー元素（ｎ型不純物、ｎ型ドーパント元素）として含有する。本実施形態では、ｎ型半導体層１１１に含まれるケイ素（Ｓｉ）濃度の平均値は、約 $1 \times 10^{16} \text{ cm}^{-3}$ 以下であり、例えば、 $1 \times 10^{16} \text{ cm}^{-3}$ である。

20

【００４５】

ｎ型半導体層１１１は、メサ構造１１１ｍと、周囲面１１１ａとを有する。ｎ型半導体層１１１のメサ構造１１１ｍは、上面１１１ｔと側面１１１ｓとを有する台地状を成す凸部である。ｎ型半導体層１１１の周囲面１１１ａは、メサ構造１１１ｍの周囲に広がる界面である。メサ構造１１１ｍは、周囲面１１１ａから＋Ｚ軸方向に突出している。本実施形態では、メサ構造１１１ｍおよび周囲面１１１ａは、ｎ型半導体層１１１に対するドライエッチングおよびウェットエッチングによって形成された構造である。

【００４６】

本実施形態では、メサ構造１１１ｍの高さ（Ｚ軸方向の長さ）は、約 $1 \mu\text{m}$ （マイクロメートル）である。本実施形態では、上面１１１ｔおよび周囲面１１１ａは、＋Ｚ軸方向を向いた界面である。側面１１１ｓと周囲面１１１ａとが成す角度は、本実施形態では、約 $90^\circ$ であり、他の実施形態では、 $90^\circ$ 以上であってもよい。ｎ型半導体層１１１の厚さ（Ｚ軸方向の長さ）は、上面１１１ｔにおいて、 $5 \mu\text{m}$ 以上 $30 \mu\text{m}$ 以下であり、本実施形態では、約 $10 \mu\text{m}$ である。

30

【００４７】

本実施形態では、側面１１１ｓの結晶面はａ面であり、周囲面１１１ａおよび上面１１１ｔはｃ面である。他の実施形態では、側面１１１ｓの結晶面はｍ面であり、周囲面１１１ａおよび上面１１１ｔはｃ面であってもよい。角部Ｐｍｃおよび側面１１１ｓに対してｐ型半導体層１１２を容易に形成する観点から、ａ面またはｍ面ではｃ面と比較してｐ型半導体層１１２の成長速度が速いため、側面１１１ｓの結晶面はａ面またはｍ面であることが好ましく、ｐ型半導体層１１２の成長速度がより速いａ面であることがいっそう好ましい。

40

【００４８】

半導体装置１００のｐ型半導体層１１２は、ｐ型の特性を有する第２の半導体層である。ｐ型半導体層１１２は、ガリウム（Ｇａ）を含有する窒化物半導体であり、本実施形態では、窒化ガリウム（ＧａＮ）から主に成る。本実施形態では、ｐ型半導体層１１２は、マグネシウム（Ｍｇ）をアクセプタ元素（ｐ型不純物、ｐ型ドーパント元素）として含有する。ｐ型半導体層１１２は、ｐ型半導体層１１３より高い濃度でアクセプタ元素を含有する。ｐ型半導体層１１２に含まれるマグネシウム（Ｍｇ）濃度の平均値は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $8 \times 10^{19} \text{ cm}^{-3}$ 以下が好ましく、本実施形態では、約 $4 \times 10^{19}$

50

$\text{cm}^{-3}$ である。

【0049】

p型半導体層112は、周囲面111aと側面111sとが成す角部Pmcから少なくとも側面111sにわたって形成されている。p型半導体層112は、本実施形態では、上面111tより-Z軸方向に形成されている。本実施形態では、p型半導体層112の厚さ(Z軸方向の長さ)は、メサ構造111mから離れるに従って薄くなる。

【0050】

p型半導体層112とp型半導体層113との界面112pが上面111tと成す角度Apは、 $0^\circ$ 以上 $90^\circ$ 以下であることが好ましく、 $30^\circ$ 以上 $80^\circ$ 以下であることがさらに好ましく、 $40^\circ$ 以上 $60^\circ$ 以下であることがいっそう好ましい。本実施形態では、角度Apは、約 $45^\circ$ である。

10

【0051】

本実施形態では、p型半導体層112は、エピタキシャル成長(結晶成長)によって形成された半導体層である。他の実施形態では、p型半導体層112は、n型半導体層111の一部に対するイオン注入によって形成された半導体層であってもよい。

【0052】

半導体装置100のp型半導体層113は、p型の特性を有する第3の半導体層である。p型半導体層113は、ガリウム(Ga)を含有する窒化物半導体であり、本実施形態では、窒化ガリウム(GaN)から主に成る。本実施形態では、p型半導体層113は、マグネシウム(Mg)をアクセプタ元素(p型不純物、p型ドーパント元素)として含有する。p型半導体層113は、p型半導体層112より低い濃度でアクセプタ元素を含有する。本実施形態では、p型半導体層113に含まれるマグネシウム(Mg)濃度の平均値は、約 $1 \times 10^{18} \text{cm}^{-3}$ である。

20

【0053】

p型半導体層113がn型半導体層111に隣接する界面(側面111s、周囲面111aの一部)では、p型半導体層113のアクセプタ元素によって、ドナー性不純物(n型不純物)のシート濃度は、 $5 \times 10^{12} \text{cm}^{-2}$ 以下となる。このシート濃度は、界面近傍におけるドナー性不純物の濃度である。

【0054】

p型半導体層113は、n型半導体層111およびp型半導体層112の+Z軸方向側に位置し、X軸およびY軸に沿って広がる。p型半導体層113は、p型半導体層112の上に形成されている。本実施形態では、p型半導体層113は、p型半導体層112の上からn型半導体層111の上面111tにわたって形成されている。本実施形態では、p型半導体層113は、n型半導体層111の周囲面111aから、p型半導体層112の上を経由し、n型半導体層111の上面111tにわたって形成されている。本実施形態では、p型半導体層113の厚さ(Z軸方向の長さ)は、上面111tに接する部位において、約 $0.7 \mu\text{m}$ である。

30

【0055】

半導体装置100のn型半導体層114は、n型の特性を有する第4の半導体層である。本実施形態では、n型半導体層114は、p型半導体層113の+Z軸方向側に位置し、X軸およびY軸に沿って広がる。本実施形態では、n型半導体層114は、窒化ガリウム(GaN)から主に成る。本実施形態では、n型半導体層114は、ケイ素(Si)をドナー元素(n型不純物、n型ドーパント元素)として含有する。n型半導体層114は、n型半導体層111より高い濃度でドナー元素を含有する。本実施形態では、n型半導体層114に含まれるケイ素(Si)濃度の平均値は、約 $3 \times 10^{18} \text{cm}^{-3}$ である。本実施形態では、n型半導体層114の厚さ(Z軸方向の長さ)は、約 $0.2 \mu\text{m}$ である。

40

【0056】

半導体装置100のトレンチ122は、n型半導体層114からp型半導体層113を貫通し上面111tの内側に至るまで落ち込んだ溝部である。トレンチ122の底部Pt

50

bは、上面111tより-Z軸方向側から、周囲面111aより+Z軸方向側までの範囲に位置する。本実施形態では、トレンチ122は、上面111tより-Z軸方向側にまで落ち込んでおり、トレンチ122の底部Ptbは、Z軸方向において上面111tと周囲面111aとの間に位置する。本実施形態では、トレンチ122は、各半導体層に対するドライエッチングによって形成された構造である。

【0057】

半導体装置100のリセス124は、n型半導体層114の+Z軸方向側からp型半導体層113にわたって窪んだ凹部である。本実施形態では、リセス124は、各半導体層に対するドライエッチングによって形成された構造である。

【0058】

半導体装置100の段差部126は、n型半導体層114の+Z軸方向側からp型半導体層113を貫通しn型半導体層111にまで落ち込んだ部位である。本実施形態では、段差部126は、ドライエッチングによって形成された構造である。

【0059】

半導体装置100の終端部129は、段差部126に隣接し、半導体装置100の終端を構成する部位である。本実施形態では、終端部129は、ダイシングによって形成された構造である。

【0060】

半導体装置100の絶縁膜130は、トレンチ122の表面に形成され、電気絶縁性を有する膜である。本実施形態では、絶縁膜130は、トレンチ122の内側から外側にわたって形成されている。本実施形態では、絶縁膜130は、二酸化ケイ素( $\text{SiO}_2$ )から主に成る。

【0061】

半導体装置100のゲート電極142は、絶縁膜130を介してトレンチ122に形成された電極である。本実施形態では、ゲート電極142は、トレンチ122の内側に加え、トレンチ122の外側にわたって形成されている。本実施形態では、ゲート電極142は、アルミニウム(Al)から主に成る。ゲート電極142に電圧が印加された場合、p型半導体層113に反転層が形成され、この反転層がチャネルとして機能することによって、ソース電極144とドレイン電極148との間に導通経路が形成される。

【0062】

半導体装置100のソース電極144は、リセス124に形成され、n型半導体層114にオーミック接触する電極である。本実施形態では、ソース電極144は、チタン(Ti)から主に成る層にアルミニウム(Al)から主に成る層を積層した後に熱処理を加えた電極である。

【0063】

半導体装置100のドレイン電極148は、基板110の-Z軸方向側の表面にオーミック接触する電極である。本実施形態では、ドレイン電極148は、チタン(Ti)から主に成る層にアルミニウム(Al)から主に成る層を積層した後に熱処理を加えた電極である。

【0064】

図4は、p型半導体層112の作用を示す説明図である。発明者が鋭意検討した結果、図4において、p型半導体層112がない場合と比較して、p型半導体層112がある構造にすることにより、チャネルの電気特性を維持しつつ、さらに耐圧を向上させることができることがわかった。トレンチ122の底部Ptbに発生する電界集中は、角部Pmcにおけるp型半導体層112によって緩和される。p型半導体層112は、p型半導体層113より高い濃度でアクセプタ元素Acを含有する。p型半導体層112に存在する十分なアクセプタ元素Acは、メサ構造111mの側面111sへと拡散する。メサ構造111m形成時のドナー性欠陥の発生や形成後の大気にさらした場合のドナー性不純物の付着などにより、メサ構造111mを形成する際にドナーDn(ドナー性欠陥およびドナー性不純物の少なくとも一方)が側面111sに発生した場合であっても、側面111sの

10

20

30

40

50

ドナー D n は、p 型半導体層 1 1 2 から拡散したアクセプタ元素 A c によって補償される。その結果、リークパス形成を大幅に抑制して耐圧を著しく向上させることが可能となる。その一方、p 型半導体層 1 1 3 のうち p 型半導体層 1 1 2 から Z 軸方向に離れた部位にチャンネル 1 1 3 c が形成されるため、チャンネル 1 1 3 c へと p 型半導体層 1 1 3 から拡散するアクセプタ元素 A c は抑制される。このため、p 型半導体層 1 1 2 を形成してもチャンネルの電気特性に影響を与えないようにできる。

#### 【0065】

図 5 は、p 型半導体層 1 1 2 の作用を示す説明図である。n 型半導体層 1 1 1 と p 型半導体層 1 1 2, 1 1 3 とが接触する p n 接合界面には、n 型半導体層 1 1 1 側に空乏層 D p, D p + が形成される。p 型半導体層 1 1 2 は、p 型半導体層 1 1 3 より高い濃度でアクセプタ元素 A c を含有するため、p 型半導体層 1 1 2 と接触する p n 接合界面には、p 型半導体層 1 1 3 と接触する p n 接合界面より広い範囲に空乏層 D p + が形成される。空乏層 D p は、p 型半導体層 1 1 2 の部分を p 型半導体層 1 1 3 に置き換えた場合に形成される空乏層である。空乏層 D p + は、p 型半導体層 1 1 2 によって拡張された空乏層である。空乏層 D p + は、角部 P m c における十分な空乏層として機能する。この結果、メサ角部での空乏層の幅をさらに広げることができるので耐圧を向上させることが可能となる。

#### 【0066】

##### A - 3 . 半導体装置の製造方法

図 6 は、第 1 実施形態における半導体装置 1 0 0 の製造方法を示す工程図である。図 7 から図 1 3 は、半導体装置 1 0 0 を製造する様子を示す説明図である。

#### 【0067】

まず、製造者は、基板 1 1 0 の上に n 型半導体層 1 1 1 をエピタキシャル成長によって形成する（工程 P 1 1 0、図 7）。これによって、製造者は、製造途中にある半導体装置 1 0 0 として、基板 1 1 0 の上に n 型半導体層 1 1 1 が形成された半導体装置 1 0 0 a を得る。本実施形態では、製造者は、基板 1 1 0 における + Z 軸方向側の表面に n 型半導体層 1 1 1 を形成する。本実施形態では、製造者は、有機金属気相成長法（MOCVD: Metal Organic Chemical Vapor Deposition）によって n 型半導体層 1 1 1 を形成する。本実施形態では、n 型半導体層 1 1 1 を形成する原料ガスの V / III 比は、9 0 0 以上 3 0 0 0 以下である。V / III 比は、III 族原料に対する V 族原料のモル比である。

#### 【0068】

n 型半導体層 1 1 1 を形成した後（工程 P 1 1 0）、製造者は、ドライエッチングおよびウェットエッチングによって n 型半導体層 1 1 1 にメサ構造 1 1 1 m を形成する（工程 P 1 2 0、図 8）。これによって、製造者は、製造途中にある半導体装置 1 0 0 として、n 型半導体層 1 1 1 にメサ構造 1 1 1 m が形成された半導体装置 1 0 0 b を得る。本実施形態では、製造者は、上面 1 1 1 t となる部位にマスクを形成した後、n 型半導体層 1 1 1 の + Z 軸方向側の部位をドライエッチングによって除去する。これによって、n 型半導体層 1 1 1 に側面 1 1 1 s および周囲面 1 1 1 a が形成される。その後、製造者は、上面 1 1 1 t からマスクを除去する。その後、製造者は、上面 1 1 1 t、側面 1 1 1 s および周囲面 1 1 1 a をウェットエッチングによって処理した後、上面 1 1 1 t、側面 1 1 1 s および周囲面 1 1 1 a を洗浄する。

#### 【0069】

本実施形態では、製造者は、側面 1 1 1 s の結晶面が a 面となり、周囲面 1 1 1 a および上面 1 1 1 t が c 面となるように、メサ構造 1 1 1 m を形成する。他の実施形態では、製造者は、側面 1 1 1 s の結晶面が m 面となり、周囲面 1 1 1 a および上面 1 1 1 t が c 面となるように、メサ構造 1 1 1 m を形成してもよい。角部 P m c および側面 1 1 1 s に対して p 型半導体層 1 1 2 を容易に形成する観点から、a 面または m 面では c 面と比較して p 型半導体層 1 1 2 の成長速度が速いため、側面 1 1 1 s の結晶面は a 面または m 面であることが好ましく、p 型半導体層 1 1 2 の成長速度がより速い a 面であることがいっそう好ましい。

## 【0070】

メサ構造111mを形成した後(工程P120)、製造者は、III族原料とV族原料とを第1のV/III比で含有する原料ガスを用いたエピタキシャル成長によって、p型半導体層112を形成する(工程P130、図9)。これによって、製造者は、製造途中にある半導体装置100として、角部Pmcから側面111sにわたってp型半導体層112が形成された半導体装置100cを得る。本実施形態では、製造者は、メサ構造111mから離れるに従って厚さ(Z軸方向の長さ)が薄くなるようにp型半導体層112を形成する。

## 【0071】

本実施形態では、製造者は、半導体装置100bにマスクを形成することなく、有機金属気相成長法(MOCVD)によってp型半導体層112を形成する。本実施形態では、製造者は、キャリアガスである水素( $H_2$ )とともに、V族原料であるアンモニア( $NH_3$ )を炉内に導入しつつ、炉内の半導体装置100bを1050℃まで昇温する。その後、製造者は、キャリアガスである水素( $H_2$ )とともに、III族原料であるトリメチルガリウム(TMGa: Tri-Methyl-Gallium)と、アクセプタ不純物であるビスシクロペンタジエニルマグネシウム( $Cp_2Mg$ )とを炉内に導入することによって、半導体装置100bの角部Pmcに三角状にp型半導体層112を成長させる。これによって、半導体装置100cが完成する。

## 【0072】

製造者は、p型半導体層112に含まれるアクセプタ元素の濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $8 \times 10^{19} \text{ cm}^{-3}$ 以下となるように、 $Cp_2Mg$ の流量を制御する。本実施形態では、 $Cp_2Mg$ の流量は、300 sccmである。p型半導体層112に含まれるアクセプタ元素の濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $8 \times 10^{19} \text{ cm}^{-3}$ 以下が好ましい。p型半導体層112に含まれるアクセプタ元素の濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 未満である場合、大気中から側面111sに付着するドナー性不純物を、p型半導体層112のアクセプタ元素によって十分に補償できなくなる。p型半導体層112に含まれるアクセプタ元素の濃度が $8 \times 10^{19} \text{ cm}^{-3}$ 超過である場合、p型半導体層112の結晶中にドナー性欠陥が増加するとともに、p型半導体層112の結晶性が低下する。本実施形態では、p型半導体層112に含まれるアクセプタ元素の濃度は、約 $4 \times 10^{19} \text{ cm}^{-3}$ である。

## 【0073】

側面111sにおけるリークパスを防止する観点から、p型半導体層112を側面111sの全域に形成することが好ましい。

## 【0074】

チャネル113cの電気特性としてオン抵抗を低減する観点から、上面111tにp型半導体層112が形成されないことが好ましい。上面111tにp型半導体層112が形成される場合であっても、上面111tから+Z軸方向へ100nmの位置より-Z軸方向側であることが好ましい。

## 【0075】

上面111tへのp型半導体層112の形成を抑制する観点から、横方向(X軸方向およびY軸方向)への成長レートが高い条件として、p型半導体層112を形成するV/III比は、1500以上3000以下が好ましく、2500以上3000以下がもっとも好ましい。本実施形態では、p型半導体層112を形成するV/III比は、2500である。

## 【0076】

p型半導体層112をエピタキシャル成長させる温度は、950℃以上1200℃以下が好ましく、1000℃以上1100℃以下がもっとも好ましく、本実施形態では、1050℃である。p型半導体層112の成長温度が950℃未満である場合、結晶化に必要なエネルギーが十分にガリウム原子(Ga)および窒素原子(N)に供給されないため、結晶の異常成長によってp型半導体層112に空洞が発生する場合がある。p型半導体層1

10

20

30

40

50

1 2 の成長温度が 1 1 0 0 超過である場合、過剰な熱エネルギーによって n 型半導体層 1 1 1 からガリウム原子 (Ga) および窒素原子 (N) が抜け出すことによって n 型半導体層 1 1 1 の結晶構造が崩壊するため、p 型半導体層 1 1 2 を成長させることができなくなる。

【0077】

p 型半導体層 1 1 2 をエピタキシャル成長させる圧力は、1 kPa 以上 1 0 0 kPa 以下が好ましく、1 0 kPa 以上 1 0 0 kPa 以下がもっと好ましく、本実施形態では、1 0 0 kPa である。p 型半導体層 1 1 2 の成長圧力が 1 kPa 未満である場合、p 型半導体層 1 1 2 に炭素原子 (C) が過剰に取り込まれることによって、p 型半導体層 1 1 2 の p 型特性が劣化する。

10

【0078】

他の形態では、製造者は、p 型半導体層 1 1 2 を形成した後、炉内温度を維持した状態で、III 族原料、V 族原料およびアクセプタ不純物の供給を止めて、キャリアガスである水素 ( $H_2$ ) を用いて、上面 1 1 1 t に形成された p 型半導体層 1 1 2 を除去してもよい。これによって、p 型半導体層 1 1 2 の後に形成される p 型半導体層 1 1 3 のチャネル 1 1 3 c における移動度を向上させることができる。

【0079】

p 型半導体層 1 1 2 を形成した後 (工程 P 1 3 0)、製造者は、第 1 の V / III 比より低い第 2 の V / III 比で III 族原料と V 族原料とを含有する原料ガスを用いたエピタキシャル成長によって、p 型半導体層 1 1 2 の上に p 型半導体層 1 1 3 を形成する (工程 P 1 4 0、図 1 0)。これによって、製造者には、製造途中にある半導体装置 1 0 0 として、p 型半導体層 1 1 2 の上に p 型半導体層 1 1 3 が形成された半導体装置 1 0 0 d を得る。本実施形態では、製造者は、p 型半導体層 1 1 2 を形成した第 1 の V / III 比より低い第 2 の V / III 比で原料ガスを炉内に導入するとともに、p 型半導体層 1 1 2 を形成する際よりアクセプタ不純物の供給量を減少させることによって、p 型半導体層 1 1 2 の上に p 型半導体層 1 1 3 を成長させる。p 型半導体層 1 1 3 を形成する原料ガスの V / III 比は、2 5 0 以上 3 0 0 0 以下が好ましく、本実施形態では、1 5 0 0 である。

20

【0080】

p 型半導体層 1 1 3 を形成した後 (工程 P 1 4 0)、製造者は、エピタキシャル成長によって p 型半導体層 1 1 3 の上に n 型半導体層 1 1 4 を形成する (工程 P 1 5 0、図 1 1)。これによって、製造者には、製造途中にある半導体装置 1 0 0 として、p 型半導体層 1 1 3 の上に n 型半導体層 1 1 4 が形成された半導体装置 1 0 0 e を得る。本実施形態では、n 型半導体層 1 1 4 を形成する原料ガスの V / III 比は、9 0 0 以上 3 0 0 0 以下である。

30

【0081】

n 型半導体層 1 1 4 を形成した後 (工程 P 1 5 0)、製造者は、トレンチ 1 2 2 を形成する (工程 P 1 6 0、図 1 2)。これによって、製造者には、製造途中にある半導体装置 1 0 0 として、トレンチ 1 2 2 が形成された半導体装置 1 0 0 f を得る。本実施形態では、製造者は、塩素系ガスを用いたドライエッチングによってトレンチ 1 2 2 を形成する。

【0082】

トレンチ 1 2 2 を形成した後 (工程 P 1 6 0)、製造者は、絶縁膜 1 3 0 を形成する (工程 P 1 7 0、図 1 3)。これによって、製造者には、製造途中にある半導体装置 1 0 0 として、トレンチ 1 2 2 に絶縁膜 1 3 0 が形成された半導体装置 1 0 0 g を得る。本実施形態では、製造者は、二酸化ケイ素 ( $SiO_2$ ) を用いて絶縁膜 1 3 0 を形成する。本実施形態では、製造者は、原子層堆積法 (ALD: Atomic Layer Deposition) によって絶縁膜 1 3 0 を形成する。他の実施形態では、製造者は、スパッタ法、プラズマ CVD などによって絶縁膜 1 3 0 を形成してもよい。本実施形態では、製造者は、トレンチ 1 2 2 の内側から外側にわたって絶縁膜 1 3 0 を形成する。

40

【0083】

絶縁膜 1 3 0 を形成した後 (工程 P 1 7 0)、製造者は、各電極を形成する (工程 P 1

50

80)。本実施形態では、まず、製造者は、トレンチ122にゲート電極142を形成する。その後、製造者は、ドライエッチングによってリセス124を形成し、そのリセス124にソース電極144を形成する。その後、製造者は、ドレイン電極148を形成する。

【0084】

各電極を形成した後（工程P180）、絶縁膜150および配線電極160の形成を経て、半導体装置100が完成する。

【0085】

A-4. 効果

以上説明した第1実施形態によれば、p型半導体層112が角部Pmcから側面111sにわたって形成されているため、p型半導体層112のアクセプタ元素によって角部Pmcおよび側面111sにおいて空乏層Dp、Dp+を十分に形成できる。また、p型半導体層112の上にp型半導体層113が形成されているため、p型半導体層113におけるチャンネル113cを構成する部位へとp型半導体層112から拡散するアクセプタ元素を抑制できる。これらの結果、半導体装置100のトレンチゲート構造において、チャンネル113cの電気特性を確保しつつ、耐電圧特性を向上させることができる。

【0086】

また、p型半導体層112は、上面111tより周囲面111aが位置する-Z軸方向側に形成されている。これによって、p型半導体層112に含まれるアクセプタ元素に起因するオン抵抗の増大をいっそう抑制できる。したがって、チャンネル113cの電気特性をいっそう十分に確保できる。

【0087】

また、p型半導体層112は、p型半導体層112の上から上面111tにわたって形成されている。これによって、p型半導体層112が上面111tに形成されていない構造と比較して、p型半導体層112に含まれるアクセプタ元素に起因するオン抵抗の増大を抑制できる。したがって、チャンネル113cの電気特性を十分に確保できる。

【0088】

また、p型半導体層112の厚さは、メサ構造111mから離れるに従って薄くなるため、p型半導体層113におけるチャンネル113cを構成する部位へとp型半導体層112から拡散するアクセプタ元素をいっそう抑制できる。

【0089】

また、p型半導体層112とp型半導体層113との界面112pが上面111tと成す角度Apは、約45°であるため、角部Pmcおよび側面111sにおける空乏層Dp、Dp+の形成と、p型半導体層112からチャンネル113cへと拡散するアクセプタ元素の抑制との両立を図ることができる。

【0090】

また、トレンチ122は、周囲面111aよりn型半導体層114が位置する+Z軸方向側に形成されているため、トレンチ122の底部Ptbにおける電界集中を効果的に緩和できる。

【0091】

また、p型半導体層112に含まれるアクセプタ元素の濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $8 \times 10^{19} \text{ cm}^{-3}$ 以下であるため、角部Pmcおよび側面111sにおいて空乏層Dp、Dp+を効果的に形成できる。

【0092】

また、側面111sにおける結晶面がa面であるため、側面111sにおけるp型半導体層112の結晶品質を向上させることができる。

【0093】

また、p型半導体層112は、側面111sの全域にわたって形成され、p型半導体層113は、p型半導体層112の上から上面111tにわたって形成されているため、角部Pmcおよび側面111sにおいて空乏層を効果的に形成できる。



## 【0094】

また、半導体装置100の製造方法は、第1のV/III比で含有する原料ガスを用いたエピタキシャル成長によって、p型半導体層112を、角部Pmcから少なくとも側面111sにわたって形成し；第1のV/III比より低い第2のV/III比でIII族原料とV族原料とを含有する原料ガスを用いたエピタキシャル成長によって、アクセプタ元素をp型半導体層112より低い濃度で含有するp型半導体層113を、p型半導体層112の上に形成する。これによって、上面111tの上方に位置するp型半導体層113へとp型半導体層112から拡散するアクセプタ元素が抑制されるように、p型半導体層112を角部Pmcから側面111sにわたって容易に形成できる。

## 【0095】

また、p型半導体層112に含まれるアクセプタ元素Acの濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $8 \times 10^{19} \text{ cm}^{-3}$ 以下となるようにp型半導体層112を形成するため、角部Pmcおよび側面111sにおいて空乏層を効果的に形成可能にp型半導体層112を形成できる。

## 【0096】

また、側面111sにおける結晶面がa面となるようにメサ構造111mを形成するため、a面ではm面およびc面と比較してp型半導体層112の成長速度が速いため、角部Pmcおよび側面111sに対してp型半導体層112を容易に形成できる。

## 【0097】

また、側面111sの全域にわたってp型半導体層112を形成し、p型半導体層112の上から上面111tにわたってp型半導体層113を形成するため、角部Pmcおよび側面111sにおいて空乏層を効果的に形成可能にp型半導体層112およびp型半導体層113を形成できる。

## 【0098】

また、p型半導体層112を形成するV/III比は、2500以上3000以下であるため、角部Pmcおよび側面111sに対してp型半導体層112を容易に形成できる。

## 【0099】

また、p型半導体層112をエピタキシャル成長させる温度は、950以上1200以下であるため、角部Pmcおよび側面111sに対してp型半導体層112をいっそう容易に形成できる。

## 【0100】

また、p型半導体層112をエピタキシャル成長させる圧力は、1kPa以上100kPa以下であるため、角部Pmcおよび側面111sに対してp型半導体層112をいっそう容易に形成できる。

## 【0101】

## A-5. 変形例

図14は、第1実施形態の変形例における半導体装置100の製造方法を示す工程図である。第1実施形態の変形例における製造方法は、n型半導体層111の界面にアクセプタ元素をデルタドーピングする点を除き、上述の製造方法と同様である。第1実施形態の変形例では、n型半導体層111にメサ構造111mを形成した後（工程P120、図8）、製造者は、n型半導体層111の上面111t、側面111sおよび周囲面111aの各面に対して、アクセプタ元素としてマグネシウム（Mg）をデルタドーピングする（工程P125）。これによって、上面111t、側面111sおよび周囲面111aの各面は、アクセプタ元素がデルタドーピングされた界面となる。アクセプタ元素をデルタドーピングする面は、上面111t、側面111sおよび周囲面111aの各面ではなく、これらのうち少なくとも1つの面であればよい。本変形例によれば、デルタドーピングされた界面において空乏層Dp、Dp+をいっそう十分に形成できる。

## 【0102】

## B. 第2実施形態

図15は、第2実施形態における半導体装置100Bの詳細構成を示す説明図である。

半導体装置 100B は、p 型半導体層 112 および p 型半導体層 113 に代えて、p 型半導体層 112B および p 型半導体層 113B を備える点を除き、第 1 実施形態の半導体装置 100 と同様である。

#### 【0103】

半導体装置 100B の p 型半導体層 112B は、角部 Pmc から側面 111s に加え、上面 111t にわたって形成されている点を除き、第 1 実施形態の p 型半導体層 112 と同様である。p 型半導体層 112B は、上面 111t から +Z 軸方向へ 100nm の位置より -Z 軸方向側に形成されている。半導体装置 100B の p 型半導体層 113B は、上面 111t との間に p 型半導体層 112B を挟む点を除き、第 1 実施形態の p 型半導体層 113 と同様である。

10

#### 【0104】

第 2 実施形態によれば、第 1 実施形態と同様に、p 型半導体層 112B が角部 Pmc から側面 111s にわたって形成されているため、p 型半導体層 112B のアクセプタ元素によって角部 Pmc および側面 111s において空乏層を十分に形成できる。また、p 型半導体層 112B の上に p 型半導体層 113B が形成されているため、p 型半導体層 113B におけるチャンネルを構成する部位へと p 型半導体層 112B から拡散するアクセプタ元素を抑制できる。これらの結果、半導体装置 100B のトレンチゲート構造において、チャンネルの電気特性を確保しつつ、耐電圧特性を向上させることができる。

#### 【0105】

また、p 型半導体層 112B は、上面 111t から n 型半導体層 114 が位置する +Z 軸方向側へ 100nm の位置より、周囲面 111a が位置する -Z 軸方向側に形成されている。これによって、p 型半導体層 112B に含まれるアクセプタ元素に起因するオン抵抗の増大を防止できる。したがって、チャンネルの電気特性を十分に確保できる。

20

#### 【0106】

### C. 第 3 実施形態

図 16 は、第 3 実施形態における半導体装置 100C の詳細構成を示す説明図である。半導体装置 100C は、p 型半導体層 112 および p 型半導体層 113 に代えて、p 型半導体層 112C および p 型半導体層 113C を備える点を除き、第 1 実施形態の半導体装置 100 と同様である。

#### 【0107】

半導体装置 100C の p 型半導体層 112C は、Z 軸方向において上面 111t と同じ位置まで、周囲面 111a の全域にわたって形成されている点を除き、第 1 実施形態の p 型半導体層 112 と同様である。半導体装置 100C の p 型半導体層 113C は、上面 111t および p 型半導体層 112C の上にわたって形成されている点を除き、第 1 実施形態の p 型半導体層 113 と同様である。第 3 実施形態では、p 型半導体層 112C と p 型半導体層 113C との界面が上面 111t と成す角度は、0°である。

30

#### 【0108】

第 3 実施形態によれば、第 1 実施形態と同様に、p 型半導体層 112C が角部 Pmc から側面 111s にわたって形成されているため、p 型半導体層 112C のアクセプタ元素によって角部 Pmc および側面 111s において空乏層を十分に形成できる。また、p 型半導体層 112C の上に p 型半導体層 113C が形成されているため、p 型半導体層 113C におけるチャンネルを構成する部位へと p 型半導体層 112C から拡散するアクセプタ元素を抑制できる。これらの結果、半導体装置 100C のトレンチゲート構造において、チャンネルの電気特性を確保しつつ、耐電圧特性を向上させることができる。

40

#### 【0109】

### D. 第 4 実施形態

図 17 は、第 4 実施形態における半導体装置 100D の詳細構成を示す説明図である。半導体装置 100D は、p 型半導体層 112 および p 型半導体層 113 に代えて、p 型半導体層 112D および p 型半導体層 113D を備える点を除き、第 1 実施形態の半導体装置 100 と同様である。

50

## 【0110】

半導体装置100Dのp型半導体層112Dは、Z軸方向において上面111tから+Z軸方向へ100nmの範囲まで、周囲面111aの全域にわたって形成されている点を除き、第1実施形態のp型半導体層112と同様である。半導体装置100Dのp型半導体層113Dは、上面111tおよびp型半導体層112Dの上にわたって形成されている点を除き、第1実施形態のp型半導体層113と同様である。

## 【0111】

第4実施形態によれば、第1実施形態と同様に、p型半導体層112Dが角部Pmcから側面111sにわたって形成されているため、p型半導体層112Dのアクセプタ元素によって角部Pmcおよび側面111sにおいて空乏層を十分に形成できる。また、p型半導体層112Dの上にp型半導体層113Dが形成されているため、p型半導体層113Dにおけるチャンネルを構成する部位へとp型半導体層112Dから拡散するアクセプタ元素を抑制できる。これらの結果、半導体装置100Dのトレンチゲート構造において、チャンネルの電気特性を確保しつつ、耐電圧特性を向上させることができる。

## 【0112】

また、p型半導体層112Dは、上面111tからn型半導体層114が位置する+Z軸方向側へ100nmの位置より、周囲面111aが位置する-Z軸方向側に形成されている。これによって、p型半導体層112Dに含まれるアクセプタ元素に起因するオン抵抗の増大を防止できる。したがって、チャンネルの電気特性を十分に確保できる。

## 【0113】

E．第5実施形態

図18は、第5実施形態における半導体装置100Eの詳細構成を示す説明図である。半導体装置100Eは、p型半導体層112およびp型半導体層113に代えて、p型半導体層112Eおよびp型半導体層113Eを備える点を除き、第1実施形態の半導体装置100と同様である。

## 【0114】

半導体装置100Eのp型半導体層112Eは、Z軸方向において上面111tと同じ位置まで、角部Pmcから側面111sに沿って形成されている点を除き、第1実施形態のp型半導体層112と同様である。半導体装置100Eのp型半導体層113Eは、上面111t、周囲面111aおよびp型半導体層112Eの上にわたって形成されている点を除き、第1実施形態のp型半導体層113と同様である。第5実施形態では、p型半導体層112Eとp型半導体層113Eとの界面が上面111tと成す角度は、90°である。

## 【0115】

第5実施形態によれば、第1実施形態と同様に、p型半導体層112Eが角部Pmcから側面111sにわたって形成されているため、p型半導体層112Eのアクセプタ元素によって角部Pmcおよび側面111sにおいて空乏層を十分に形成できる。また、p型半導体層112Eの上にp型半導体層113Eが形成されているため、p型半導体層113Eにおけるチャンネルを構成する部位へとp型半導体層112Eから拡散するアクセプタ元素を抑制できる。これらの結果、半導体装置100Eのトレンチゲート構造において、チャンネルの電気特性を確保しつつ、耐電圧特性を向上させることができる。

## 【0116】

F．第6実施形態

図19は、第6実施形態における半導体装置100Fの詳細構成を示す説明図である。半導体装置100Fは、p型半導体層112およびp型半導体層113に代えて、p型半導体層112Fおよびp型半導体層113Fを備える点を除き、第1実施形態の半導体装置100と同様である。

## 【0117】

半導体装置100Fのp型半導体層112Fは、側面111s付近において一定の厚さ(Z軸方向の長さ)を有する点を除き、第1実施形態のp型半導体層112と同様である

10

20

30

40

50

。半導体装置 100F の p 型半導体層 113F は、上面 111t、周囲面 111a および p 型半導体層 112F の上にわたって形成されている点を除き、第 1 実施形態の p 型半導体層 113 と同様である。

#### 【0118】

第 6 実施形態によれば、第 1 実施形態と同様に、p 型半導体層 112F が角部 Pmc から側面 111s にわたって形成されているため、p 型半導体層 112F のアクセプタ元素によって角部 Pmc および側面 111s において空乏層を十分に形成できる。また、p 型半導体層 112F の上に p 型半導体層 113F が形成されているため、p 型半導体層 113F におけるチャンネルを構成する部位へと p 型半導体層 112F から拡散するアクセプタ元素を抑制できる。これらの結果、半導体装置 100F のトレンチゲート構造において、チャンネルの電気特性を確保しつつ、耐電圧特性を向上させることができる。

10

#### 【0119】

#### G. 第 7 実施形態

図 20 は、第 7 実施形態における半導体装置 100G の構成を示す説明図である。半導体装置 100G は、n 型半導体層 111 にメサ構造 111mG が形成されている点を除き、第 1 実施形態の半導体装置 100 と同様である。半導体装置 100G のメサ構造 111mG は、複数のトレンチ 122 が形成されている点を除き、第 1 実施形態のメサ構造 111m と同様である。第 7 実施形態によれば、第 1 実施形態と同様に、半導体装置 100G のトレンチゲート構造において、チャンネルの電気特性を確保しつつ、耐電圧特性を向上させることができる。

20

#### 【0120】

#### H. 他の実施形態

本発明は、上述の実施形態や実施例、変形例に限られるものではなく、その趣旨を逸脱しない範囲において種々の構成で実現することができる。例えば、発明の概要の欄に記載した各形態中の技術的特徴に対応する実施形態、実施例、変形例中の技術的特徴は、上述の課題の一部または全部を解決するために、あるいは、上述の効果の一部または全部を達成するために、適宜、差し替えや、組み合わせを行うことが可能である。また、その技術的特徴が本明細書中に必須なものとして説明されていなければ、適宜、削除することが可能である。

#### 【0121】

本発明が適用される半導体装置は、上述の実施形態で説明した縦型トレンチ MOSFET に限られず、例えば、絶縁ゲートバイポーラトランジスタ (IGBT: Insulated Gate Bipolar Transistor)、MESFET (metal-semiconductor field effect transistor) などであってもよい。本発明の構造は、終端構造に適用できる。本発明の製造方法は、n 型半導体層と p 型半導体層とを相互に置き換えた構造の製造に適用できる。

30

#### 【0122】

上述の実施形態において、基板の材質は、窒化ガリウム (GaN) に限らず、ケイ素 (Si)、サファイア ( $Al_2O_3$ ) および炭化ケイ素 (SiC) などのいずれであってもよい。上述の実施形態において、各半導体層の材質は、窒化ガリウム (GaN) に限らず、ガリウム (Ga) を含有する窒化物半導体であればよい。

40

#### 【0123】

上述の実施形態において、n 型半導体層に含まれるドナー元素は、ケイ素 (Si) に限らず、ゲルマニウム (Ge)、酸素 (O) などであってもよい。

#### 【0124】

上述の実施形態において、p 型半導体層に含まれるアクセプタ元素は、マグネシウム (Mg) に限らず、亜鉛 (Zn)、炭素 (C) などであってもよい。

#### 【0125】

上述の実施形態において、絶縁膜 130 の材質は、電気絶縁性を有する材質であればよく、二酸化ケイ素 ( $SiO_2$ ) の他、窒化ケイ素 ( $SiNx$ )、酸化アルミニウム ( $Al_2O_3$ )、窒化アルミニウム (AlN)、酸化ジルコニウム ( $ZrO_2$ )、酸化ハフニウム

50

ム ( $\text{HfO}_2$ )、酸窒化ケイ素 ( $\text{SiON}$ )、酸窒化アルミニウム ( $\text{AlON}$ )、酸窒化ジルコニウム ( $\text{ZrON}$ )、酸窒化ハフニウム ( $\text{HfON}$ ) などの少なくとも1つであってもよい。絶縁膜 130 は、単層であってもよいし、2層以上であってもよい。

【0126】

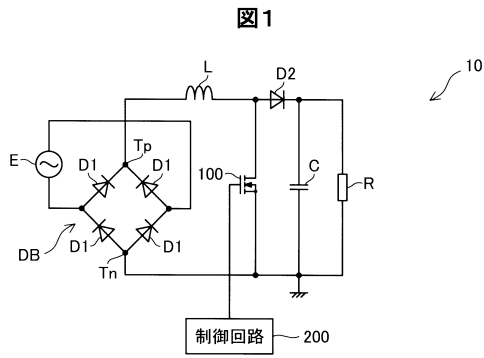
上述の実施形態において、各電極の材質は、上述の実施形態の材質に限らず、他の材質であってもよい。

【符号の説明】

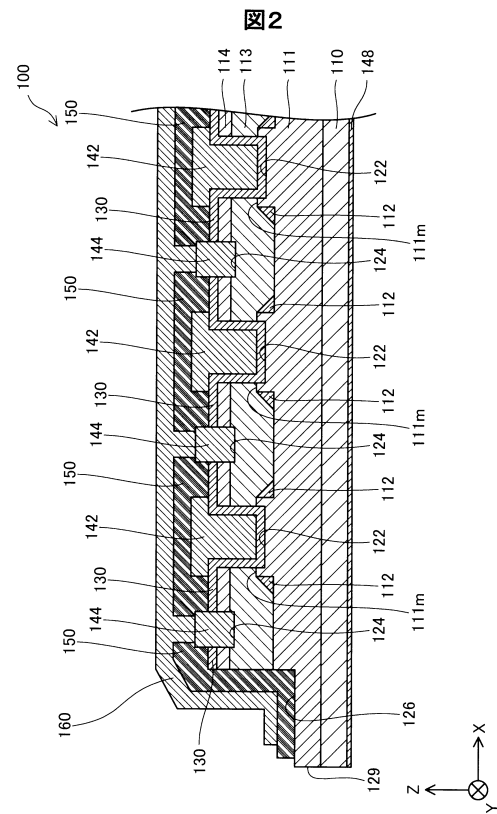
【0127】

10 ... 電力変換装置	
100, 100B ~ 100G ... 半導体装置	10
100a ~ 100g ... 半導体装置	
110 ... 基板	
111 ... n型半導体層	
111a ... 周囲面	
111m, 111mG ... メサ構造	
111s ... 側面	
111t ... 上面	
112, 112B ~ 112F ... p型半導体層	
112p ... 界面	
113, 113B ~ 113F ... p型半導体層	20
113c ... チャンネル	
114 ... n型半導体層	
122 ... トレンチ	
124 ... リセス	
126 ... 段差部	
129 ... 終端部	
130 ... 絶縁膜	
142 ... ゲート電極	
144 ... ソース電極	
148 ... ドレイン電極	30
150 ... 絶縁膜	
160 ... 配線電極	
200 ... 制御回路	
Ap ... 角度	
Ac ... アクセプタ元素	
Dn ... ドナー	
Ptb ... 底部	
Pmc ... 角部	
Dp ... 空乏層	
Dp+ ... 空乏層	40
C ... キャパシタ	
D1, D2 ... ダイオード	
DB ... ダイオードブリッジ	
E ... 交流電源	
L ... コイル	
R ... 負荷	
Tn ... 負極出力端	
Tp ... 正極出力端	

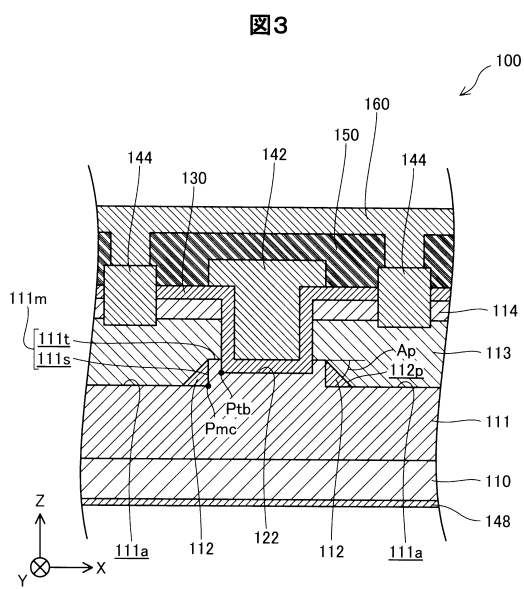
【 図 1 】



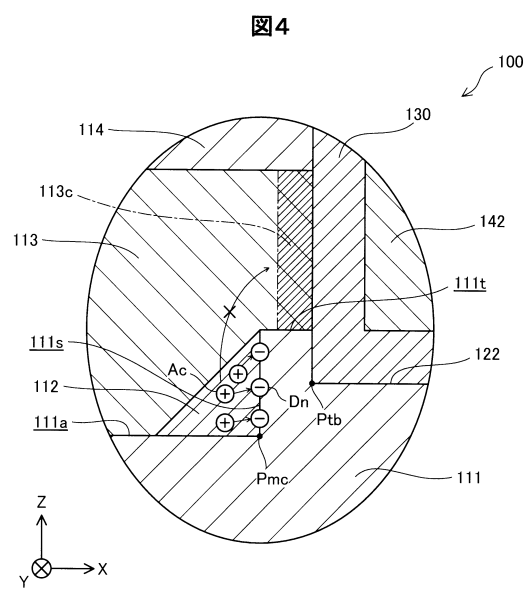
【 図 2 】



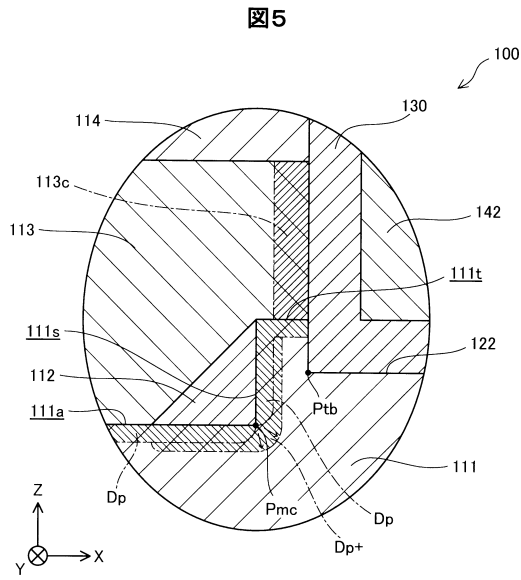
【 図 3 】



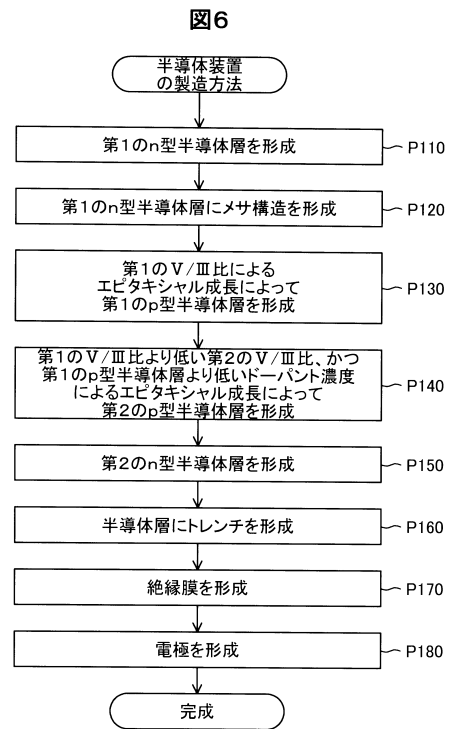
【圖 4】



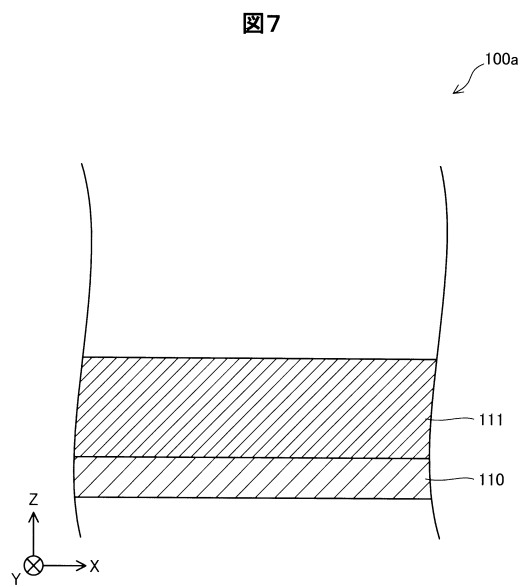
【 図 5 】



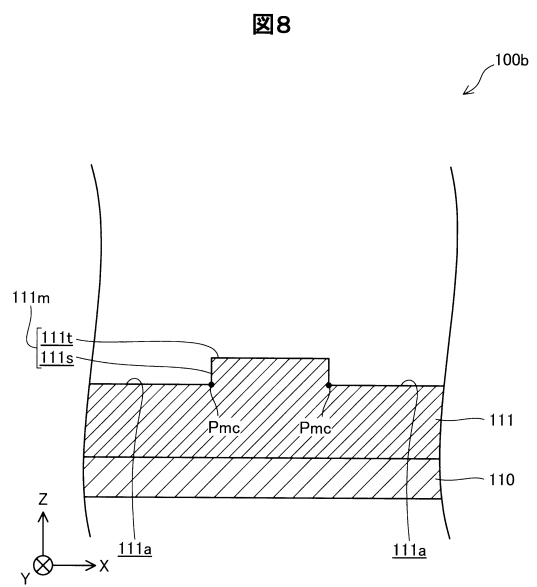
【 図 6 】



【圖 7】



【 図 8 】

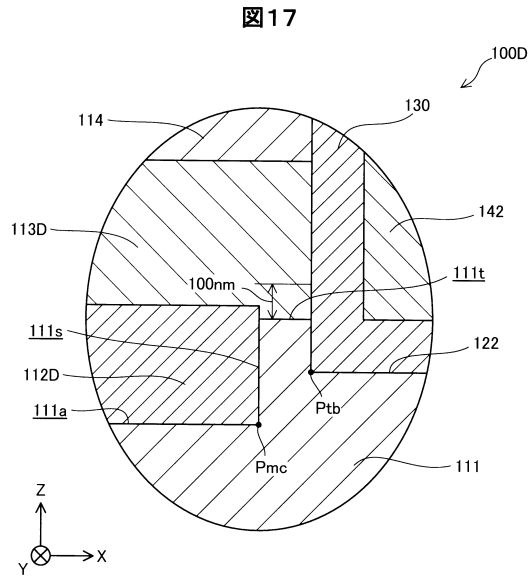




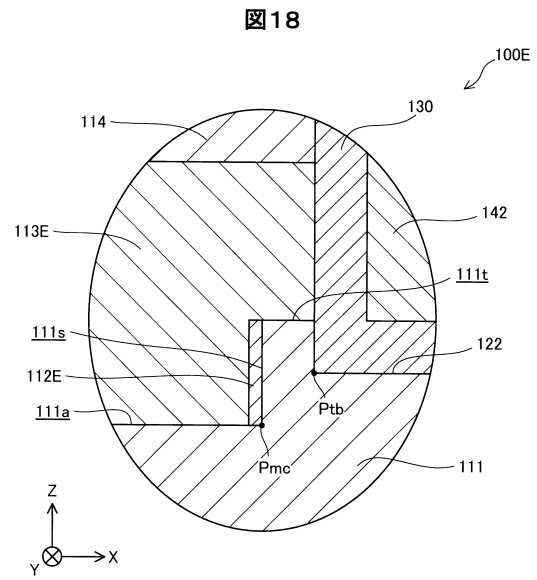




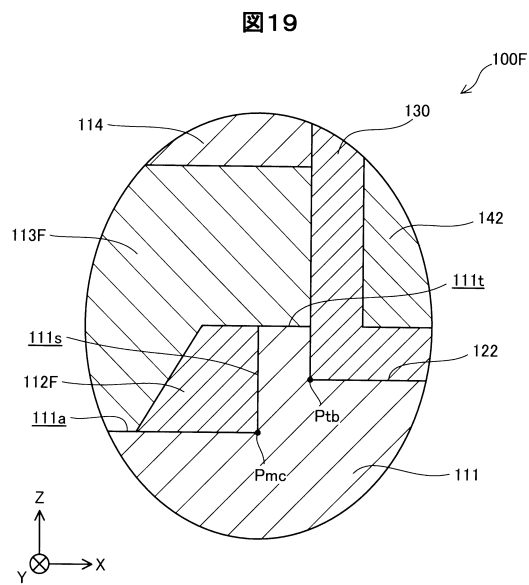
【図 17】



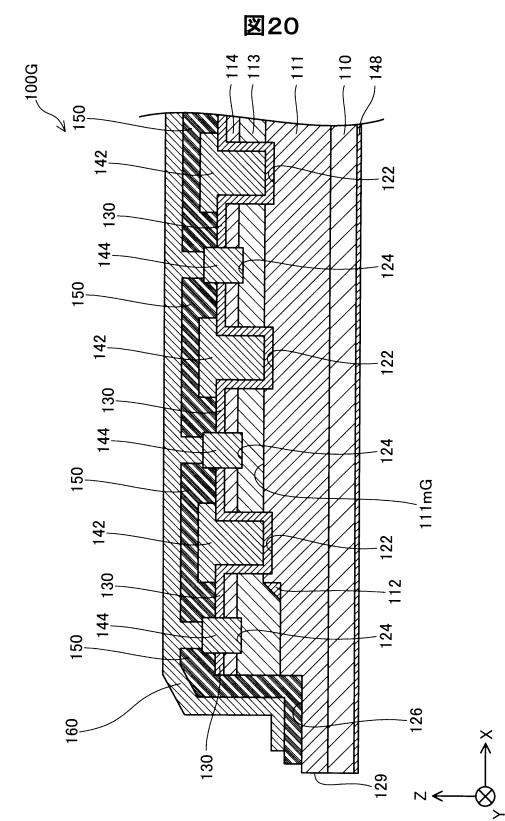
【図 18】



【図 19】



【図 20】



## フロントページの続き

(51)Int.Cl.	F I		
	H 0 1 L	29/06	3 0 1 D
	H 0 1 L	29/06	3 0 1 V
	H 0 1 L	21/20	

審査官 杉山 芳弘

(56)参考文献 特開 2 0 0 9 - 2 6 0 2 5 3 ( J P , A )  
特開平 1 0 - 2 9 4 4 6 3 ( J P , A )  
特開 2 0 1 4 - 2 3 6 1 8 9 ( J P , A )  
国際公開第 2 0 1 5 / 0 7 2 0 5 2 ( W O , A 1 )  
特開 2 0 0 4 - 0 4 0 0 9 7 ( J P , A )  
特開 2 0 1 0 - 0 6 2 3 8 1 ( J P , A )  
特開 2 0 0 9 - 1 4 1 3 6 3 ( J P , A )  
特開 2 0 1 4 - 1 9 2 9 3 4 ( J P , A )  
特表 2 0 0 3 - 5 2 6 9 0 7 ( J P , A )  
特開 2 0 1 3 - 2 2 2 9 3 2 ( J P , A )  
特開 2 0 1 4 - 2 0 9 5 4 0 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L	2 9 / 7 8
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 9 / 1 2