



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I508063 B

(45)公告日：中華民國 104 (2015) 年 11 月 11 日

(21)申請案號：102117352

(22)申請日：中華民國 102 (2013) 年 05 月 16 日

(51)Int. Cl. : G11C11/16 (2006.01)

G11C13/00 (2006.01)

G11C16/02 (2006.01)

(30)優先權：2012/05/18 日本

2012-114989

(71)申請人：國立研究開發法人科學技術振興機構(日本) JAPAN SCIENCE AND TECHNOLOGY AGENCY (JP)

日本

(72)發明人：周藤悠介 SHUTO, YUSUKE (JP)；山本修一郎 YAMAMOTO, SHUICHIRO (JP)；菅原聰 SUGAHARA, SATOSHI (JP)

(74)代理人：惲軼群；陳文郎

(56)參考文獻：

JP 2010-232959A

US 2004/0052106A1

US 2004/0257113A1

US 2008/0080231A1

US 2008/0225590A1

US 2011/0216573A1

US 2011/0273925A1

審查人員：蕭明椿

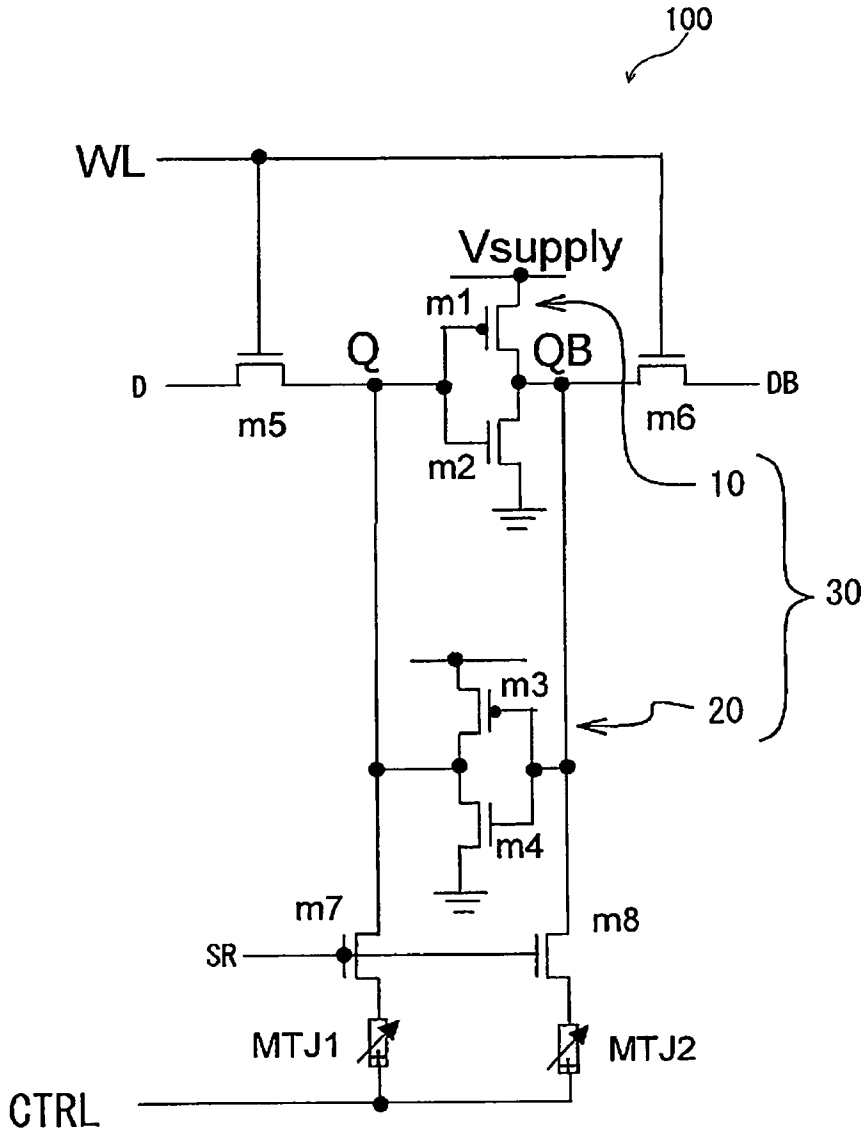
申請專利範圍項數：10 項 圖式數：14 共 39 頁

(54)名稱

具有雙穩態電路與非揮發性元件之記憶電路

(57)摘要

本發明乃一種記憶電路，具備：雙穩態電路，可記憶資料；非揮發性元件，可非揮發性地儲存前述雙穩態電路中記憶之資料，並將已非揮發性地儲存之資料重存於前述雙穩態電路中；及，控制部，可在不對前述雙穩態電路讀取或寫入資料之期間較預定期間長時，非揮發性地儲存前述雙穩態電路中記憶之資料，並阻斷前述雙穩態電路之電源，且在不進行前述資料之讀取或寫入之期間短於前述預定期間時，不非揮發性地儲存前述雙穩態電路中記憶之資料，而使前述雙穩態電路之電源電壓低於對前述雙穩態電路讀取或寫入資料之期間之電壓。



- 10 . . . 第 1 反相器
電路
- 20 . . . 第 2 反相器
電路
- 30 . . . 雙穩態電路
- 100 . . . 記憶單元
- CTRL . . . 控制線
- D、DB . . . 輸出入
線
- MTJ1、MTJ2 . . .
鐵磁穿隧接合元件
- Q、QB . . . 節點
- SR . . . 開關線
- Vsupply . . . 電源電
壓
- WL . . . 字線
- m1、m3 . . .
pMOSFET
- m2、m4 . . .
nMOSFET
- m5、m6、m7、
m8 . . . MOSFET

圖2

發明摘要

公告本

※ 申請案號：102117352

※ 申請日：102. 5. 16

※IPC 分類：G11C 11/16 2006.01

G11C 13/00 2006.01

G11C 16/02 2006.01

【發明名稱】(中文/英文)

具有雙穩態電路與非揮發性元件之記憶電路

【中文】

本發明乃一種記憶電路，具備：雙穩態電路，可記憶資料；非揮發性元件，可非揮發性地儲存前述雙穩態電路中記憶之資料，並將已非揮發性地儲存之資料重存於前述雙穩態電路中；及，控制部，可在不對前述雙穩態電路讀取或寫入資料之期間較預定期間長時，非揮發性地儲存前述雙穩態電路中記憶之資料，並阻斷前述雙穩態電路之電源，且在不進行前述資料之讀取或寫入之期間短於前述預定期間時，不非揮發性地儲存前述雙穩態電路中記憶之資料，而使前述雙穩態電路之電源電壓低於對前述雙穩態電路讀取或寫入資料之期間之電壓。

【英文】

【代表圖】

【本案指定代表圖】：第（ 2 ）圖。

【本代表圖之符號簡單說明】：

10…第1反相器電路	Q、QB…節點
20…第2反相器電路	SR…開關線
30…雙穩態電路	Vsupply…電源電壓
100…記憶單元	WL…字線
CTRL…控制線	m1、m3…pMOSFET
D、DB…輸出入線	m2、m4…nMOSFET
MTJ1、MTJ2…鐵磁穿隧接合元件	m5、m6、m7、m8…MOSFET

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

具有雙穩態電路與非揮發性元件之記憶電路

【技術領域】

技術領域

[0001]本發明有關於一種記憶電路，諸如有關於一種具有雙穩態電路與非揮發性元件之記憶電路。

【先前技術】

背景技術

[0002]已知有一種可將SRAM(Static Random Access Memory)之雙穩態電路中記憶之資料非揮發性地儲存於鐵磁穿隧接合元件(MTJ)中，並阻斷雙穩態電路之電源。然後，可於雙穩態電路之電源供入時自MTJ朝雙穩態電路重存資料之記憶裝置(諸如專利文獻1)。該記憶裝置可藉使用微處理器、系統單晶片、微控器、FPGA(Field Programmable Gate Array)或CMOS(Complementary Metal Oxide Semiconductor)邏輯電路等，而減少耗電。

【先行技術文獻】

【專利文獻】

[0003]【專利文獻1】國際公開2009/028298號

【發明內容】

發明概要

發明欲解決之課題

[0004]專利文獻1之記憶電路中，可將雙穩態電路之資料非揮發性地儲存於MTJ中，故可阻斷雙穩態電路之電源。藉此，而可大幅減少待機時之耗電。然而，供入電源之期間與通常之SRAM相較，耗電較多。

[0005]本發明即有鑑於上述問題而設計，目的在減少耗電。

用以解決課題之手段

[0006]本發明乃一種記憶電路，其特徵在於具備：雙穩態電路，可記憶資料；非揮發性元件，可非揮發性地儲存前述雙穩態電路中記憶之資料，並將已記憶成非揮發性之資料重存於前述雙穩態電路中；及，控制部，可在不對前述雙穩態電路讀取或寫入資料之期間較預定期間長時，非揮發性地儲存前述雙穩態電路中記憶之資料，並阻斷前述雙穩態電路之電源，且在不進行前述資料之讀取或寫入之期間短於前述預定期間時，不非揮發性地儲存前述雙穩態電路中記憶之資料，而使前述雙穩態電路之電源電壓低於對前述雙穩態電路讀取或寫入資料之期間之電壓。藉由本發明，即可減少耗電。

[0007]上述構造可構成使前述控制部可判定不對前述雙穩態電路進行資料之讀取或寫入之期間較預定期間長或短，並於判定不對前述雙穩態電路進行資料之讀取或寫入之期間較預定期間長時，非揮發性地儲存前述雙穩態電路中記憶之資料，並阻斷前述雙穩態電路之電源，且於判定不進行前述資料之讀取或寫入之期間較前述預定期間短

時，不非揮發性地儲存前述雙穩態電路中記憶之資料，而使前述雙穩態電路之電源電壓低於對前述雙穩態電路讀取或寫入資料之期間之電壓。

[0008]上述構造可構成使前述預定期間為可使前述預定期間之內降低前述雙穩態電路之電源電壓時之耗電與對前述非揮發性元件儲存及重存資料時之耗電相同之期間以上之長度。

[0009]上述構造可構成將從朝前述非揮發性元件儲存資料所需之能量減去對前述非揮發性元件儲存資料之期間內降低前述雙穩態電路之電源電壓之能量後之能量設為 E_{store}^{SC} ，並將從自前述非揮發性元件重存資料所需之能量減去自前述非揮發性元件重存資料之期間內降低前述雙穩態電路之電源電壓之能量後之能量設為 $E_{restore}^{SC}$ ，且將前述雙穩態電路之電源電壓降低後之消耗電流設為 I_{LS}^{NV} ，並將前述雙穩態電路之電源阻斷後之消耗電流設為 I_L^{SD} ，將前述雙穩態電路之電源電壓降低後之電源電壓設為 V_{sleep} ，而使此時之前述預定期間為 $(E_{store}^{SC} + E_{restore}^{SC}) / ((I_{LS}^{NV} - I_L^{SD}) \times V_{sleep})$ 以上。

[0010]上述構造可構成使前述非揮發性元件之一端連接前述雙穩態電路內之節點，他端則連接控制線。

[0011]上述構造可構成使前述非揮發性元件可藉流通於前述一端與前述他端之間之電流而非揮發性地儲存前述雙穩態電路中記憶之資料。

[0012]上述構造可構成使前述雙穩態電路包含互補之

第1節點及第2節點，前述非揮發性元件則包含一端連接前述第1節點而他端連接前述控制線之第1非揮發性元件，以及一端連接前述第2節點而他端與前述控制線之間已連接之第2非揮發性元件。

[0013]上述構造可構成具備：MOSFET，源極及汲極於前述節點與前述控制線之間與前述非揮發性元件連接成串聯；及，控制部，可使前述雙穩態電路記憶資料之期間之前述控制線之電壓高於對前述非揮發性元件非揮發性地儲存前述雙穩態電路中記憶之資料之期間內對前述控制線施加之最低電壓。

[0014]上述構造可構成令前述控制部可使前述雙穩態電路記憶資料之期間之前述控制線之電壓高於前述雙穩態電路之電源阻斷之期間之前述控制線之電壓。

[0015]上述構造可構成使前述非揮發性元件為鐵磁穿隧接合元件。

[0016]本發明乃一種記憶電路，其特徵在於具備：雙穩態電路，可記憶資料；非揮發性元件，一端連接前述雙穩態電路內之節點而他端連接控制線，可藉前述一端與前述他端之間流通之電流而改變電阻值，以非揮發性地儲存前述雙穩態電路中記憶之資料，並將已非揮發性地儲存之資料重存於前述雙穩態電路；FET，源極及汲極於前述節點及前述控制線之間與前述非揮發性元件連接成串聯；及，控制部，可使朝前述雙穩態電路重存於前述非揮發性元件中已非揮發性地儲存之資料之期間中對前述FET之閘極施加

之電壓，低於對前述雙穩態電路揮發性地寫入及讀取資料之期間內對前述雙穩態電路施加之電源電壓。藉由本發明，即可減少耗電。

[0017]上述構造可構成令前述控制部可使對前述非揮發性元件非揮發性地儲存前述雙穩態電路中記憶之資料之期間內對前述閘極施加之電壓低於前述電源電壓。

[0018]上述構造可構成令前述控制部可使對前述非揮發性元件非揮發性地儲存前述雙穩態電路中記憶之資料之期間內對前述控制線施加之最高電壓低於前述電源電壓。

發明效果

[0019]依據本發明，即可減少耗電。

【圖式簡單說明】

[0020]圖1(a)及圖1(c)顯示鐵磁穿隧接合元件之一例。圖1(b)則顯示鐵磁穿隧接合元件40之電流-電壓特性。

圖2為記憶單元之電路圖。

圖3為顯示記憶單元之控制之時間圖。

圖4(a)及4(b)為顯示記憶單元之他例之電路圖。

圖5(a)及圖5(b)為顯示第1實施例之記憶電路及記憶單元之功能區圖。

圖6為顯示電源及控制線之電壓之時間圖。

圖7顯示記憶單元對電源之漏電流之模擬結果。

圖8為比較第1實施例之記憶電路中停工與休眠狀態之消耗電流之模式圖。

圖9為比較第1實施例之記憶電路與6T-SRAM之消耗電

流之模式圖。

圖10為顯示控制部之控制之流程圖。

圖11為模擬儲存期間之控制線CTRL及開關線SR之電壓與鐵磁穿隧接合元件MTJ1及MTJ2中流通之電流I1及I2之時間圖。

圖12(a)及圖12(b)分別模擬儲存期間之雙穩態電路之特性。

圖13為模擬重存期間之電源電壓Vsupply及開關線SR之電壓與鐵磁穿隧接合元件MTJ1及MTJ2中流通之電流I1及I2之時間圖。

圖14(a)至圖14(c)分別模擬重存期間之節點Q及QB之電位之變化。

【實施方式】

用以實施發明之形態

[0021] 首先，說明作為非揮發性元件之鐵磁穿隧接合元件。圖1(a)即顯示鐵磁穿隧接合元件之一例。鐵磁穿隧接合元件40則包含鐵磁電極自由層42、鐵磁電極針層46、鐵磁電極自由層42與鐵磁電極針層46之間所設之穿隧絕緣膜44。鐵磁電極自由層42及鐵磁電極針層46由鐵磁金屬、半金屬鐵磁或鐵磁半導體所構成。鐵磁電極自由層42之磁化方向可改變。而，鐵磁電極針層46之磁化方向則固定。鐵磁電極自由層42與鐵磁電極針層46之磁化方向為平行狀態時稱為平行磁化，反平行時則稱為反平行磁化。

[0022] 圖1(b)顯示鐵磁穿隧接合元件40之電流-電壓特

性。如圖1(a)所示，以對鐵磁電極針層46朝鐵磁電極自由層42施加之電壓 V 及由鐵磁電極自由層42流向鐵磁電極針層46之電流 I 加以定義。此時之鐵磁穿隧接合元件40之符號則定義如圖1(c)所示。參照圖1(b)，平行磁化狀態之鐵磁穿隧接合元件40之電阻 R_p 小於反平行磁化狀態之鐵磁穿隧接合元件40之電阻 R_{ap} 。一般而言， R_p 與 R_{ap} 雖為就鐵磁隧道接合施加之電壓之函數，但以下則逼近地使電阻值為一定之電阻。 R_p 與 R_{ap} 並非定電阻時，以下之論證亦同樣成立。

[0023]反平行磁化狀態下，一旦對鐵磁穿隧接合元件40施加之電壓 V 增大，電流 I 將因電阻 R_{ap} 之倒數之傾向而增大(圖1(b)之A)。一旦電流 I 超過臨界電流 I_{TF} ，將因自鐵磁電極針層46朝鐵磁電極自由層42注入之鐵磁電極針層46之多數旋轉之電子，使鐵磁電極自由層42之磁化方向反轉，而形成平行磁化狀態(圖1(b)之B)。藉此，而使鐵磁穿隧接合元件40之電阻為 R_p 。而，平行磁化狀態下將流入負電流 I (圖1(b)之C)，一旦超過臨界電流 I_{TR} 而至負側，則自鐵磁電極自由層42朝鐵磁電極針層46注入之電子中，鐵磁電極自由層42之少數旋轉之電子將為鐵磁電極針層46所反射。藉此，則可使鐵磁電極自由層42之磁化反轉，而形成反平行磁化狀態(圖1(b)之D)。

[0024]如上所述，藉已自旋極化之電荷之注入而使可改變磁化方向之鐵磁電極自由層42之磁化方向反轉之方法稱為旋轉注入磁化反轉法。旋轉注入磁化反轉法與改變可產生磁場之磁化方向之方法相較，可減少磁化方向之變更所

需之耗電。且，與可產生磁場並改變磁化方向之方法相較，不致發生雜散磁場之問題，故不易受到對選擇單元以外之單元發生誤寫入或誤刪之干擾之影響，而適於發展高密度積體化。

[0025]其次，說明包含雙穩態電路與鐵磁穿隧接合元件之記憶單元之例。圖2為記憶單元之電路圖。如圖2所示，記憶單元100包含第1反相器電路10、第2反相器電路20、鐵磁穿隧接合元件MTJ1及MTJ2。第1反相器電路10與第2反相器電路20連接成環狀而構成雙穩態電路30。第1反相器電路10則包含nMOSFET(Metal Oxide Semiconductor Field Effect Transistor)m2及pMOSFETm1。第2反相器電路20則包含nMOSFETm4及pMOSFETm3。

[0026]第1反相器電路10與第2反相器電路20連接之節點分別為節點Q、QB。節點Q與節點QB彼此為互補節點，雙穩態電路30則因節點Q及節點QB分別為高位準及低位準，或節點Q及節點QB分別為低位準及高位準，而形成安定狀態。雙穩態電路30並因形成安定狀態而可記憶資料。

[0027]節點Q與節點QB分別經MOSFETm5及m6而連接輸出入線D及DB。MOSFETm5及m6之閘極則連接字線WL。MOSFETm1至m6即形成6MOSFET型之SRAM。

[0028]節點Q與控制線CTRL之間連接有FETm7與鐵磁穿隧接合元件MTJ1，節點QB與控制線CTRL之間則連接有FETm8與鐵磁穿隧接合元件MTJ2。FETm7及m8之源極及汲極之一方與源極及汲極之他方分別連接節點Q與QB以及鐵

磁穿隧接合元件MTJ1及MTJ2。且，FETm7及m8之閘極連接開關線SR。另，FETm7及m8亦可分別連接於鐵磁穿隧接合元件MTJ1及MTJ2與控制線CTRL之間。即，FETm7及m8之源極及汲極可在節點Q及QB與控制線CTRL之間對鐵磁穿隧接合元件MTJ1及MTJ2連接成串聯。且，亦可不設FETm7及m8。

[0029]對雙穩態電路30之資料之寫入及讀取之進行與習知之SRAM相同。即，使字線WL為高位準而使FETm5及m6形成導通狀態，即可朝雙穩態電路30寫入輸出入線D及DB之資料。且，使輸出入線D及DB形成等電位之浮接狀態並使字線WL為高位準而使FETm5及m6形成導通狀態，即可朝輸出入線D及DB讀取雙穩態電路30之資料。使FETm5及m6形成阻斷狀態，即可保持雙穩態電路30之資料。另，對雙穩態電路30之資料寫入、讀取及保持時，宜使開關線SR為低位準，並使FETm7及m8形成阻斷狀態。藉此，即可抑制節點Q及QB與控制線CTRL間之電流而減少耗電。

[0030]圖3為顯示記憶單元之控制之時間圖。另，並顯示影線領域尚未確定為高位準或低位準。參照圖3，而供給電源電壓Vsupply，並使控制線CTRL及開關線SR為低位準。對雙穩態電路30之資料之寫入乃藉使字線WL為高位準且輸出入線D、DB為高位準或低位準而進行。自雙穩態電路30對鐵磁穿隧接合元件MTJ1及MTJ2之資料儲存乃於期間T1中使開關線SR及控制線CTRL為高位準，並於期間T2中使開關線SR為高位準且控制線CTRL為低位準而進行。

[0031] 節點Q及QB分別為高位準及低位準時，鐵磁穿隧接合元件MTJ1及MTJ2將分別為高電阻及低電阻。節點Q及QB分別為低位準及高位準時，鐵磁穿隧接合元件MTJ1及MTJ2則分別為低電阻及高電阻。如上所述，可將雙穩態電路30之資料儲存於鐵磁穿隧接合元件MTJ1及MTJ2中。

[0032] 然後，使電源電壓 V_{supply} 為0V，而使記憶單元形成停工狀態。此時，電流不流入記憶單元，故可抑制耗電。自鐵磁穿隧接合元件MTJ1及MTJ2對雙穩態電路30重存資料時則在期間T3中使控制線CTRL為低位準且開關線SR為高位準之狀態下，使電源電壓 V_{supply} 自0V啟動而進行。

[0033] 鐵磁穿隧接合元件MTJ1及MTJ2分別為高電阻及低電阻時，節點Q及QB分別為高位準及低位準。鐵磁穿隧接合元件MTJ1及MTJ2分別為低電阻及高電阻時，節點Q及QB則分別為低位準及高位準。如上所述，可將鐵磁穿隧接合元件MTJ1及MTJ2中記憶成非揮發性之資料重存於雙穩態電路中。

[0034] 自雙穩態電路30讀取資料時則使字線WL為高位準而進行。

[0035] 圖4(a)及圖4(b)乃顯示記憶單元之他例之電路圖。如圖4(a)所示，可使用電阻R1取代鐵磁穿隧接合元件MTJ2。如圖4(b)所示，節點QB與控制線CTRL之間並未連接。如圖4(a)及圖4(b)所示，鐵磁穿隧接合元件亦可僅連接於節點Q及QB之一方與控制線CTRL之間。另，FETm7亦可分別連接於鐵磁穿隧接合元件MTJ1與控制線CTRL之間。

且，亦可不設FETm7。以下之實施例中，雖以圖2所示之記憶單元100為例而加以說明，但亦可使用圖4(a)及圖4(b)所示之記憶單元。且，非揮發性元件雖以鐵磁穿隧接合元件為例而加以說明，但亦可使用電阻變化元件、相變化元件或鐵電體元件等其它非揮發性元件。

【第1實施例】

[0036]圖5(a)及圖5(b)乃顯示第1實施例之記憶電路及記憶單元之功能區圖。參照圖5(a)，記憶電路103包含記憶區77、列解碼器71、列驅動器72、行解碼器73、行驅動器74及控制部85。記憶區77中呈矩陣狀配置有複數記憶單元75。列解碼器71及行解碼器73可自位址訊號選擇列及行。列驅動器72可對所選之列之輸出入線D、DB及控制線CTRL施加電壓等。行驅動器74可對所選之行之字線WL、開關線SR及控制線CTRL施加電壓等。控制部85則可經列解碼器71、列驅動器72、行解碼器73、行驅動器74，而對記憶單元75之輸出入線D、DB、字線WL、開關線SR及控制線CTRL施加電壓等。另，列驅動器72對控制線施加電壓時，控制線已連接各記憶單元。如圖5(b)所示，記憶單元75與諸如圖2之記憶單元100相同。

[0037]另，行驅動器74對控制線CTRL施加電壓時，舉例言之，可對排列成行之各記憶單元75連接控制線CTRL。列驅動器72對控制線CTRL施加電壓時，舉例言之，則可對排列成列之記憶單元75共通地連接控制線CTRL。

[0038]圖6為顯示電源及控制線之電壓之時間圖。參照

圖6，已就雙穩態電路30中保持有資料之期間設有休眠期間與通常期間。通常期間乃將雙穩態電路30之資料重寫成揮發性之期間。休眠期間乃僅保持雙穩態電路30之資料，而不進行資料之重寫之期間。休眠期間中，將相對於通常期間，而使對雙穩態電路30供給之電源之電壓 V_{supply} 降低至可保持資料之程度。舉例言之，可使通常期間之 V_{supply} 為1.1V，並使休眠期間之 V_{supply} 為0.9V。藉此，而可抑制耗電。

[0039]使休眠期間及通常期間之控制線CTRL之電壓為0V(低位準之電壓)，則耗電將因MOSFETm7及m8之漏電流而增加。因此，控制線CTRL之電壓將大於0V。藉此，而可減少MOSFETm7及m8之漏電流，以抑制耗電。

[0040]儲存期間中，則使控制線CTRL之電壓為0V，然後為1.1V。停工期間中，則使電源電壓 V_{supply} 及控制線CTRL為0V。

[0041]圖7顯示記憶單元對電源之漏電流模擬結果。點線在圖5(b)中代表未設有MOSFETm7、m8、鐵磁穿隧接合元件MTJ1及MTJ2之6電晶體SRAM(6T-SRAM)單元之漏電流。虛線則代表使控制線CTRL之電壓為0V後之漏電流，實線代表控制線CTRL之電壓為0.1V時之漏電流。如圖7所示，藉控制線CTRL之電壓之控制，即可抑制記憶單元之耗電。

[0042]圖8乃比較第1實施例之記憶電路中停工與休眠狀態之消耗電流之模式圖。圖9乃比較第1實施例之記憶電

路與6T-SRAM之消耗電流之模式圖。圖8之實線代表記憶電路103之各期間之消耗電流。圖8之虛線則代表記憶單元75之未停工而形成休眠狀態時之消耗電流。圖9中，實線代表記憶電路103之各期間之消耗電流。虛線代表使用6T-SRAM單元之記憶電路之消耗電流。點線則代表使用6T-SRAM單元之記憶電路之通常期間之消耗電流。

[0043]將休眠期間之長度設為 τ_{sleep} 、6T-SRAM之電流為 I_{LS}^V 、第1實施例之電流為 I_{LS}^{NV} 。並設通常期間之長度為 τ_{act} 、6T-SRAM之電流為 I_L^V 、第1實施例之電流為 I_L^{NV} 。且設定儲存期間之長度為 τ_{st} 、電流為 I_{MTJ} 。而，停工期間之長度為 τ_{SD} 、電流為 I_L^{SD} 。重存期間之長度為 τ_{ret} 、電流為 I_{Rush} 。休眠期間與通常期間之合計長度為 τ_{exc} 。休眠期間至重存期間之長度則為 τ_{cyc} 。

[0044]如圖9所示，休眠期間及通常期間中，漏電流將流入MOSFETm7及m8，故第1實施例之記憶電路103之消耗電流大於6T-SRAM。休眠期間及重存期間中，電流則流入鐵磁穿隧接合元件MTJ1及MTJ2，故第1實施例之消耗電流將增大。停工期間中，漏電流雖少量流入第1實施例之記憶電路103，但消耗電流已充分減少。6T-SRAM則因無法停工而由儲存期間、停工期間及重存期間構成休眠期間。

[0045]圖10為顯示控制部之控制之流程圖。參照圖10而顯示存在不對雙穩態電路30進行資料之讀取或寫入之非存取期間時之控制。控制部85將取得非存取期間(步驟S10)。非存取期間可自諸如控制記憶電路103之CPU(Central

Processing Unit)等而取得。控制部85並可判定非存取期間是否較預定期間 T_0 更長(步驟S12)。判定為是時，控制部85將對鐵磁穿隧接合元件MTJ1及MTJ2儲存雙穩態電路30之資料(步驟S14)。然後，控制部85將阻斷電源電壓 V_{supply} 而停工(步驟S16)。控制部85並將判定是否進行重存(步驟S18)。舉例言之，非存取期間經過後或取得CPU等對記憶單元75之存取訊號後，控制部85將判定進行是否重存。判定為是時，控制部85將對雙穩態電路30重存鐵磁穿隧接合元件MTJ1及MTJ2中已儲存之資料(步驟S20)。然後，結束作業。若判定為否，則返回步驟S18。

[0046] 步驟S12中，若判定為否，則控制部85將降低雙穩態電路30之電源電壓 V_{supply} ，並使記憶單元75形成休眠狀態(步驟S22)。控制部85並將判定是否使雙穩態電路30回復通常狀態(步驟S18)。舉例言之，非存取期間經過後或取得CPU等對記憶單元75之存取訊號後，控制部85將判斷是否回復通常狀態(步驟S24)。若判定為是，控制部85將使雙穩態電路30之電源電壓 V_{supply} 形成通常狀態，並使記憶單元75形成通常狀態(步驟S26)。然後，結束作業。若判定為否，則返回步驟S24。

[0047] 依據第1實施例，一如步驟S14及16所示，非存取期間較預定期間 T_0 更長時，控制部85可非揮發性地儲存雙穩態電路30中記憶之資料，並阻斷雙穩態電路30之電源。再如步驟S22所示而在非存取期間較預定期間 T_0 短時，不非揮發性地儲存雙穩態電路30中記憶之資料，而使雙穩態電

路30之電源電壓 V_{supply} 低於對雙穩態電路30讀取或寫入資料時之電壓。即，使記憶單元75形成休眠狀態。如圖8所示，儲存期間及重存期間中將增加消耗電流。故而，非存取期間較短時，不停工而形成休眠狀態，較可抑制整體之耗電。另，非存取期間較長時，則停工較可抑制整體之耗電。因此，第1實施例可抑制耗電。

[0048]可採用自我比較平衡期間(BET^{SC})作為預定期間 T_0 。 BET^{SC} 乃可使非存取期間之停工時與休眠時之耗電相等之停工期間。舉例言之， BET^{SC} 乃可使預定期間 T_0 為休眠狀態時之耗電，與鐵磁穿隧接合元件MTJ1及MTJ2之資料儲存及重存之期間之耗電及在預定期間之期間內停工時之漏電流所消耗之耗電之和相等之期間。為抑制記憶電路103之耗電，宜使預定期間 T_0 之長度與 BET^{SC} 相同或更長。

[0049]另，停工期間之漏電流乃諸如雙穩態電路30之電源關斷時，亦不致使電源電壓全為0V而流通之電流。此外，並包括停工期間中流通之電流。舉例言之，可於電源電壓 V_{supply} 與電源之間設置休眠電晶體，並關斷休眠電晶體而使停工期間之電源電壓 V_{supply} 為0V。若休眠電晶體中存在少量之漏電流，漏電流亦將流入記憶單元。因此，可能無法使停工期間內之漏電流完全為零。

[0050]可忽略停工期間之漏電流所致之耗電時，亦可使 BET^{SC} 為可令預定期間 T_0 為休眠狀態時之耗電與對鐵磁穿隧接合元件MTJ1及MTJ2儲存或重儲存資料之期間之耗電相等之期間。

[0051]圖8中，領域50乃儲存時之電流與休眠狀態之電流之差。領域52則為重存時之電流與休眠狀態之電流之差。將相當於領域50之能量(從用於對鐵磁穿隧接合元件儲存資料所需之能量減去儲存期間使記憶單元75形成休眠狀態後之能量之能量)設為 E_{store}^{SC} ，相當於領域52之能量(從鐵磁穿隧接合元件重存資料所需之能量減去重存期間使記憶單元75形成休眠狀態後之能量之能量)設為 $E_{restore}^{SC}$ 。休眠期間之消耗電流設為 I_{LS}^{NV} ，停工期間之消耗電流設為 I_L^{SD} ，休眠期間之電源電壓設為 V_{sleep} 。此時，期間 BET^{SC} 可以數式1代表之。

【數1】

$$BET^{SC} = \frac{E_{store}^{SC} + E_{restore}^{SC}}{(I_{LS}^V - I_L^{SD})V_{sleep}}$$

[0052]圖9中，將從儲存所需之能量減去6T-SRAM之休眠狀態所對應之期間之能量後之能量設為 E_{store} ，並將從重存所需之能量減去6T-SRAM之休眠狀態所對應之期間之能量後之能量設為 $E_{restore}$ 。休眠期間之工作比則設為 $r_{sleep}=(\tau_{sleep}/\tau_{exe})$ 。並設定 $\eta_L^V=(I_L^{NV}-I_L^V)/(I_{LS}^V-I_L^{SD})$ 、 $\eta_{LS}^V=(I_{LS}^{NV}-I_{LS}^V)/(I_{LS}^V-I_L^{SD})$ 。此時，與6T-SRAM比較後之平衡時間 BET 可以數式2代表之。

【數2】

$$BET = \frac{E_{store} + E_{restore}}{(I_{LS}^V - I_L^{SD})V_{sleep}} + \eta_{LS}^{NV} r_{sleep} \tau_{exe} + \eta_L^{NV} \frac{V_{DD}}{V_{sleep}} (1 - r_{sleep}) \tau_{exe}$$

[0053]如上所述，比較第1實施例之記憶電路與

6T-SRAM之耗電後，若為期間BET以上，則可相對於6T-SRAM而獲致省電效果。

[0054]第1實施例中，雖以雙穩態電路30與控制線CTRL之間連接有鐵磁穿隧接合元件MTJ1及MTJ2為例而加以說明，但若可對鐵磁穿隧接合元件等非揮發性元件非揮發性地儲存資料，則亦可採用其它電路構造。舉例言之，如圖4(a)及圖4(b)所示，亦可於雙穩態電路30內之1個節點Q或QB與控制線CTRL之間設置一個鐵磁穿隧接合元件。

[0055]一如鐵磁穿隧接合元件般，若為藉流通於兩端間之電流而非揮發性地儲存雙穩態電路30中記憶之資料之非揮發性元件，則儲存期間之消耗電流將增加。故而，宜比較非存取期間與預定期間，而判定是否進行停工。

[0056]如圖7所示，控制部85可使雙穩態電路30記憶資料之期間(休眠期間及通常期間)內之控制線CTRL之電壓高於對非揮發性元件非揮發性地儲存雙穩態電路30中記憶之資料之期間(儲存期間)中對控制線CTRL施加之最低電壓。藉此，即可抑制記憶單元75之耗電。

[0057]又，如圖7所示，控制部85可使雙穩態電路30記憶資料之期間內之控制線CTRL之電壓高於雙穩態電路30之電源阻斷之期間(停工期間)內之控制線CTRL之電壓。藉此，而可抑制記憶單元之耗電。

【第2實施例】

[0058]第2實施例之記憶電路之構造與第1實施例之圖5相同而省略其說明。圖11為模擬儲存期間內之控制線CTRL

及開關線SR之電壓以及鐵磁穿隧接合元件MTJ1及MTJ2中流通之電流I1及I2之時間圖。另，其已就使鐵磁穿隧接合元件MTJ1自低電阻改爲高電阻、使鐵磁穿隧接合元件MTJ2自高電阻改爲低電阻之情形加以模擬。點線代表控制線CTRL及開關線SR之電壓爲1.1V(VDD)時，虛線代表控制線CTRL及開關線SR之電壓分別爲1.1V及0.7V時，實線代表控制線CTRL及開關線SR之電壓分別爲0.4V及0.7V時。

[0059]電流I1及I2均以自雙穩態電路30流向控制線CTRL之電流爲正值。電流Ic則代表使鐵磁穿隧接合元件之電阻改變之電流。即，若爲電流I1及I2之絕對值大於電流Ic之電流，則可改變鐵磁穿隧接合元件之電阻。

[0060]控制線CTRL爲0V時，即便使開關線SR之電壓爲0.7V，並減少MOSFETm7及m8中流通之電流I1，若電流I1之絕對值大於Ic，仍可使鐵磁穿隧接合元件MTJ1由低電阻改爲高電阻。對控制線CTRL施加正電壓時，即便使開關線SR之電壓爲0.7V，並使MOSFETm7及m8中流通之電流I2之絕對值降低，若I2之絕對值大於Ic之絕對值，仍可使鐵磁穿隧接合元件MTJ2由高電阻改爲低電阻。進而，即便使控制線CTRL之電壓爲0.4V，亦可使鐵磁穿隧接合元件MTJ2由高電阻改爲低電阻。如上所述，降低開關線SR及控制線CTRL之電壓，即可抑制耗電，且進行儲存。

[0061]另，電流I2之絕對值大於電流I1，乃因相對於MOSFETm8之源極與節點QB連接，MOSFETm7之源極則經電阻(鐵磁穿隧接合元件)而與控制線CTRL連接之故。

[0062] 圖12(a)及圖12(b)分別模擬儲存期間之雙穩態電路之特性。圖12(a)及圖12(b)顯示儲存期間內鐵磁穿隧接合元件中電流通時之節點Q之相對之節點QB之電壓。箭號為模擬時之掃描方向。參照圖12(a)而分別以點線、虛線及實線代表使鐵磁穿隧接合元件MTJ1由低電阻改為高電阻時(圖11中控制線為0V時)之開關線SR之電壓為1.1V、0.85V及0.7V之情形。如圖12(a)所示，伴隨開關線SR之電壓降低，雙穩態電路30之雜訊容限已增大。

[0063] 參照圖12(b)，而分別以實線、虛線及點線代表使鐵磁穿隧接合元件MTJ2由高電阻改為低電阻時(圖11中控制線為正電壓時)，開關線SR及控制線CTRL之電壓為1.1V及0.65V、0.85V及0.5V、0.7V及0.4V之情形。如圖12(b)所示，伴隨開關線SR及控制線CTRL之電壓降低，雙穩態電路30之雜訊容限已增大。

【第3實施例】

[0064] 第3實施例之記憶電路之構造與第1實施例之圖5(a)及圖5(b)相同而省略其說明。圖13則為模擬重存期間之電源電壓 V_{supply} 及開關線SR之電壓以及鐵磁穿隧接合元件MTJ1及MTJ2中流通之電流 I_1 及 I_2 之時間圖。另，已模擬使鐵磁穿隧接合元件MTJ1為高電阻、使鐵磁穿隧接合元件MTJ2為低電阻之情形。點線代表開關線SR之電壓為1.1V(V_{DD})時，實線代表開關線SR之電壓為0.7V時。電源電壓 V_{supply} 啟動時，實線與點線相較，電流 I_1 及 I_2 均較小。故而，可抑制耗電。

[0065] 圖 14(a)至圖 14(c)則分別模擬重存期間之節點 Q 及 QB 之電位變化。其等並顯示鐵磁穿隧接合元件 MTJ1 及 MTJ2 分別為高電阻及低電阻，開關線 SR 之電壓為 1.1V、0.85V 及 0.7V 時。圖 14(a)至圖 14(c)分別對應重存期間之電源電壓 V_{supply} 已緩升後之電源電壓之上昇率為 0.011V/n 秒、0.11V/n 秒及 1.1V/n 秒之情形。任一種上昇率均於開關線 SR 之電壓為 0.7V 時，可使節點 QB 之電壓不致升高，而藉高位準重存節點 Q 之電壓 V_Q 。如上所述，開關線 SR 之電壓較低，方可較安定地對雙穩態電路 30 重存資料。

[0066] 依據第 2 及 3 實施例，控制部 85 可使已朝非揮發性元件非揮發性地儲存雙穩態電路 30 中記憶之資料之期間(儲存期間)或將已非揮發性地儲存於非揮發性元件之資料重存至雙穩態電路 30 中之期間(重存期間)內對 MOSFET m7 及 m8 之閘極施加之電壓，低於對雙穩態電路 30 揮發性地寫入及讀取資料之期間(通常期間)內對雙穩態電路 30 施加之電源電壓 V_{supply} 。藉此，而可減少耗電，且安定維持雙穩態電路 30。進而，即便加快電源電壓之上昇率，亦可安定維持雙穩態電路 30。

[0067] 如第 3 實施例般，控制部 85 可使儲存期間內對控制線 CTRL 施加之最高電壓低於電源電壓 V_{supply} 。藉此，而可減少耗電，且安定維持雙穩態電路 30。

[0068] 以上，雖已詳細說明本發明之較佳實施例，但本發明並不受限於上述特定之實施例，而可在請求項所揭露之本發明之要旨範圍內進行各種變形、變更實施。

【符號說明】

[0069] 10…第 1 反相器電路	D、DB…輸出入線
20…第 2 反相器電路	I、I1、I2、Ic…電流
30…雙穩態電路	I_{TF} 、 I_{TR} …臨界電流
40…鐵磁穿隧接合元件	MTJ1、MTJ2…鐵磁穿隧接合
42…鐵磁電極自由層	元件
44…穿隧絕緣膜	Q、QB…節點
46…鐵磁電極針層	R1、Rap、Rp…電阻
50、52…領域	S10~S26…流程步驟
71…列解碼器	SR…開關線
72…列驅動器	T0…預定期間
73…行解碼器	T1~T3…期間
74…行驅動器	V、VQ…電壓
75、100…記憶單元	Vsupply…電源電壓
77…記憶區	WL…字線
85…控制部	m1、m3…pMOSFET
103…記憶電路	m2、m4…nMOSFET
BET ^{SC} …自我比較平衡期間	m5、m6、m7、m8…MOSFET
CTRL…控制線	

申請專利範圍

1. 一種記憶電路，其特徵在於具備：

雙穩態電路，可記憶資料；

非揮發性元件，可非揮發性地儲存前述雙穩態電路中記憶之資料，並將已非揮發性地儲存之資料重存於前述雙穩態電路中；及

控制部，可在不從前述雙穩態電路讀取或寫入資料之期間較預定期間長時，非揮發性地儲存前述雙穩態電路中記憶之資料，並阻斷前述雙穩態電路之電源，且在不進行前述資料之讀取或寫入之期間短於前述預定期間時，不進行非揮發性地儲存前述雙穩態電路中記憶之資料，而使前述雙穩態電路之電源電壓低於對前述雙穩態電路讀取或寫入資料之期間之電壓。

2. 如請求項1之記憶電路，其中前述控制部可判定不從前述雙穩態電路進行資料之讀取或寫入之期間是否較前述預定期間長，

判定不從前述雙穩態電路進行資料之讀取或寫入之期間較前述預定期間長時，則非揮發性地儲存前述雙穩態電路中記憶之資料，並阻斷前述雙穩態電路之電源，

判定不進行前述資料之讀取或寫入之期間較前述預定期間短時，則不進行非揮發性地儲存前述雙穩態電路中記憶之資料，而使前述雙穩態電路之電源電壓低於

對前述雙穩態電路讀取或寫入資料之期間之電壓。

3. 如請求項1或2之記憶電路，其中前述預定期間是前述預定期間之內降低前述雙穩態電路之電源電壓時之耗電，與對前述非揮發性元件儲存及重存資料時之耗電為相同之期間以上之長度。
4. 如請求項第1或2項之記憶電路，其是將從朝前述非揮發性元件儲存資料所需之能量，減去對前述非揮發性元件儲存資料之期間內降低前述雙穩態電路之電源電壓之能量後之能量設為 $E_{\text{store}}^{\text{SC}}$ ，

並將從自前述非揮發性元件重存資料所需之能量減去自前述非揮發性元件重存資料之期間內降低前述雙穩態電路之電源電壓之能量後之能量設為 $E_{\text{restore}}^{\text{SC}}$ ，

且將前述雙穩態電路之電源電壓降低後之消耗電流設為 $I_{\text{LS}}^{\text{NV}}$ ，

並將前述雙穩態電路之電源阻斷後之消耗電流設為 I_{L}^{SD} ，

將前述雙穩態電路之電源電壓降低後之電源電壓設為 V_{sleep} ，

此時，前述預定期間則為 $(E_{\text{store}}^{\text{SC}} + E_{\text{restore}}^{\text{SC}}) / ((I_{\text{LS}}^{\text{NV}} - I_{\text{L}}^{\text{SD}}) \times V_{\text{sleep}})$ 以上。

5. 如請求項1或2之記憶電路，其中前述非揮發性元件之一端連接前述雙穩態電路內之節點，他端則連接控制線。
6. 如請求項5之記憶電路，其中前述非揮發性元件可藉流通於前述一端與前述他端之間之電流，而非揮發性地儲

存前述雙穩態電路中記憶之資料。

7. 如請求項5之記憶電路，其中前述雙穩態電路包含互補之第1節點及第2節點，

前述非揮發性元件則包含一端連接前述第1節點而他端連接前述控制線之第1非揮發性元件，以及一端連接前述第2節點而他端與前述控制線之間已連接之第2非揮發性元件。

8. 如請求項1或2之記憶電路，其具備：

MOSFET，源極及汲極於前述節點與前述控制線之間與前述非揮發性元件連接成串聯；及

控制部，可使前述雙穩態電路記憶資料之期間之前述控制線之電壓高於對前述非揮發性元件非揮發性地儲存前述雙穩態電路中記憶之資料之期間內對前述控制線施加之最低電壓。

9. 如請求項8之記憶電路，其中前述控制部可使前述雙穩態電路記憶資料之期間之前述控制線之電壓高於前述雙穩態電路之電源阻斷之期間之前述控制線之電壓。

10. 如請求項1或2之記憶電路，其中前述非揮發性元件乃鐵磁穿隧接合元件。

圖式

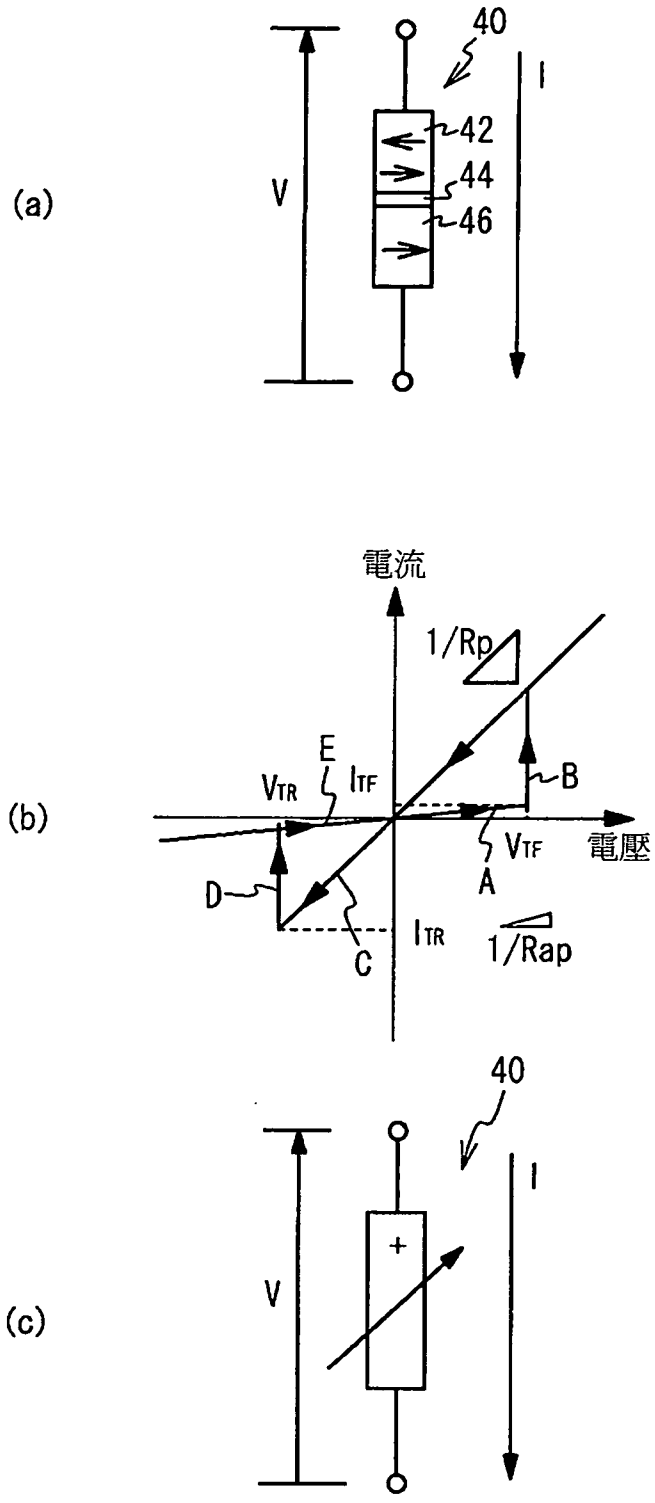


圖1

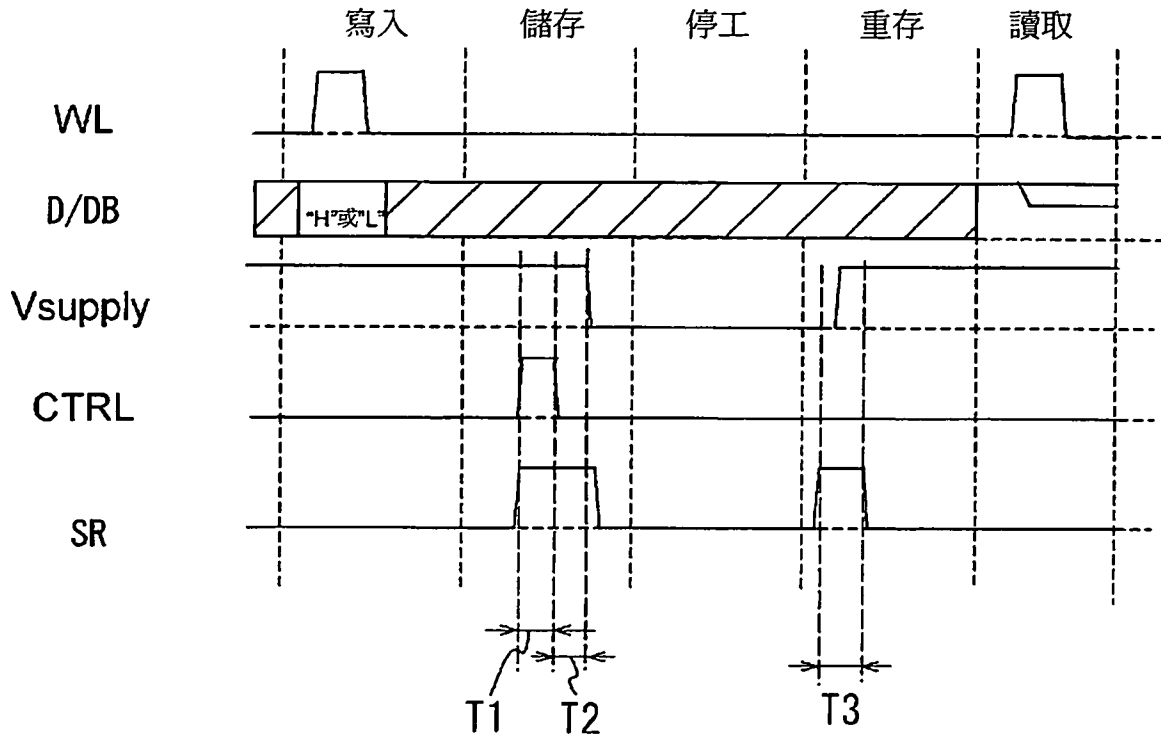


圖3

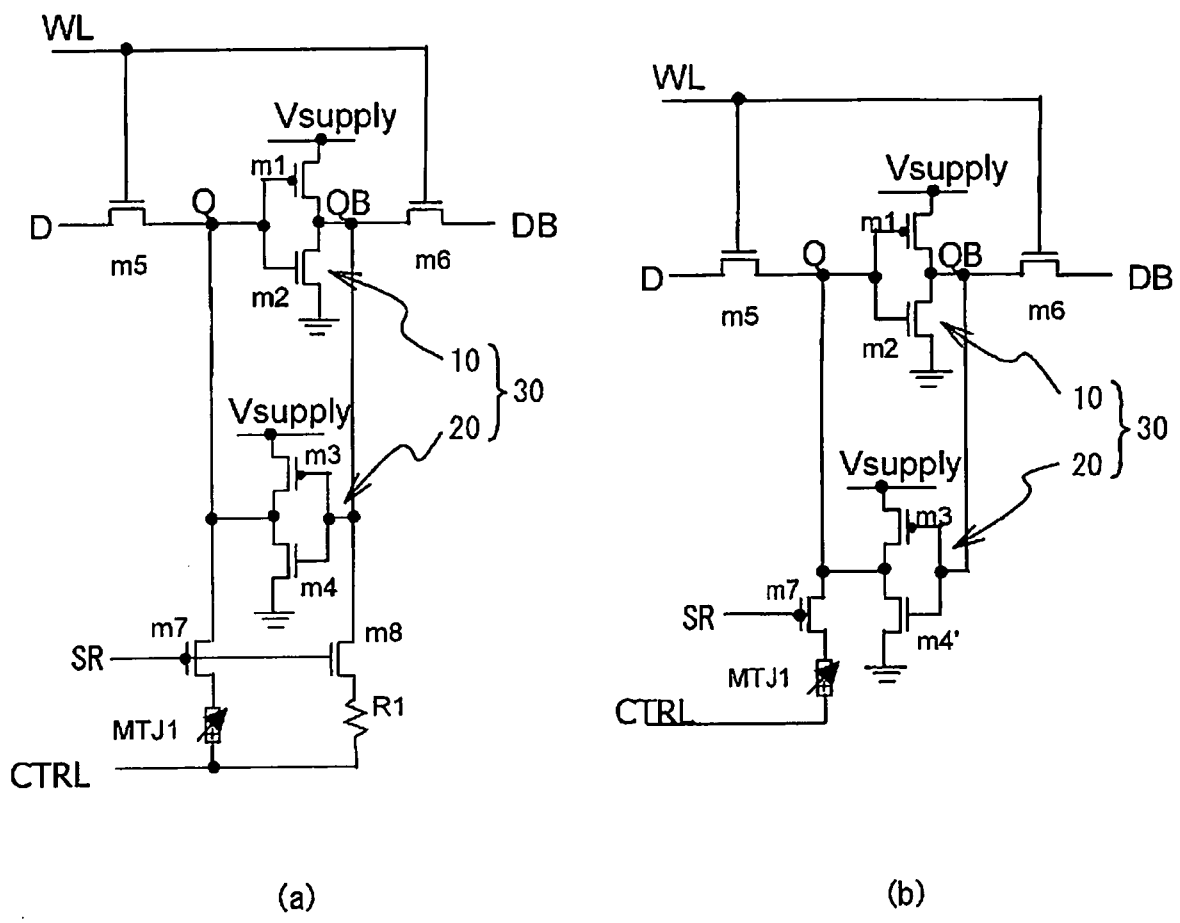


圖4

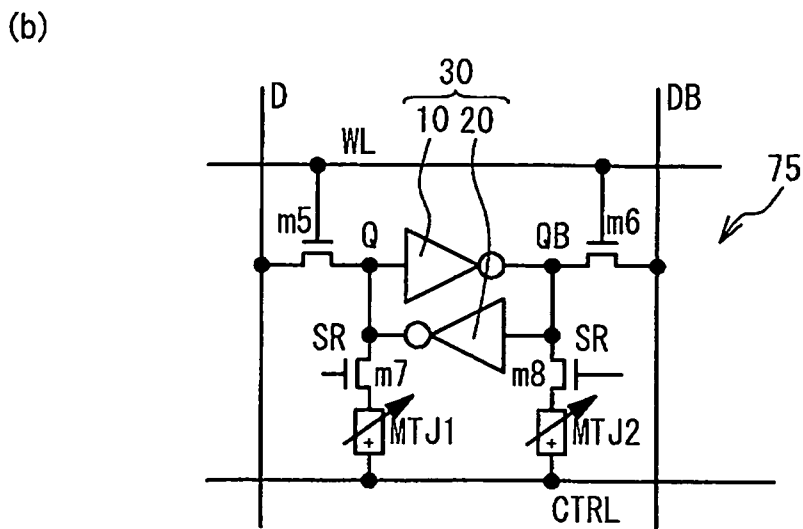
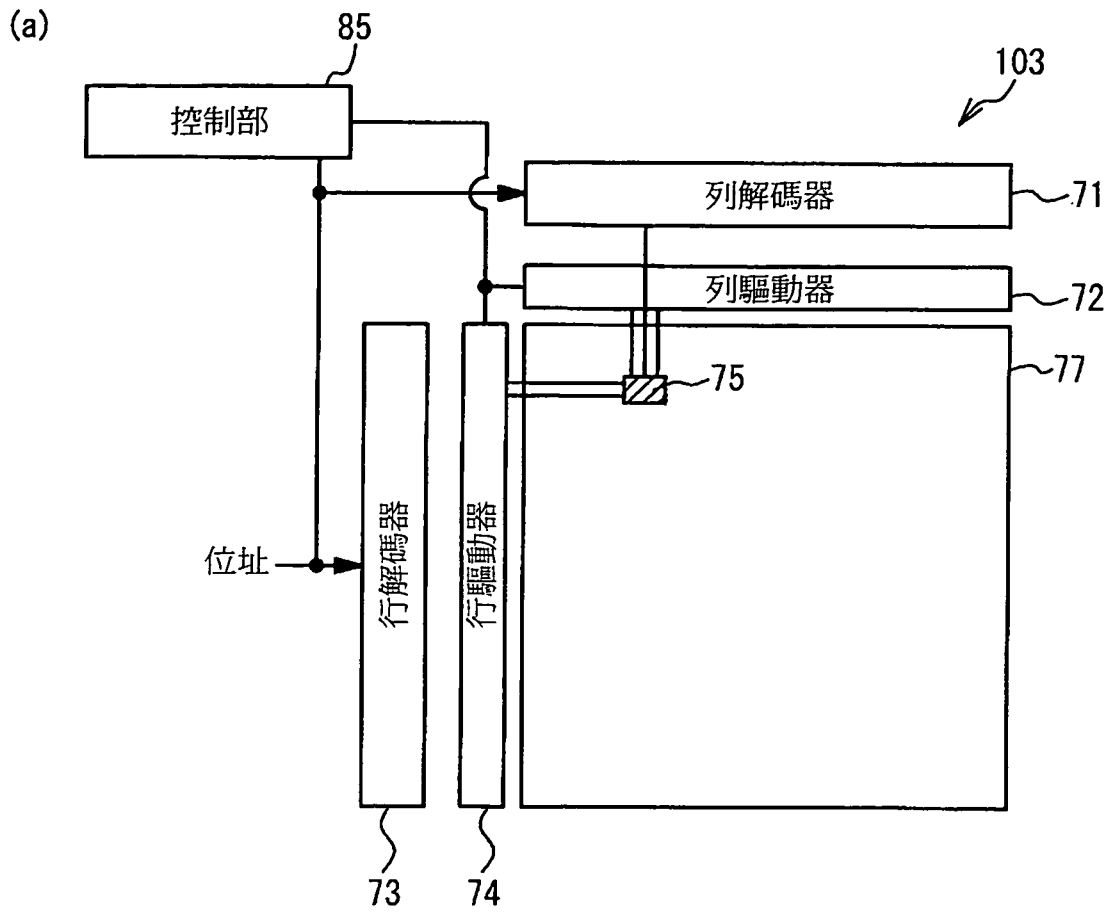


圖5

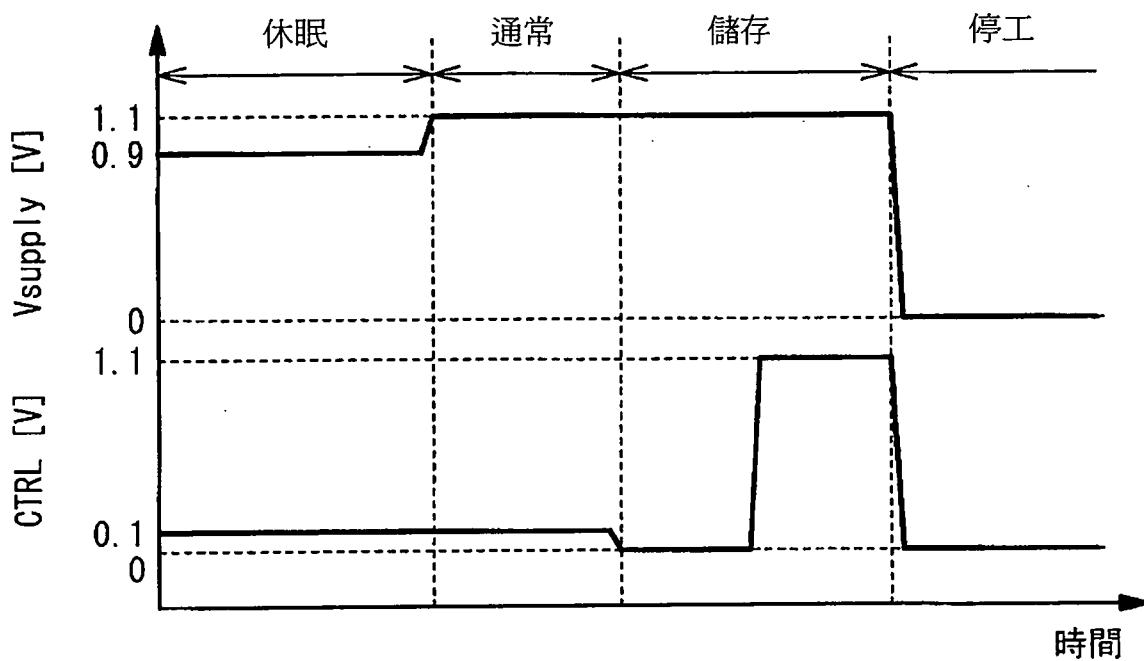


圖6

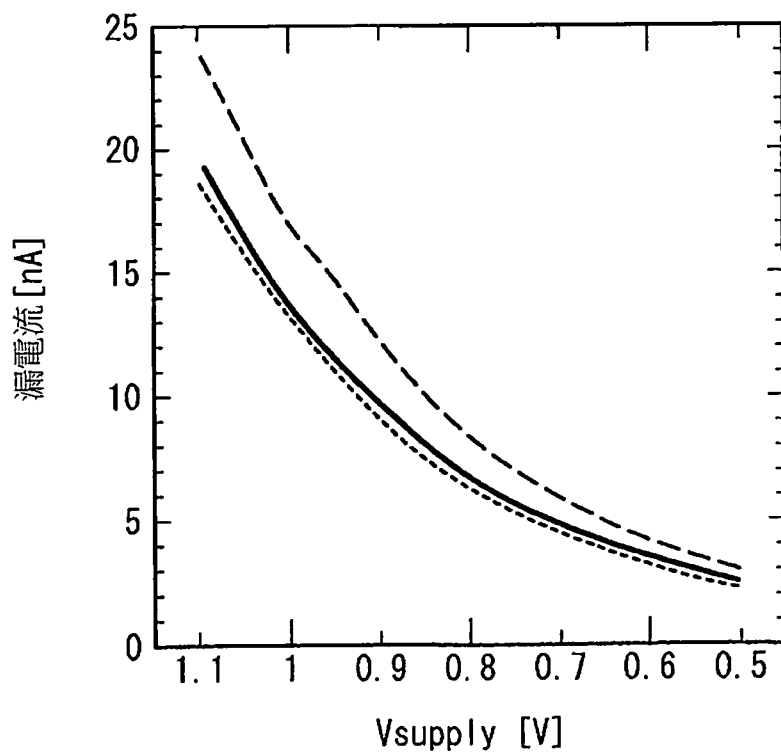


圖7

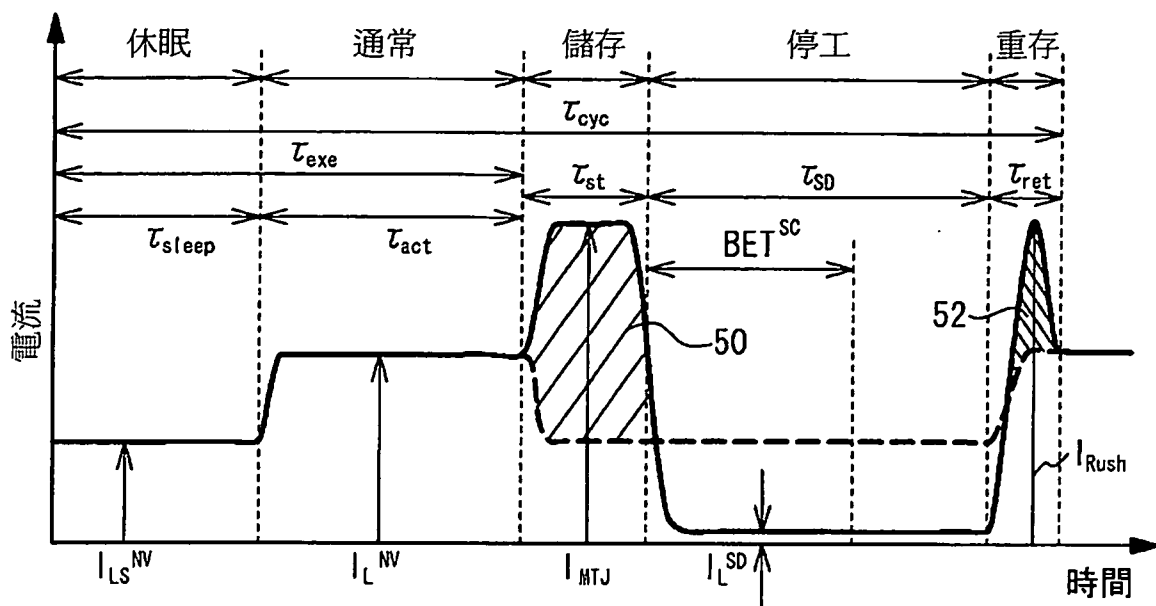


圖8

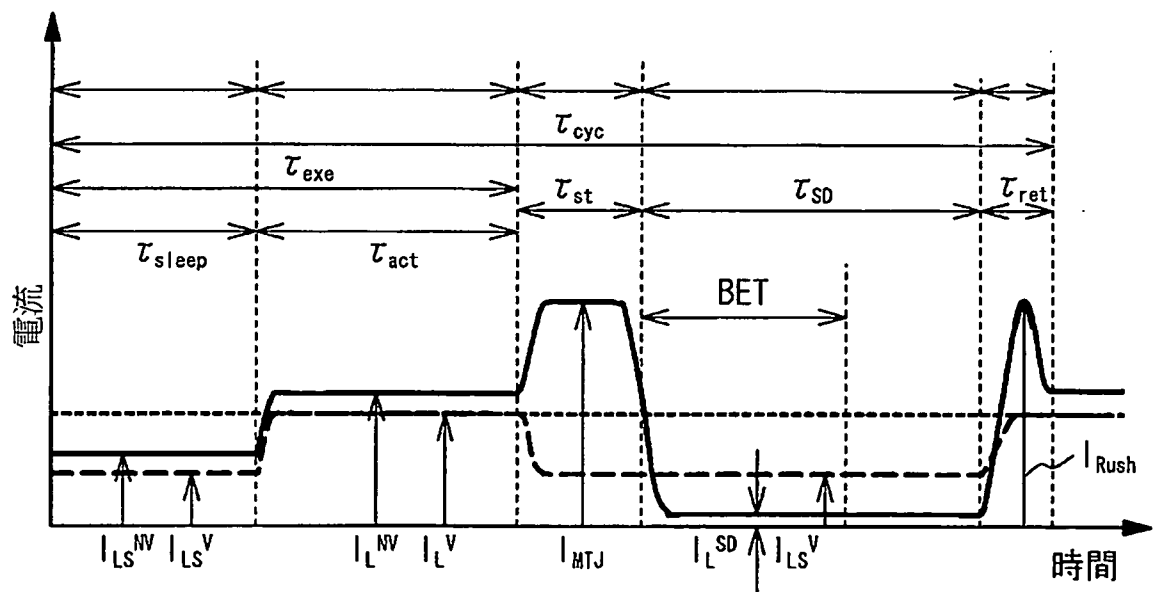


圖9

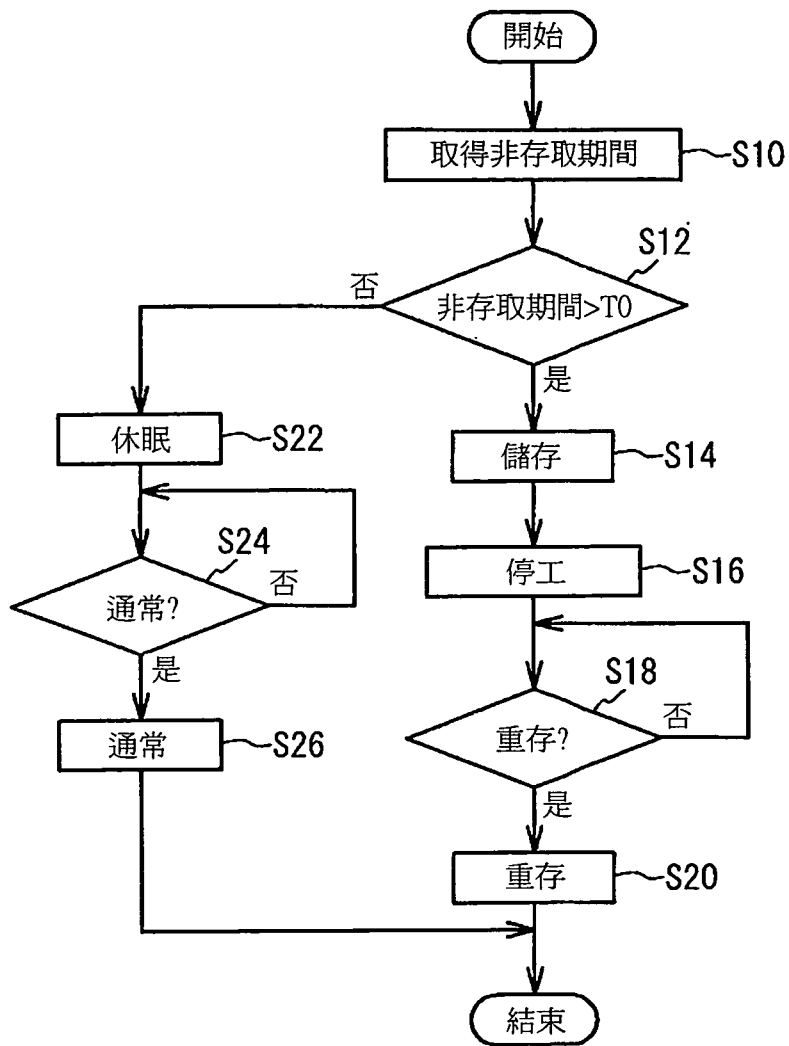


圖10

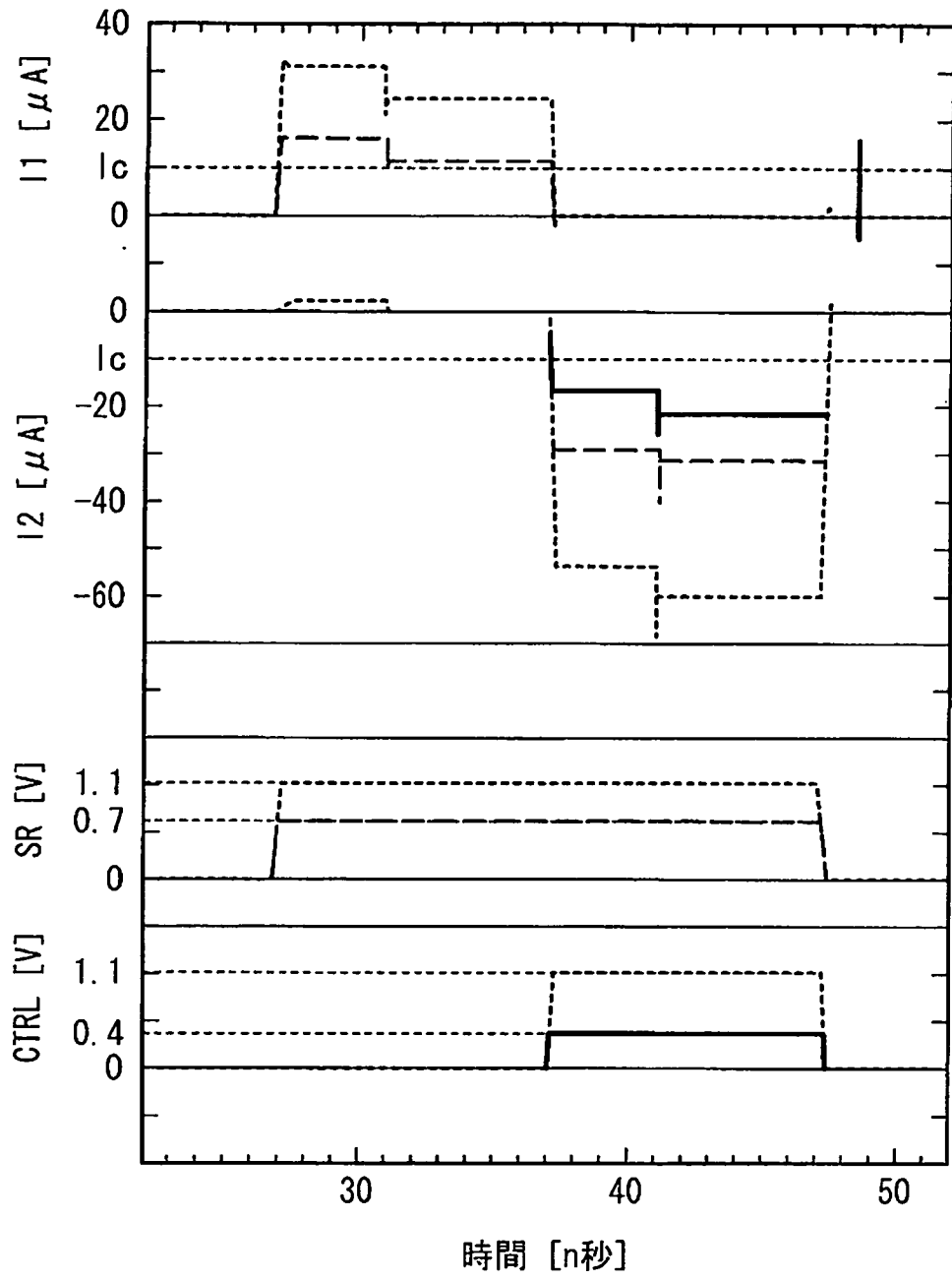
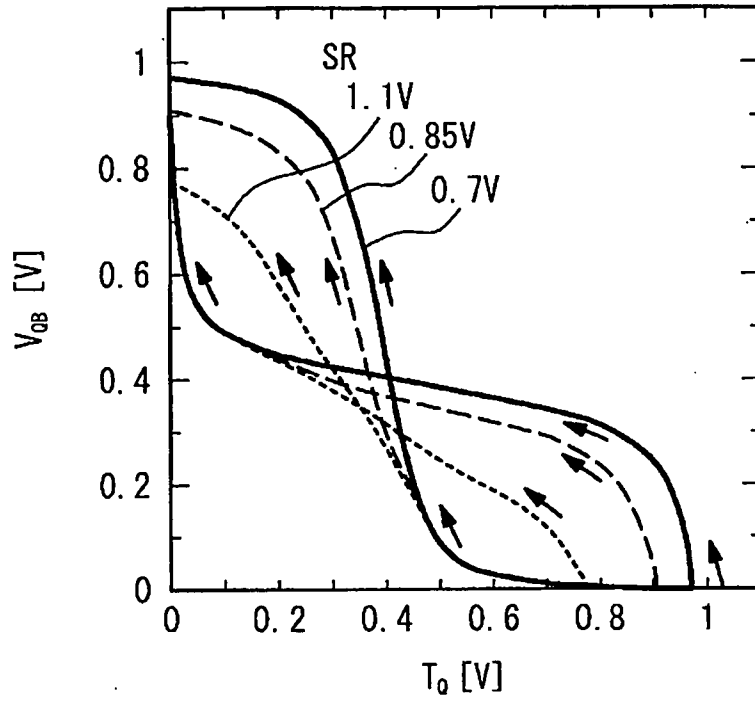


圖11

(a)



(b)

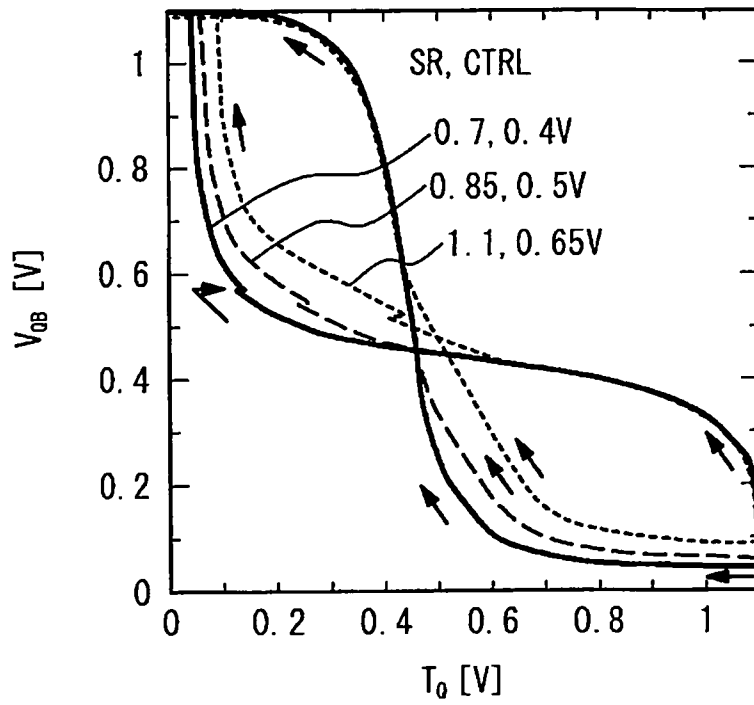


圖 12

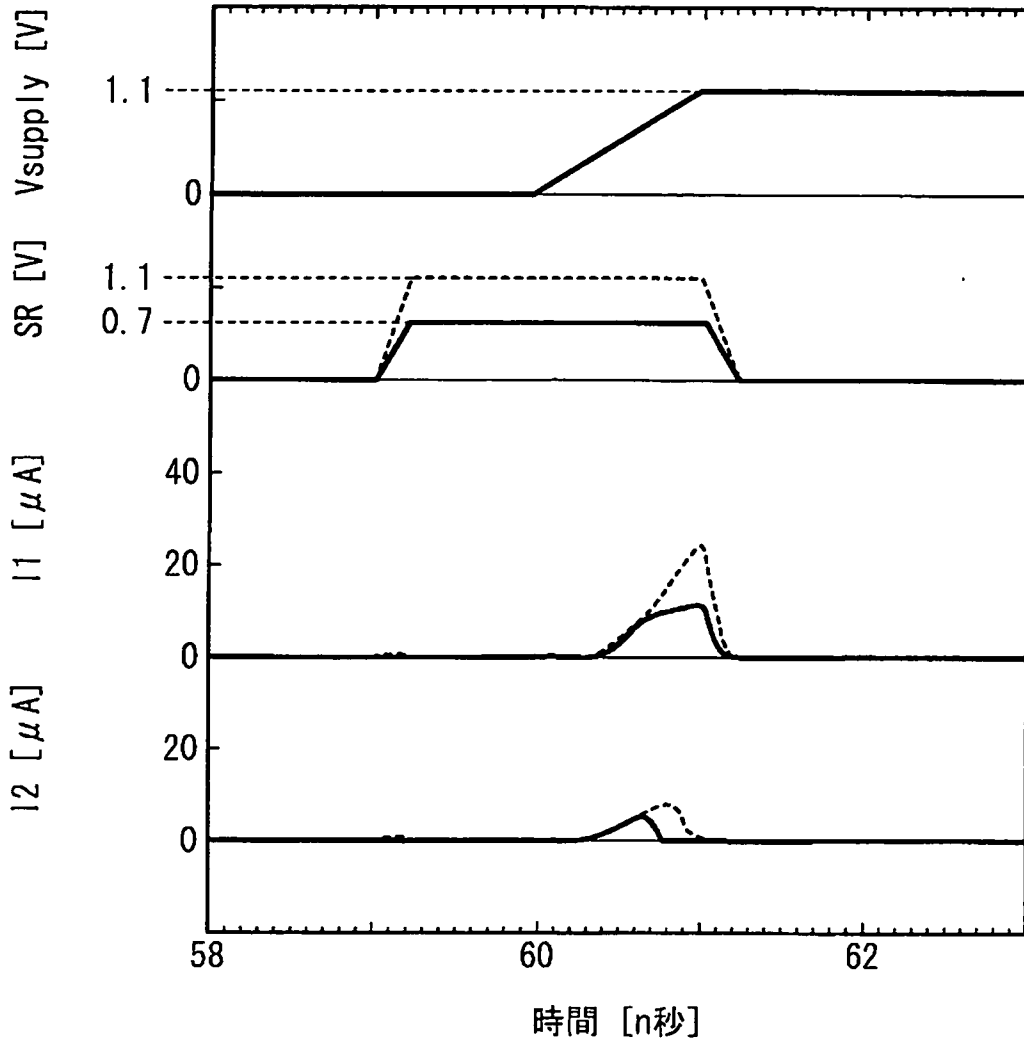


圖13

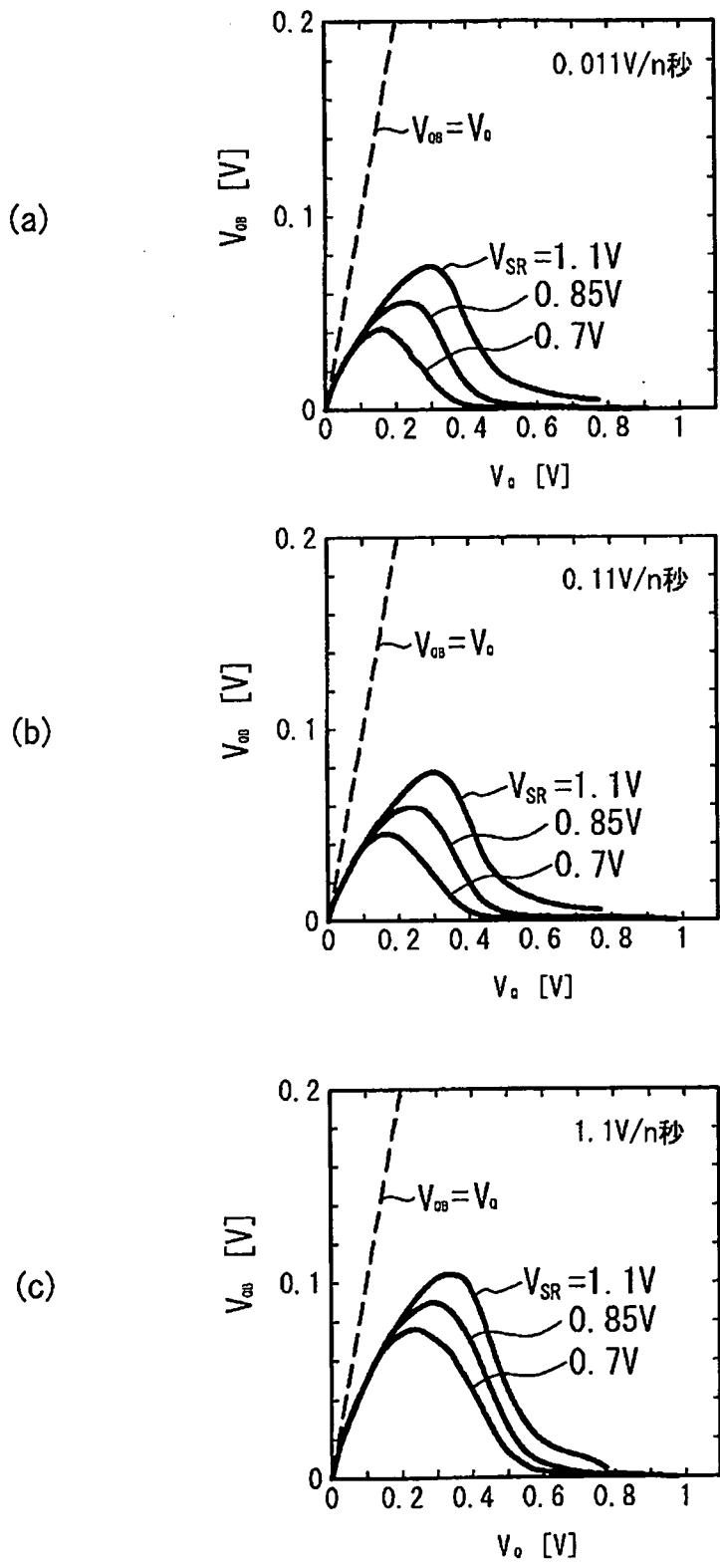


圖14