

公告本

299527

申請日期	85.4.18
案 號	85104630
類 別	H03F1/06

A4
C4

299527

(以上各欄由本局填註)

Int. Cl⁶

發明專利說明書

一、發明名稱	中 文	低切換電流緩衝放大器
	英 文	REDUCED SWITCHING CURRENT BUFFER AMPLIFIER
二、發明人	姓 名	傑佛利 J. 瓦特生
	國 籍	美 國
	住、居所	美國奧勒崗州菲羅梅斯·北第九街1473號
三、申請人	姓 名 (名稱)	美商·惠普公司
	國 籍	美 國
	住、居所 (事務所)	美國加州帕羅亞托·哈諾維街3000號
	代 表 人 姓 名	D. 柯瑞格·諾得蘭得

裝

訂

線

承辦人代碼：
大 類：
IPC分類：

A6
B6

本案已向：

美 國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
1996,2,28 08/608,344

有關微生物已寄存於： _____，寄存日期： _____，寄存號碼： _____

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

本發明大致關於一種電子緩衝放大器電路，並特別關於具有低切換電流需求以減少電磁干擾的一種緩衝放大器電路。

電子放大器的一常見應用為提供功率放大以驅動多數個負載。當必須驅動大量的負載時，許多緩衝放大器以樹狀結構連接在一起，其中一個緩衝放大器的輸出分成數條路徑，每一路徑再連接至另一緩衝放大器。其他這些緩衝放大器的輸出分成數條路徑，諸如此類直到樹狀結構內最後的緩衝放大器連接至最終負載。此樹狀結構對於需要同步信號去調和積體電路諸程序之某些類型的積體電路特別有益。時脈同步信號必須連接至積體電路結構內的許多子電路，而且這典型地以具有許多時脈緩衝放大器的樹狀結構完成。

通常時脈信號是一重覆的或循環的信號，其以一已知頻率從一低電壓位準快速地切換至一相當高的電壓位準，使積體電路同步於時脈信號。已知從一電壓位準至另一電壓位準的快速切換會產生電磁干擾(EMI)，其不只在採用切換式緩衝放大器的積體電路內導致不想要的影響，亦在採用此積體電路的較大電子裝置以及完全無關於該電子裝置的其他諸裝置內產生影響。一旦EMI已經產生，為了補償受EMI干擾的裝置以及遮蔽該裝置以免所輻射的EMI干擾其他諸裝置，便需要顯著數量的努力與花費。

吾人想要在其來源壓制EMI的產生，而非在EMI已經產生之後再嘗試與其戰鬥。為了這目的，已有人發明可降

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (2)

低在切換式放大器內EMI之產生的電路。例如在1995年3月29日由Rajan Walia等人代表申請並指定給本發明之讓受人的第08/412,421號美國專利“Predriver Circuit for High Current Load”。已知所產生EMI的數量和切換式緩衝放大器所消耗電流的電子電流波形之斜率有關。也就是說，切換電子電流對時間的微分與所產生EMI的數量有關。圖中諸波形似乎暗示原因是斜率的變化率。因此控制切換電流可能降低EMI的產生。然而在某些應用中，電路之其餘部份可接受的輸出信號之形式以及可撥出給緩衝放大器的幾何面積皆受到限制。因此前述方案無法提供EMI問題可接受的答案。

低切換電流在緩衝放大器中藉由串聯連接第一放大節區的第一反向放大器至該第一放大節區的第二反向放大器而實現。第一放大節區連接至緩衝放大器的一輸入埠與一輸出埠。包含一非反向放大器在內的第二放大節區在輸入埠與輸出埠之間並聯地連接於第一放大節區。

第1圖是可利用本發明的緩衝放大器樹狀結構之結構圖。

第2圖是可利用於第1圖結構中的傳統半導體緩衝放大器之結構圖。

第3圖是利用本發明並可利用於第1圖結構中的緩衝放大器之結構圖。

第4A、4B、4C與4D圖是顯示本發明性能之相關的電流或電壓對時間的波形圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (3)

許多積體電路必須使其操作同步化以正常工作。本發明一較佳實施例係利用於一種稱為標準胞元數位ASIC(特定應用積體電路)的積體電路中。這類型的積體電路通常需要一個散佈至積體電路上數以仟計的正反器電路之同步化時脈信號。爲了在積體電路的時間延遲與非對稱(介於樹的最快分支與最慢分支之間的延遲差異)限制之內適當地散佈時脈信號，故安排數以百計的時脈緩衝器於如第1圖中所示的分支樹狀結構中。一時脈信號輸入至供散佈至諸正反器或如第1圖所示的諸負載(表示爲負載101與負載103)用的時脈緩衝放大器。由於單一的大型緩衝放大器出現比如超出功率消耗、非對稱以及大面積等棘手的問題，故連接一較小的輸入緩衝放大器105至多數個第二線緩衝放大器107、109、111與113。這些第二線放大器每一個皆連接至多數個第三線緩衝放大器，例如連接至第二線緩衝放大器109的緩衝放大器115與117。這分支動作持續不斷直到包括負載101與103在內的所有負載之時脈驅動需求皆被滿足。通常在分支鏈的最終緩衝放大器，例如緩衝放大器119，連接5到10個負載(或正反器胞元)。由於有數以百計的此類緩衝放大器散佈遍及積體電路區域，每一緩衝放大器的切換變化所產生的EMI因爲積體電路中有這麼多放大器而擴大。利用本發明的ASIC裝置理想上適用於比如印表機的電腦週邊裝置。由於可能有許多電腦週邊裝置將會共同配置，在諸週邊裝置之間發生干擾以及其他比如收音機與電視機的EMI敏感裝置被諸週

(請先閱讀背面之注意事項再填寫本頁)

張

訂

五、發明說明(4)

邊裝置干擾的可能性很大。爲了降低EMI，可在每一裝置內完成額外的濾波器與選擇性佈線，並且在某些裝置內放置實質的金屬遮罩以抑制超出裝置之外的EMI輻射。

當然如果在其來源之抑制是可能的話，便想要在其來源抑制顯著的EMI之產生。第2圖內顯示可利用於時脈緩衝器串之中的一個傳統緩衝放大器。此一緩衝放大器有兩個反向放大器(配置成爲一標準CMOS反向器的N通道場效電晶體201以及P通道場效電晶體203以串聯方式連接至配置成爲一標準CMOS反向器的N通道場效電晶體205以及P通道場效電晶體207)。一輸入時脈信號作用於第一反向放大器201、203；該反向輸出再作用於第二反向放大器205、207，其連接至一輸出，以提供具有一“雙閘延遲”延遲效果的非反向輸出時脈。此傳統緩衝放大器有很陡的上升與下降時間，係相關於從時脈信號的高態至低態之變化。此很陡的上升與下降時間導致了大的 di/dt 電流，並因此產生了顯著的EMI。

第3圖內顯示具有低 di/dt 電流(電流突波)的緩衝放大器電路。此緩衝放大器利用兩個在輸入與輸出埠之間以並聯方式連接的放大節區。第一放大節區使用兩個串聯連接的反向放大器，以便從輸入信號生成具有雙閘延遲的非反向輸出信號。第二放大節區使用具有單閘延遲的非反向放大器，以便在輸出埠生成一非反向輸出。在較佳實施例中，第一放大節區兩反向放大器的每一個使用一個其源極連接至電源供應 V_{dd} 的N通道場效電晶體301、303。P通

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

五、發明說明(5)

道場效電晶體305、307使其源極連接至電源供應接地端，在此例中為電路接地端。輸入時脈信號作用於第一反向放大器之電晶體301與305兩者的閘極，而輸出從介於場效電晶體305的汲極以及場效電晶體301的汲極之間的連線獲得。此輸出然後連接至第二反向放大器之場效電晶體303以及場效電晶體307的閘極，以便其輸出為具有雙閘延遲的非反向時脈信號。輸入信號亦連接至緩衝放大器之第二放大節區，其在此實施例中為兩個場效電晶體309與311，其中N通道場效電晶體309的汲極連接至V_{dd}而P通道場效電晶體311的汲極連接至電源供應接地端。場效電晶體309與311兩者的閘極連接至輸入時脈信號，而輸出信號取自場效電晶體311的源極以及場效電晶體309的源極之連線。此輸出信號連接至緩衝放大器的輸出埠，並提供具有單閘延遲的非反向輸出信號。

當低切換電流緩衝放大器之場效電晶體以0.6微米CMOS技術實現時，採用下列的裝置面積。

第1表

場效電晶體	裝置寬度	裝置長度	面積
301	4 μ	0.6 μ	2.4 μ^2
303	2 μ	0.6 μ	1.2 μ^2
305	10 μ	0.6 μ	6.0 μ^2
307	5 μ	0.6 μ	3.0 μ^2
309	20 μ	0.6 μ	12.0 μ^2
311	40 μ	0.6 μ	24.0 μ^2

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (6)

低切換電流緩衝放大器電路的總工作面積因此為 $48.6 \mu^2$ 。此面積可比較於第2圖的前述緩衝放大器之等效總工作面積 $50.7 \mu^2$ 。

第2表

場效電晶體	裝置寬度	裝置長度	面積
201	16.3μ	0.6μ	$9.8 \mu^2$
203	8.2μ	0.6μ	$4.9 \mu^2$
205	40.8μ	0.6μ	$24.5 \mu^2$
207	19.2μ	0.6μ	$11.5 \mu^2$

因此即使有一額外的放大器在低切換電流緩衝放大器中，整體工作面積的比較證明總工作面積維持大致相同。低切換電流緩衝放大器的非反向放大器大約為第2圖放大器之第二反向放大器的相同大小，但低切換電流緩衝放大器的兩個反向放大器總共略為小於第2圖的緩衝放大器之第一反向放大器。這結果乃因為低切換電流緩衝放大器的兩個反向放大器不切換實質數量的電流，並且不需要任何異常的切換速度。然而，低切換電流緩衝放大器的非反向放大器一定具有高切換速度的較高電流切換能力。

低切換電流緩衝放大器的單一非反向放大器不是一定在導通時單獨將輸出信號驅動至Vdd，或者在關閉時驅動至零位準。此非反向放大器在大於0伏特（接地）的一臨界電壓（大約0.85伏特）之導通條件下提供一輸出電壓。並聯的兩個反向閘極在導通時將輸出驅動至Vdd，並且在關

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(7)

閉時驅動至0伏特。從V_{dd}跳動至0伏特的峰值電壓提供了高雜訊邊際以及低靜態功率消耗。

參看第4A、4B、4C與4D圖，可理解供本發明之緩衝放大器電路用的切換電流性能之增進。在第4A圖中，輸入信號V_{in}以曲線401標示。輸出電壓信號V_{out}顯示於第4B圖中。低切換電流緩衝放大器的輸出波形以曲線403表示，而為了比較，亦以虛線405表示第2圖的緩衝放大器之電壓輸出曲線。應該注意切換時間(定義為靜止輸出電壓的一半或1.5伏特)對曲線403與曲線405大約為相同的。由於在低切換電流緩衝放大器的非反向放大器中僅出現單閘延遲的緣故，曲線403的輸出電壓比曲線405更早開始其切換。稍後在曲線403的切換週期中，串聯連接的反向放大器之作用生效並將曲線403驅動至0伏特。同樣地，在來自兩個反向放大器的雙閘延遲輸出信號生效之後，曲線403比曲線405更早開始切換，並完全地到達3.0伏特V_{dd}。第4C圖中顯示切換電流I_{dd}。低切換電流緩衝放大器電流以曲線407標示，而以虛線409標示第2圖緩衝放大器的切換電流I_{dd}。特別令人感興趣的是顯示於第4D圖中這兩條I_{dd}曲線之斜率。低切換電流緩衝放大器的dI_{dd}/dt以曲線411標示，而以虛線413標示第2圖緩衝放大器的dI_{dd}/dt。低切換電流緩衝放大器之電流對時間的微分在第2圖緩衝放大器其值大小之1/3到1/4之間。此低電流斜率導致在EMI產生源實質地降低EMI。

低切換電流緩衝放大器不只提供EMI產生之降低，而

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (8)

且並聯的反向與非反向放大器電路能透過單一非反向緩衝放大器級而實現實質上更低的靜態電流消耗。此特色在裝置測試期間特別地有益處。在積體電路層級完成的一種測試稱為 I_{ddq} ，或靜電流消耗。 I_{ddq} 值超過5微安培至10微安培表示在積體電路上數千個閘中之一過度地漏電。緩衝放大器能夠被放置在使一 I_{ddq} 測量能完成的任一電壓軌（而不是在高於或低於該軌的一臨界電壓）。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (9)

元件標號對照

101.....	負載
103.....	負載
105.....	緩衝放大器
107.....	緩衝放大器
109.....	緩衝放大器
111.....	緩衝放大器
113.....	緩衝放大器
115.....	緩衝放大器
117.....	緩衝放大器
119.....	緩衝放大器
201.....	N通道場效電晶體
203.....	P通道場效電晶體
205.....	N通道場效電晶體
207.....	P通道場效電晶體
301.....	N通道場效電晶體
303.....	N通道場效電晶體
305.....	P通道場效電晶體
307.....	P通道場效電晶體
309.....	N通道場效電晶體
311.....	P通道場效電晶體
401.....	輸入信號波形
403.....	輸出信號波形

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(10)

- 405.....輸出信號波形
- 407.....緩衝放大器切換電流
- 409.....緩衝放大器切換電流
- 411.....電流斜率
- 413.....電流斜率

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱: 低切換電流緩衝放大器)

緩衝放大器被安排為分支的樹狀結構，以散佈時脈信號至積體電路內的許多負載。為了降低切換電流及EMI，作為分支結構內最終緩衝放大器的緩衝放大器由串聯連接的第一反向放大器與第二反向放大器組成。這些反向放大器連接至緩衝放大器的輸入埠與輸出埠。緩衝放大器的非反向放大器在輸入埠與輸出埠之間並聯連接於串聯連接之反向放大器。

英文發明摘要(發明之名稱: **REDUCED SWITCHING CURRENT BUFFER AMPLIFIER**)

Buffer amplifiers are arranged in a branching tree-like structure to distribute a clock signal to many loads in an integrated circuit. In order to reduce switching current and EMI, the buffer amplifiers which are the last buffer amplifiers in the branching structure are comprised of a series coupled first inverting amplifier and a second inverting amplifier. These inverting amplifiers are coupled to an input port and an output port of the buffer amplifiers. A non-inverting amplifier of the buffer amplifiers is parallel coupled with the series coupled inverting amplifiers between the input port and the output port.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種具有低切換電流的緩衝放大器，包含：

一個連接至一輸入埠與一輸出埠的第一放大節區，具有串聯連接至第二反向放大器的第一反向放大器；以及

一個含有一非反向放大器之第二放大節區，於該輸入埠與輸出埠之間並聯連接於該第一放大節區。

2. 如申請專利範圍第1項之緩衝放大器，其中該第一放大節區的該第一反向放大器更包含反向連接的一個N通道電晶體與一個P通道電晶體，該P通道電晶體之源極連接至正電壓供應端而該N通道電晶體之源極連接至供應的接地端。

3. 如申請專利範圍第2項之緩衝放大器，其中該第一放大節區的該第二反向放大器更包含反向連接的一個N通道電晶體與一個P通道電晶體，該P通道電晶體之源極連接至該正電壓供應端而該N通道電晶體之源極連接至該供應的接地端。

4. 如申請專利範圍第1項之緩衝放大器，其中該第二放大節區的該非反向放大器更包含一個N通道電晶體與一個P通道電晶體之共同閘極與共同源極連線，該N通道電晶體之汲極連接至正電壓供應端而該P通道電晶體之汲極連接至供應的接地端。

5. 一種包括安排為分支結構的諸緩衝放大器在內的積體電路，用於以低切換電流將切換信號散佈至積體電路諸信號負載，包含：

多數個緩衝放大器，該多數個緩衝放大器中至少一個

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

包括：

一個連接至一輸入埠與一輸出埠的第一放大節區，具有串聯連接至第二反向放大器的第一反向放大器；以及

一個含有一非反向放大器在內的第二放大節區，於該輸入埠與輸出埠之間並聯連接於該第一放大節區。

6. 如申請專利範圍第5項之積體電路，其中該至少一個緩衝放大器配置為與諸信號負載中至少一個相連之分支結構內的最終緩衝放大器。

7. 一種降低緩衝放大器內切換電流的方法，包含諸步驟：

將第一放大節區連接至一輸入埠與一輸出埠；

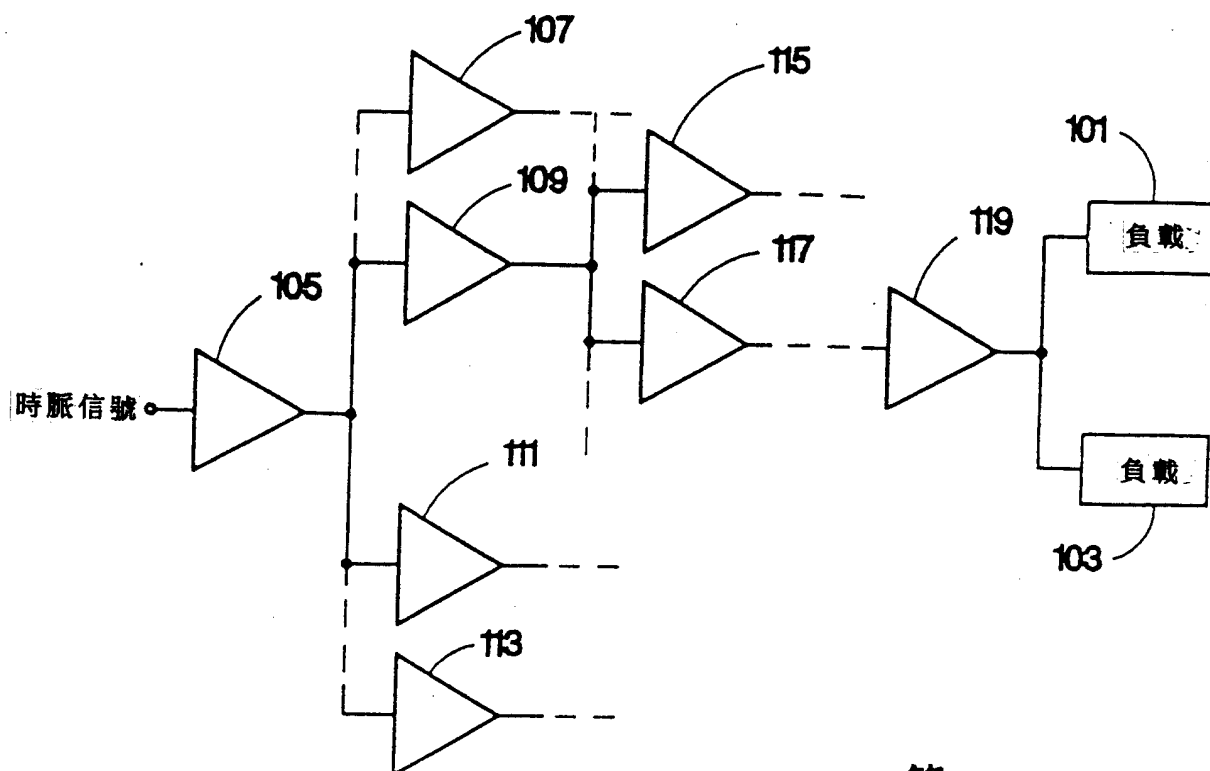
將該第一放大節區的第一反向放大器串聯連接至該第一放大節區的第二反向放大器；以及

將含有一非反向放大器之第二放大節區在該輸入埠與該輸出埠之間並聯連接於該第一放大節區。

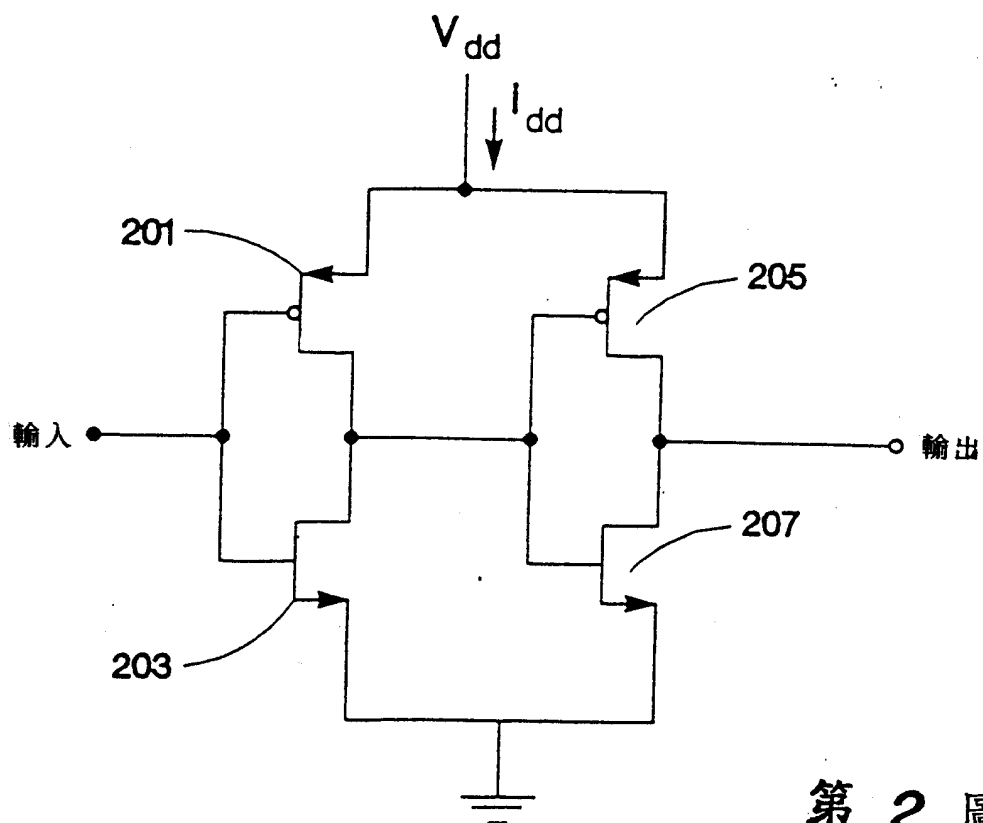
(請先閱讀背面之注意事項再填寫本頁)

裝

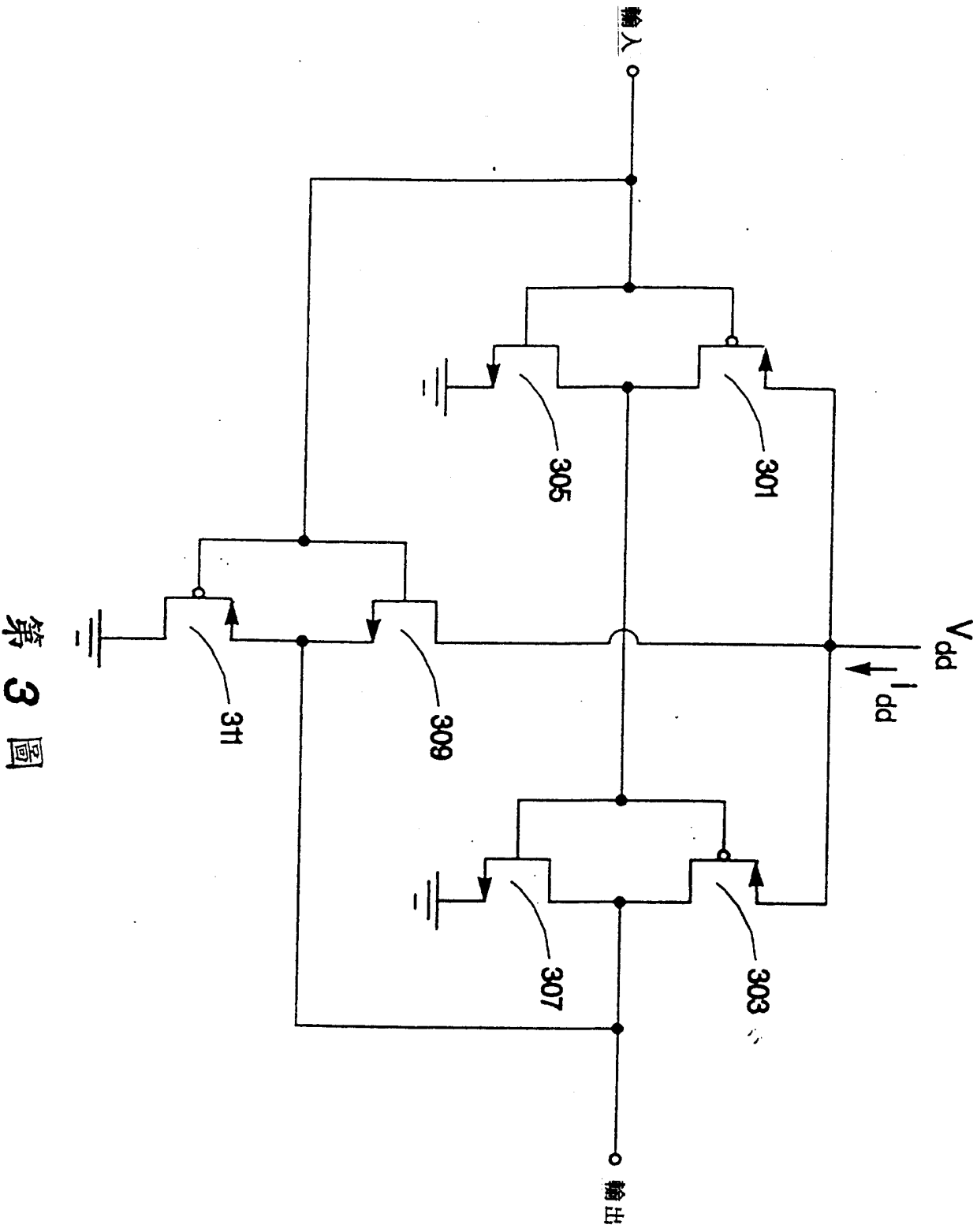
訂



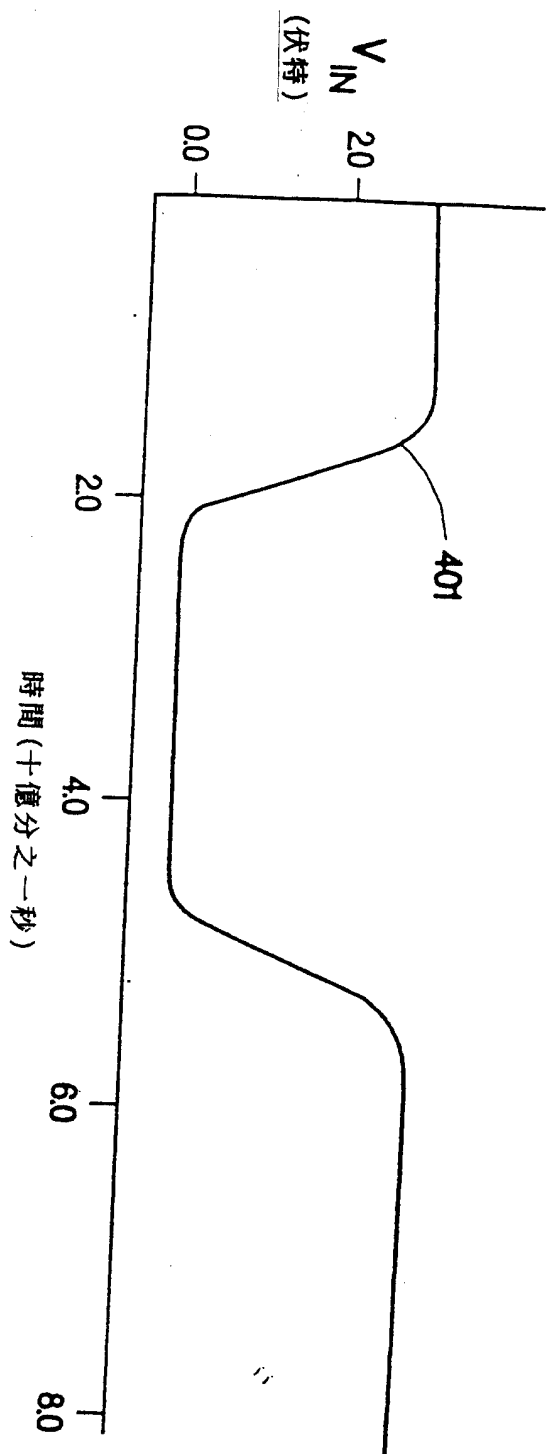
第 1 圖



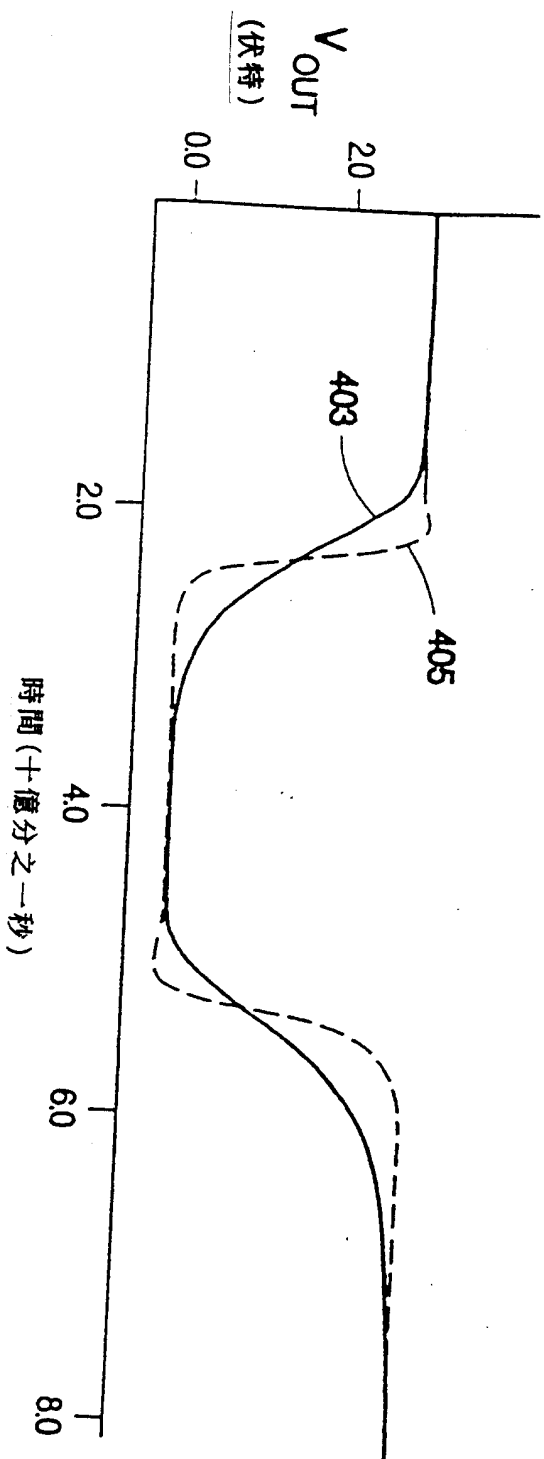
第 2 圖



第 3 圖

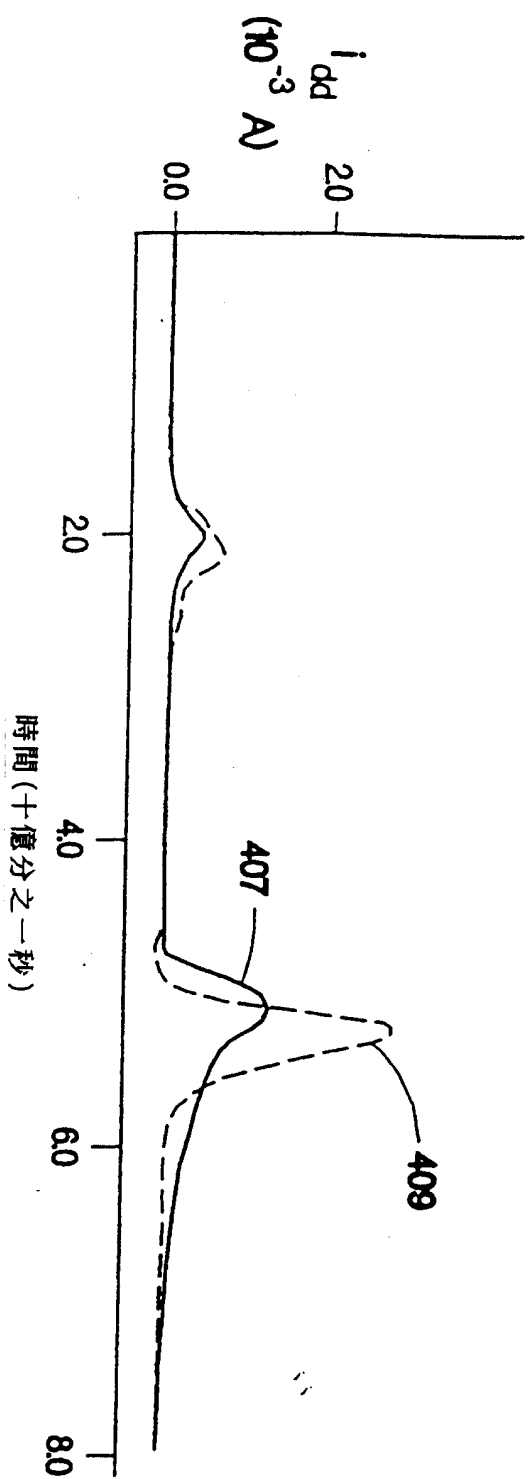


第 4A 圖

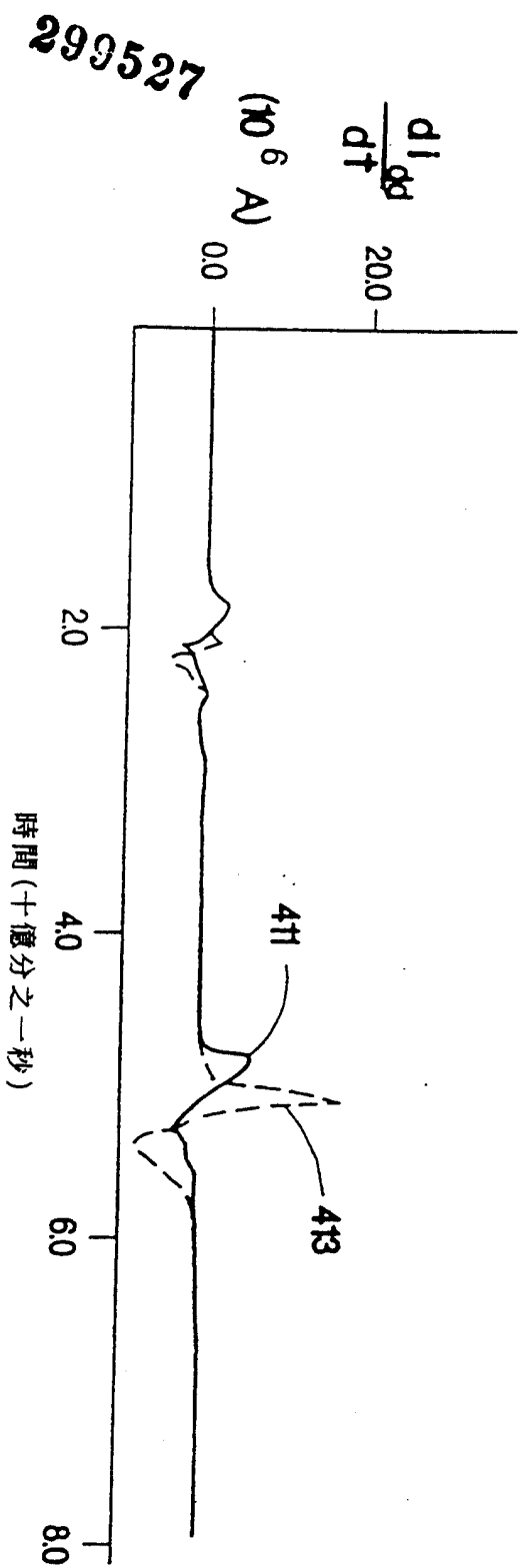


第 4B 圖

299527



第4C圖



第4D圖

299527