

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-258332

(P2007-258332A)

(43) 公開日 平成19年10月4日(2007.10.4)

(51) Int. Cl.			F I			テーマコード (参考)	
HO 1 L	31/10	(2006.01)	HO 1 L	31/10	A	4M118	
HO 1 L	31/09	(2006.01)	HO 1 L	31/00	A	5C024	
HO 1 L	27/14	(2006.01)	HO 1 L	27/14	K	5F049	
HO 1 L	27/146	(2006.01)	HO 1 L	27/14	C	5F088	
HO 4 N	5/32	(2006.01)	HO 4 N	5/32			
審査請求 未請求 請求項の数 10 O L (全 22 頁)							

(21) 出願番号 特願2006-78578 (P2006-78578)

(22) 出願日 平成18年3月22日(2006.3.22)

(71) 出願人 303000420

コニカミノルタエムジー株式会社

東京都日野市さくら町1番地

(72) 発明者 増田 敏

東京都日野市さくら町1番地コニカミノル

タテクノロジーセンター株式会社内

(72) 発明者 将積 直樹

東京都日野市さくら町1番地コニカミノル

タテクノロジーセンター株式会社内

(72) 発明者 石田 耕一

東京都日野市さくら町1番地コニカミノル

タテクノロジーセンター株式会社内

Fターム(参考) 4M118 BA05 CA05 CA32 CB06 CB14

FB09 FB13 FB22

最終頁に続く

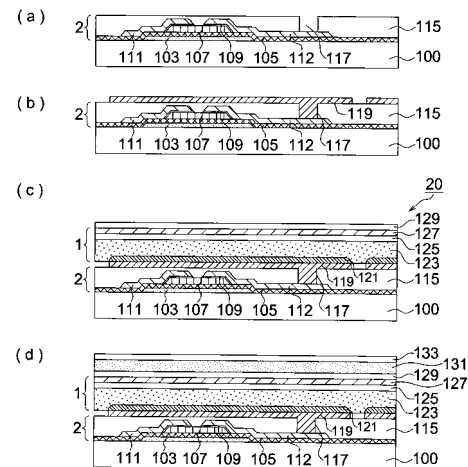
(54) 【発明の名称】 光電変換素子、光電変換素子の製造方法、撮像装置、撮像装置の製造方法及び放射線撮像装置

(57) 【要約】

【課題】 暗電流を少なくすることで画質が良く、生産効率の良い光電変換素子、この光電変換素子を用いた撮像装置及び放射線撮像装置を提供する。

【解決手段】 I型半導体の両側が電極で挟まれて成る光電変換素子において、前記電極の一方が前記I型半導体をN型半導体にするドーパントを含み、該ドーパントの移行により形成されるN型半導体層を有する構成、及び、前記電極の他方が前記I型半導体をP型半導体にするドーパントを含み、該ドーパントの移行により形成されるP型半導体層を有する構成、の少なくとも一方の構成を有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

I 型半導体の両側が電極で挟まれて成る光電変換素子において、前記電極の一方が前記 I 型半導体を N 型半導体にするドーパントを含み、該ドーパントの移行により形成される N 型半導体層を有する構成、及び、前記電極の他方が前記 I 型半導体を P 型半導体にするドーパントを含み、該ドーパントの移行により形成される P 型半導体層を有する構成、の少なくとも一方の構成を有することを特徴とする光電変換素子。

【請求項 2】

前記ドーパントを含む前記電極の大きさは、該電極が接する前記 I 型半導体の面より小さいことを特徴とする請求項 1 に記載の光電変換素子。

10

【請求項 3】

請求項 1 又は 2 に記載の光電変換素子と該光電変換素子による電荷に基づく信号を読み出す基板の上に設けられた薄膜トランジスタとからなる画素を備え、前記光電変換素子は、前記薄膜トランジスタの上に積層されて電氣的に接続されていることを特徴とする撮像装置。

【請求項 4】

基板の上に設けられた請求項 1 又は 2 に記載の光電変換素子と該光電変換素子による電荷に基づく信号を読み出す基板の上に設けられた薄膜トランジスタとからなる画素を備え、前記光電変換素子は、前記薄膜トランジスタの上に重ねて貼り合わせて電氣的に接続されていることを特徴とする撮像装置。

20

【請求項 5】

基板の同一の面上に、請求項 1 又は 2 に記載の光電変換素子と該光電変換素子による電荷に基づく信号を読み出す薄膜トランジスタとからなる画素を備え、前記光電変換素子と前記薄膜トランジスタとは、接続電極を介して電氣的に接続されていることを特徴とする撮像装置。

【請求項 6】

基板の同一の面上に、請求項 1 又は 2 に記載の光電変換素子と該光電変換素子による電荷に基づく信号を読み出す薄膜トランジスタとからなる画素を備え、前記薄膜トランジスタが有するソース電極及びドレイン電極は、前記光電変換素子が有する前記ドーパントを含む前記電極と同一材料からなり、且つ前記ソース電極又は前記ドレイン電極の一方と前記ドーパントを含む前記電極とは一体であることを特徴とする撮像装置。

30

【請求項 7】

複数の前記画素が 2 次元マトリクス状に配置してあることを特徴とする請求項 3 乃至 6 の何れか一項に記載の撮像装置。

【請求項 8】

請求項 3 乃至 7 の何れか一項に記載の撮像装置に放射線を光に変換する波長変換手段が設けてあることを特徴とする放射線撮像装置。

【請求項 9】

I 型半導体の両側が電極で挟まれて成る光電変換素子の製造方法において、前記 I 型半導体を N 型半導体にするドーパントを含む第 1 の電極を形成し、該ドーパントを移行させて N 型半導体層を有する工程、及び、前記 I 型半導体を P 型半導体にするドーパントを含む第 2 の電極を形成し、該ドーパントを移行させて P 型半導体層を有する工程の少なくとも一方の工程を有することを特徴とする光電変換素子の製造方法。

40

【請求項 10】

基板の上にゲート電極と絶縁膜と半導体層とソース電極及びドレイン電極とを備えた薄膜トランジスタと、I 型半導体の両側が電極で挟まれて成る光電変換素子と、を備えた撮像装置の製造方法において、前記 I 型半導体を N 型半導体にするドーパントを含む第 1 の電極を形成し、該ドーパントを移行させて N 型半導体層を有する工程、及び、前記 I 型半導体を P 型半導体にするドー

50

パントを含む第2の電極を形成し、該ドーパントを移行させてP型半導体層を有する工程の少なくとも一方の工程を有し、前記第1の電極又は前記第2の電極を形成すると同時に前記第1の電極又は前記第2の電極と同一材料で前記ソース電極及び前記ドレイン電極を形成することを特徴とする撮像装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光電変換素子、光電変換素子の製造方法、撮像装置、撮像装置の製造方法及び放射線撮像装置及び放射線撮像装置に関する。

【背景技術】

【0002】

近年、画像を電気信号として取得する方法として、CCDイメージセンサやCMOSイメージセンサが広く使われている。これらの多くは、シリコン等の結晶基板上に製造されているため、撮像エリアは、結晶基板のサイズで制限されることになる。

【0003】

一方、例えば、光源にX線を使用する医療・検査関連分野において、大面積の撮像エリアを有するイメージセンサに対する需要が高まってきている。例えば、医療業界において、人体の胸部のX線画像を放射線写真フィルムを介さず直接電気信号として得る手段として、放射線を蛍光体によって放射線の強度に比例した可視光に変換し、それを光電変換素子を用いて電気信号に変換することの出来る半導体センサを用い、変換された電気信号を、薄膜トランジスタを用いた回路で読み出すフラットパネルディテクタ（以下、FPDと称する。）と呼ばれる放射線撮像装置がある。こうした大面積の撮像装置は、半導体膜をガラス等の基板上に堆積させるなどの方法で製造される。

【0004】

ガラス基板の上に形成された半導体膜を有するPIN型光電変換素子及び薄膜トランジスタを含む画素を複数有するイメージセンサの1画素の断面構造の例を模式的に図6及び図7に示す。

【0005】

図6において、601はガラス基板、603はゲート電極、605はゲート絶縁膜を含む絶縁層、607は半導体層、609はオーミックコンタクト層、611はソース電極、612はドレイン電極、617画素電極、619はN型半導体層、621はI型半導体層、623はP型半導体層、625は共通電極、615及び627はパッシベーション膜である。また、図7において、701はガラス基板、703はゲート電極、705はゲート絶縁膜を含む絶縁層、707は半導体層、709はオーミックコンタクト層、711はソース電極、712はドレイン電極、715は接続電極、717画素電極、719はN型半導体層、721はI型半導体層、723はP型半導体層、725は共通電極、727及び729はパッシベーション膜である。

【0006】

図6及び図7にそれぞれ示す画素は、光を電荷に変換するためのPIN型光電変換素子6B及び7Bと、電荷による電気信号を読み出すためのスイッチング素子である薄膜トランジスタ6A及び7Aとで構成される。この画素を2次元マトリクス状に配置することで撮像装置を構成することができ、また、図6及び図7の上部、例えば、図6のパッシベーション膜627の上に、放射線であるX線を光に変えるシンチレーターを設けることで、上述のFPDを構成することが出来る。

【0007】

上述の光電変換素子6B及び7Bは、画素毎に電氣的に十分に分離されていることが要望されている。光電変換素子6B及び7Bが電氣的に分離されることで画素毎に入る光による電荷のみを薄膜トランジスタを通じて撮像装置の外に出力することができるため、撮像装置を構成する画素数に見合った十分な解像力が確保される。

【0008】

10

20

30

40

50

光電変換素子 6 B 及び 7 B を画素毎に電氣的に分離する方法として、図 6 に示すような、ガラス基板 6 0 1 の上に形成された薄膜トランジスタ 6 A で構成される読み出し回路の上に光電変換素子 6 B が積層されてなる画素の場合、光電変換素子 6 B を構成する少なくとも画素電極 6 1 7 側の抵抗の低い N 型半導体層 6 1 9 を独立した状態とすることで画素毎の電氣的な分離を実現している。

【0009】

また、図 7 に示すガラス基板 7 0 1 の同じ面上に薄膜トランジスタ 7 A で構成される読み出し回路と光電変換素子 7 B とでなる画素の場合、光電変換素子 7 B を積層された光電変換膜をエッチングして物理的に分離した状態に形成することで画素毎の電氣的な分離を実現している。

10

【0010】

また、光電変換素子の感度は高いことが要望されている。これは、上述の F P D を例にすれば、X 線の人体への暴射量を少なくすることで人体へ影響を抑えることが可能となり、また解像度と相まって画質をよくすることで診断に十分な情報を提供出来ることになるからである。こうした高い感度の要望に応えるためには、光電変換素子から発生するノイズを低減することが必要である。

【0011】

図 6 に示すような薄膜トランジスタで構成される読み出し回路の上に光電変換素子が積層された画素を有する放射線撮像装置の例として、以下がある。放射線を光に変換する波長変換手段と、放射線を電荷に変換すると共に波長変換手段からの光を電荷に変換する電荷変換手段と、電荷変換手段で変換された電荷を蓄積する蓄積手段と、蓄積手段に蓄積された電荷に基づく信号を読み出す読出手段と、読出手段で読み出された電荷を出力する出力線とを備えた構成をし、電荷変換手段を、少なくとも絶縁性基板に形成すると共に、電荷蓄積手段、読出手段、出力線を、絶縁性基板の一面に形成し、波長変換手段を、電荷変換手段に積層すると共に、電荷変換手段を、絶縁性基板における電荷蓄積手段、読出手段、出力線の形成面に積層し、電荷変換手段と絶縁性基板上の電荷蓄積容量を、接続電極を介して電氣的に接続してある（特許文献 1 参照）。

20

【特許文献 1】特開 2 0 0 2 - 1 4 8 3 4 2 号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0012】

F P D 等の撮像装置が有する画素を構成する光電変換素子をエッチングや膜形成を伴って半導体層を形成することで製造する場合、エッチングされた表面及び薄膜形成において不連続となる境界は、格子が不連続となることから生じる欠陥や不純物の混入が生じ易い。こうした欠陥や不純物の混入は、ノイズとなる暗電流が増加する要因となる。

【0013】

例えば、図 6 に示す P I N 型光電変換素子 6 B の作製においては、作製途中に一旦真空成膜装置から取り出し、フォトリソグラフィ処理とエッチング処理により N 型半導体層 6 1 9 のパターニングを実施する必要がある。このパターニング工程により、P I N 型光電変換素子 6 B を構成する半導体層の成膜が不連続となる界面が生じ、この界面で欠陥や不純物の混入が生じる。このような欠陥や不純物の混入により画像の電気信号に重畳するノイズとなる暗電流が増加する。

40

【0014】

一方、図 7 に示す P I N 型光電変換素子 7 B は P 型半導体層 7 2 3、I 型半導体層 2 7 5 及び N 型半導体層 7 1 9 と連続成膜することが可能であるが、P I N 型光電変換素子 7 B を物理的に分離するためのエッチング処理により形成された P I N 型光電変換素子の側面において格子の欠陥が生じることで、側面リーク電流が発生し、このリーク電流が暗電流となる。

【0015】

また、特許文献 1 において、光電変換手段を構成する半導体層にバンドギャップが 1 e

50

V以上の半導体材料を使用することにより暗電流を低減することが記載されてあるが、画素形成において生じる格子の欠陥や不純物の混入に関する記載はない。

【0016】

本発明は、上記の課題を鑑みてなされたものであって、その目的とするところは、暗電流を少なくすることで画質が良く、生産効率の良い光電変換素子、この光電変換素子を用いた撮像装置及び放射線撮像装置を提供することである。

【課題を解決するための手段】

【0017】

上記の課題は、以下の構成により解決される。

【0018】

1. I型半導体の両側が電極で挟まれて成る光電変換素子において、前記電極の一方が前記I型半導体をN型半導体にするドーパントを含み、該ドーパントの移行により形成されるN型半導体層を有する構成、及び、前記電極の他方が前記I型半導体をP型半導体にするドーパントを含み、該ドーパントの移行により形成されるP型半導体層を有する構成、の少なくとも一方の構成を有することを特徴とする光電変換素子。

【0019】

2. 前記ドーパントを含む前記電極の大きさは、該電極が接する前記I型半導体の面より小さいことを特徴とする1に記載の光電変換素子。

【0020】

3. 1又は2に記載の光電変換素子と該光電変換素子による電荷に基づく信号を読み出す基板の上に設けられた薄膜トランジスタとからなる画素を備え、前記光電変換素子は、前記薄膜トランジスタの上に積層されて電氣的に接続されていることを特徴とする撮像装置。

【0021】

4. 基板の上に設けられた1又は2に記載の光電変換素子と該光電変換素子による電荷に基づく信号を読み出す基板の上に設けられた薄膜トランジスタとからなる画素を備え、前記光電変換素子は、前記薄膜トランジスタの上に重ねて貼り合わせて電氣的に接続されていることを特徴とする撮像装置。

【0022】

5. 基板の同一の面上に、1又は2に記載の光電変換素子と該光電変換素子による電荷に基づく信号を読み出す薄膜トランジスタとからなる画素を備え、前記光電変換素子と前記薄膜トランジスタとは、接続電極を介して電氣的に接続されていることを特徴とする撮像装置。

【0023】

6. 基板の同一の面上に、1又は2に記載の光電変換素子と該光電変換素子による電荷に基づく信号を読み出す薄膜トランジスタとからなる画素を備え、前記薄膜トランジスタが有するソース電極及びドレイン電極は、前記光電変換素子が有する前記ドーパントを含む前記電極と同一材料からなり、且つ前記ソース電極又は前記ドレイン電極の一方と前記ドーパントを含む前記電極とは一体であることを特徴とする撮像装置。

【0024】

7. 複数の前記画素が2次元マトリクス状に配置してあることを特徴とする3乃至6の何れか一つに記載の撮像装置。

【0025】

8. 3乃至7の何れか一つに記載の撮像装置に放射線を光に変換する波長変換手段が設けてあることを特徴とする放射線撮像装置。

【0026】

9. I型半導体の両側が電極で挟まれて成る光電変換素子の製造方法において、前記I型半導体をN型半導体にするドーパントを含む第1の電極を形成し、該ドーパント

10

20

30

40

50

を移行させてN型半導体層を有する工程、及び、前記I型半導体をP型半導体にするドーパントを含む第2の電極を形成し、該ドーパントを移行させてP型半導体層を有する工程の少なくとも一方の工程を有することを特徴とする光電変換素子の製造方法。

【0027】

10. 基板の上にゲート電極と絶縁膜と半導体層とソース電極及びドレイン電極とを備えた薄膜トランジスタと、I型半導体の両側が電極で挟まれて成る光電変換素子と、を備えた撮像装置の製造方法において、

前記I型半導体をN型半導体にするドーパントを含む第1の電極を形成し、該ドーパントを移行させてN型半導体層を有する工程、及び、前記I型半導体をP型半導体にするドーパントを含む第2の電極を形成し、該ドーパントを移行させてP型半導体層を有する工程の少なくとも一方の工程を有し、前記第1の電極又は前記第2の電極を形成すると同時に前記第1の電極又は前記第2の電極と同一材料で前記ソース電極及び前記ドレイン電極を形成することを特徴とする撮像装置の製造方法。

10

【発明の効果】

【0028】

本発明によれば、光電変換素子が有するN型半導体層及びP型半導体層の少なくとも一方は、電極が含んでいるI型半導体をN型半導体又はP型半導体にするドーパントがI型半導体に移行することで有することから、先のN型半導体層及びP型半導体層を形成する工程を別途設ける必要がなく、また、ドーパントの移行により有する先のN型半導体層及びP型半導体層は、ドーパントを含んでいる電極の面と同じ大きさとすることができる。

20

【0029】

よって、例えば、光電変換素子が2次元マトリクス状に配置される様な場合、I型半導体にドーパントを含む電極を分離して複数設けるだけで、電極毎に分離したN型半導体層及びP型半導体層を有することができることからN型半導体層及びP型半導体層を電極毎に分離する工程が不要となり、またI型半導体とドーパントの移行により有するN型半導体層及びP型半導体層との境界を連続とすることができることから格子の欠陥の発生や不純物の混入が抑えられ、これらから生じる暗電流を抑えることができる。

【0030】

また、例えば、ドーパントを含む電極の面の大きさをこの電極が積層されて形成されるI型半導体の面より小さくすることでドーパントの移行により有するN型半導体層及びP型半導体層の領域を、I型半導体の面の外周より内側とすることができる。このため、エッチング処理等で物理的にI型半導体を分離することで複数の光電変換素子を形成する場合、ドーパントを含む電極の大きさを考慮することで、分離のために格子に欠陥等が生じるI型半導体の側面に露出しないようにN型半導体層及びP型半導体層を有することができる。よって欠陥等から生じる側面リーク電流の発生が抑えられ、側面リーク電流に起因する暗電流を抑えることができる。

30

【0031】

上記の効果の有する光電変換素子と薄膜トランジスタとを組み合わせることで画素を構成することで撮像装置とすることができる。

【0032】

光電変換素子と薄膜トランジスタとで画素を構成する際に、薄膜トランジスタが有するソース電極及びドレイン電極の形成を光電変換素子が有するI型半導体をN型半導体又はP型半導体とにするドーパントを含む電極の形成と同時に同一材料で持つことで、ソース電極及びドレイン電極が接する薄膜トランジスタを構成する半導体層にオーミックコンタクト層となるN型半導体層又はP型半導体層を有することができる。

40

【0033】

よって、オーミックコンタクト層を設ける工程を不要とすることができる。更にこの場合、光電変換素子を構成するI型半導体を、先に形成した電極に積層しドーパントを移行させてN型半導体層又はP型半導体層を有することができることから、N型半導体層又はP型半導体層を設ける工程も不要とすることができる。

50

【0034】

上述の撮像装置に、例えばX線等の放射線を光に変換する波長変換手段を加えることで放射線撮像装置とすることができる。

【0035】

従って、暗電流を少なくすることで画質が良く、また生産効率の良い光電変換素子、この光電変換素子を用いた撮像装置及び放射線撮像装置を提供することができる。

【発明を実施するための最良の形態】

【0036】

本発明に係わる実施の形態に関した図を用いて説明する。

【0037】

第1の実施の形態として、絶縁性基板の上に、2次元マトリクス状に読み出し用薄膜トランジスタ（以下、薄膜トランジスタはTFTと称する。）、光電変換素子としてPIN型フォトダイオード（以下、フォトダイオードはPDと称する。）を形成したイメージセンサを有する撮像装置について説明する。

【0038】

図2（a）は、PIN型PD1と読み出し用TFT2とで構成される画素がマトリクス状に複数個配置されたイメージセンサ20及びPIN型PD1による電荷を読み出し用TFT2を通じて電圧として読み出すための駆動回路部21を備えた撮像装置22を模式的に示す回路図である。また、図1は、図2（a）に示すイメージセンサ20を製造する工程を絶縁性基板の上に読み出し用TFT2とPIN型PD1とで構成される1画素の断面で模式的に示す図である。

【0039】

図1（c）は、イメージセンサ20が完成した状態の1画素を示しており、1はPIN型PD、2は読み出し用TFTの部分を示しており、これらが積層された状態で画素が構成されている。

【0040】

100はガラス等の絶縁性基板、103はゲート電極、105はSiN、SiO₂等のゲート絶縁層、107はアモルファスシリコン（a-Si）等の半導体層、109はオーミックコンタクト層、111はソース電極、112はドレイン電極、115はSiN、SiO₂、BCB（Benzocyclobutene）、PI（ポリイミド）等のパッシベーション層（平坦化層）、117はコンタクトホール、119は画素電極、121はN型半導体層、123はa-Si等のI型半導体層、125はP型半導体層、127はITO、SnO₂等の透明導電性材料からなる共通電極、129はSiN、PI（ポリイミド）等のパッシベーション膜である。

【0041】

ゲート電極103、ゲート絶縁膜105、半導体層107、オーミックコンタクト層109、ソース電極111及びドレイン電極112は読み出し用TFT2を構成する。

【0042】

P型半導体層125、I型半導体層123及びN型半導体層121は、PIN型PD1を構成している。このPIN型PD1の透明電極層127はイメージセンサ20を構成する全てのPIN型PDにバイアスを印加するための共通電極である。また画素電極119と読み出し用TFT1のドレイン電極112とは、例えば、画素電極119と同時に設けることができるコンタクトホール117に設けられた電極により接続されている。

【0043】

次に本実施の形態におけるPIN型PDを用いた撮像装置の製造に関して図1及び図2を参照して説明する。

【0044】

絶縁性基板100の上に、導電層を設け、公知のフォトリソグラフィ（レジスト塗布、露光、現像）及びエッチング処理により、読み出し用TFT2のゲート電極103及びゲートバス3a、3b、・・・3cを形成する。

10

20

30

40

50

【0045】

上記のゲート電極103及びゲートバス3a, 3b, ... 3cは、導電性材料であれば特に限定されず、電極や配線（バス）としての導電性が十分確保できるものであればよい。例えば、Al、Cr、Ag、Moやこれらにドーピングした材料等を挙げることができる。導電層を形成する方法は、一般的な蒸着法で良く、例えば、真空蒸着やスパッタリング等の方法により形成することができる。

【0046】

次にゲート絶縁層105、a-Si等の半導体層107、オーミックコンタクト層109をプラズマCVD等により順次積層する。オーミックコンタクト層109、半導体層107をドライエッチング処理することで、読み出し用TFT2の島状領域を形成することができる。 10

【0047】

次に導電層をスパッタリング法等により積層し、公知のフォトリソグラフィ（レジスト塗布、露光、現像）及びエッチング処理により、読み出し用TFT2のソース電極111、ドレイン電極112、ソースバス4a, 4b, ... 4cを形成する。また、同一レジストにより、オーミックコンタクト層109を、ドライエッチング処理にて除去することで、読み出し用TFT2のソース電極111ードレイン電極112間のギャップ部を形成することができる。

【0048】

上記のソース電極111、ドレイン電極112及びソースバス4a, 4b, ... 4cは、導電性材料であれば特に限定されず、電極や配線（バス）としての導電性が十分確保できるものであればよい。例えば、Al、Cr、Ag、Moやこれらにドーピングを加えた材料等が挙げることができる。導電層を形成する方法は、一般的な蒸着法で良く、例えば、真空蒸着やスパッタリング等の方法により形成することができる。 20

【0049】

次に、SiN、SiO₂、BCB、PI等の絶縁性のパッシベーション層115をプラズマCVD等により積層する。公知のフォトリソグラフィ処理及びエッチング処理により、コンタクトホール117を形成する。これで、図1(a)に示す読み出し用TFT2が完成するが、製造方法は上述に限定される必要はなく、公知の方法で良い。

【0050】

次に、図1(b)に示すPIN型PD1の画素電極119を形成する。画素電極の厚みは、特に限定されることはなく、実用的な観点から10nmから1000nm程度とすれば良く、50nmから500nmが好ましい。画素電極119は、原料がホストとドーパントとから構成される。ホストは、導電性材料であれば特に限定されることはなく、例えば、金属材料であればAl、Cr、Mo、Ag、Ag/Zn（AgとZnとの合金）、Au、Au/Cr（AuとCrとの合金）等が挙げられ、また後述の透明電極となる透明導電性材料、例えば、ITO（インジウム錫酸化物）等とすることもできる。これらホストにドーピングされるドーパントは、後述のI型半導体に拡散（移行）することで、I型半導体の拡散された部分をN型半導体にするものであれば特に限定されることはない。例えば、I型半導体がIV族の材料、例えば、アモルファスシリコン（a-Si）であれば、ドーパントをV族の、例えば、リン（P）、窒素（N）等とすることで、a-SiからなるI型半導体をN型半導体とすることが出来る。また、PIN型PD1を構成する際に積層順を逆にしたい場合等でI型半導体をP型半導体にする場合は、III族の、例えば、ボロン（B）、アルミニウム（Al）等とすることで、a-SiからなるI型半導体をP型半導体とすることが出来る。また、I型半導体がIII-V族の材料、例えば、化合物半導体のGaAsであれば、ドーパントをVI族の、例えば、酸素（O）等、II族の、例えば、亜鉛（Zn）等とすることで、I型半導体層（GaAs）をそれぞれN型半導体、P型半導体とすることが出来る。 40

【0051】

画素電極119の形成方法は、まず、画素電極119となる導電層を形成する。導電層 50

の形成方法は、特に限定されることはなく、例えば、スパッタリング法、CVD法、PLD法（パルスレーザー蒸着法）等が挙げられる。例えば、スパッタリング法であれば、ホストとなる原料を含むターゲットを用いて、ドーパントとなる原料を含むガスを導入することで可能となる。

【0052】

導入するガスとしては、以下が挙げられ、ホストに合わせて適宜選択すればよい。I型半導体をIV族のa-Siとする場合、N型半導体を形成することができるドーピングガスとしては、V族元素と炭素、水素、塩素、フッ素などからなる化合物を用いることができる。その例を挙げれば、フォスフィン（ PH_3 ）、トリメチルホスフィン（ $(\text{CH}_3)_3\text{P}$ ）、アルシン（ AsH_3 ）、ジエチルアルシン（ $(\text{C}_2\text{H}_5)_2\text{AsH}$ ）、アンモニア（ NH_3 ）などが挙げられる。 10

【0053】

また、P型半導体を形成することができるドーピングガスとしては、III族元素と炭素、水素、塩素、フッ素などからなる化合物を用いることができる。これらの例を掲げれば、ジボラン（ B_2H_6 ）、トリメチルボロン（ $(\text{CH}_3)_3\text{B}$ ）、ジメチルアルミニウム（ $(\text{CH}_3)_2\text{AlH}$ ）、トリメチルアルミニウム（ $(\text{CH}_3)_3\text{Al}$ ）などが挙げることが出来る。

【0054】

上述の導電層の形成後、公知のフォトリソグラフィ処理及びエッチング処理により上述の導電層をパターニングすることで画素電極119を形成することができる。 20

【0055】

次に、I型半導体層123及びP型半導体層125を形成する。形成方法は、公知の方法で良く、プラズマCVD法、触媒CVD法、HWCVD法（Hot-Wire-CVD）等が挙げられる。例えば、ホストをITO、導入ガスをフォスフィン（ PH_3 ）として形成してパターニングすることで画素電極119を形成した後、I型半導体層123としてI型a-Si層を積層形成した場合、画素電極119の上に積層されたI型a-Si層は、画素電極119が含むドーパントであるリン（P）がI型a-Si層に拡散する。従って、リン（P）が拡散したI型a-Si層は、N型a-Si層となることから、I型a-Si層123のうち、画素電極119が接する部分及びその近傍は、N型a-Si層121となる。また、画素電極119が画素毎に分離されている状態にパターニングされていることから、N型a-Si層121は、画素毎に分離する工程を別途設けることなく、画素ごとに分離されている状態とすることができる。尚、I型半導体層123の厚みは、例えばa-Siとする場合、光吸収量から決めれば良く、可視光の範囲（約400nm～750nmの範囲）であれば、100nmから5μm程度で良く、300nmから500nmの範囲が好ましい。 30

【0056】

上述のようにN型a-Si層121、I型a-Si層123及びP型a-Si層125を形成することでPIN型PD1を完成することができる。

【0057】

上述のPIN型PD1において、P型a-Si層125、I型a-Si層123、N型a-Si層121は、例えば、真空を破って成膜装置の外に取り出し、例えば、エッチング処理等によりN型a-Si層を画素毎に分離した状態にする必要がなく、成膜装置内で連続して成膜され、形成された各層の界面が連続した状態とすることができる。従って、各層の界面での欠陥の発生や不純物の混入を十分に抑えることができることから、暗電流の少ないPIN型PD1を形成できることになる。 40

【0058】

次に、バイアスの印加を可能とする共通電極127をP型a-Si層125の上に積層する。共通電極127は、光を入射する必要があることから、透明導電性材料であれば特に限定されることはなく、例えば、CuI、ITO、 SnO_2 、IZO等の透明導電性材料が挙げられる。また、IDIXO（商品名、出光興産株式会社製）等非晶質で透明導電 50

膜を作製可能な材料を用いてもよい。これらの透明導電性材料を用いて共通電極 127 を形成する方法は、特に限定されることはなく、公知の蒸着法やスパッタリング法等の方法を用いることができる。

【0059】

次に、パッシベーション膜 129 を、上述と同様に、更に積層することで、イメージセンサ 20 が完成する（図 1（c））。更に、イメージセンサ 20 と、例えば、フレキシブル基板（図示しない）等を用いて、図 2（a）に示す様に、ゲートドライバ IC6 が実装された基板、読み出し IC7 が実装された基板等の駆動回路部 21 と接続することで、撮像装置 22 を完成させることができる。

【0060】

また、例えば、図 1（d）に示す様に、パッシベーション膜 129 の上に放射線を光に変換する波長変換手段であるシンチレータ（蛍光体層）131、更にパッシベーション膜 133 を積層形成することで、イメージセンサ 20 は、放射線撮像装置に対応可能とすることができる。

【0061】

シンチレータ 131 は、 Gd_2O_2S 、CsI（沃化セシウム）等を真空蒸着、CVD 等で形成することができる。ここではシンチレータをイメージセンサ 20 の上に直接積層しているが、例えば、別途ガラス等の基板の上にシンチレータを設けてパッシベーション層で保護することでなる蛍光体板（図示しない）を、図 1（c）で示すパッシベーション膜 129 まで製造したイメージセンサ 20 に貼り合わせた構成とすることもできる。

【0062】

上述のシンチレータを有するイメージセンサ 20 と、上述と同様に、フレキシブル基板等を用いて、図 2（a）に示す様に、ゲートドライバ IC6 が実装された基板及び読み出し IC7 が実装された基板と接続し、全体をケースに入れることで FPD を完成することができる。尚、ケース内に内蔵される上述の様な IC で、X 線等の放射線の影響を受ける場合は、鉛板等を設けて保護するのが好ましい。

【0063】

上述のシンチレータを備えた撮像装置の動作に関して図 2 を用いて説明する。撮像装置 22 は、放射線を可視光に変換する蛍光体層（図示しない）と、可視光を電気信号に変換する光電変換素子である PIN 型 PD、TF T を用いた読み出し回路を絶縁性基板の上に形成したイメージセンサ 20 及び駆動回路部 21 との組み合わせで構成される。

【0064】

図 2（a）において、1 は PIN 型 PD、2 は読み出し用 TF T で、読み出し用 TF T 2 のソースはソースバス 4a, 4b, ... 4c へ接続され、ドレインは PIN 型 PD 1 のカソードに接続され、ゲートはゲートバス 3a, 3b, ... 3c へ接続されている。PIN 型 PD 1 のアノードはバイアス線 5 に接続され、バイアス線 5 はバイアス電源 8 に接続され、負のバイアス電圧が印加されている。ゲートバス 3a, 3b, ... 3c は、それぞれゲートドライバ IC6 の出力端子 G_1 , G_2 , ... G_N に接続され、ソースバス 4a, 4b, ... 4c は、それぞれ読み出し IC7 の出力端子 S_1 , S_2 , ... S_M に接続されている。このイメージセンサ 20 は、PIN 型 PD 1 および読み出し用 TF T 2 のそれぞれ 1 個の組み合わせで 1 つの画素を形成し、合わせて N 行 × M 列の画素を有している。

【0065】

ゲートドライバ IC6 はその出力端子 G_1 , G_2 , ... G_N にゲートバス 3a, 3b, ... 3c が接続されており、正の電圧を順に出力しゲートバス 3a, 3b, ... 3c を走査する。読み出し IC7 はその出力端子 S_1 , S_2 , ... S_M にソースバス 4a, 4b, ... 4c が接続されており、正の電圧を出力する。また、読み出し IC7 の出力端子 S_1 , S_2 , ... S_M には、それぞれ電荷－電圧変換回路を備えており、ソースバス 4a, 4b, ... 4c に流れ出した電荷の量を電圧に変換する機能を有している。

【0066】

10

20

30

40

50

蛍光体層（図示しない）は、上述のイメージセンサ 20 を覆い、蛍光体層で発生した可視光が P I N 型 P D 1 に入射するように構成されている。

【0067】

撮像装置 22 の動作を、図 2（a）に示す回路図、及び図 2（b）に示すタイミングチャートを用いて説明する。図 2（b）で 11, 12, 13 は、それぞれゲートドライバ I C 6 の出力端子 G_1 , G_2 , $\dots G_N$ の電圧を示す。ゲートバス 3a, 3b, $\dots$ 3c がハイになるとそのゲート線に接続されている T F T 2 がすべてオン状態となる。このとき、読み出し I C 7 の出力端子 S_1 , S_2 , $\dots S_M$ から正の電圧がソースバス 4a, 4b, $\dots$ 4c に出力されているため、オンした T F T 2 に接続されている P I N 型 P D 1 は逆バイアスされ、P I N 型 P D 1 の容量には電荷が充電される。このとき P I N 型 P D 1 に流れ込む充電電流、すなわち読み出し I C 7 の出力端子 S_1 , S_2 , $\dots S_M$ からソースバス 4a, 4b, $\dots$ 4c に流れ込む電荷は、読み出し I C 7 で電荷－電圧変換され、電圧として読み出される。ゲートバス 3a, 3b, $\dots$ 3c がロウになると、そのゲート線に接続されている T F T 2 はすべてオフし、その T F T 2 に接続されている P I N 型 P D 1 の充電された電荷は保持される。

【0068】

図 2（b）で初期化走査と示された期間は、放射線像の撮影に備えて、すべての光電変換素子 1 を充電するための走査期間である。図 2（b）の 14 は放射線の曝射を示し、ハイになっている期間が放射線の曝射が行われている期間を示す。図 2（b）に示すように、放射線の曝射は、撮像装置 9 の初期化走査の終了後に行われる。放射線が曝射されると、放射線の照射を受けた蛍光体層が蛍光を発し、この蛍光を受光した P I N 型 P D 1 は、その中で電子－ホール対が発生し、充電されていた電荷を放電する。このため、P I N 型 P D 1 に充電されていた電荷は、受光量に応じて発生した電子－ホール対の分だけ減少する。

【0069】

放射線の曝射に続いて、図 2（b）に示す読み出し走査が行われる。読み出し走査の時、読み出し I C 7 から読み出される電荷－電圧変換された電圧は、放射線曝射の時、光電変換素子 1 から放電により消滅した電荷に相当する。従って、蛍光体層に入射した放射線による画像が、電圧として二次元的に読み出すことができる。

【0070】

図 2（b）の T_i は積分期間を示しており、蛍光体層から発生した可視光による電子－ホール対がこの期間において P I N 型 P D 1 で積分される。従って、積分期間 T_i は、放射線の曝射期間および蛍光体層の発光期間を含むようにするのが好ましく、また、例えば蛍光体層を設けていない場合、可視光による露光期間も同じとするのが好ましい。

【0071】

第 2 の実施の形態として、絶縁性基板の上に読み出し用 T F T を形成し、別のガラス基板の上に P I N 型 P D を形成した後、両者を重ねて貼り合わせることでなる撮像装置について説明する。

【0072】

図 3（c）は、イメージセンサ 30 が完成した状態の 1 画素を示している。1 は基板 203 の上に形成されている P I N 型 P D、2 は基板 100 の上に形成されている読み出し用 T F T であり、イメージセンサ 30 は、P I N 型 P D 1 と読み出し用 T F T 2 とが重ねて貼り合わせた状態で構成されている。尚、図 3 で示す図 1 と同じ符号は、同じものを示している。

【0073】

次に撮像装置の製造に関して図 3 を参照して説明する。まず、読み出し用 T F T を絶縁性基板 100 の上に形成し、これを T F T 基板部 3A とする。T F T 基板部 3A は、図 3（a-1）が図 1（a）と同じであり、第 1 の実施の形態で説明したパッシベーション膜 115 を形成後、コンタクトホール 117 を設けるまでは同じとすることができる。

【0074】

10

20

30

40

50

この後、コンタクトホール 117 に読み出し用 T F T 2 を設けた T F T 基板部 3 A (図 3 (a-2)) と後述の P I N 型 P D 1 を設けた P D 基板部 3 B (図 3 (b-3)) とを電氣的に接続するためのバンプ (突起電極) 201 を形成する。

【0075】

次に、P I N 型 P D を別のガラス等の透明な絶縁性基板 203 の上に形成する。絶縁性基板 203 の上に P I N 型 P D にバイアスを印加するための共通電極となる透明電極 127、P 型半導体層 125、I 型半導体層 123 を積層して設ける (図 3 (b-1))。これに関しては、積層順が異なるだけで、第 1 の実施の形態で示したものと同一とすることができる。

【0076】

次に、画素電極 119 を I 型半導体層 123 の上に形成する。I 型半導体層 123 の上にリフトオフを行うためのレジストを塗布し、公知のフォトリソグラフィ処理及びエッチングを行い、画素電極 119 を形成するためのレジストのパターニングを行う。この後、画素電極 119 となる導電膜を形成した後、リフトオフすることで画素電極 119 を形成する (図 3 (b-2))。この導電膜は、第 1 の実施の形態で説明した画素電極 119 と同じホストとドーパントとから構成されており、I 型半導体層 123 の上に画素電極 119 を形成することで、第 1 の実施の形態と同じく、画素電極 119 が有するドーパントが拡散され、I 型半導体を N 型半導体にすることが出来る。従って、P I N 型 P D 1 を完成することができる。

【0077】

次に、画素電極 119 の上にパッシベーション膜 207 を設けた後、バンプ (突起電極) 205 を設ける。これで P D 基板部 3 B を完成することができる (図 3 (b-3))。パッシベーション膜 207 は、特に限定することではなく、例えば、パッシベーション膜 129 と同じとして良い。

【0078】

次に、先に製造した T F T 基板部 3 A のドレイン電極 112 と P D 基板部 3 B の画素電極 119 とをバンプ 201 と 205 とを電氣的に接続してイメージセンサ 30 を完成することができる (図 3 (c))。

【0079】

バンプ 201 及び 205 は、インジウム (I n)、金 (A u) 又は導電性樹脂等で形成される突起状の電極であり、両バンプ間を結合する方法は、電氣的に接続されていれば良く、例えば、導電性樹脂の場合、加熱及び／又は紫外線照射や、またインジウム (I n) 等の低融点材料では加熱溶着、また、接触した状態で樹脂を流し込むことで固定するといった方法を挙げることができる。

【0080】

尚、シンチレーター、図 2 で示した I C 6 及び I C 7 が実装されている基板等から構成される駆動回路部 21 とイメージセンサ 30 とで構成される撮像装置に関しては、第 1 の実施の形態と同様となる。

【0081】

第 3 の実施の形態として、絶縁性基板の同一面の上に読み出し用 T F T と P I N 型 P D を形成してなる撮像装置について図 4 を参照して説明する。尚、図 4 で示す図 1 と同じ符号は、同じものを示している。

【0082】

図 4 (a) は、第 1 の実施の形態と同様に形成された読み出し用 T F T 2 を示している。すなわち、100 はガラス等の絶縁性基板、103 はゲート電極、105 はゲート絶縁層、107 は a-S i 等の半導体層、109 はオーミックコンタクト層、111 はソース電極、112 はドレイン電極である。ここで、P I N 型 P D を基板 100 の上に形成するため、ソース電極 111 及びドレイン電極 112 の形成と同時に P I N 型 P D 1 の共通電極 301 も形成する。

【0083】

10

20

30

40

50

次に、P I N型 P D 1 を構成するための P 型半導体層 1 2 5、I 型半導体層 1 2 3 を共通電極 3 0 1 の上に形成する。形成方法は、特に限定されることはなく、例えば、第 1 の実施の形態と同様にプラズマ C V D 法を用いて各半導体層を積層形成した後、公知のフォトリソグラフィ処理及びエッチング処理を行い、図 4 (b) に示す様に P 型半導体層 1 2 5、I 型半導体層 1 2 3 を画素となる形状に形成することができる。

【0084】

次に、画素電極 3 0 3 を形成する (図 4 (c)) 。画素電極 3 0 3 は、第 1 の実施の形態の画素電極 1 1 9 と同じく、ホストとドーパントとから構成される。また、画素電極 3 0 3 の大きさは、画素電極 3 0 3 を積層する I 型半導体層 1 2 3 の上部の面の大きさより小さくすることが好ましい。I 型半導体層 1 2 3 の上部の面の外周と画素電極 3 0 3 の外周との距離は、拡散されるドーパントの元素が到達しない距離とするのが好ましく、1 μ m 以上とするのが好ましく、5 μ m 以上とするのがより好ましい。

【0085】

I 型半導体層 1 2 3 の上に画素電極 3 0 3 を形成することで、I 型 a - S i 層 1 2 3 において、画素電極 3 0 3 が接する部分及びその近傍は、N 型 a - S i 層 1 2 1 にすることができる。従って、P 型半導体層 1 2 5 の上に I 型半導体層 1 2 3 が積層され、I 型半導体層 1 2 3 の上部に N 型 a - S i 層 1 2 1 が形成されることで、P I N 型 P D 1 を完成することができる。

【0086】

上述のように P I N 型 P D 1 を形成することで、第 1 の実施の形態と同様に、P 型 a - S i 層、I 型 a - S i 層、N 型 a - S i 層は、連続して成膜されることになり、形成される各層の界面が連続した状態とすることができる。よって、各層の界面での欠陥の発生や不純物の混入を十分に抑えることができることから、暗電流の少ない P I N 型 P D 1 を形成できることになる。

【0087】

また、画素電極 3 0 3 にドーパされたドーパントが拡散することで形成される N 型 a - S i 層は、画素電極 3 0 3 の大きさを画素電極 3 0 3 が積層される I 型半導体層 1 2 3 の上部の面より小さくすることで、結晶構造が不完全となっている P I N 型 P D 1 のエッチングされた側面に面していない状態とすることができる。従って、P I N 型 P D 1 を形成している側面からのリーク電流を抑えることが可能となり、その結果、暗電流の少ない P I N 型 P D 1 を形成できることになる。

【0088】

画素電極 3 0 3 を形成した後、パッシベーション膜 3 0 7、画素電極 3 0 3 とドレイン電極 1 1 2 とを接続する接続電極 3 0 9、読み出し用 T F T 2 と P I N 型 P D 1 とを保護するパッシベーション膜 1 1 5 を設けることでイメージセンサ 4 0 を完成することができる (図 4 (d)) 。

【0089】

尚、シンチレーター、図 2 で示した I C 6 及び I C 7 が実装されている基板等から構成される駆動回路部 2 1 とイメージセンサ 4 0 とで構成される撮像装置の動作に関しては、第 1 の実施の形態と同様となる。

【0090】

第 4 の実施の形態として、I 型半導体層の両側に I 型半導体層を P 型半導体層及び N 型半導体層とすることが出来るドーパンがドーピングされた電極を設けることで P I N 型 P D を形成することに関して説明する。

【0091】

図 5 (a) は、ガラス等の絶縁性基板 1 0 0 の上に、第 1 の実施の形態と同様に、ゲート電極 1 0 3、ゲート絶縁層 1 0 5、a - S i 等の半導体層 1 0 7 を形成する。その後、S i N、S i O₂ 等のエッチングストップ層 5 0 1 を設ける (図 5 (a)) 。

【0092】

次に、導電層 5 0 3 を設け (図 5 (b))、その後、公知のフォトリソグラフィ処理

10

20

30

40

50

及びエッチング処理を行いソース電極 503s、ドレイン電極 503d 及び P I N 型 P D の画素電極 503K を形成する（図 5（c））。この導電層 503 を、第 1 の実施の形態の画素電極 119 と同様に、ホストとドーパンとから構成する、例えば、リン（P）をドーパンとすることで、ソース電極 503s 及びドレイン電極 503d に接する半導体層 107 に、N 型半導体層 505 を形成することができることになり、この結果、この N 型半導体層 505 が第 1 の実施の形態で形成したオーミックコンタクト層 109 と同じ機能である、ソース電極及びドレイン電極と半導体層 107 との接触抵抗を小さくする機能を果たすことができる。従って、オーミックコンタクト層を形成する工程を別途設ける必要がなく、製造を容易にすることができる。

【0093】

10

尚、絶縁材でなるエッチングストップ層 501 があるため、導電層 503 が半導体層 107 に接触することができないため、読み出し用 T F T においてチャネル形成される部分は、ドーパントの拡散はなされない。よって、読み出し用 T F T 2 はこれまで説明した他の実施の形態と同様に問題なく動作することができる。

【0094】

次に、先に設けた画素電極 503K の上に I 型半導体層 123 をプラズマ C V D 等により成膜した後、エッチング処理により画素の形状に形成する（図 5（d））。その後、I 型半導体を P 型半導体とすることが出来るドーパン、例えば、ボロン（B）を含む共通電極 507 を形成する。共通電極 507 が含むドーパンが I 型半導体層 123 に拡散することで、P 型半導体層 509 を形成することができる。また、画素電極 503K が含むドーパンが I 型半導体層 123 に拡散することで、N 型半導体層 121 を形成することができる。従って、P I N 型 P D 1 を完成することができる。

20

【0095】

共通電極 507 の大きさは、第 3 の実施の形態の電極 303 と同様に、共通電極 507 を積層する I 型半導体層 123 の上部の面の大きさより小さくすることで、リーク電流を抑えることが出来、結果として暗電流の少ない P I N 型 P D 1 を形成できることになる。また、P 型半導体層及び N 型半導体層を形成する工程を別途設ける必要がなく、製造を容易にすることができる。

【0096】

次に、パッシベーション膜 307、共通電極 507 にバイアスを印加するためのバイアス配線 511、更にパッシベーション膜 115 を設けることで、イメージセンサ 50 を完成することが出来る（図 5（e））。

30

【0097】

尚、シンチレーター及び図 2 で示した I C 6 及び I C 7 が実装されている基板等から構成される駆動回路部 21 とイメージセンサ 40 とで構成される撮像装置の動作に関しては、第 1 の実施の形態と同様となる。

【0098】

これまでの説明した第 1 から第 4 の実施の形態において光電変換素子を I 型半導体、P 型半導体及び N 型半導体から構成される P I N 型 P D としているが、I 型半導体と P 型半導体又は N 型半導体のいずれかとから構成される M I S 型 P D とすることができる。M I S 型 P D とする場合、図 2（a）において、露光により M I S 型 P D 2 に発生した正孔を次の露光までに消滅させるためのリフレッシュ回路（図示しない）を設けることで対応することができる。

40

【実施例】

【0099】

これまで説明した実施の形態に沿って製造した撮像装置に関して説明する。以下で説明する実施例及び比較例で製造した全ての撮像装置が有するイメージセンサは、大きさ 60 mm×50 mm、厚み 0.7 mm の無アルカリガラス（コーニング製 #1737）を基板とし、画素の大きさは 105 μ m×160 μ m、画素数は 480×240 で 2 次元マトリクス状に配置されている。

50

【0100】

(実施例1)

第1の実施の形態で説明した基板の上に読み出し用TF Tの上にPIN型PDを積層された画素が2次元マトリクス状に配置されているイメージセンサを有する撮像装置を製造したことに因して図1に因て説明する。

【0101】

ガラス基板100の上に、まず読み出し用TF Tを作製した。ゲート電極となる導電膜としてMo (モリブデン) を成膜し、フォトリソグラフィー処理及びエッチング処理によりゲート電極103を形成した。ゲート絶縁膜105として、SiO₂成膜し、更に半導体層としてa-Si膜、オーミックコンタクト層としてN型a-Si膜を積層形成した後パターンニングすることで半導体層107、オーミックコンタクト層109を形成した。 10

【0102】

次に、導電膜としてMo膜を成膜後、フォトリソグラフィー処理及びエッチング処理によりソース電極111及びドレイン電極112を形成した。これで読み出し用TF T2が完成したことになる。

【0103】

次に、パッシベーション層115としてSiNをプラズマCVDで作製した後、フォトリソグラフィー処理及びエッチング処理によりコンタクトホール117を設けた(図1(a))。 20

【0104】

次に、画素電極119を形成した。フォスフィン(PH₃)を流量比5%含んだAr雰囲気(ITO(SnO₂ 5質量%)ターゲットをスパッタリングすることで、厚さ0.2μmのリン(P)ドーブのITO層を形成した。この時のスパッタリング条件は、圧力0.4Pa、パワー500W、基板温度200℃とした。この基板は、図1(a)で示すTF Tが形成されたガラス基板である。このITO層をフォトリソグラフィー処理及びエッチング処理して、画素電極119を形成した(図1(b))。このエッチング処理は、メタンガスと水素ガスを用いたドライエッチング処理とした。

【0105】

次に、光電変換素子であるPIN型PD1を形成した。プラズマCVD法により、I型a-Si層123とP型a-Si層125を連続して成膜した。 30

【0106】

次に、スパッタリング法によりITOを成膜して共通電極127を形成し、更にプラズマCVD法により、SiNを積層してパッシベーション層129を形成した(図1(c))。これで、イメージセンサJ1が完成したことになる。このイメージセンサJ1に、図2(a)で示すゲートドライバIC6が実装された基板及び読み出しIC7が実装された基板から構成される駆動回路部21を接続することで撮像装置とした。

【0107】

(比較例1)

以下の説明以外は、実施例1と同じとしてイメージセンサH1を製造した。画素電極119を形成するときにフォスフィン(PH₃)の供給をしなかった。また、プラズマCVD法により、I型a-Si層123を形成する前にN型a-Si層を形成した後、フォトリソグラフィー処理及びエッチング処理を行いN型a-Si層を画素毎に分離するパターンニングを行った。この後、I型a-Si層123以降を実施例1と同じとした。 40

【0108】

(実施例1と比較例1との比較結果)

実施例1のイメージセンサJ1に光を照射することで動作することが確認できた。従って、画素電極119であるITOに存在するリン(P)がI型a-Si膜へと拡散し、画素電極付近のI型a-SiがN型a-Si層121になり、PIN型PD1を形成していることが確認できた。

【0109】

また、図2で示した駆動回路部21を用いてイメージセンサJ1及びイメージセンサH1それぞれを光を当てない状態で駆動して、暗電流量を比較したところ実施例1のイメージセンサJ1の方が少ないことが確認できた。

【0110】

(実施例2)

第2の実施の形態で説明した基板の上に読み出し用TF Tの上にPIN型PDを積層された画素が2次元マトリクス状に配置されているイメージセンサを有する撮像装置を製造したことに關して図3に沿って説明する。

【0111】

コンタクトホール117を設けるまで実施例1と同じとしてガラス基板100の上に読み出し用TF T2を形成した(図3(a-1))。次に、流動性電極材料であるPEDOT/ PSS (ポリエチレンジオキシチオフエンとポリスチレンスルホン酸の錯体)を用いたスクリーン印刷法で導電性バンプ201を形成した(図3(a-2))。これでTF T基板部3Aを完成させた。

【0112】

次に、ガラス基板203の上にPIN型PD1を形成した。まず、ガラス基板203の上にITOによる共通電極127、P型a-Si層125、I型a-Si層123を順次積層した(図3(b-1))。それぞれの形成方法は、実施例1と同じとした。

【0113】

次に、画素電極119を形成した。まず、レジストをリフトオフによる画素電極119の形成を想定したパターンニングした後、これも実施例1と同じく、フォスフィン(PH₃)を流量比5%含んだAr雰囲気中ITO(SnO₂ 5質量%)ターゲットをスパッタリングすることで、厚さ0.2μmのリン(P)ドーパのITO層を形成した。この時のスパッタリング条件は、圧力0.4Pa、パワー500W、基板温度200℃とした。この基板は、図1(a)で示すTF T2が形成されたガラス基板である。ITO層を形成した後、リフトオフにて不要なITO層を除去してITOによる画素電極119を形成した(図3(b-2))。

【0114】

次に、プラズマCVD法により、SiNを積層してパッシベーション層207を形成した後、フォトリソグラフィ処理及びエッチング処理にてバンプ用ホール形成し、上述と同じスクリーン印刷法で導電性バンプ205を形成した(図3(b-3))。これでPD基板部3Bを完成させた。

【0115】

次に、TF T基板部3AとPD基板部3Bとを重ね合わせてバンプ201とバンプ205とが接触した状態で接着剤を用いて貼り合わせてイメージセンサJ2を完成させた(図3(c))。このイメージセンサJ2に、図2(a)で示すゲートドライバIC6が実装された基板及び読み出しIC7が実装された基板から構成される駆動回路部21を接続することで撮像装置とした。

【0116】

(比較例2)

以下の説明以外は、実施例2と同じとしてイメージセンサH2を製造した。プラズマCVD法により、I型a-Si層123を形成する後にN型a-Si層を形成し、この後、フォスフィン(PH₃)の供給することなく画素電極119を形成した。この後、フォトリソグラフィ処理及びエッチング処理を行い、画素電極119及びN型a-Si層を画素毎に分離するパターンニングを行った。この後、パッシベーション層207及びバンプ205を設けた。

【0117】

(実施例2と比較例2との比較結果)

実施例2のイメージセンサJ2が光を照射することで動作することが確認できた。従って、画素電極119であるITOに存在するリン(P)がI型a-Si膜へと拡散し、画

10

20

30

40

50

素電極付近の I 型 a-Si が N 型 a-Si 121 になり、PIN 型 PD1 を形成していることが確認できた。

【0118】

また、図2で示した駆動回路部21を用いてイメージセンサJ2及びイメージセンサH2それぞれを光を当てない状態で駆動して、暗電流量を比較したところ実施例2のイメージセンサJ2の方が少ないことが確認できた。

【0119】

(実施例3)

第3の実施の形態で説明した絶縁性基板の同一面の上に読み出し用 TFT と PIN 型 PD とで構成される画素が2次元マトリクス状に配置されているイメージセンサを有する撮像装置を製造したことに關して図4に沿って説明する。 10

【0120】

ガラス基板100の上に実施例1と同じ方法で読み出し用 TFT を形成した。ソース電極111及びドレイン電極112をパターニングにより形成する際に、同時に共通電極301も形成した(図4(a))。

【0121】

次に、プラズマ CVD 法により、P 型 a-Si 層と I 型 a-Si 層とを連続して成膜した。この後、フォトリソグラフィ処理及びエッチング処理にて画素形状の P 型 a-Si 層125と I 型 a-Si 層123とを形成した(図4(b))。 20

【0122】

次に、リフトオフ用のレジストを塗布し、画素電極を形成するためのパターニングを行った。ここで、画素電極のパターンは、I 型 a-Si 層123の上面の大きさよりも小さくした。具体的には、I 型 a-Si 層123の上面の外周より 5 μm 内側とした。

【0123】

次に、実施例1の画素電極119と同じリン(P)をドーパントとするITO層を形成した後、リフトオフを行うことでITOからなる画素電極303のパターニングを行った(図4(c))。

【0124】

次に、パッシベーション膜307を形成し、フォトリソグラフィ処理及びエッチング処理にて画素電極303及びドレイン電極112の位置にコンタクトホールを設けた。その後、アルミニウム(Al)をスパッタリング法で成膜し、その後パターニングを行うことで接続電極309を形成することで、読み出し用 TFT 2 と PIN 型 PD 1 とを電氣的に接続した。この後、パッシベーション膜115を形成してイメージセンサJ3を完成させた(図4(d))。このイメージセンサJ3に、図2(a)で示すゲートドライバIC6が実装された基板及び読み出しIC7が実装された基板から構成される駆動回路部21を接続することで撮像装置とした。 30

【0125】

(比較例3)

以下の説明以外は、実施例3と同じとしてイメージセンサH3を製造した。プラズマ CVD 法により、I 型 a-Si 層を形成した後に N 型 a-Si 層を積層した後、フォトリソグラフィ処理及びエッチング処理を行い P 型 a-Si 層、I 型 a-Si 層及び N 型 a-Si 層を画素毎に分離された画素形状にするパターニングを行った。次に、フォスフィン(PH₃)の供給することなく画素電極303を形成した。 40

【0126】

(実施例3と比較例3との比較結果)

実施例3のイメージセンサJ3が光を照射することで動作することが確認できた。従って、画素電極303であるITOに存在するリン(P)がI型a-Si層へと拡散し、画素電極付近のI型a-SiがN型a-Si121になり、PIN型PD1を形成していることが確認できた。

【0127】

また、図2で示した駆動回路部21を用いてイメージセンサJ3及びイメージセンサH3それぞれを光を当てない状態で駆動して、暗電流量を比較したところ実施例3のイメージセンサJ2の方が少ないことが確認できた。これは、実施例3においてPIN型PDの側面からのリーク電流が抑えられているためと考えられる。

【0128】

(実施例4)

第4の実施の形態で説明した絶縁性基板の同一面の上に読み出し用TFTとPIN型PDとで構成される画素が2次元マトリクス状に配置されているイメージセンサを有する撮像装置を製造したことに關して図5に沿って説明する。

【0129】

ガラス基板100の上に実施例1と同じく半導体層107まで形成し、半導体層107の上にエッチングストップ層501としてSiNを形成した(図5(a))。

【0130】

次に、実施例1と同じドーパントをリン(P)とするITOからなる導電膜503を成膜する(図5(b))。このリン(P)がドーパされた導電膜503であるITOをフォトリソグラフィ処理及びエッチング処理して画素電極503K、ソース電極503及びドレイン電極503dを形成した(図5(c))。

【0131】

次に、プラズマCVD法により、I型a-Si膜を成膜した後、フォトリソグラフィ処理及びエッチング処理することで画素形状のI型a-Si層123を形成した(図5(d))。

【0132】

次に、リフトオフ用のレジストを塗布し、共通電極507を形成するためのパターニングを行った。ここで、画素電極のパターンは、I型a-Si層123の上面の大きさよりも小さくした。具体的には、I型a-Si層123の上面の外周より5μm内側とした。

【0133】

次に、共通電極507を形成した。ジボラン(B₂H₆)を流量比で5%含んだAr雰囲気下でITOをスパッタリングし、厚さ200nmのボロン(B)ドーパのITOを形成した。スパッタリング条件は、ITO(SnO₂ 5質量%)ターゲットを用い、圧力0.4Pa、パワー500W、基板温度200℃とした。この基板は、図5(d)で示すI型a-Si層123が形成されているガラス基板である。ITO層を形成した後、リフトオフを行うことでITOからなる共通電極507を形成した。

【0134】

次に、パッシベーション膜307を形成し、フォトリソグラフィ処理及びエッチング処理にて共通電極507の位置にバイアス配線511のためのコンタクトホールを設けた。その後、アルミニウム(Al)をスパッタリング法で成膜し、その後パターニングを行うことでバイアス配線511を形成した。この後、パッシベーション膜115を形成した(図5(e))。これで、イメージセンサJ4を完成させた。このイメージセンサJ4に、図2(a)で示すゲートドライバIC6が実装された基板及び読み出しIC7が実装された基板から構成される駆動回路部21を接続することで撮像装置とした。

【0135】

実施例4のイメージセンサJ4が光を照射することで動作することが確認できた。従って、画素電極503KであるITOに存在するリン(P)がI型a-Si層へと拡散し、画素電極付近のI型a-SiがN型a-Si121になり、また共通電極507であるITOに存在するボロン(B)がI型a-Si層へと拡散し、共通電極付近のI型a-SiがP型a-Si121になることでPIN型PD1が形成され問題なく動作することが確認できた。

【0136】

また、図2で示した駆動回路部21を用いてイメージセンサJ4を光を当てない状態で駆動したところ暗電流量は実施例3のイメージセンサJ3とほぼ同程度であることが確認

10

20

30

40

50

できた。

【0137】

(実施例5)

実施例1で製造したイメージセンサJ1のパッシベーション層129に重ねて、図1(d)に示す通り、シンチレーター131を設けた。蛍光体として沃化セシウム(CsI)を真空蒸着により形成し、更にパッシベーション層133を積層した。このようにして、イメージセンサJ1にシンチレーターを有するイメージセンサJ5を作製した。このイメージセンサJ5に、図2(a)で示すゲートドライバIC6が実装された基板及び読み出しIC7が実装された基板から構成される駆動回路部21を接続することで撮像装置とした。

10

【0138】

図2で示した駆動回路部21を用いてイメージセンサJ5を駆動しながらX線を暴射したところ読み出しICより信号が出力され問題なく動作することが確認できた。

【図面の簡単な説明】

【0139】

【図1】実施の形態の例として、ガラス基板の上に読み出し用TFTとPIN型PDとで構成される1画素の断面で撮像装置が製造される工程を模式的に示す図である。

【図2】PIN型PDと読み出し用TFTとで構成される画素がマトリクス状に複数個配置されたイメージセンサ及び駆動回路部を備えた撮像装置を模式的に示す回路図及び動作例を説明するタイミングチャートである。

20

【図3】実施の形態の例として、ガラス基板の上に読み出し用TFTとPIN型PDとで構成される1画素の断面で撮像装置が製造される工程を模式的に示す図である。

【図4】実施の形態の例として、ガラス基板の上に読み出し用TFTとPIN型PDとで構成される1画素の断面で撮像装置が製造される工程を模式的に示す図である。

【図5】実施の形態の例として、ガラス基板の上に読み出し用TFTとPIN型PDとで構成される1画素の断面で撮像装置が製造される工程を模式的に示す図である。

【図6】ガラス基板の上に形成された半導体層を有するPIN型光電変換素子及び薄膜トランジスタを含む1画素の断面構造の従来例を模式的に示す図である。

【図7】ガラス基板の上に形成された半導体層を有するPIN型光電変換素子及び薄膜トランジスタを含む1画素の断面構造の従来例を模式的に示す図である。

30

【符号の説明】

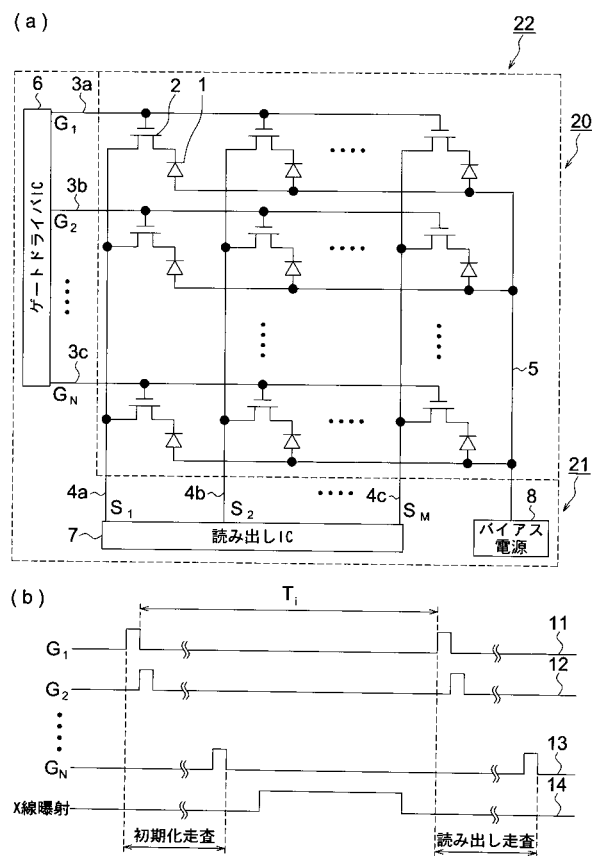
【0140】

- 1 PIN型PD
- 2 読み出し用TFT
- 20 イメージセンサ
- 100 絶縁性基板
- 103 ゲート電極
- 105 ゲート絶縁層
- 107 半導体層
- 109 オーミックコンタクト層
- 111 ソース電極
- 112 ドレイン電極
- 115、129、133 パッシベーション層
- 117 コンタクトホール
- 119 画素電極
- 121 N型半導体層
- 123 I型半導体層
- 125 P型半導体層
- 127 共通電極
- 131 蛍光体層

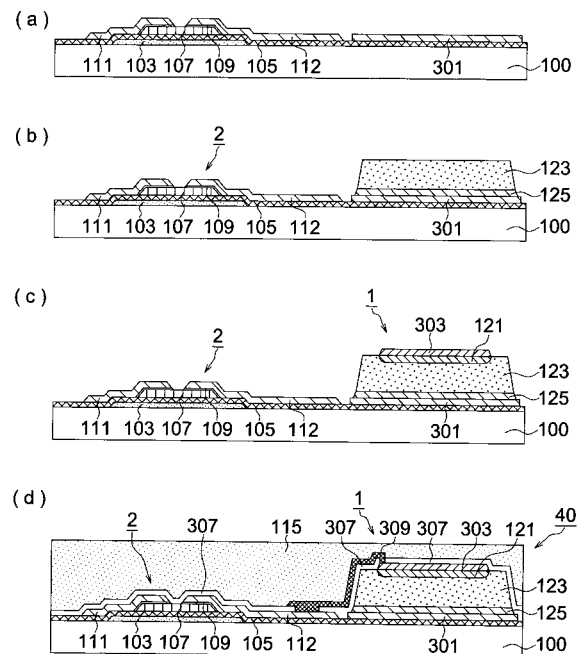
40

50

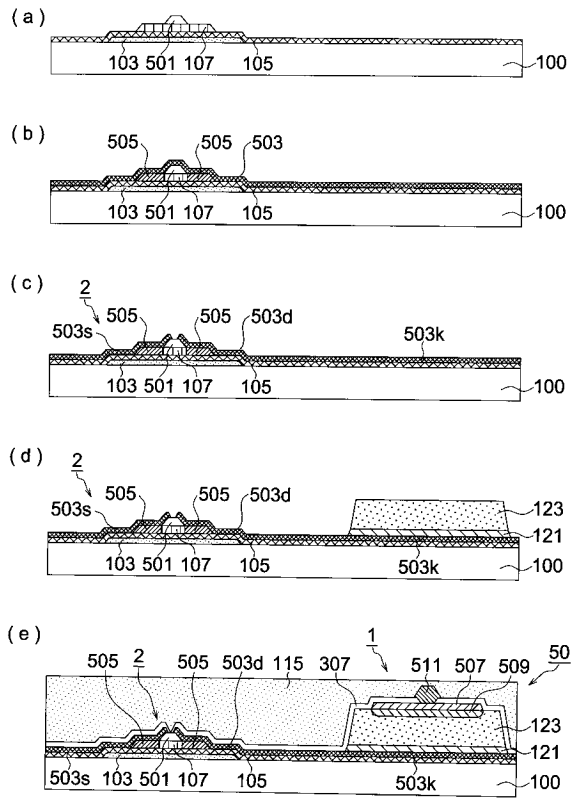
【图 2】



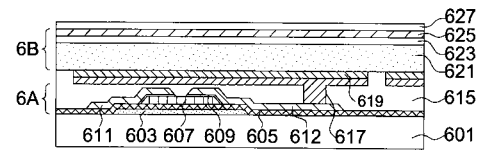
【图 4】



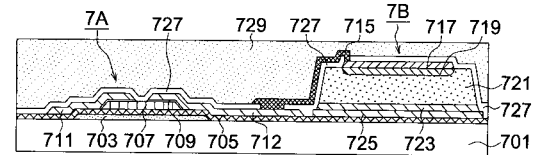
【図 5】



【図 6】



【図 7】



フロントページの続き

Fターム(参考) 5C024 AX11 AX12 AX16 CX32 CY47 GX02 GY01 GY31 HX40
5F049 MA04 MB05 NA05 NB05 PA05 PA08 PA15 QA04 RA08 SE04
SS01 SZ20 UA14 WA07
5F088 AA03 AB05 BA04 CA02 CB08 CB14 CB15 EA08 FA04 GA02
HA15 JA17 KA08 LA07