

明 細 書

発明の名称：表示装置及びその駆動方法

技術分野

[0001] 本発明は、表示装置及びその駆動方法に関し、更に詳しくは、周辺回路を構成するトランジスタの閾値電圧のシフトを抑制する技術に関する。

本願は、2013年4月25日に、日本に出願された特願2013-092425号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 近年、アクティブマトリックス型の表示装置において、画素へ電荷を注入するための画素用TFT（Thin Film Transistor：薄膜トランジスタ）と、画素用TFTに接続された走査線または信号線を駆動するための駆動回路などの周辺回路を構成する周辺回路用TFTとを、同一のガラス基板上に形成する、いわゆるモノリシック回路技術が普及してきている。

[0003] この種の表示装置に備えられた駆動回路の出力トランジスタとして使用されるTFTのゲート電極には比較的高い電圧ストレスが印加される。この電圧ストレスにより、TFTの電気的特性の一つであるゲート閾値電圧（以下、「閾値電圧」と称す。）がシフトする。電圧ストレスによるTFTの閾値電圧のシフトは、そのTFTのゲート絶縁膜中に電子がトラップされることに起因している。駆動回路を構成するTFTの閾値電圧が著しくシフトすると、画素に電荷を十分に注入できなくなり、表示装置の表示性能が低下するおそれがある。

[0004] このような問題の解決を図った従来技術として、特開2006-174294号公報（特許文献1）には、TFTの閾値電圧のシフト（変動、バラツキ）を調整するためのバックゲートが設けられたダブルゲート構造のTFTが記載されている。この従来技術によれば、予め実験により求めた制御電圧と閾値電圧との関係に基づいて、バックゲートに閾値電圧の変動と同極性の制御電圧を印加することにより、TFTの閾値電圧の変動を調整する。

先行技術文献

特許文献

[0005] 特許文献1：特開2006-174294号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、特許文献1に記載の技術によれば、予め実験により求めた制御電圧と閾値電圧との関係に基づいて、TFTの閾値電圧のシフトを調整し補償することはできるが、例えば、その閾値電圧のシフト量が大きい場合には、数十V（ボルト）もの高い電圧をバックゲートに印加する必要がある。しかも、TFTの閾値電圧のシフトの度合いに応じてバックゲートに印加する電圧を調整しなければならない。

[0007] 本発明は、上記課題に鑑みてなされたものであり、その目的は、駆動回路を構成するトランジスタの閾値電圧のシフトを低減し、表示性能の低下を抑制することができる表示装置及びその駆動方法を提供することにある。

課題を解決するための手段

[0008] 上記課題を解決するため、本発明の一態様による表示装置は、行列状に配列された複数の画素部からなる表示部と、前記表示部を構成する画素部に接続された走査線を駆動するための出力トランジスタを有する駆動部と、表示期間において前記表示部に画像を表示させるための信号を前記駆動部に供給し、前記表示期間において上昇した前記出力トランジスタの閾値電圧の絶対値が減少するように表示休止期間において前記出力トランジスタのバイアス状態を制御する制御部と、を備えた表示装置の構成を有する。

[0009] 上記課題を解決するため、本発明の一態様による表示装置の駆動方法は、行列状に配列された複数の画素部からなる表示部と、前記表示部を構成する画素部に接続された走査線を駆動するための出力トランジスタを有する駆動部と、表示期間において前記表示部に画像を表示させるための信号を前記駆動部に供給する制御部とを備えた表示装置の駆動方法であって、前記制御部

が、前記表示期間において変動した前記出力トランジスタの閾値電圧の絶対値が減少するように表示休止期間において前記出力トランジスタのバイアス状態を制御する段階を含む駆動方法の構成を有する。

発明の効果

[0010] 本発明の一態様によれば、駆動回路を構成するトランジスタの閾値電圧のシフトを抑制することができる。

図面の簡単な説明

[0011] [図1]本発明の第1実施形態による表示装置の構成の一例を示す概略ブロック図である。

[図2]第1実施形態におけるシフトレジスタ回路の構成の一例を示す概略ブロック図である。

[図3]第1実施形態におけるシフトレジスタ単位回路の構成の一例を示す回路図である。

[図4]第1実施形態における信号線駆動回路の構成の一例を示す概略ブロック図である。

[図5]第1実施形態における信号線駆動回路の昇圧動作を説明するための説明図である。

[図6]第1実施形態におけるシフトレジスタ回路の動作の一例を示すタイムチャートである。

[図7]第1実施形態におけるシフトレジスタ単位回路の動作の一例を示すタイムチャートである。

[図8A]第1実施形態におけるTFTの閾値電圧が変動するメカニズム（閾値電圧の上昇メカニズム）を説明するための第1の説明図である。

[図8B]第1実施形態におけるTFTの閾値電圧が変動するメカニズム（閾値電圧の上昇メカニズム）を説明するための第1の説明図である。

[図9A]第1実施形態におけるTFTの閾値電圧が変動するメカニズム（閾値電圧の低下メカニズム）を説明するための第1の説明図である。

[図9B]第1実施形態におけるTFTの閾値電圧が変動するメカニズム（閾値

電圧の低下メカニズム)を説明するための第2の説明図である。

[図10]第1実施形態によるシフトレジスタ回路を構成するトランジスタの特性の一例を示す特性図である。

[図11]第2実施形態におけるシフトレジスタ回路の動作の一例を示すタイムチャートである。

[図12]第3実施形態におけるシフトレジスタ回路の動作の一例を示すタイムチャートである。

[図13]第4実施形態におけるシフトレジスタ回路の動作の一例を示すタイムチャートである。

[図14]第5実施形態におけるシフトレジスタ回路の動作の一例を示すタイムチャートである。

[図15]第6実施形態におけるシフトレジスタ回路の動作の一例を示すタイムチャートである。

[図16]第7実施形態におけるシフトレジスタ回路の動作の一例を示すタイムチャートである。

[図17]第8実施形態におけるシフトレジスタ回路の動作の一例を示すタイムチャートである。

[図18]第9実施形態におけるシフトレジスタ回路の動作の一例を示すタイムチャートである。

[図19]第10実施形態におけるシフトレジスタ回路を構成するトランジスタの構造(ダブルゲート構造)の一例を示す断面図である。

[図20]第10実施形態におけるシフトレジスタ回路の動作の一例を示すタイムチャートである。

[図21]第10実施形態によるダブルゲート構造のトランジスタの閾値の変化の一例を模式的に示す図である。

[図22]第11実施形態による携帯端末装置の動作の一例を説明するためのフローチャートである。

発明を実施するための形態

[0012] [第1実施形態] (構成の説明)

本発明の第1実施形態による表示装置100の構成について説明する。

図1は、本発明の第1実施形態による表示装置100の構成の一例を示す概略ブロック図である。図1に示すように、表示装置100は、アクティブマトリクス型の液晶表示装置であり、表示部110、走査線駆動回路(駆動部)120、信号線駆動回路130、表示制御回路(制御部)140を備えている。

[0013] 表示部110は、水平ライン方向に配置された複数本の信号線SL1, SL2, ..., SLm (m: 自然数) と、垂直ライン方向に配置された複数本の走査線GL1, GL2, ..., GLn (n: 自然数) と、複数の画素部PIXとを備えている。

[0014] 画素部PIXは、信号線SL1, SL2, ..., SLmと走査線GL1, GL2, ..., GLnとの交差点に位置するようにして行列状に配置され、表示装置100の表示領域を形成する。また、複数の画素部PIXのそれぞれは、2枚の基板の間に配置された液晶材料(図示なし)と、基板上に設けられた画素用TFT (Thin Film Transistor: 薄膜トランジスタ) 114と、上記液晶材料により形成される画素容量部115と、共通電極(透明電極) Tcomとを備えている。

[0015] 画素用TFT 114は、上述の交差点を通過する走査線GLp (p: $1 \leq p \leq n$ を満たす任意の整数) にゲートが接続され、信号線SLq (q: $1 \leq q \leq m$ を満たす任意の整数) にソースが接続され、画素容量部115の第1端子にドレインが接続されている。画素容量部115の第2端子は共通端子Tcomとなっている。画素容量部115は、表示装置100に映像(画像)を表示するデータ信号に基づく各画素値(階調値)に対応する電圧を保持する。

[0016] 本実施形態では、画素用TFT 114は、Nチャネル型電界効果トランジスタである。

画素用TFT 114は、薄膜トランジスタに限定されずに任意の種類のトラ

ンジスタであり得る。

画素用 TFT 114 の半導体層の材料として、酸化物半導体を用いることができる。酸化物半導体層は、例えば、 In-Ga-Zn-O 系の半導体層である。酸化物半導体層は、例えば In-Ga-Zn-O 系の半導体を含む。ここで、 In-Ga-Zn-O 系半導体は、 In （インジウム）、 Ga （ガリウム）、 Zn （亜鉛）の三元系酸化物であって、 In 、 Ga および Zn の割合（組成比）は特に限定されず、例えば $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:1:2$ 等を含む。本実施形態では、例えば In 、 Ga および Zn を $1:1:1$ の割合で含む In-Ga-Zn-O 系半導体膜を用いる。

[0017] In-Ga-Zn-O 系半導体層を有する TFT は、高い移動度（ μFET に比べ20倍超）および低いリーク電流（ μFET に比べ100分の1未満）を有しているので、駆動 TFT および画素 TFT として好適に用いられる。 In-Ga-Zn-O 系半導体層を有する TFT を用いれば、表示装置の消費電力を大幅に削減することが可能になる。

[0018] In-Ga-Zn-O 系半導体は、アモルファスでもよいし、結晶質部分を含み、結晶性を有していてもよい。結晶質 In-Ga-Zn-O 系半導体としては、 c 軸が層面に概ね垂直に配向した結晶質 In-Ga-Zn-O 系半導体が好ましい。このような In-Ga-Zn-O 系半導体の結晶構造は、例えば、特開2012-134475号公報に開示されている。参考のために、特開2012-134475号公報の開示内容の全てを本明細書に援用する。

[0019] 酸化物半導体層は、 In-Ga-Zn-O 系半導体の代わりに、他の酸化物半導体を含んでいてもよい。例えば Zn-O 系半導体（ ZnO ）、 In-Zn-O 系半導体（ IZO （登録商標））、 Zn-Ti-O 系半導体（ ZTO ）、 Cd-Ge-O 系半導体、 Cd-Pb-O 系半導体、 CdO （酸化カドニウム）、 Mg-Zn-O 系半導体、 In-Sn-Zn-O 系半導体（例えば $\text{In}_2\text{O}_3\text{-SnO}_2\text{-ZnO}$ ）、 In-Ga-Sn-O 系半導体などを含ん

でいてもよい。

後述する周辺回路用TFT等についても同様である。

[0020] 走査線駆動回路120は、シフトレジスタ回路121を備え、シフトレジスタ回路121から走査線GL1, GL2, ..., GLnに走査信号（後述するゲート信号G1, G2, ..., Gn）を順次的に供給する回路である。走査信号に応答して、画素部PIXが水平ライン単位で駆動される。走査線駆動回路120は、シフトレジスタ回路121がクロック信号（後述するクロック信号GCK1, GCK2）に同期してゲートスタートパルス信号（後述するスタートパルス信号GSP）を順次にシフトすることによって、所定の時間間隔において走査信号を走査線GL1, GL2, ..., GLnのそれぞれに出力する。

[0021] シフトレジスタ回路121は、表示部110を構成する画素部PIXに接続された走査線GL1, GL2, ..., GLnを駆動するための出力トランジスタ（後述のTFT1213）を有している。本実施形態では、後述するように、このシフトレジスタ回路121の出力トランジスタのバイアス状態を制御することにより、その閾値電圧Vthのシフトを抑制し、表示性能の低下を抑制している。シフトレジスタ回路121の詳細については後述する。

[0022] 本実施形態では、走査線駆動回路120は、上述した画素用TFT114と同一のガラス基板上に形成された周辺回路用TFTにより構成されている。ここで、周辺回路用TFTは、画素用TFT114と同様に、N型トランジスタであり、半導体層の材料としては、画素用TFT114と同様に、例えば、In-Ga-Zn-O等の酸化物半導体などを用いることができる。ただし、周辺回路用TFTは、薄膜トランジスタに限定されずに任意の種類のトランジスタであり得る。

[0023] 信号線駆動回路130は、各画素部PIXに画素値（階調値）に対応する電圧を供給するデータ信号を生成して信号線SL1, SL2, ..., SLmに出力する回路である。信号線駆動回路130は、走査線駆動回路120による走査線GL1, GL2, ..., GLnの駆動に同期して、信号線SL1, S

L 2, ..., S L mを介して1水平ライン分のデータ信号を各画素部P I Xに供給する。

[0024] 表示制御回路140は、表示部110に画像を表示するために必要な各種の制御信号を生成して走査線駆動回路120および信号線駆動回路130に供給するものである。本実施形態では、表示制御回路140は、画像の表示期間において表示部110に画像を表示させるための信号を走査線駆動回路120および信号線駆動回路130に供給する。また、表示制御回路140は、画像の表示期間において電圧ストレス等により上昇した走査線駆動回路120の出力トランジスタ（後述のT F T 1 2 1 3）の閾値電圧V t hの絶対値が減少するように表示休止期間において上記出力トランジスタのバイアス状態を制御する。

[0025] 走査線駆動回路120に供給される制御信号としては、例えば、ゲートスタートパルス信号（G S P）、ゲートシフトクロック信号（G S C）、ゲート出力イネーブル信号（G O E）がある。また、信号線駆動回路130に供給される制御信号としては、例えば、ソーススタートパルス（S S P）、ソースシフトクロック信号（S S C）、ソース出力イネーブル信号（S O E）、極性制御信号（P O L）等がある。

[0026] 次に、図2を参照して、第1実施形態におけるシフトレジスタ回路121の構成について説明する。

図2は、第1実施形態におけるシフトレジスタ回路121の構成の一例を示す概略ブロック図である。同図に示すように、シフトレジスタ回路121は、複数の走査線G L 1, G L 2, G L 3, G L 4, ..., G L nに対応した複数のシフトレジスタ単位回路（S R単位回路）121₁, 121₂, 121₃, 121₄, ..., 121_nを備えている。これら複数のシフトレジスタ単位回路121₁, 121₂, 121₃, 121₄, ..., 121_nは縦続接続されている。

[0027] シフトレジスタ単位回路121₁, 121₂, 121₃, 121₄, ..., 121_nは、表示制御回路140からゲートスタートパルス信号G S Pを受け取る

と、信号線駆動回路130から供給されるクロック信号GCK1, GCK2に基づいてシフト動作を実施し、走査線GL1, GL2, GL3, GL4, ..., GLnにゲート信号G1, G1, G2, G3, G4, ..., Gnを順次的に出力する。クロック信号GCK1の位相とクロック信号GCK2の位相は、後述する図6に示すように、互いに180度だけ異なっている。

[0028] 本実施形態では、複数のシフトレジスタ単位回路121₁, 121₂, 121₃, 121₄, ..., 121_nのそれぞれは、クロック信号GCK1, GCK2に同期して信号を転送する一種のマスター・スレーブ型のフリップフロップとして機能する。これら複数のシフトレジスタ単位回路121₁, 121₂, 121₃, 121₄, ..., 121_nのそれぞれは、同様の構成を有しており、以下では、適宜、シフトレジスタ単位回路121₁, 121₂, 121₃, 121₄, ..., 121_nのそれぞれを指すときは、「シフトレジスタ単位回路1210」と称する。

[0029] シフトレジスタ単位回路1210は、クロック端子CK1, CK2、セット端子S、リセット端子R、出力端子Qを備えている。クロック端子CK1には、クロック信号GCK1の信号線が接続されている。また、シフトレジスタ単位回路1210のクロック端子CK2には、クロック信号GCK2の信号線が接続されている。

[0030] シフトレジスタ単位回路121₁において、セット端子Sには、ゲートスタートパルス信号GSPの信号線が接続され、リセット端子Rには、次段のシフトレジスタ単位回路121₂の出力端子Qの信号線（走査線GL2）が接続されている。また、シフトレジスタ単位回路121₁において、出力端子Qには、走査線GL1が接続されるとともに、次段のシフトレジスタ単位回路121₂のセット端子Sが接続されている。

[0031] シフトレジスタ単位回路121₂において、セット端子Sには、前段のシフトレジスタ単位回路121₁の出力端子Q（走査線GL1）が接続され、リセット端子Rには、次段のシフトレジスタ単位回路121₃の出力端子Qの信号線（走査線GL3）が接続されている。また、シフトレジスタ単位回路12

1₂において、出力端子Qには、走査線GL 2が接続されるとともに、次段のシフトレジスタ単位回路1 2 1₃のセット端子Sと、前段のシフトレジスタ単位回路1 2 1₁のリセット端子Rとが接続されている。

[0032] 以下同様にして、シフトレジスタ単位回路1 2 1₃, … 1 2 1_nにおいて、セット端子Sには、前段のシフトレジスタ単位回路の出力端子Qの信号線が接続され、リセット端子Rには、次段のシフトレジスタ単位回路の出力端子Qの信号線が接続され、出力端子Qには、走査線GL 3, … GL nが接続されている。

なお、最終段のシフトレジスタ単位回路1 2 1_nのリセット端子Rには、初段のシフトレジスタ単位回路1 2 1₁の出力端子Qからゲート信号G 1が入力される。

[0033] このように、シフトレジスタ回路1 2 1は、従属接続された複数のシフトレジスタ単位回路1 2 1₁, 1 2 1₂, 1 2 1₃, 1 2 1₄, …, 1 2 1_nから構成され、これらシフトレジスタ単位回路1 2 1₁, 1 2 1₂, 1 2 1₃, 1 2 1₄, …, 1 2 1_nの出力信号をゲート信号G 1, G 2, G 3, G 4, …, G nとして順次に走査線GL 1, GL 2, GL 3, GL 4, …, GL nに出力するように構成されている。

[0034] 次に、図3を参照して、本実施形態におけるシフトレジスタ単位回路1 2 1 0の構成を説明する。

図3は、第1実施形態におけるシフトレジスタ単位回路1 2 1 0の構成の一例を示す回路図である。同図に示すように、シフトレジスタ単位回路1 2 1 0は、TF T 1 2 1 1, 1 2 1 2, 1 2 1 3, 1 2 1 4と、コンデンサ1 2 1 5とを備えている。TF T 1 2 1 1, 1 2 1 2, 1 2 1 3, 1 2 1 4は、上述した周辺回路用TF Tであり、例えば、In-Ga-Zn-O等の酸化物半導体を用いたNチャネル型の薄膜トランジスタである。

[0035] TF T 1 2 1 1は、ドレイン及びゲートがセット端子Sに接続され、ソースがノードN 1に接続されている。TF T 1 2 1 1はダイオードとして機能し、セット端子Sの信号の論理状態がHigh状態（以下、「ハイレベル」

と称す。) になった場合に、セット端子Sに供給されたハイレベルを示す電圧を基準としてT F T 1 2 1 1の閾値電圧分だけ低下した電圧をノードN 1に供給する。

[0036] T F T 1 2 1 2は、ドレインがノードN 1に接続され、ゲートがリセット端子Rに接続され、ソースが低電源電圧V S Sを供給する低電源線L V S Sに接続されている。低電源電圧V S Sは、シフトレジスタ単位回路1 2 1 0の動作において基準となる電圧であり、本実施形態では、後述する昇圧回路1 3 2により発生される負極性を有する電圧V G L (例えば-1 5 V)である。T F T 1 2 1 2は、リセット端子Rの信号がハイレベルになった場合に導通状態になり、ノードN 1をL o w状態(以下、「ローレベル」と称す。)に駆動する。このローレベルは、ハイレベルよりも電圧の低い論理状態であり、このローレベルの電圧は低電源電圧V S Sとなる。T F T 1 2 1 2は、リセット端子Rの信号がローレベルになった場合に非導通状態になる。

[0037] T F T 1 2 1 3は、出力端子Qにパルス信号を出力するための出力トランジスタである。T F T 1 2 1 3は、ドレインがクロック端子C K 1に接続され、ゲートがノードN 1に接続され、ソースが出力端子Qに接続されている。表示装置1 0 0において、T F T 1 2 1 3に与えられる電圧ストレスが最も厳しく、表示性能に与える影響が大きい。そこで、本実施形態では、表示休止期間においてT F T 1 2 1 3のバイアス状態を制御することにより、表示期間における電圧ストレスによってシフトしたT F T 1 2 1 3の閾値電圧V t hを回復させる。

[0038] T F T 1 2 1 4は、低低電源線L V S Sと出力端子Qとの間の導通状態を制御するためのトランジスタである。T F T 1 2 1 4は、ドレインが出力端子Qに接続され、ゲートがクロック端子C K 2に接続され、ソースが低電源線L V S Sに接続されている。T F T 1 2 1 4は、クロック端子C K 2の信号がハイレベルになった場合に導通状態になり、出力端子Qの信号レベルをローレベルにする。また、T F T 1 2 1 4は、クロック端子C K 2の信号レベルがローレベルになった場合に非導通状態になる。T F T 1 2 1 4が非導

通状態であり、且つ、T F T 1 2 1 3が導通状態である場合、T F T 1 2 1 3を介して、クロック端子C K 1の信号が出力信号Qに伝達される。

[0039] コンデンサ1 2 1 5は、ノードN 1と出力端子Qとの間に接続されたブートストラップ用のコンデンサである。コンデンサ1 2 1 5は、出力端子Qの電圧の変化分をノードN 1に伝達し、ノードN 1の電圧を、出力端子Qのハイレベルを示す電圧とT F T 1 2 1 3の閾値電圧との和よりも高い電圧に押し上げる。この動作をブートストラップ動作と称し、T F T 1 2 1 3は、ブートストラップ動作により、T F T 1 2 1 3の閾値電圧 V_{th} に起因する電圧降下を生じることなく、クロック端子C K 1の信号のハイレベルを出力端子Qに伝達する。

[0040] このような構成を有するシフトレジスタ単位回路1 2 1 0は、見かけ上、クロック端子C K 2に入力されるクロック信号G C K 2に同期したタイミングでセット端子Sの信号を取り込み、この取り込んだ信号を、クロック端子C K 1に入力されるクロック信号G C K 1に同期したタイミングで出力端子Qに転送する。これにより、シフトレジスタ単位回路1 2 1 0は、いわゆるマスター・スレーブ型のフリップフロップとして機能する。

[0041] 次に、図4および図5を参照して、信号線駆動回路1 3 0について説明する。

図4は、第1実施形態における信号線駆動回路1 3 0の構成の一例を示す概略ブロック図であり、主として、上述の走査線駆動回路1 2 0に供給されるクロック信号G C K 1、G C K 2の生成に関与する部分を示している。また、図5は、第1実施形態における信号線駆動回路1 3 0の昇圧動作を説明するための説明図である。

[0042] 図4において、信号線駆動回路1 3 0は、昇圧回路1 3 1、1 3 2と、ドライバ部1 3 3とを備えている。昇圧回路1 3 1、1 3 2は、例えばチャージポンプ回路である。このうち、昇圧回路1 3 1は、図5に示すように、外部から供給される電圧 V_{SP} （例えば+5 V）を昇圧して正の電圧 V_{GH} （例えば+15 V）を発生させるものである。これに対し、昇圧回路1 3 2は

、外部から供給される電圧 V_{SN} （例えば $-5V$ ）を昇圧して負の電圧 V_{GL} （例えば $-15V$ ）を発生させるものである。

[0043] 説明を図4に戻す。ドライバ部133は、複数のドライバ1331, 1332, ...を備えている。各ドライバは、昇圧回路131, 132により発生された正の電圧 V_{GH} と負の電圧 V_{GL} との差電圧を電源電圧として、上述の表示制御回路140に含まれるタイミング制御回路141から供給されるタイミング信号に従って動作する。ドライバ1331, 1332の各出力信号のハイレベルおよびローレベルは、それぞれ、正の電圧 V_{GH} および負の電圧 V_{GL} により与えられる。

[0044] 即ち、ドライバ1331は、タイミング制御回路141から供給されるタイミング信号に従って、正の電圧 V_{GH} により与えられるハイレベルと負の電圧 V_{GL} により与えられるローレベルとを有するクロック信号 $GCK1$ を出力する。ドライバ1332についても同様であるが、ドライバ1332から出力されるクロック信号 $GCK2$ の位相は、バッファ1331から出力されるクロック信号 $GCK1$ の位相に対して 180 度だけ異なる。

[0045] 図4では省略されているが、ドライバ部133は、ドライバ1331, 1332に加えて、上述の表示制御回路140から供給される画像信号に基づき1水平ライン分の各画素の階調値に応じたデータ信号 $S1, S2, \dots, S_m$ を出力するための複数のドライバを備えている。これらデータ信号 $S1, S2, \dots, S_m$ を出力するための複数のドライバは公知の技術により実現可能であり、その詳細についての説明は省略する。

[0046] （動作の説明）

次に、本実施形態による表示装置100の動作を説明する。

本実施形態による表示装置100の動作上の特徴は、表示制御回路140による制御に基づく走査線駆動回路120の動作にあり、その他の動作は従来装置の動作と基本的には同様である。そこで、以下では、表示制御回路140による制御に基づく走査線駆動回路120の動作を詳細に説明する。

[0047] 図6は、走査線駆動回路120を構成するシフトレジスタ回路121（図

2) の動作の一例を示すタイムチャートである。同図において、波形W11, W12, W13は、それぞれ、上述のクロック信号GCK1の電圧波形、クロック信号GCK2の電圧波形、ゲートスタートパルス信号GSPの電圧波形を示している。また、波形W14, W15, ..., W1nは、それぞれ、ゲート信号G1, G2, ..., Gnの電圧波形を示している。また、波形W1t hは、図3に示すシフトレジスタ単位回路1210のTFT1213の閾値電圧Vt hの波形を示している。また、この図において、横軸は時間を示しており、縦軸は各波形の信号レベル（電圧）を示している。

[0048] また、図6において、ゲートスタートパルス信号GSPは、図2に示す初段のシフトレジスタ単位回路121₁におけるセット端子Sの入力信号に対応し、表示制御回路140から供給される信号である。ゲート信号G1は、シフトレジスタ単位回路121₁における出力端子Qの出力信号に対応する信号である。ゲート信号G2は、シフトレジスタ単位回路121₂における出力端子Qの出力信号に対応する信号である。ゲート信号G3は、シフトレジスタ単位回路121₃における出力端子Qの出力信号に対応する信号である。以下同様に、ゲート信号Gnは、シフトレジスタ単位回路121_nにおける出力端子Qの出力信号に対応する信号である。

なお、図中の“H”は、ハイレベルを示し、“L”は、ローレベルを示している。

[0049] 図6の時刻t11以前において、前述した信号線駆動回路130を構成するドライバ1331およびドライバ1332は、タイミング制御回路141の制御の下に動作を開始し、クロック信号GCK1, GCK2を発生させているものとする。本実施形態では、クロック信号GCK1, クロック信号GCK2の周期は相互に同じであり、以下では、「クロック周期」なる用語は、クロック信号GCK1及びクロック信号GCK2の各周期を表し、「半クロック周期」なる用語は、クロック周期の2分の1を表すものとする。

[0050] 図6の通常の表示期間T1において、時刻t11でゲートスタートパルス信号GSPがローレベルからハイレベルに遷移すると（波形W13参照）、

走査線駆動回路 120 に備えられたシフトレジスタ回路 121 (図 2) が、クロック信号 GCK1, GCK2 に同期したシフト動作を開始する。

[0051] 続いて、時刻 t_{11} から半クロック周期だけ遅れた時刻 t_{13} において、ゲートスタートパルス信号 GSP の立ち上がり後の最初のクロック信号 GCK1 の立ち上がりに対応して、シフトレジスタ単位回路 121_1 は、ゲート信号 G1 をローレベルからハイレベルに遷移させ、ゲート信号 G1 としてパルス信号を出力する (図 6 の波形 W14 参照)。シフトレジスタ単位回路 121_1 は、ゲート信号 G1 を次段のシフトレジスタ単位回路 121_2 のセット端子 S に出力する。

[0052] 続いて、時刻 t_{13} から半クロック周期だけ遅れた時刻 t_{15} において、ゲート信号 G1 の立ち上がり後の最初のクロック信号 CK2 の立ち上がりに対応して、シフトレジスタ単位回路 121_2 は、ゲート信号 G2 をローレベルからハイレベルに遷移させ、ゲート信号 G2 としてパルス信号を出力する (図 6 の波形 W15 参照)。シフトレジスタ単位回路 121_2 は、ゲート信号 G2 を次段のシフトレジスタ単位回路 121_3 のセット端子 S に出力する。

[0053] 以下同様にして、クロック信号 GCK1, GCK2 に同期して、シフトレジスタ回路 $121_3, \dots, 121_n$ は、ゲート信号 G3, $\dots, G_n$ としてパルス信号を順次に出力する (図 6 の波形 W16, $\dots, W1n$ 参照)。以上により、時刻 t_{11} から時刻 t_{111} にかけて、1 フレーム分のゲート信号 G1, G2, G3, $\dots, G_n$ が出力される。この後、表示期間 T1 において、表示画像に応じた複数のフレームについてゲート信号 G1, G2, G3, $\dots, G_n$ が繰り返し出力される。

[0054] このように、シフトレジスタ回路 121 は、クロック信号 GCK1, GCK2 に同期して、ゲートスタートパルス信号 GSP のハイレベルを初段のシフトレジスタ単位回路 121_1 から最終段のシフトレジスタ単位回路 121_n へ向けて順次的に転送するシフト動作を実施することにより、位相が半クロック周期だけずれた複数のパルス信号をゲート信号 G1, G2, G3, $\dots, G_n$ として順次に出力する。

[0055] 表示期間 T_1 における上述のシフト動作の過程で、図 3 に示すシフトレジスタ単位回路 1210 を構成する TFT 1213 の閾値電圧 V_{th} が、電圧ストレスにより、初期の閾値電圧 V_{th0} から上限閾値電圧 V_{thu} に向けて徐々に増加する（図 6 の波形 W_{1th} 参照）。ここで、初期の閾値電圧 V_{th0} は、電圧ストレスが印加される前の TFT 1213 の閾値電圧 V_{th} であり、上限閾値電圧 V_{thu} は、表示部 110 による画像の表示性能に影響を及ぼさない TFT 1213 の閾値電圧 V_{th} の所定の上限値である。このような閾値電圧 V_{th} の上昇は、ゲート信号 $G_1, G_2, G_3, \dots, G_n$ がハイレベルとなる期間において引き起こされるが、そのメカニズムは後述する。

[0056] 続いて、時刻 t_2 で、表示制御部 140 を構成するタイミング制御回路 141 の制御の下、信号線駆動回路 130 を構成するドライバ 1331 およびドライバ 1332（図 4）は、それぞれ、クロック信号 GCK_1 およびクロック信号 GCK_2 の各パルス幅（ハイレベルの期間）を変えずに、それらのクロック周期のみを表示期間 T_1 のクロック周期よりも長い値に設定する。これにより、表示期間 T_1 に続く表示休止期間 T_2 において、クロック信号 GCK_1, GCK_2 の各周波数は、表示期間 T_1 におけるクロック信号 GCK_1, GCK_2 の周波数よりも小さい値になる。

[0057] 具体的には、表示期間 T_1 におけるクロック信号 GCK_1, GCK_2 の各クロック周期を t_{ck1} とし、表示期間 T_2 におけるクロック信号 GCK_1, GCK_2 の各クロック周期を t_{ck2} とすると、表示期間 T_1 におけるクロック周波数 f_{ck1} は、 $f_{ck1} = 1 / t_{ck1}$ により表され、表示期間 T_2 におけるクロック周波数 f_{ck2} は、 $f_{ck2} = 1 / t_{ck2}$ により表される。

[0058] ここで、 $t_{ck2} > t_{ck1}$ とすれば、 $f_{ck1} > f_{ck2}$ なる関係が得られる。即ち、表示期間 T_1 に続く表示休止期間 T_2 において、クロック信号 GCK_1, GCK_2 の周波数 f_{ck2} が、表示期間 T_1 におけるクロック信号 GCK_1, GCK_2 の周波数 f_{ck1} よりも小さくなる。図 6 の例では

、表示休止期間 T_2 におけるクロック信号 GCK_1 、 GCK_2 の周波数 f_{ck_2} は、表示期間 T_1 におけるクロック信号 GCK_1 、 GCK_2 のクロック周波数 f_{ck_1} の概ね 4 分の 1 に設定されている。このため、表示休止期間 T_2 における 1 フレームに対応する時刻 t_2 から時刻 t_{21} までの時間は、表示期間 T_1 における 1 フレームに対応する時刻 t_{11} から時刻 t_{111} までの時間の概ね 4 倍となる。このように、表示制御回路 140 は、表示期間 T_1 において走査線駆動回路 120 に供給するクロック信号 GCK_1 、 GCK_2 の周波数よりも低い周波数の信号を、表示休止期間 T_2 の各フレームにおいてクロック信号 GCK_1 、 GCK_2 として走査線駆動回路 120 に信号線駆動回路 130 から繰り返し供給させる。

[0059] TFT_{1213} の閾値電圧 V_{th} の上昇は、表示期間 T_1 および表示休止期間 T_2 の何れの期間においても、ゲート信号 G_1 、 G_2 、 $\dots$ 、 G_n がハイレベルとなる期間において引き起こされる。しかしながら、表示休止期間 T_2 におけるクロック周波数 f_{ck_2} を、表示期間 T_1 におけるクロック周波数 f_{ck_1} よりも小さい値に設定すると、表示期間 T_1 に比較して、表示休止期間 T_2 においてゲート信号 G_1 、 G_2 、 $\dots$ 、 G_n がハイレベルになる頻度が低下する。このため、表示期間 T_1 に比較して表示休止期間 T_2 において TFT_{1213} のゲートに印加される電圧ストレスが低下する。 TFT_{1213} の電圧ストレスが低下すると、後述するように、 TFT_{1213} のゲート絶縁膜に注入される電子の数よりも、 TFT_{1213} のゲート絶縁膜から放出される電子の数が上回るようになる。

この結果、表示休止期間 T_2 において、 TFT_{1213} の閾値電圧 V_{th} が、初期の閾値電圧 V_{th0} に向けて徐々に低下する（図 6 の波形 W_{1th} 参照）。

[0060] なお、 TFT_{1213} の閾値電圧 V_{th} の低下の度合いは、表示休止期間 T_2 におけるクロック信号 GCK_1 、 GCK_2 のクロック周波数 f_{ck_2} に依存する。このため、クロック周波数 f_{ck_2} は、例えば、 TFT_{1213} の閾値電圧 V_{th} が表示休止期間 T_2 における所望の期間内に初期の閾値電

圧 V_{th0} にまで回復するように適切に設定される。

[0061] 次に、図 7 を参照して、図 3 に示すシフトレジスタ単位回路 1210 の動作について説明する。

図 7 は、第 1 の実施形態におけるシフトレジスタ単位回路 1210 の動作の一例を示すタイムチャートである。同図において、波形 $W1$, $W2$, $W3$, $W4$, $W5$, $W6$ は、それぞれ、クロック端子 $CK1$ に入力されるクロック信号 $GCK1$ の電圧波形、クロック端子 $CK2$ に入力されるクロック信号 $GCK2$ の電圧波形、セット端子 S に入力されるパルス信号の電圧波形、ノード $N1$ の電圧波形、出力端子 Q の出力信号の電圧波形、リセット端子 R に入力されるパルス信号の電圧波形を示している。

[0062] 図 7 において、 $V1$ は、セット端子 S に入力されるパルス信号のハイレベルから $TFT1213$ の閾値電圧 V_{th} 分だけ低下した電圧を示している。また、 $V2$ は、ブートストラップ動作により電圧 $V1$ を基準としてコンデンサ 1215 の端子間電圧分だけ高い電圧を示し、クロック端子 $CK1$ に入力されるクロック信号 $GCK1$ のハイレベルを示す電圧と $TFT1213$ の閾値電圧 V_{th} との和よりも高い電圧である。ノード $N1$ の電圧は、 $TFT1213$ のゲートに印加されるゲート電圧 V_g に対応する。図 7 の時刻 $t11$, $t13$, $t15$ は、それぞれ、前述の図 1 の時刻 $t11$, $t13$, $t15$ に対応している。

[0063] 説明の便宜上、時刻 $t11$ 以前の初期状態において、クロック端子 $CK1$, $CK2$ 、セット端子 S 、ノード $N1$ 、出力端子 Q 、リセット端子 R の各信号レベルはローレベルであるものとする。この初期状態から、時刻 $t11$ において、セット端子 S のパルス信号がローレベルからハイレベルに遷移すると、シフトレジスタ単位回路 1210 の $TFT1211$ が導通状態になり、 $TFT1211$ は、電圧 $V1$ をノード $N1$ に供給する（図 7 の波形 $W4$ 参照）。これにより、 $TFT1211$ がノード $N1$ に接続されたコンデンサ 1215 をプリチャージする。なお、電圧 $V1$ は、セット端子 S のパルス信号のハイレベルよりも $TFT1211$ の閾値電圧分 V_{th} だけ低い電圧であるが

、二値論理の信号レベルとしてはハイレベルとなる電圧である。

[0064] 時刻 t_{11} でノード N_1 が電圧 V_1 になると、 TFT_{1213} のゲート端子にハイレベルを示すゲート電圧 V_g が印加される。これにより TFT_{1213} が導通状態になる。このとき、クロック端子 CK_2 のクロック信号 GCK_2 の信号レベルはローレベルであるから、 TFT_{1214} は非導通状態である。このように TFT_{1214} が非導通状態にあり、且つ、 TFT_{1213} が導通状態となっても、時刻 t_{11} ではクロック端子 CK_1 のクロック信号 GCK_1 がローレベルであるため、シフトレジスタ単位回路 1210 の出力端子 Q の信号レベルはローレベルのままである。

[0065] 続いて、時刻 t_{12} において、セット端子 S のパルス信号がハイレベルからローレベルに遷移すると、 TFT_{1211} が非導通状態になり、 TFT_{1211} は、ノード N_1 のプリチャージを停止する。ノード N_1 のプリチャージが停止しても、ノード N_1 の電圧 V_1 はコンデンサ 1215 等の容量成分により保持されるため、 TFT_{1213} は導通状態に維持される。

[0066] 続いて、時刻 t_{13} において、クロック端子 CK_1 のパルス信号がローレベルからハイレベルに遷移すると、この信号のハイレベルが TFT_{1213} を通して出力端子 Q に伝達され、 TFT_{1213} は、出力端子 Q にハイレベルの出力を開始する。このとき、出力端子 Q の信号レベルがローレベルからハイレベルに遷移することにより、コンデンサ 1215 を介してノード N_1 の電圧が電圧 V_2 に押し上げられる（ブートストラップ動作）。このブートストラップ動作により、 TFT_{1213} は、クロック端子 CK_1 のクロック信号 GCK_1 のハイレベルを、電圧降下を生じることなく出力端子 Q に伝達する。

[0067] 次に、時刻 t_{14} において、クロック端子 CK_1 のクロック信号 GCK_1 がハイレベルからローレベルに遷移すると、このローレベルが TFT_{1213} を通して出力端子 Q に伝達され、 TFT_{1213} は、出力端子 Q にローレベルの出力を開始する。この場合、出力端子 Q の信号レベルがハイレベルからローレベルに遷移することにより、コンデンサ 1215 を介してノード N

1の電圧が元の電圧V₁に押し下げられる。

このように、シフトレジスタ単位回路1210は、時刻t₁₃から時刻t₁₄までの期間、図7の電圧波形W₅に示すように、出力端子Qにハイレベルのパルス信号を出力し、時刻t₁₄において、出力端子Qの信号レベルはローレベルになる。

[0068] 続いて、時刻t₁₅において、リセット端子Rのパルス信号がローレベルからハイレベルに遷移すると、TFT1212が導通状態になる。これにより、TFT1212は、ノードN₁に接続されたコンデンサ1215のディスチャージを開始してノードN₁の信号レベルをローレベルに駆動する。ノードN₁の信号レベルがローレベルになることにより、TFT1213のゲート端子にローレベルを示すゲート電圧V_gが印加される。その結果、TFT1213が非導通状態になる。また、時刻t₁₅において、クロック端子CK₂のクロック信号GCK₂がローレベルからハイレベルに遷移すると、TFT1214が導通状態になる。これにより、出力端子Qの信号レベルがローレベルに保持される。

[0069] 次に、時刻t₁₆において、リセット端子Rのパルス信号がハイレベルからローレベルに遷移すると、TFT1212が非導通状態になり、TFT1212は、ノードN₁に接続されたコンデンサ1215のディスチャージを停止する。これにより、シフトレジスタ単位回路1210の回路状態が初期状態に戻り、シフトレジスタ単位回路1210は次の動作に備える。

[0070] このように、シフトレジスタ単位回路1210は、クロック端子CK₁、CK₂に供給されるクロック信号GCK₁、GCK₂に同期して、前段のシフトレジスタ単位回路からセット端子Sに供給されるパルス信号の信号レベルを取り込み、これを出力端子Qから出力すると共に次段のシフトレジスタ単位回路に転送する。これにより、シフトレジスタ単位回路1210は、見かけ上、マスター・スレーブ型のフリップフロップとして機能する。

なお、図7において、時刻t₁₁から時刻t₁₃までの期間は、例えば表示装置100の1H期間（1水平ラインのデータ書き込み期間）に対応する

期間である。

[0071] 次に、図8 A、図8 B、図9 A、図9 Bを参照して、TF T 1 2 1 3の閾値電圧 V_{th} がシフト（上昇／低下）するメカニズムを説明する。

図8 A及び図8 Bは、第1実施形態におけるTF Tの閾値電圧 V_{th} がシフトするメカニズムを説明するための説明図であり、閾値電圧 V_{th} が上昇する場合のメカニズムを説明するための図である。前述したように、TF T 1 2 1 3の閾値電圧 V_{th} の上昇は、ゲート信号 G_1 、 G_2 、… G_n がハイレベルになる期間で引き起こされる。

[0072] 特に、図7の時刻 t_{12} から時刻 t_{13} までのブースト動作直前の期間では、図8 Aに示すように、TF T 1 2 1 3のゲート電極（G）には、電圧 V_1 として、セット端子Sに入力されたパルス信号のハイレベルに対応する電圧 V_{GH} （例えば+1.5 V）からTF T 1 2 1 1の閾値電圧を差し引いた電圧 V_{GH}' （例えば約+1.4 V）が印加される。

また、ソース電極（S）およびドレイン電極（D）には、それぞれ、クロック端子CK 1に印加されたクロック信号GCK 1のローレベルに対応する電圧 V_{GL} （例えば−1.5 V）が印加された状態となる。この状態でTF T 1 2 1 3の電圧ストレスが最大になる。

[0073] なお、図8 Aにおいて、符号「COM」は共通端子 T_{com} （図1）を表している。通常、共通端子 T_{com} には、通常、画素への電荷の注入時に、画素用TF Tのゲートとソース・ドレインとの間のカップリング容量による画素電極の電圧変動分を補償するために、その電圧変動分に対応した電圧 V_{com} （例えば−0.7 V）が印加されている。

[0074] 図8 Bは、TF T 1 2 1 3の閾値電圧 V_{th} が上昇するときの電子の移動の様子を説明するための断面図である。図8 Bに示すように、TF T 1 2 1 3は、基板11、ゲート電極12、ゲート絶縁膜13、ソース電極14、ドレイン電極15、半導体層16、絶縁膜17を有している。絶縁層17の上層には、シール材（液晶）18、透明電極19が形成される。基板11は、例えば、ガラス基板であり、基板11上にゲート電極12が形成されている

。また、ゲート電極 12 の上部には、ゲート絶縁膜 13 がゲート電極 12 に接して形成されている。ゲート絶縁膜 13 の上部には、半導体層 16 が、例えば、 In-Ga-Zn-O 等の酸化物半導体で形成され、この半導体層 16 の両端にはソース電極 14 及びドレイン電極 15 が形成される。すなわち、半導体層 16 は、ドレイン電極 15 とソース電極 14 との間に配置されて形成されている。半導体層 16、ソース電極 14 及びドレイン電極 15 は、ゲート絶縁膜 13 に接して形成されている。さらに、半導体層 16、ソース電極 14 及びドレイン電極 15 の上層には、絶縁膜 17（絶縁層）が形成されている。絶縁層 17 の上層には、シール材（液晶）18 を挟んで透明導電膜 19 が形成されている。この透明導電膜 19 は、共通電極 T_{com} （図 1）を形成する。

このようなデバイス構造を有する TFT 1214 は、フォトリソグラフィ法のプロセスを用いて形成される。

[0075] ここで、上述した TFT 1213 の電圧ストレスが最大になるブースト動作直前の状態では、半導体層 16 とゲート電極 12 との間には例えば約 29 V (V_{GH}' (約 +14 V) - V_{GL} (-15 V)) の差電圧が印加された状態となる。この差電圧により、ゲート電極 12 からソース電極 14 およびドレイン電極 15 に向かう電界が形成され、この電界の作用により半導体層 16 からゲート絶縁膜 13 に電子が注入される。この電子が半導体層 16 とゲート電極 12 との界面付近に滞留すると、ゲート電極 12 と半導体層 16 との間の電界が弱められる結果、TFT 1213 の閾値電圧 V_{th} が上昇する。

[0076] 図 9A 及び図 9B は、第 1 実施形態における TFT の閾値電圧 V_{th} がシフトするメカニズムを説明するための説明図であり、閾値電圧 V_{th} が低下する場合のメカニズムを説明するための図である。ここで、図 9A は、TFT 1213 の閾値電圧 V_{th} が低下するときのバイアス状態の一例を示し、図 9B は、TFT 1213 の閾値電圧 V_{th} が低下するときの電子の移動の様子を示している。

[0077] TFT 1213の閾値電圧 V_{th} の低下は、表示休止期間 T_2 において、ゲート信号 $G_1, G_2, \dots, G_n$ がローレベルになる期間で引き起こされる。この場合、図9Bに示すように、TFT 1213のゲート電極には、電圧 V_{GL} （例えば $-1.5V$ ）が印加され、ソース電極14およびドレイン電極15にも、それぞれ、電圧 V_{GL} （例えば $-1.5V$ ）が印加された状態となる。従ってこの場合、半導体層16とゲート電極12との間には約 $0V$ の電圧が印加された状態となり、ゲート電極12からソース電極14およびドレイン電極15に向かう電界は形成されない。

[0078] しかしながら、TFT 1213のバックゲートとして作用する透明導電膜19である共通端子 T_{com} （図1）は、上述したように例えば $-0.7V$ にバイアスされている。このため、ゲート電極12に対して透明導電膜19の電位が高くなり、透明導電膜19からゲート電極12に向かう電界が形成される。この電界の作用により、ゲート絶縁膜13に注入された電子が透明導電膜19に向けて放出される。この結果、表示休止期間 T_2 において、TFT 1213の閾値電圧 V_{th} が低下し、初期の閾値電圧 V_{th0} にまで回復する（図6の波形 W_{th} 参照）。

[0079] 表示期間 T_1 においてもゲート信号 $G_1, G_2, \dots, G_n$ がローレベルになる期間が存在するので、表示期間 T_1 においても表示休止期間 T_2 と同様に電子がゲート絶縁膜13から放出され得る。しかしながら、ゲート絶縁膜13に電子が注入されるとき電界強度と、ゲート絶縁膜13から電子が放出されるとき電界強度の違いにより、電子の放出よりも電子の注入が優勢になる。このため、表示期間 T_1 ではゲート信号 $G_1, G_2, \dots, G_n$ がハイレベルになる頻度が高くなることと相俟って、表示期間 T_1 では、TFT 1213の閾値電圧 V_{th} が上昇する傾向を示す。

[0080] 逆に、表示休止期間 T_2 においてもゲート信号 G がハイレベルになる期間が存在するので、表示休止期間 T_2 においても電子がゲート絶縁膜13に注入され得る。しかしながら、表示休止期間 T_2 では、表示期間 T_1 に比較して、ゲート信号 $G_1, G_2, \dots, G_n$ がハイレベルになる頻度が低くなる。

このため、表示休止期間 T_2 では、電子の注入よりも電子の放出が優勢になり、 TFT_{1213} の閾値電圧 V_{th} が低下する傾向を示すようになる。

[0081] このように、本実施形態では、表示制御回路140の制御の下、表示休止期間 T_2 において、ゲート信号 $G_1, G_2, \dots, G_n$ がローレベルになる期間において、シフトレジスタ単位回路1210を構成する TFT_{1213} のゲート（ゲート電極12）とソース（ソース電極14）とドレイン（ドレイン電極15）とを TFT_{1213} のバックゲート電圧以下にバイアスさせることにより、バックゲートからゲート電極12に向かう電界を形成し、この電界の作用により、ゲート絶縁膜13に注入された電子を放出させている。

[0082] 従って、本実施形態によれば、表示期間 T_1 において TFT_{1213} の閾値電圧 V_{th} が上昇しても、表示休止期間 T_2 においてその閾値電圧 V_{th} を低下させて回復させることができる。よって、表示動作を安定化させ、高い信頼性を有する表示装置を実現することが可能になる。また、本実施形態によれば、周辺回路の TFT の電気的特性の劣化を見込んで大きなサイズの TFT を使用する必要がなくなるため、周辺回路の TFT のサイズを小型化することができる。従って、表示装置の狭額縁化と低消費電力を実現することが可能になる。

[0083] また、本実施形態によれば、表示期間 T_1 におけるクロック周波数よりも表示休止期間 T_2 におけるクロック周波数が小さくなるように、タイミング制御回路141によりクロック信号 GCK_1, GCK_2 の各クロック周期（パルス間隔）のみを制御すればよいので、簡易なタイミング制御により TFT_{1213} の電圧ストレスを緩和し、その閾値電圧 V_{th} のシフトを抑制することができる。

[0084] また、例えばシフトレジスタ単位回路1210を構成する $TFT_{121}, 1212, 1213, 1214$ として、 $In-Ga-Zn-O$ 等の酸化物半導体を用いたNチャネル型の薄膜トランジスタを採用すれば、オフリーク電流の低減と高駆動力を実現することができる。

[0085] ここで、図10は、第1実施形態によるシフトレジスタ回路121を構成

するTFTの特性の一例を示す特性図であり、 In-Ga-Zn-O 等の酸化物半導体を用いたNチャネル型の薄膜トランジスタの特性の一例を示す図である。この図において、実線は、 In-Ga-Zn-O 等の酸化物半導体を用いたNチャネル型の薄膜トランジスタの特性を示し、点線は、従来のアモルファスシリコンTFTの特性を示している。図10から理解されるように、酸化物半導体を用いたNチャネル型の薄膜トランジスタを採用することにより、従来のアモルファスシリコンTFTの特性に比較して、オフリーク電流を3桁以上小さくすることができ、TFT1211~1214の駆動力（ドレイン電流）を20倍程度に改善することができる。また、このような高駆動力により、アモルファスシリコンTFTを用いた場合と比較して、TFT1211~1214のサイズを例えば20分の1程度に縮小することができ、狭額縁化が可能となる。

[0086] また、酸化物半導体を用いたNチャネル型の薄膜トランジスタを採用することにより、駆動周波数特性を改善することもできる。即ち、アモルファスシリコンTFTを用いた場合、表示休止期間 T_2 での駆動周波数の下限が例えば45Hzであるのに対し、酸化物半導体を用いたNチャネル型の薄膜トランジスタによれば、駆動周波数を例えば0.2Hz程度にまで改善することができる。これにより、表示休止期間 T_2 における消費電力を、アモルファスシリコンTFTを用いた場合に比較して、例えば100分の1程度以下に低減することが可能になる。

[0087] なお、上述した第1実施形態では、表示休止期間 T_2 においてTFT1213の閾値電圧 V_{th} を低下させる場合、図8A及び図8Bに例示するように、ゲート電極12とソース電極14とドレイン電極15を電圧 V_{GL} （例えば-15V）にバイアスし、これら各電極の電圧を、バックゲートとして作用する共通端子 T_{com} となる透明導電膜19の電圧以下にバイアスするものとしたが、この例に限定されることなく、上昇したTFTの閾値電圧 V_{th} を回復させることができることを限度として、ゲート電極12、ソース電極14、ドレイン電極15の各電極を相互に異なる電圧でバイアスしても

よい。

[0088] また、上述した第1実施形態では、ゲート絶縁膜13に注入された電子を対象として表示休止期間T2においてゲート絶縁膜13から放出させるものとしたが、必ずしもゲート絶縁膜13に注入された電子に限定されることなく、TF Tの閾値電圧 V_{th} の上昇に関与する任意の電子を対象とすることができる。

[0089] [第2実施形態]

次に、図11を参照して、本発明の第2実施形態を説明する。

第2実施形態では、第1実施形態で用いた図1から図4に示される構成を流用する。

上述した第1実施形態では、表示期間T1におけるクロック周波数よりも表示休止期間T2におけるクロック周波数を小さくしたが、第2実施形態では、表示制御回路140は、表示休止期間T2の一部の期間において、第1実施形態と同様にクロック周波数を小さくし、TF T1213（出力トランジスタ）の閾値電圧 V_{th} の絶対値が減少するように、このTF T1213のバイアス状態を制御する。加えて、本実施形態では、表示制御回路140は、表示休止期間T2の残りの期間において、表示部110の電源をオフ状態に制御する。

その他の構成および動作は上述した第1実施形態と同様である。

なお、第2実施形態は、第1実施形態のみならず、後述する第3実施形態から第12実施形態に適用することもできる。

[0090] 図11は、第2実施形態におけるシフトレジスタ回路121の動作の一例を示すタイムチャートである。同図において、波形W21, W22, W23は、それぞれ、クロック信号GCK1の電圧波形、クロック信号GCK2の電圧波形、ゲートスタートパルス信号GSPの電圧波形を示している。また、波形W24, W25, W26, ..., W2nは、それぞれ、ゲート信号G1, G2, G3, ..., Gnの電圧波形を示している。また、波形W2thは、図3に示すシフトレジスタ単位回路1210のTF T1213の閾値電圧V

t_h の波形を示している。

[0091] 図11の例では、表示休止期間 T_2 のうち、 m (m : 自然数) フレームに対応する時刻 t_2 から時刻 t_{22} までの期間において、第1実施形態と同様に周波数の低いゲート信号 $G_1, G_2, \dots, G_n$ を発生させ、 TFT_{1213} (出力トランジスタ) の閾値電圧 V_{th} の絶対値が減少するように、この TFT_{1213} のバイアス状態を制御する。この例では、 TFT_{1213} の閾値電圧 V_{th} は、表示休止期間 T_2 が終了する時刻 t_3 よりも前の時刻 t_{22} で初期の閾値電圧 V_{th0} にまで回復している。 TFT_{1213} の閾値電圧 V_{th} が回復すれば (即ち、ゲート酸化膜13に注入された電子が全て放出されれば)、 TFT_{1213} の閾値電圧 V_{th} は一定になり、変化しない (図11の時刻 $t_{22} \sim t_3$ における波形 W_{2th} 参照)。このため、閾値電圧 V_{th} が回復した後、 TFT_{1213} のゲートをローレベルに維持する必要がなくなり、 TFT_{1213} のゲートにローレベルの電圧 (例えば $-15V$) を印加し続けても、そのための電力が無駄に消費されることになる。

[0092] そこで、本実施形態では、表示制御回路140が、時刻 t_{22} から次の表示期間が開始する時刻 t_3 までの間、表示装置100の例えば昇圧回路131, 132を含む信号線駆動回路130と走査駆動回路120の電源をオフ状態に制御し、その動作を停止させる。

これにより、クロック信号 GCK_1, GCK_2 、ゲートスタートパルス信号 GSP 、ゲート信号 $G_1, G_2, G_3, \dots, G_n$ の各信号レベルをグラウンドレベル GND にする (図11の時刻 $t_{22} \sim t_3$ における波形 $W_{21}, W_{22}, W_{23}, W_{24}, W_{25}, W_{26}, \dots, W_{2n}$ 参照)。

[0093] 本実施形態によれば、 TFT_{1213} の閾値電圧 V_{th} が回復した後の時刻 t_{22} から時刻 t_3 までの期間、昇圧回路131, 132を含む信号線駆動回路130と走査線駆動回路120の電源がオフ状態に制御されるので、これらの回路で消費される電力が発生しない。従って、上述の第1実施形態に比較して、表示休止期間 T_2 における消費電力をいっそう抑制することが可能になる。また、クロック信号 GCK_1, GCK_2 、ゲートスタートパル

ス信号GSP、ゲート信号G1, G2, G3, ..., Gnの各信号レベルがグラウンドレベルGNDになるため、TFT1213のゲート電極、ソース電極、ドレイン電極もグラウンドレベルGNDになる。このため、TFT1213に対して電圧ストレスは加えられず、その閾値電圧Vthの変動が発生しない。

[0094] [第3実施形態]

次に、図12を参照して、本発明の第3実施形態を説明する。

第3実施形態でも、第1実施形態で用いた図1から図4に示される構成を流用する。

本実施形態では、第1実施形態と同様に、表示制御回路140は、表示期間T1において走査線駆動回路120に供給する信号の周波数よりも低い周波数の信号を表示休止期間T2において走査線駆動回路120に供給するが、加えて、表示期間T1において走査駆動回路120に供給する信号の電圧振幅よりも小さい電圧振幅の信号を表示休止期間T2において走査駆動回路120に供給する。

その他の構成および動作は第1実施形態と同様である。なお、第3実施形態は、第1実施形態のみならず、第2実施形態に適用することもできる。

[0095] 具体的には、表示期間T1におけるゲート信号G1, G2, G2, ..., Gn等の各信号の電圧振幅をVck1とし、表示休止期間T2における各信号の電圧振幅をVck2とすれば、 $Vck1 \geq Vck2$ となるように、表示制御回路140が表示休止期間T2における各信号のハイレベルを制御する。これにより、本実施形態では、表示休止期間T2において、ゲート信号G1, G2, ..., Gnの各電圧振幅を、第1実施形態における電圧振幅以下に設定する。

その他の構成および動作は第1実施形態と同様である。

[0096] 図12は、第3実施形態におけるシフトレジスタ回路121の動作の一例を示すタイムチャートである。同図において、波形W31, W32, W33は、それぞれ、クロック信号GCK1の電圧波形、クロック信号GCK2の

電圧波形、ゲートスタートパルス信号GSPの電圧波形を示している。また、波形W34, W35, W36, ..., W3nは、それぞれ、ゲート信号G1, G2, G3, ..., Gnの電圧波形を示している。

[0097] 本実施形態によれば、第1実施形態に比較して、表示休止期間T2においてTF T1 2 1 3のゲート電極とソース／ドレイン電極との間の電圧ストレスが低下するので、表示休止期間T2において、ゲート信号G1, G2, G3, ..., Gnがハイレベルになる期間でのゲート絶縁膜13に対する電子の注入がいっそう抑制される。従って、第1実施形態に比較して、よりいっそうTF T1 2 1 3の閾値電圧Vthの回復を促進することができ、さらなる低消費電力化と高信頼性を実現することができる。

[0098] [第4実施形態]

次に、図13を参照して、本発明の第4実施形態を説明する。

第4実施形態でも、第1実施形態で用いた図1から図4に示される構成を流用する。

前述の第1実施形態では、表示期間T1におけるクロック周波数よりも表示休止期間T2におけるクロック周波数を小さくしたが、第4実施形態では、表示制御回路140は、表示期間T1において走査線駆動回路120に供給するクロック周波数と表示休止期間T2のクロック周波数は同じとし、表示休止期間T2において「間欠的」に走査線駆動回路120にクロック信号を供給する。具体的には、本実施形態では、表示制御回路140は、例えば、表示休止期間T2におけるフレームを間引いて表示休止期間T2におけるフレーム周波数（フレームレート）f2を表示期間T1におけるフレーム周波数f1よりも低く設定することにより間欠動作を実現する。

その他の構成および動作は第1実施形態と同様である。

[0099] 図13は、第4実施形態におけるシフトレジスタ回路121の動作の一例を示すタイムチャートである。同図において、波形W41, W42, W43は、それぞれ、クロック信号GCK1の電圧波形、クロック信号GCK2の電圧波形、ゲートスタートパルス信号GSPの電圧波形を示している。また

、波形W44, W45, W46, …, W4nは、それぞれ、ゲート信号G1, G2, G3, …Gnの電圧波形を示している。

[0100] 図13において、例えば、表示期間T1におけるクロック信号GCK1, GCK2のクロック周波数を60Hzとした場合、表示休止期間T2において、最初の1フレームのみについて表示期間T1と同等のフレーム周波数を設定する。また、残りの59フレームについては、クロック信号GCK1, GCK2、ゲートスタートパルス信号GSP、ゲート信号G1, G2, G3, …, Gnの各信号の信号レベルをローレベル（電圧VGL）に固定し、TF T1213の駆動を休止させる。これにより、表示期間T1におけるフレーム周波数f1よりも表示休止期間T2におけるフレーム周波数f2を低下させ、間欠的に閾値電圧Vthを回復させるための動作を実施する。

なお、表示期間T1におけるフレーム周波数f1よりも表示休止期間T2におけるフレーム周波数f2を低下させることができることを限度として、表示休止期間T2において任意の複数のフレームを表示期間T1と同等に設定してもよい。

[0101] 本実施形態によれば、表示休止期間T2におけるフレーム周波数f2を低くすることにより、表示休止期間T2においてTF T1213に電圧ストレスが加えられる期間を短くすることができる。また、表示休止期間T2におけるフレーム周波数f2を低くすることにより、TF T1213の閾値電圧Vthを回復させるための期間を相対的に延ばすことができる。従って、本実施形態によっても、第1実施形態と同様に、TF T1213の閾値電圧Vthのシフトを抑制することができ、信頼性に優れた表示装置を実現することができる。

[0102] なお、本実施形態では、表示休止期間T2における最初の1フレームについてのみについて表示期間T1と同等のフレーム周波数を設定するものとしているが、表示休止期間T2において表示期間T1と同等のフレーム周波数が設定されるフレームの数および位置は任意である。

[0103] [第5実施形態]

次に、図 1 4 を参照して、本発明の第 5 実施形態を説明する。

第 5 実施形態でも、第 1 実施形態で用いた図 1 から図 4 に示される構成を流用する。

本実施形態では、第 4 実施形態と同様に、表示制御回路 1 4 0 は、表示期間 T_1 において走査線駆動回路 1 2 0 に供給するクロック周波数と表示休止期間 T_2 のクロック周波数は同じとし、表示休止期間 T_2 におけるフレーム周波数 f_2 を表示期間 T_1 におけるフレーム周波数 f_1 よりも低く設定することにより、表示休止期間 T_2 において間欠的に走査線駆動回路 1 2 0 にクロック信号を供給するが、加えて、表示期間 T_1 において走査駆動回路 1 2 0 に供給する信号の電圧振幅よりも小さい電圧振幅の信号を、表示休止期間 T_2 において走査線駆動回路 1 2 0 に供給する。

その他の構成および動作は第 4 実施形態と同様である。

[0104] 図 1 4 は、第 5 実施形態におけるシフトレジスタ回路 1 2 1 の動作の一例を示すタイムチャートである。図 1 4 において、波形 W_{51} , W_{52} , W_{53} は、それぞれ、クロック信号 GCK_1 の電圧波形、クロック信号 GCK_2 の電圧波形、ゲートスタートパルス信号 GSP の電圧波形を示している。また、波形 W_{54} , W_{55} , W_{56} , $\dots$, W_{5n} は、それぞれ、ゲート信号 G_1 , G_2 , G_3 , $\dots$, G_n の電圧波形を示している。

[0105] 表示制御回路 1 4 0 は、表示休止期間 T_2 において、クロック信号 GCK_1 , GCK_2 、ゲートスタートパルス信号 GSP 、ゲート信号 G_1 , G_2 , G_3 , $\dots$, G_n の各信号のハイレベルを電圧 V_{GH} よりも低い電圧に設定する。即ち、表示期間 T_1 におけるゲート信号 G_1 , G_2 , G_3 , $\dots$, G_n の電圧振幅を V_{ck1} とし、表示休止期間 T_2 におけるゲート信号 G_1 , G_2 , $\dots$, G_n の電圧振幅を V_{ck2} とすれば、表示制御回路 1 4 0 は、 $V_{ck1} \geq V_{ck2}$ なる関係を満たすように、昇圧回路 1 3 1, 1 3 2 の昇圧電圧を制御することにより、各信号の信号レベルを制御する。

[0106] 本実施形態によれば、第 4 実施形態に比較して、表示休止期間 T_2 における各信号の信号レベル（電圧振幅）が低下するので、第 4 実施形態に比較し

て、よりいっそう T F T 1 2 1 3 に対する電圧ストレスを緩和することができる、信頼性を向上させることができる。

[0107] [第 6 実施形態]

次に、図 1 5 を参照して、本発明の第 6 実施形態を説明する。

第 6 実施形態でも、第 1 実施形態で用いた図 1 から図 4 に示される構成を流用する。

上述した第 1 から第 5 実施形態では、表示休止期間 T 2 においても、クロック信号 G C K 1, G C K 2、ゲートスタートパルス信号 G S P、ゲート信号 G 1, G 2, G 3, ..., G n の各信号レベルをハイレベルとローレベルとの間で遷移させたが、第 6 実施形態では、表示制御回路 1 2 0 は、表示休止期間 T 2 において走査線駆動回路 1 2 0 に供給する信号を、この走査線駆動回路 1 2 0 の出力トランジスタの電圧ストレスを緩和させる所定レベルに固定させる。

[0108] 具体的には、本実施形態では、表示制御回路 1 4 0 は、表示休止期間 T 2 において走査線駆動回路 1 2 0 に供給する信号をローレベル（所定レベル）に固定させる。即ち、表示制御回路 1 4 0 は、クロック信号 G C K 1, G C K 2、ゲートスタートパルス信号 G S P、ゲート信号 G 1, G 2, G 3, ..., G n の各信号レベルを、ローレベルを示す電圧 V G L（例えば - 1 5 V）に固定する。

その他の構成および動作は第 1 実施形態と同様である。

[0109] 図 1 5 は、第 6 実施形態におけるシフトレジスタ回路 1 2 1 の動作の一例を示すタイムチャートである。図 1 5 において、波形 W 6 1, W 6 2, W 6 3 は、それぞれ、クロック信号 G C K 1 の電圧波形、クロック信号 G C K 2 の電圧波形、ゲートスタートパルス信号 G S P の電圧波形を示している。また、波形 W 6 4, W 6 5, W 6 6, ..., W 6 n は、それぞれ、ゲート信号 G 1, G 2, G 3, ..., G n の電圧波形を示している。

[0110] 図 1 5 の表示休止期間 T 2 における波形 W 6 1, W 6 2, ..., W 6 n で示すように、表示制御回路 1 4 0 は、クロック信号 G C K 1, G C K 2 および

ゲートスタートパルス信号GSPを発生させず、これらの信号レベルを、ローレベルを示す電圧VGLに固定させる。これにより、表示休止期間T2において、ゲート信号G1, G2, G3, ..., Gnの各信号レベルもローレベルを示す電圧VGLに固定される。

[0111] 本実施形態によれば、ゲート信号G1, G2, G3, ..., Gnの各信号レベルがローレベルに固定されるので、表示休止期間T2において、TF T1 2 1 3の閾値電圧Vthの上昇を引き起こす電圧ストレスが発生する期間をなくすることができる。従って、上述の第1から第5実施形態に比較して、よりいっそう速やかに表示休止期間T2においてTF T1 2 1 3の閾値電圧Vthを回復させることができ、信頼性に優れた表示装置を実現することができる。加えて、本実施形態によれば、ゲート信号G1, G2, G3, ..., Gnの各信号レベルがローレベルに固定され、画素部PIXの走査が行われないため、走査に要する消費電力を低減することもできる。

[0112] [第7実施形態]

次に、図16を参照して、本発明の第7実施形態を説明する。

第7実施形態でも、第1実施形態で用いた図1から図4に示される構成を流用する。

第7実施形態では、第6実施形態と同様に、表示制御回路140は、表示休止期間T2において走査線駆動回路120に供給する信号を、TF T1 2 1 3（出力トランジスタ）の電圧ストレスを緩和させる所定レベルに固定するが、この所定レベルとして、表示期間T1において走査駆動回路120に供給する信号レベルに相当する電圧振幅の絶対値よりも小さい絶対値を有する電圧振幅に相当する信号レベルに固定させる。

[0113] 具体的には、本実施形態では、表示制御回路140は、走査線駆動回路120に供給する信号の電圧を、表示期間T1において走査線駆動回路120に供給するクロック信号GCK1, GCK2のローレベル（例えば-1.5V）の絶対値よりも小さい絶対値を有する電圧振幅に相当するローレベルに固定させる。即ち、表示制御回路140は、表示休止期間T2におけるゲート

信号 G_1 , G_2 , G_3 , ..., G_n の各信号レベルの電圧を、電圧 V_{GL} の絶対値よりも小さい絶対値を有する電圧 $V_{GL\ off}$ に設定する。ただし、電圧 V_{GL} と電圧 $V_{GL\ off}$ の符号は共にマイナスである。

その他の構成および動作は第6実施形態と同様である。

[0114] 図16は、第7実施形態におけるシフトレジスタ回路121の動作の一例を示すタイムチャートである。図16において、波形 W_{71} , W_{72} , W_{73} は、それぞれ、クロック信号 GCK_1 の電圧波形、クロック信号 GCK_2 の電圧波形、ゲートスタートパルス信号 GSP の電圧波形を示している。また、波形 W_{74} , W_{75} , W_{76} , ..., W_{7n} は、それぞれ、ゲート信号 G_1 , G_2 , G_3 , ..., G_n の電圧波形を示している。また、この図において、横軸は時間を示しており、縦軸は各波形の信号レベル（電圧）を示している。

[0115] 図16の表示休止期間 T_2 における電圧波形 W_{71} , W_{72} , W_{73} , ..., W_{7n} で示すように、表示制御回路140は、クロック信号 GCK_1 , GCK_2 およびゲートスタートパルス信号 GSP を発生させず、表示休止期間 T_2 における時刻 t_{271} から時刻 t_{272} にかけて、これらの信号レベルを、絶対値が電圧 V_{GL} よりも小さい電圧 $V_{GL\ off}$ で示されるローレベルに固定させる。このような制御は、例えば、表示制御回路140が、 $|V_{GL}| \leq |V_{GL\ off}|$ なる関係を満たすように、昇圧回路132の昇圧動作を制御することにより実現することができる。

[0116] 本実施形態によれば、第6実施形態に比較して、表示休止期間 T_2 における昇圧回路132の昇圧電圧を低下させるので、昇圧動作に要する消費電力を低減させることができる。加えて、本実施形態によれば、第6実施形態と同様に、表示休止期間 T_2 において、 TFT_{1213} の閾値電圧 V_{th} の上昇を引き起こす電圧ストレスが発生する期間をなくすることができる。従って、上述の第1から第5実施形態に比較して、よりいっそう速やかに TFT_{1213} の閾値電圧 V_{th} を回復することができると共に、消費電力を低減することができる。

[0117] [第8実施形態]

次に、図17を参照して、本発明の第8実施形態を説明する。

第8実施形態では、第1実施形態で用いた図1から図4に示される構成を流用する。

上述した第1から第7実施形態では、表示休止期間T2における表示部110の各画素部PIXの共通電極Tcomの電圧については、表示期間T1における通常的な共通電極電圧Vcom（例えば−0.7V）に設定しているが、第8実施形態では、表示制御回路140は、表示休止期間T2においてTF T1213（出力トランジスタ）のバックゲートとして作用する画素部PIXの共通電極Tcomの電圧を所定レベルに固定する。

[0118] 具体的には、本実施形態では、表示制御回路140は、表示休止期間T2における共通電極電圧Vcomを、上記所定レベルとして、ゲート信号G1, G2, G3, ..., Gnのローレベルと同様の電圧VGL（例えば−15V）に設定する。このような制御は、例えば、表示制御回路140の制御の下、通常の共通電極電圧Vcomに代えて、昇圧回路132によって負方向に昇圧された電圧VGLを各画素PIXの共通電極Tcomに供給することにより実現できる。

その他の構成および動作は第1実施形態と同様である。

[0119] 図17は、第8実施形態におけるシフトレジスタ回路121の動作の一例を示すタイムチャートである。同図において、波形W81, W82, W83は、それぞれ、クロック信号GCK1の電圧波形、クロック信号GCK2の電圧波形、ゲートスタートパルス信号GSPの電圧波形を示している。また、波形W84, W85, W86, ..., W8nは、それぞれ、ゲート信号G1, G2, G3, ..., Gnの電圧波形を示している。また、W8comは、共通電極Tcomに印加される電圧波形を示している。

[0120] 図17から理解されるように、本実施形態では、表示制御回路140は、表示休止期間T2において、画素部PIXの共通電極Tcomの電圧をローレベルに固定させる。詳細には、同図の表示休止期間T2における電圧波形

W81, W82, W83で示すように、表示制御回路140は、クロック信号GCK1, GCK2およびゲートスタートパルス信号GSPを発生させず、これらの信号レベルを電圧VGLのローレベルに固定する。これにより、表示休止期間T2において、ゲート信号G1, G2, G3, ..., Gnの各信号レベルが電圧VGL（例えば-15V）に固定される。加えて、表示休止期間T2における波形W8comで示すように、表示制御回路140は、表示休止期間T2における時刻t281から時刻282にかけて、各画素部PIXの共通電極Tcomの電圧を電圧VGL（例えば-15V）に設定する。

[0121] 本実施形態によれば、表示休止期間T2において、電圧VGLとは別個に共通電極電圧Vcom（例えば-0.7V）を発生させる必要がなくなるので、消費電力を低減させることができる。加えて、本実施形態によれば、上述の第7実施形態と同様に、表示休止期間T2において、TF T1213の閾値電圧Vthの上昇を引き起こす電圧ストレスが発生する期間をなくすることができる。従って、上述の第1から第5実施形態に比較して、よりいっそう速やかにTF T1213の閾値電圧Vthを回復することができると共に、走査に要する消費電力も低減することができる。

[0122] [第9実施形態]

次に、図18を参照して、本発明の第9実施形態を説明する。

第9実施形態でも、第1実施形態で用いた図1から図4に示される構成を流用する。

上述の第8実施形態では、共通電極Tcomの電圧の所定レベルとして、ゲート信号G1, G2, G3, ..., Gnのローレベルと同様の電圧VGL（例えば-15V）を設定したが、第9実施形態では、表示制御回路140は、共通電極Tcomの電圧の所定レベルとして、ゲート信号G1, G2, G3, ..., Gnのハイレベルと同様の電圧VGH（例えば+15V）を設定する。このような制御は、例えば、表示制御回路140の制御の下、通常の共通電極電圧Vcomに代えて、昇圧回路131により昇圧された電圧VGH

を各画素P I Xの共通電極T c o mに供給することにより実現できる。

その他の構成および動作は第8実施形態と同様である。

[0123] 図18は、第9実施形態におけるシフトレジスタ回路121の動作の一例を示すタイムチャートである。同図において、波形W91, W92, W93は、それぞれ、クロック信号GCK1の電圧波形、クロック信号GCK2の電圧波形、ゲートスタートパルス信号GSPの電圧波形を示している。また、波形W94, W95, W96, …W9nは、それぞれ、ゲート信号G1, G2, G3, …Gnの電圧波形を示している。また、W9comは、共通電極T c o mに印加される電圧波形を示している。

[0124] 図18の表示休止期間T2における波形W91, W92, W93で示すように、表示制御回路140は、クロック信号GCK1, GCK2およびゲートスタートパルス信号GSPを発生させず、これらの信号レベルを電圧VGLに固定する。これにより、表示休止期間T2において、ゲート信号G1, G2, G3, …, Gnの各信号レベルが電圧VGLに固定される。また、表示休止期間T2における電圧波形W9comで示すように、表示制御回路140は、表示休止期間T2における時刻t291から時刻292にかけて、各画素の共通電極T c o mの電圧を電圧VGH（例えば+15V）に設定する。

[0125] 本実施形態によれば、TF T1213のゲート（図9Bのゲート電極12）からバックゲート（図9Bの透明導電膜19）に向かう電界が発生し、この電界により、表示期間T1においてゲート絶縁膜13に注入された電子がゲート絶縁膜13から放出される。このため、上述の第8実施形態に比較して、いっそう速やかにTF T1213の閾値電圧Vthを回復させることが可能になる。加えて、本実施形態によれば、上述の第7実施形態と同様に、表示休止期間T2において、TF T1213の閾値電圧Vthの上昇を引き起こす電圧ストレスが発生する期間をなくすることができる。従って、上述の第1から第5実施形態に比較して、よりいっそう速やかにTF T1213の閾値電圧Vthを回復することができると共に、走査に要する消費電力を低

減することができる。また、本実施形態によれば、表示休止期間 T 2 において共通電極電圧 V c o m を発生させる必要がなくなるので、消費電力を低減させることができる。

[0126] [第 10 実施形態]

次に、図 19～図 21 を参照して、本発明の第 10 実施形態を説明する。

第 10 実施形態でも、第 1 実施形態で用いた図 1 から図 4 に示される構成を流用する。

上述の第 1 から第 9 実施形態では、出力トランジスタとして機能する T F T 1 2 1 3 は、通常のシングルゲート構造のデバイスであるが、第 10 実施形態では、T F T 1 2 1 3 として、ダブルゲート構造を有する T F T を用いる。以下では、ダブルゲート構造を有する T F T 1 2 1 3 を「T F T 1 2 1 3 d g」と称す。T F T 1 2 1 3 d g は、後述するバックゲート電極 (B G) 20 を有している。T F T 1 2 1 3 d g を備える点と、T F T 1 2 1 3 d g のバックゲート電極 (B G) 20 に印加する電圧に関する制御を除けば、構成および動作は上述の第 1 実施形態と同様である。なお、第 10 実施形態は、前述した第 1 から第 9 実施形態と組み合わせることも可能である。

[0127] 図 19 を参照して、上述の T F T 1 2 1 3 を構成するダブルゲート構造の T F T 1 2 1 4 d g (ダブルゲート構造のトランジスタ) の構成について説明する。

図 19 は、本実施形態におけるダブルゲート構造の T F T 1 2 1 3 d g の一例を示す断面図である。前述の図 9 B に示す T F T 1 2 1 3 の構成要素と共通する要素については同一符号を付し、その説明を省略する。

[0128] 図 19 に示すように、ダブルゲート構造の T F T 1 2 1 4 d g では、絶縁膜 17 上のゲート電極 12 に対向する位置にバックゲート電極 (B G) 20 が形成されている。バックゲート電極 20 は、半導体層 16 を挟んでゲート電極 12 と対向して配置される。このようなダブルゲート構造の T F T 1 2 1 3 d g は、フォトリソグラフィー法のプロセスを用いて生成される。バックゲート電極 (B G) 20 は、上述した画素部 P I X において形成する透明

導電膜（透明電極）と同じ層として形成される。これにより、本実施形態におけるダブルゲート構造のTFT1213dgは、追加プロセス工程を必要とせずに、形成することができる。

図19から理解されるように、TFT1213dgは、ドレイン電極15とソース電極14との間の導通状態を制御するゲート電極12（第1ゲート電極）と、上記ドレイン電極15と上記ソース電極14との間の半導体層16を挟んで上記ゲート電極12と対向して配置され、絶縁層17を介して形成されたバックゲート電極20（第2ゲート電極）とを有する。

[0129] 次に、図20を参照して、本実施形態の動作を説明する。

図20は、第10実施形態におけるシフトレジスタ回路121の動作の一例を示すタイムチャートである。同図において、波形W101, W102, W103は、それぞれ、クロック信号GCK1の電圧波形、クロック信号GCK2の電圧波形、ゲートスタートパルス信号GSPの電圧波形を示している。また、波形W104, W105, W106, ..., W10nは、それぞれ、ゲート信号G1, G2, G3, ..., Gnの電圧波形を示している。また、波形WBGは、バックゲート電極（BG）20に印加される電圧波形を示している。

[0130] 図20の表示休止期間T2における波形WBGで示すように、表示制御回路140は、表示休止期間T2における時刻t2101から時刻t2102にかけて、バックゲート電極（BG）20の電圧を所定レベルである電圧VGH（例えば+15V）に固定させる。

加えて、波形W101, W102, W103で示すように、表示制御回路140は、クロック信号GCK1, GCK2およびゲートスタートパルス信号GSPを発生させず、これらの信号レベルを電圧VGL（例えば-15V）に固定する。これにより、表示休止期間T2において、ゲート信号G1, G2, G3, ..., Gnの各信号レベルが電圧VGLに固定される。

[0131] このように、本実施形態では、表示休止期間T2においてバックゲート電極（BG）20の電圧を電圧VGHに固定することにより、ゲート電極12

とバックゲート電極 20 との間に、バックゲート電極 20 からゲート電極 12 に向かう電界が形成される。この電界により、表示期間 T_1 においてゲート絶縁膜 13 に注入された電子が、表示休止期間 T_2 においてゲート絶縁膜 13 からバックゲート電極 20 に向けて放出され、ゲート絶縁膜 13 に注入された電子の数が減少する。この結果、 $TF T_{1213dg}$ の閾値電圧 V_{th} が低下し、初期の閾値電圧 V_{th0} に向けて回復する。

[0132] 図 21 は、第 10 実施形態によるダブルゲート構造の $TF T_{1213dg}$ の閾値電圧 V_{th} の変化の一例を模式的に示す図であり、ダブルゲート構造を有する $TF T_{1213dg}$ における非動作状態の経過時間と閾値電圧 V_{th} との関係を示している。この図において、縦軸は、 $TF T_{1213dg}$ のしきい値電圧 (V_{th}) を示し、横軸は、非動作状態の経過時間を対数により示している。

[0133] また、図 21 において、波形 WA は、非動作状態において、バックゲート電極 (BG) 20 に電圧を印加しない場合の閾値電圧 V_{th} の変化を示している。バックゲート電極 (BG) 20 に電圧を印加しない場合の波形 WA が、バックゲート電極 18 を備えない一般の $TF T$ の閾値電圧の波形に対応する。また、波形 WB は、非動作状態において、バックゲート電極 (BG) 20 の電圧 V_{bg} がゲート電圧 V_g よりも低い場合 ($V_{bg} < V_g$) の閾値電圧 V_{th} の変化を示している。また、波形 WC は、非動作状態において、バックゲート電極 (BG) 20 の電圧 V_{bg} がゲート電圧 V_g よりも高い場合 ($V_{bg} > V_g$) の閾値電圧 V_{th} の変化を示している。

[0134] 一般に $TF T$ は、非動作状態において、ゲート電極に 0 V の電圧 ($V_g = 0 V$) が印加されている状態では、電圧ストレスがかからない。この電圧ストレスがかからない状態が継続すると、 $In-Ga-Zn-O$ 等の酸化物半導体を用いた $TF T$ では、時間の経過とともに徐々に閾値電圧 V_{th} が回復する特性がある。つまり、動作状態において、プラス方向に変動した閾値電圧 V_{th} が、非動作状態において、徐々にマイナス方向にシフトし、初期の閾値電圧 V_{th0} へと戻ろうとする傾向を示す。

[0135] 本実施形態におけるダブルゲート構造のTFT1213dgは、図21に示すように、非動作状態において、バックゲート電極20に印加する電圧に応じて、閾値電圧 V_{th} の回復量が変化する。例えば、バックゲート電極20の電圧 V_{bg} がゲート電圧 V_g よりも低い場合（波形WB）、バックゲート電極20に電圧を印加しない場合（波形WA）よりも、閾値電圧 V_{th} の回復量が小さくなり、初期の閾値電圧 V_{th0} に戻るまでの時間が延びる。また、バックゲート電極20の電圧 V_{bg} が電圧 V_g よりも高い場合（波形WC）、バックゲート電極20に電圧を印加しない場合（波形WA）よりも、閾値電圧 V_{th} の回復量が大きくなり、初期の閾値電圧 V_{th0} に戻るまでの時間が短縮される。

[0136] 本実施形態では、シフトレジスタ回路121を構成するTFT1213dgのバックゲート電極（BG）20の電圧 V_{bg} として、ゲート電圧 V_g （ V_{GL} ）よりも高い電圧 V_{GH} を印加するので、図21の波形WCに示すように、TFT1213dgの閾値電圧 V_{th} の回復が促進される。従って、上述の第1から第9実施形態に比較して、よりいっそう速やかにTFT1213dgの閾値電圧 V_{th} を回復することができる。

なお、本実施形態では、バックゲート電極20を、ハイレベルを示す電圧 V_{GH} に固定するものとしたが、この例に限定されず、ローレベルを示す電圧 V_{GL} に固定してもよい。

[0137] [第11実施形態]

次に、図22を参照して、本発明の第11実施形態を説明する。

第11実施形態でも、第1実施形態で用いた図1から図4に示される構成を流用する。

第11実施形態では、第1から第10実施形態の何れかによる表示装置100をスマートフォンなどの携帯端末装置に適用する。上述の第1から第10実施形態では、表示休止期間 T_2 は、画像を表示する期間以外の任意の期間であるものとしているが、本実施形態では、表示休止期間 T_2 は、上述した第1実施形態から第10実施形態の何れかによる表示装置が搭載された携

帯端末装置等の機器が備えるバッテリーの充電期間に該当する。即ち、出力トランジスタのバイアス状態の制御は、表示休止期間 T_2 のうち、上述の何れかによる表示装置が搭載された携帯端末装置等の機器が備えるバッテリーの充電期間において実施される。本実施形態では、表示制御回路 140 は、携帯端末装置の表示部のバックライトがオフ状態、または輝度が低下した状態にあり、且つ、携帯端末装置が充電状態にある場合、上述した第 1 実施形態から第 10 実施形態の何れかによる表示休止期間 T_2 における一連の閾値電圧 V_{th} の回復動作を実施する。

本実施形態における表示装置の構成および動作は、基本的には第 1 から第 10 実施形態と同様である。

[0138] 図 22 は、第 11 実施形態による携帯端末装置の動作の一例を説明するためのフローチャートである。

同図に示すステップ S1 において、上述の第 1 から第 10 実施形態の何れかによる表示装置が適用された携帯端末装置はスタンバイ状態にあり、利用者による電源スイッチオンの操作を待つ。

続いて、ステップ S2 において、利用者が携帯端末装置を操作すると、この操作に応答して、携帯端末装置の制御部（図示なし）は、上述の第 1 から第 10 実施形態の何れかによる表示装置のパネル表示をオンとする。

[0139] 続いて、ステップ S3 において、携帯端末装置は、利用者の操作に応答して、上述した表示期間 T_1 において通常の表示動作を実施する。

続いて、ステップ S4 において、携帯端末装置の制御部は、一定時間にわたって利用者の操作がない場合、その旨を表示装置の表示制御回路 140 に通知し、この表示装置の表示部 110 のバックライトをオフ状態に制御して消灯させる。または、携帯端末装置の制御部は、一定時間にわたって利用者の操作がない場合、その旨を表示装置の表示制御回路 140 に通知し、表示装置の表示部 110 のバックライトの輝度を低下させる。

[0140] 続いて、ステップ S5 において、携帯端末装置の制御部は、表示部 110 のバックライトがオフ状態に制御された状態またはその輝度が低下した状態

でバッテリーの充電が実施されているか否かを判定する。ここで、バッテリーの充電が実施されている場合（ステップS5：YES）、ステップS6において、携帯端末装置の制御部は、表示装置の表示制御回路140に、上述した表示休止期間T2における閾値電圧 V_{th} を回復させるための動作を実施させる。その後、利用者による操作がなければ、ステップS7において、携帯端末装置の制御部は、表示装置の電源をオフさせるためのオフシーケンスを実施させる。

[0141] これに対し、バッテリーの充電が実施されていない場合（ステップS5：NO）、ステップS6は省略され、上述した表示休止期間T2における閾値電圧 V_{th} を回復させるための動作は実施されず、ステップS7において、携帯端末装置の制御部は、表示装置の電源をオフさせるためのオフシーケンスを実施させる。

[0142] このように、本実施形態では、携帯端末装置に搭載された表示装置は、バックライトがオフ状態または輝度が低下した状態にあり、且つ、バッテリーが充電されている状態にある期間において、上述した第1から第10実施形態による閾値電圧 V_{th} を回復させるための動作を実施する。

[0143] 一般に、携帯端末装置のスタンバイモードは消費電力を抑制することを目的としている。従って、バッテリーの充電を行わずに通常のスタンバイモード状態にある場合に上述した閾値電圧 V_{th} の回復動作を実施すると、消費電力が増加し、スタンバイモードの目的が損なわれる。そこで、本実施形態では、上述したように、消費電力の増加が許容されるバッテリーの充電中に閾値電圧 V_{th} の回復動作を実施している。

[0144] 本実施形態によれば、携帯端末装置のバッテリーを充電する時間を利用して、表示装置に備えられたTF T1213の閾値電圧 V_{th} を回復するための時間を十分に確保することができる。従って、表示期間T1においてシフトしたTF T1213の閾値電圧 V_{th} を十分に回復させることが可能になる。

なお、第11実施形態では、本発明による表示装置を携帯端末装置に適用

したが、携帯端末装置に限定されることなく本発明による表示装置は任意の供給に適用することができる。

[0145] 上述した第1から第11実施形態では、本発明を表示装置として表現したが、本発明は表示装置の駆動方法として表現することもできる。この場合、本発明は、上述した各実施形態による表示装置の駆動方法であって、表示制御回路140が、表示期間T1において変動した出力トランジスタとしてのTFT1213、1213dgの閾値電圧 V_{th} の絶対値が減少するように、表示休止期間T2においてTFT1213、1213dgのバイアス状態を制御する段階を含む表示方法として表現することができる。

以上、本発明の実施形態を説明したが、上述した第1から第11実施形態は、任意に組み合わせることができる。また、本発明は、上述の実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲で、種々の変形、変更、置換が可能である。

産業上の利用可能性

[0146] 本発明の一態様は、表示装置の駆動回路を構成するトランジスタの閾値電圧のシフトを低減し、表示性能の低下を抑制することが必要な表示装置及びその駆動方法などに適用することができる。

符号の説明

[0147] 11 基板 12 ゲート電極 13 ゲート絶縁膜 14 ソース電極
15 ドレイン電極 16 半導体層 17 絶縁層 18 シール材 19 透明導電膜 20 バックゲート電極 100 表示装置 110 表示部 114 画素用TFT 115 画素容量部 120 走査線駆動回路（駆動部） 121 シフトレジスタ回路 1211, 1212, 1213, 1213dg, 1214 TFT 1215 コンデンサ 121₁, 121₂, 121₃, ..., 121_n, 1210 シフトレジスタ単位回路 130 信号線駆動回路 131, 132 昇圧回路 133 ドライバ部 1331, 1332 ドライバ 140 表示制御回路（制御部） 141 タイミング制御回路 G1, G2, ..., Gn ゲート信号 GL1, GL2,

..., GL n 走査線 PIX 画素部 S 1 ~ S 7 処理ステップ SL 1
, SL 2, ..., SL m 信号線 T com 共通端子

請求の範囲

- [請求項1] 行列状に配列された複数の画素部からなる表示部と、
前記表示部を構成する画素部に接続された走査線を駆動するための出力トランジスタを有する駆動部と、
表示期間において前記表示部に画像を表示させるための信号を前記駆動部に供給し、前記表示期間において上昇した前記出力トランジスタの閾値電圧の絶対値が減少するように表示休止期間において前記出力トランジスタのバイアス状態を制御する制御部と、
を備えた表示装置。
- [請求項2] 前記制御部は、
前記出力トランジスタのゲートとソースとドレインとを、前記出力トランジスタのバックゲート電圧以下にバイアスさせる請求項1に記載の表示装置。
- [請求項3] 前記制御部は、
前記表示期間において前記駆動部に供給する信号の周波数よりも低い周波数の信号を、前記表示休止期間において前記駆動部に供給する請求項1または2に記載の表示装置。
- [請求項4] 前記制御部は、
前記表示期間において前記駆動部に供給する信号のフレーム周波数よりも低いフレーム周波数の信号を、前記表示休止期間において前記駆動部に供給する請求項1または2に記載の表示装置。
- [請求項5] 前記制御部は、
前記表示休止期間において前記駆動部に供給する信号を、前記出力トランジスタの電圧ストレスを緩和させる所定レベルに固定する請求項1または2に記載の表示装置。
- [請求項6] 前記制御部は、
前記所定レベルとして、前記表示期間において前記駆動部に供給する信号レベルに相当する電圧振幅の絶対値よりも小さい絶対値を有す

る電圧振幅に相当する信号レベルに固定する請求項 5 に記載の表示装置。

[請求項7] 前記制御部は、
前記表示休止期間において前記出力トランジスタのバックゲートとして作用する前記画素部の共通電極を、前記出力トランジスタの電圧ストレスを緩和させる所定レベルに固定する請求項 1 から 6 の何れか 1 項に記載の表示装置。

[請求項8] 前記出力トランジスタは、
ドレイン電極とソース電極との間の導通状態を制御する第 1 ゲート電極と、前記ドレイン電極と前記ソース電極との間の半導体層を挟んで前記第 1 ゲート電極と対向して配置され、絶縁層を介して形成された第 2 ゲート電極とを有するダブルゲート構造であり、
前記表示休止期間において、前記第 2 ゲート電極であるバックゲートを所定レベルに固定する請求項 1 から 6 の何れか 1 項に記載の表示装置。

[請求項9] 前記制御部は、
前記表示休止期間の一部の期間において、前記出力トランジスタの閾値電圧の絶対値が減少するように前記出力トランジスタのバイアス状態を制御する請求項 1 から 8 の何れか 1 項に記載の表示装置。

[請求項10] 前記制御部は、
前記表示部のバックライトを、前記表示休止期間において消灯または輝度を低下させる請求項 1 から 9 の何れか 1 項に記載の表示装置。

[請求項11] 前記出力トランジスタのバイアス状態を制御する期間は、
前記表示休止期間のうち、当該表示装置が搭載された機器が備えるバッテリーの充電期間である請求項 1 から 10 の何れか 1 項に記載の表示装置。

[請求項12] 前記出力トランジスタは、
酸化物半導体から構成される請求項 1 から 11 の何れか 1 項に記載

の表示装置。

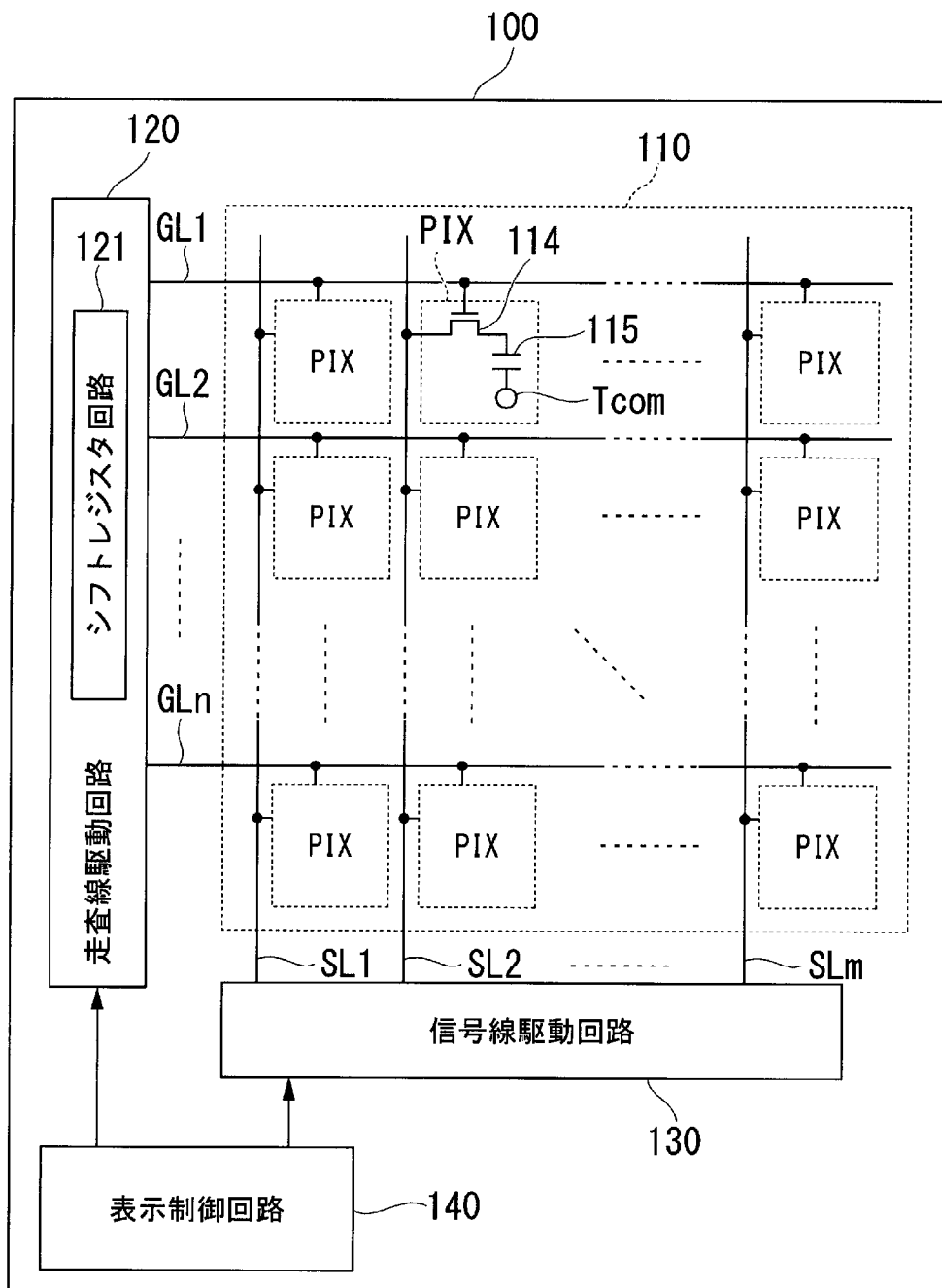
[請求項13] 前記酸化物半導体が、インジウム、ガリウム、亜鉛、および酸素を含む請求項12に記載の表示装置。

[請求項14] 前記酸化物半導体が結晶性を有する請求項13に記載の表示装置。

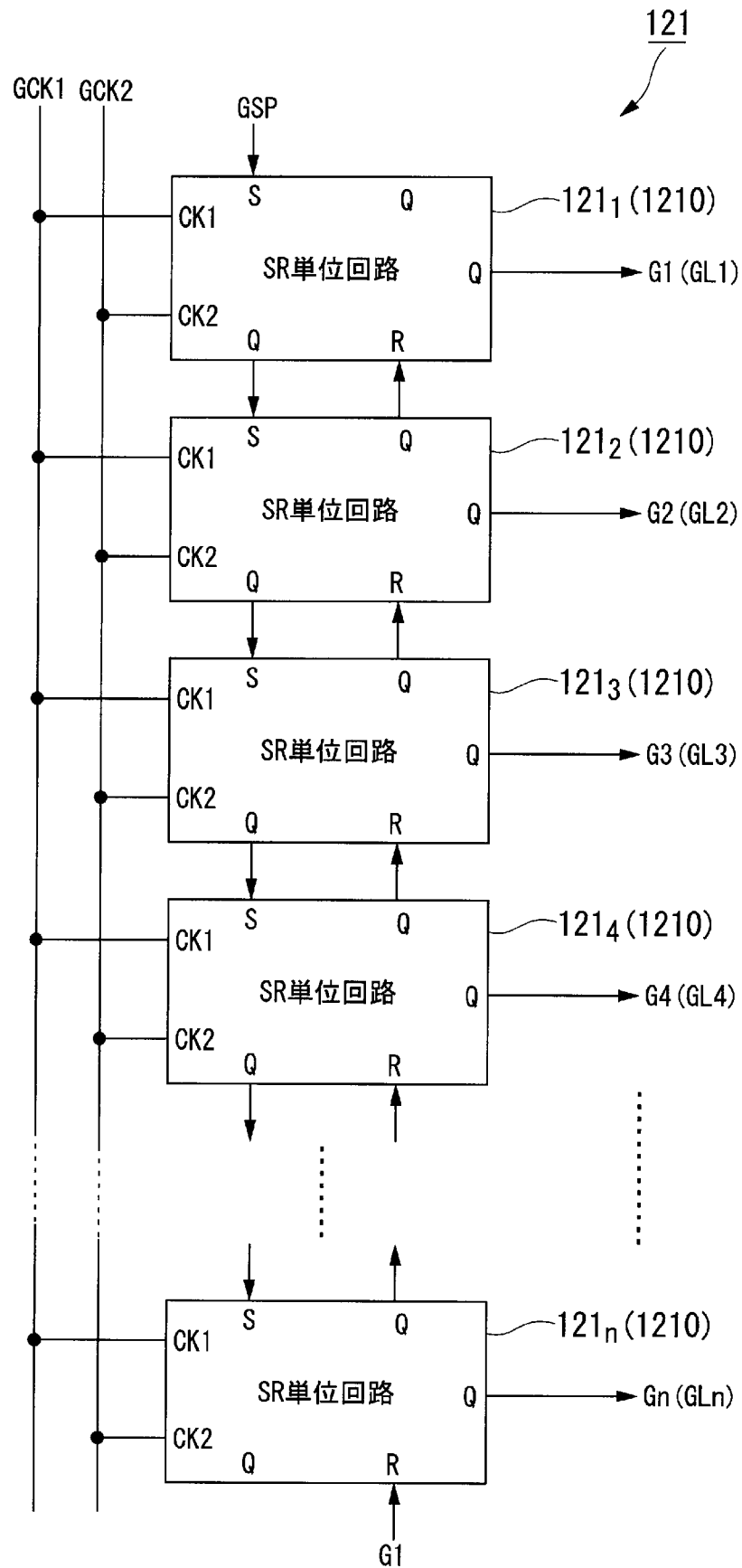
[請求項15] 行列状に配列された複数の画素部からなる表示部と、前記表示部を構成する画素部に接続された走査線を駆動するための出力トランジスタを有する駆動部と、表示期間において前記表示部に画像を表示させるための信号を前記駆動部に供給する制御部とを備えた表示装置の駆動方法であって、

前記制御部が、前記表示期間において変動した前記出力トランジスタの閾値電圧の絶対値が減少するように表示休止期間において前記出力トランジスタのバイアス状態を制御する段階を含む駆動方法。

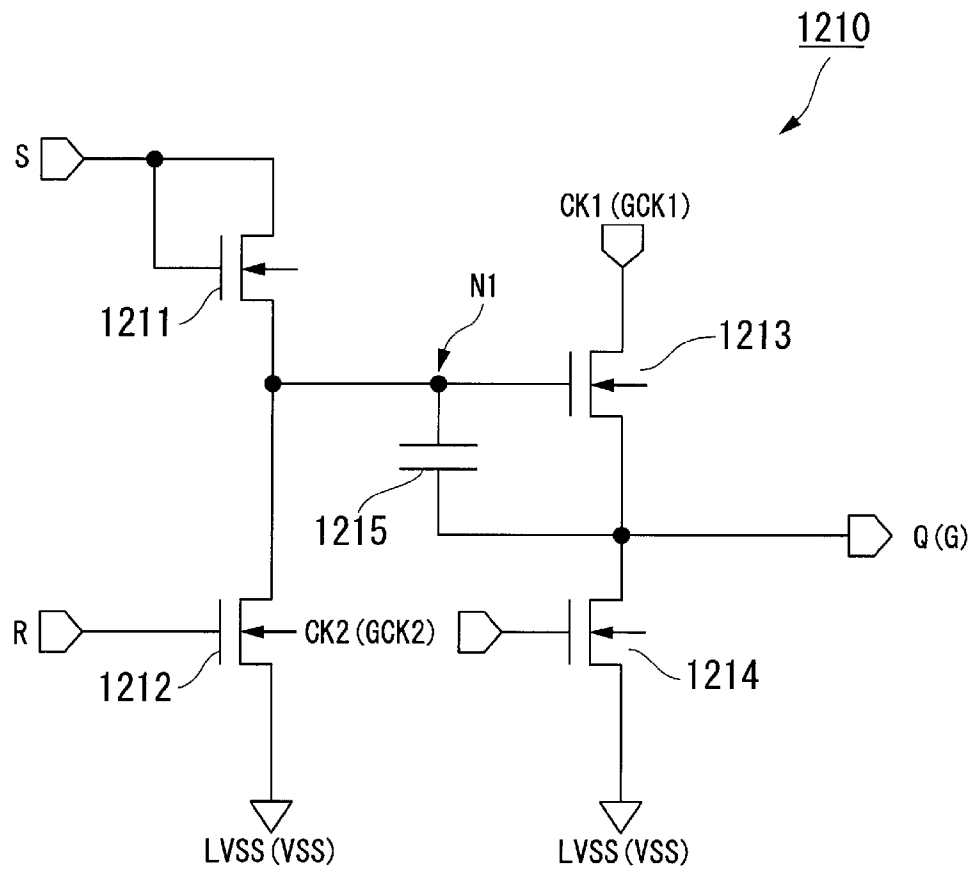
[図1]



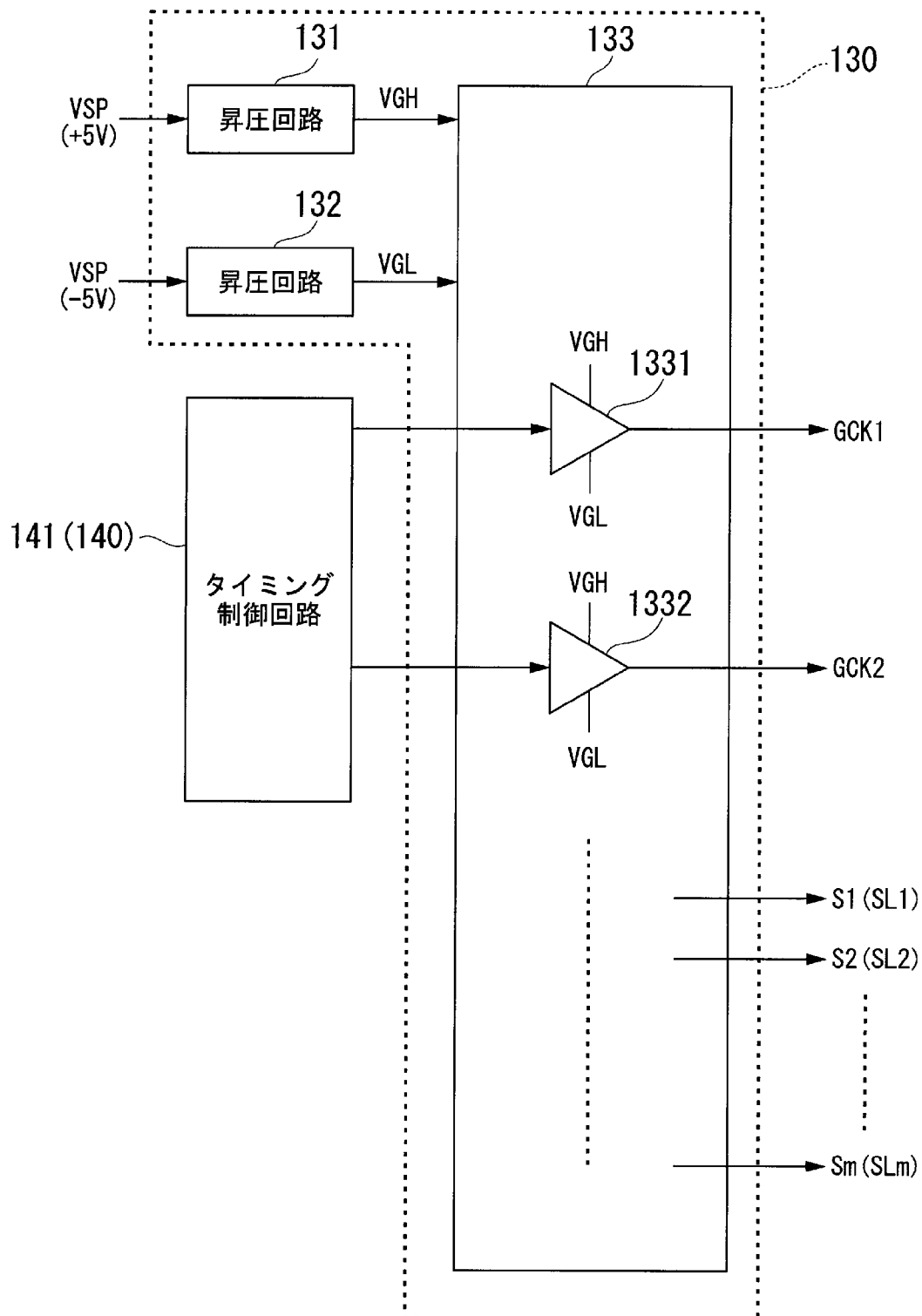
[図2]



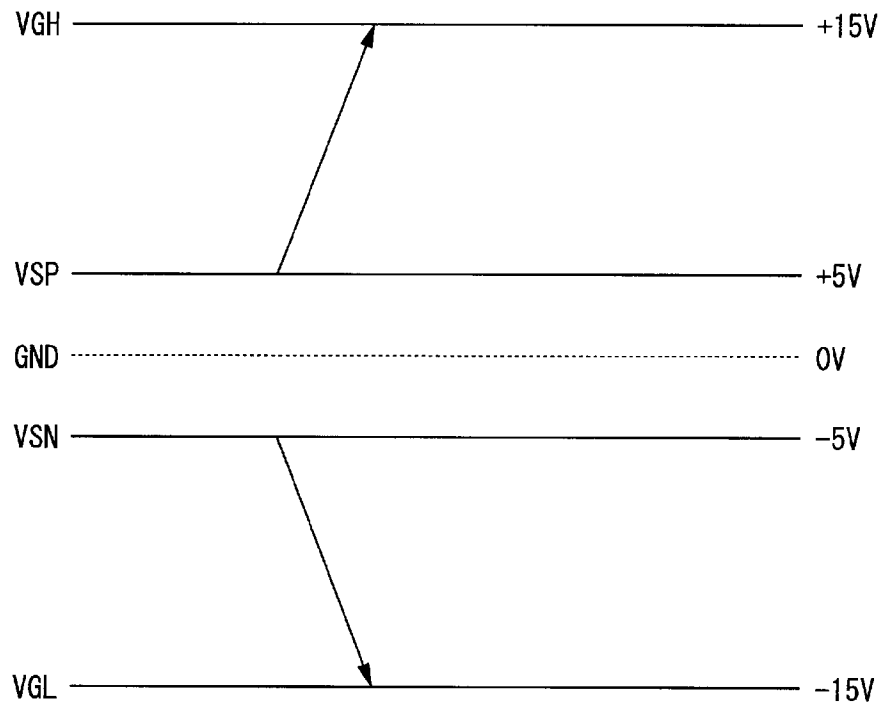
[図3]



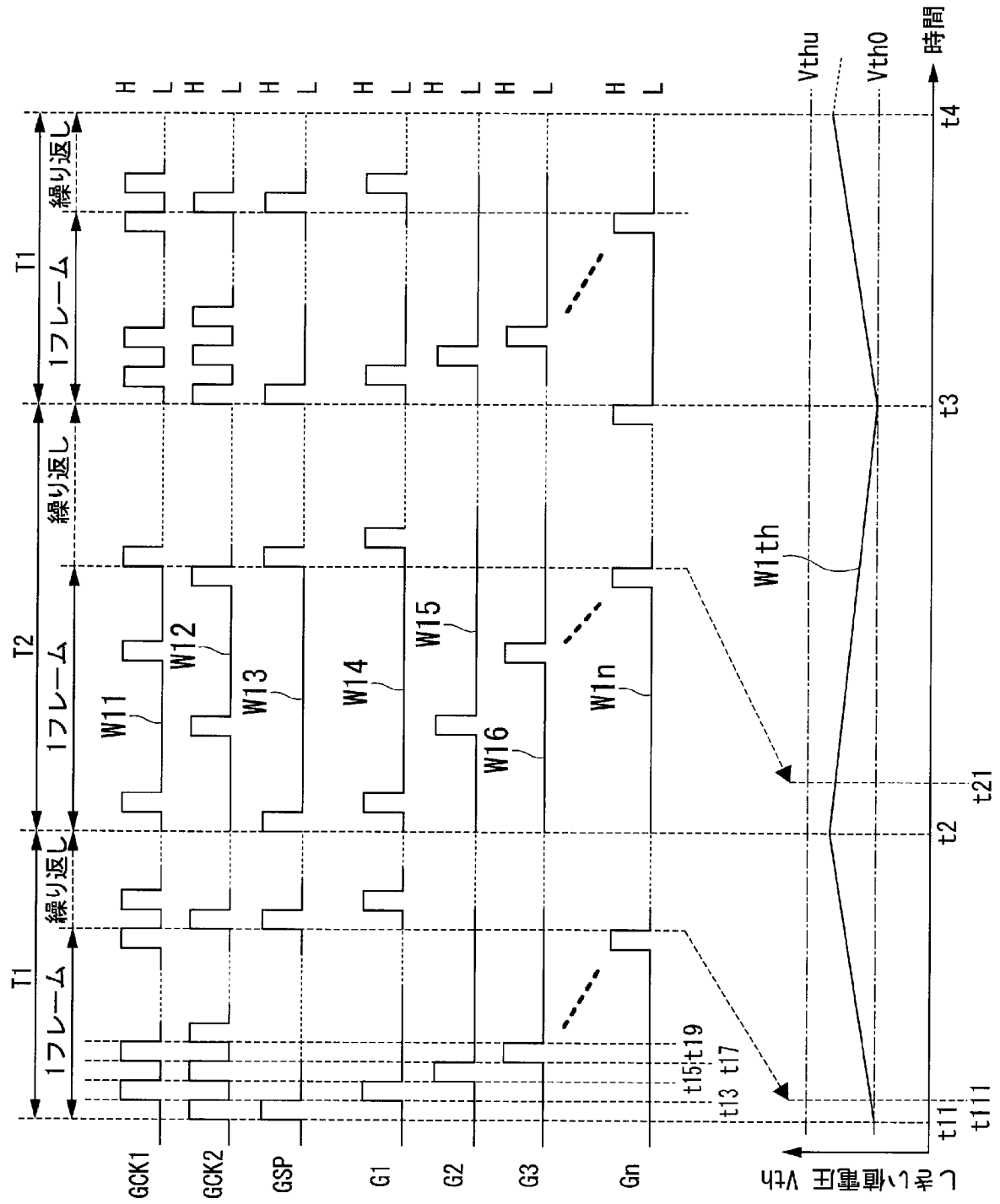
[図4]



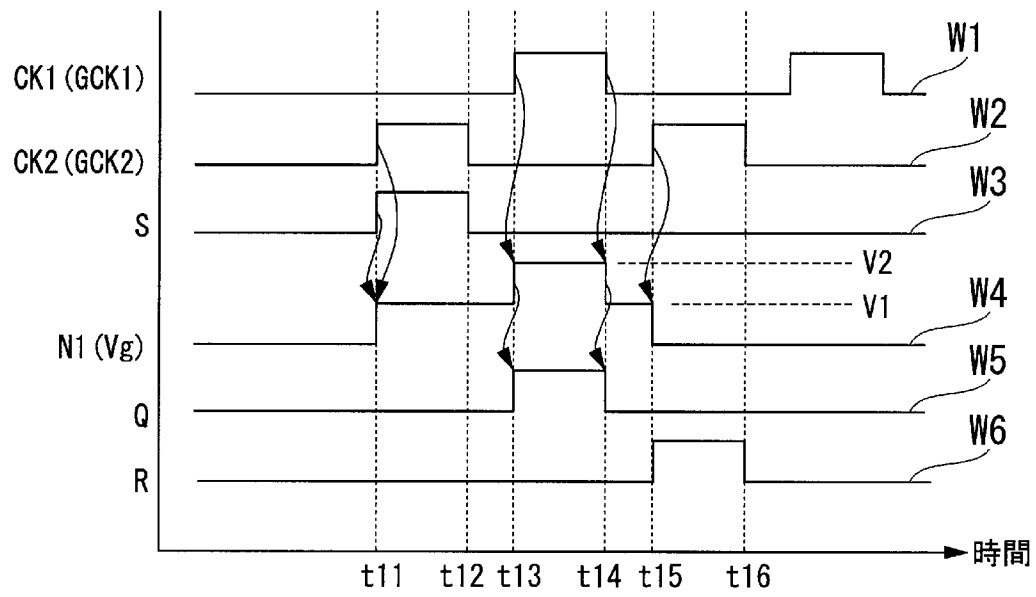
[図5]



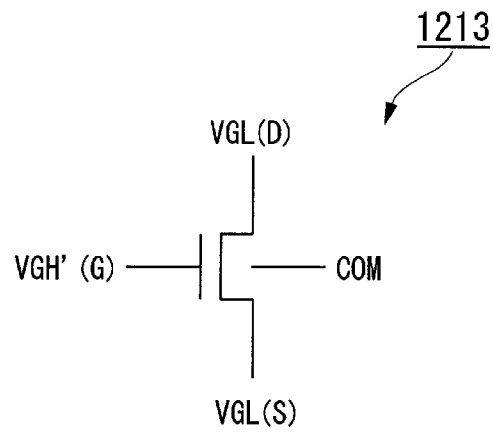
[図6]



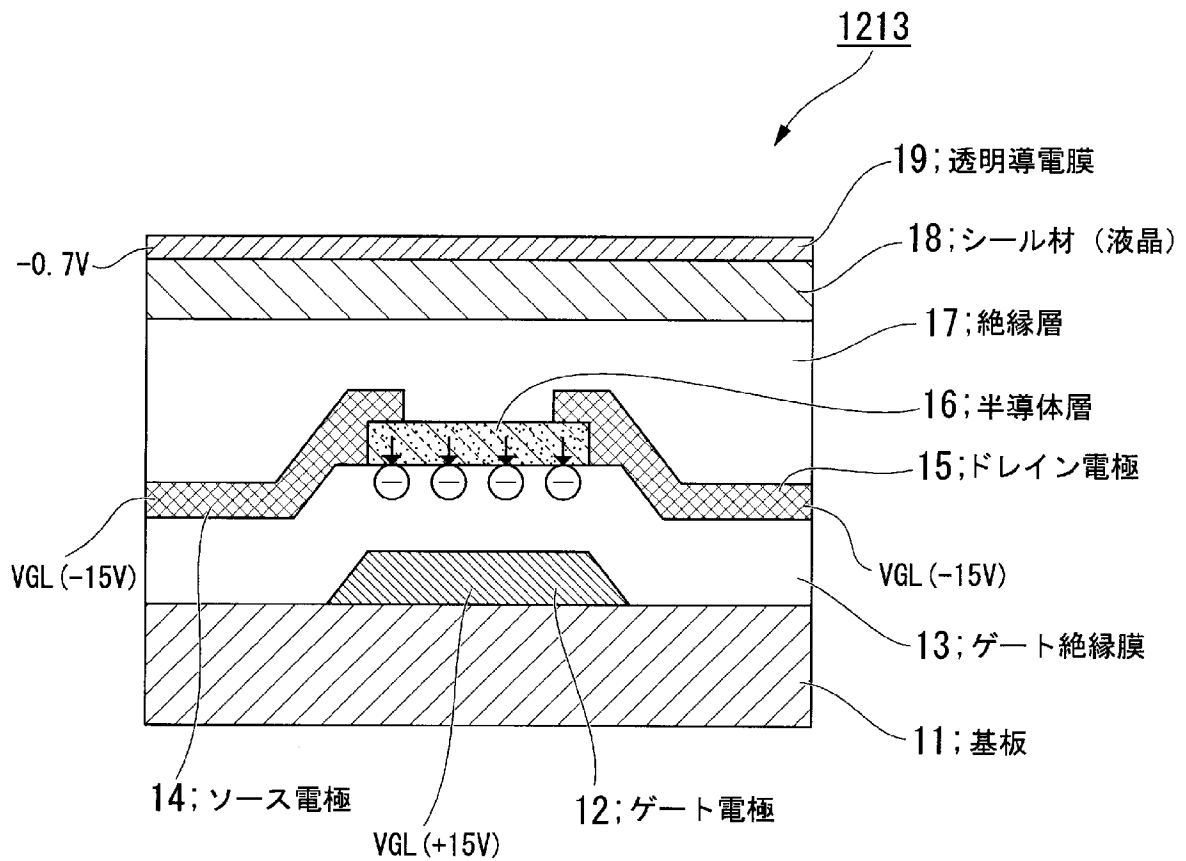
[図7]



[図8A]

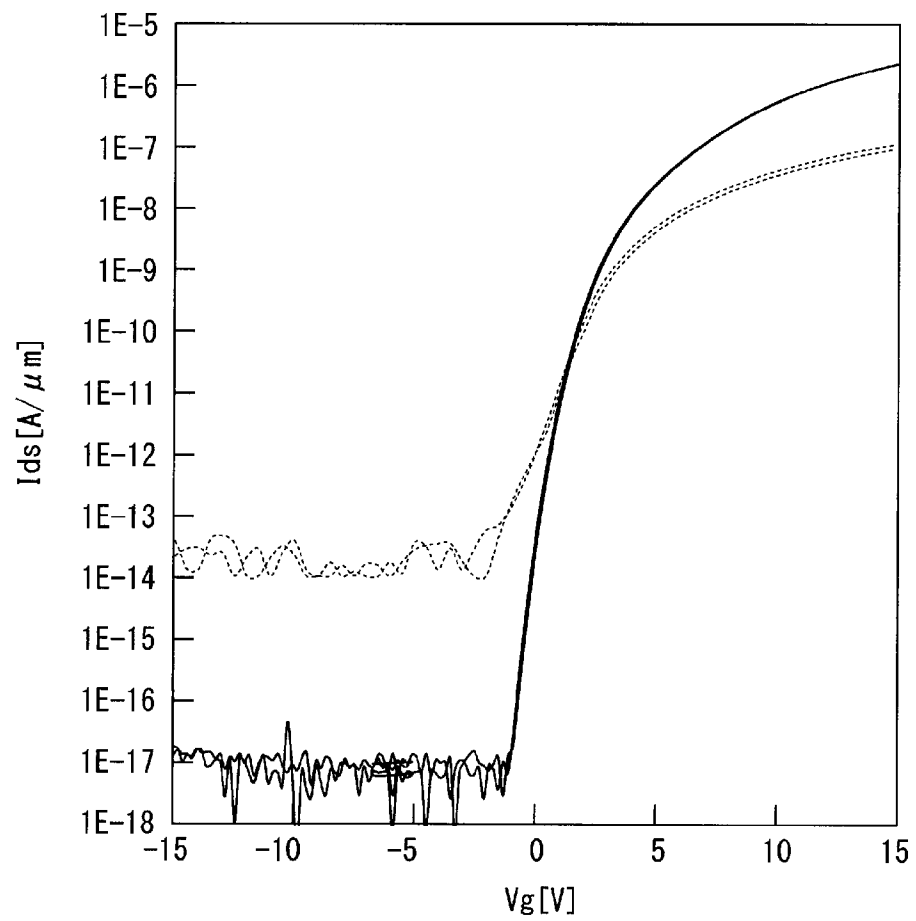


[図8B]

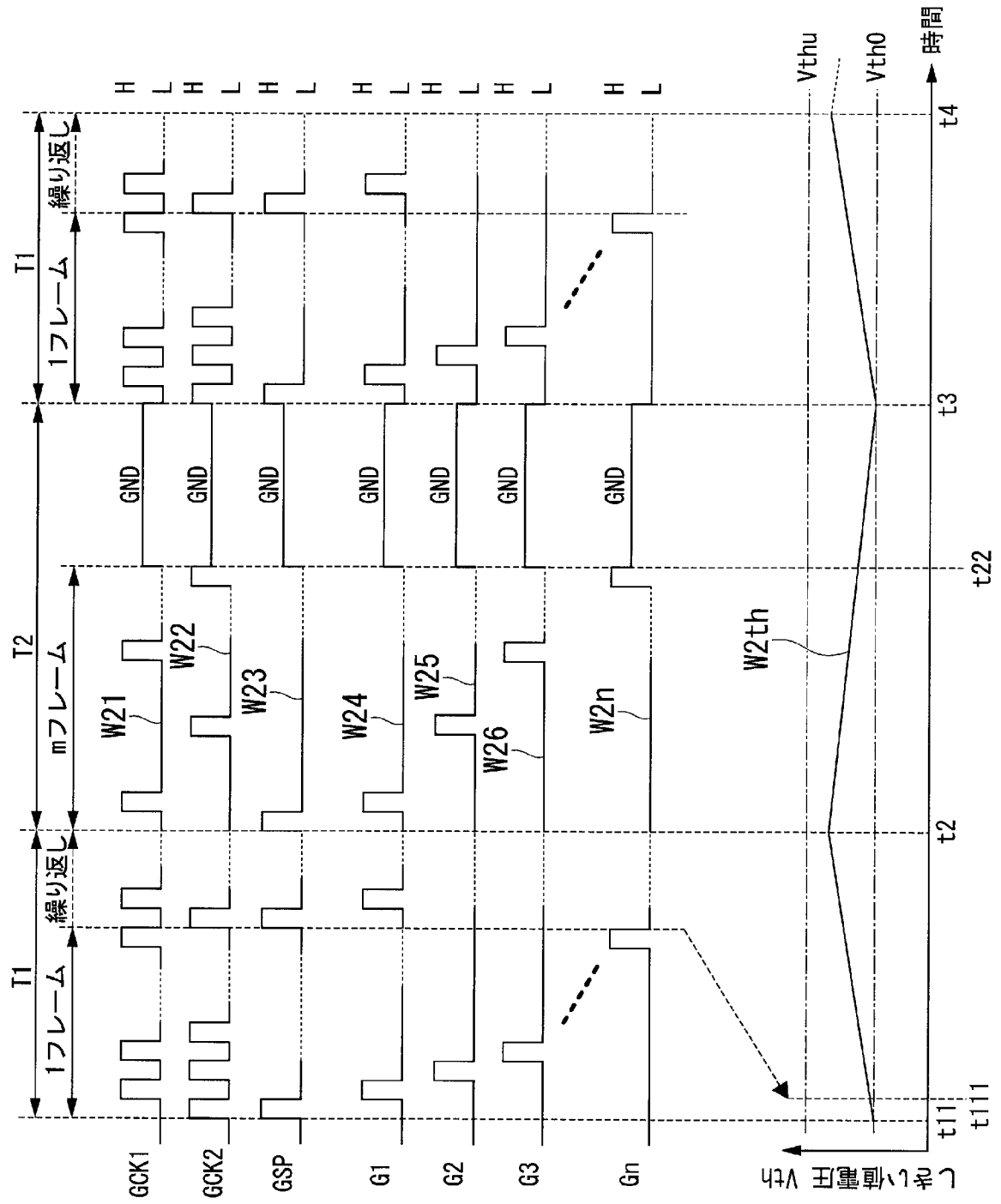


[illegible]

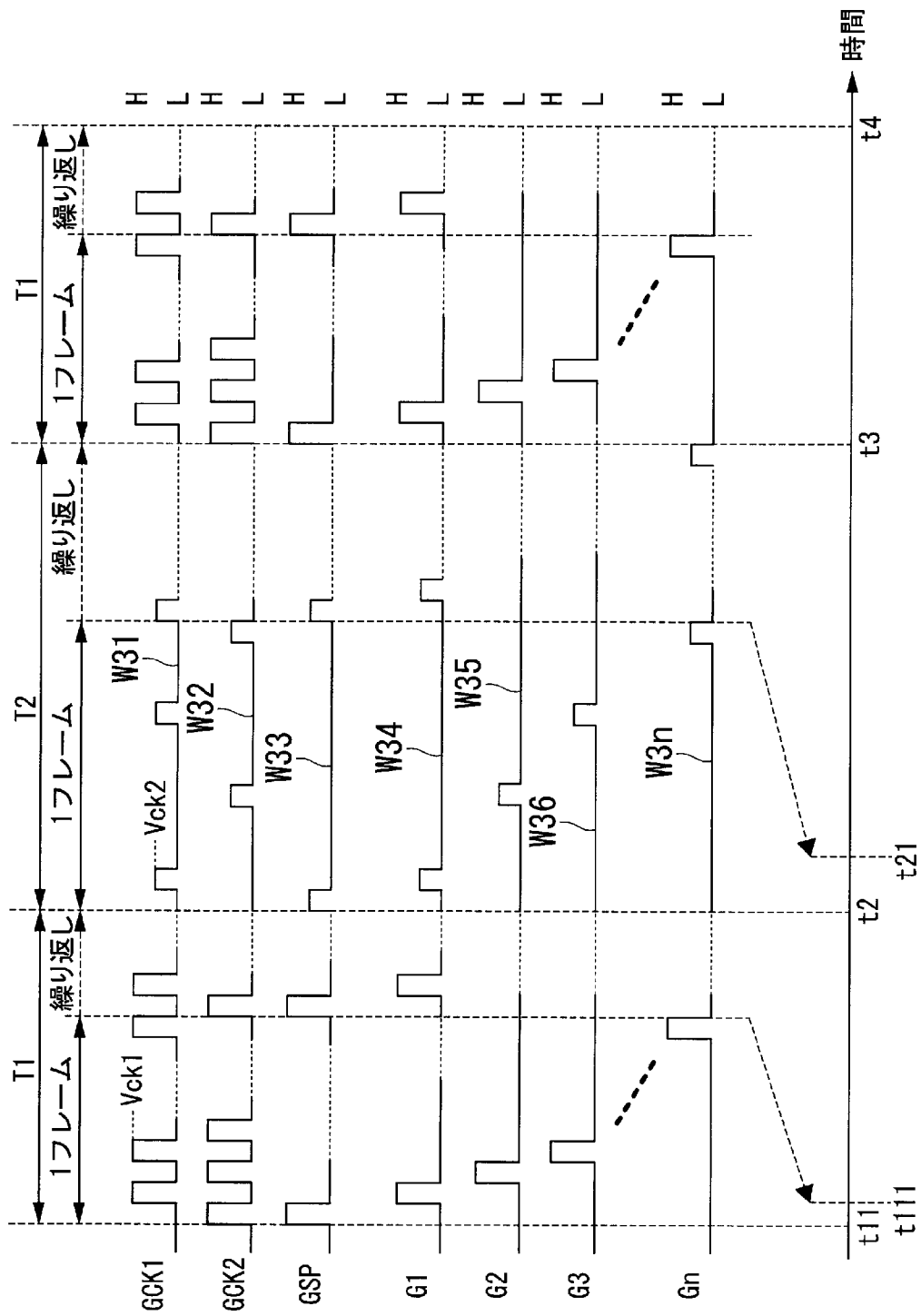
[図10]



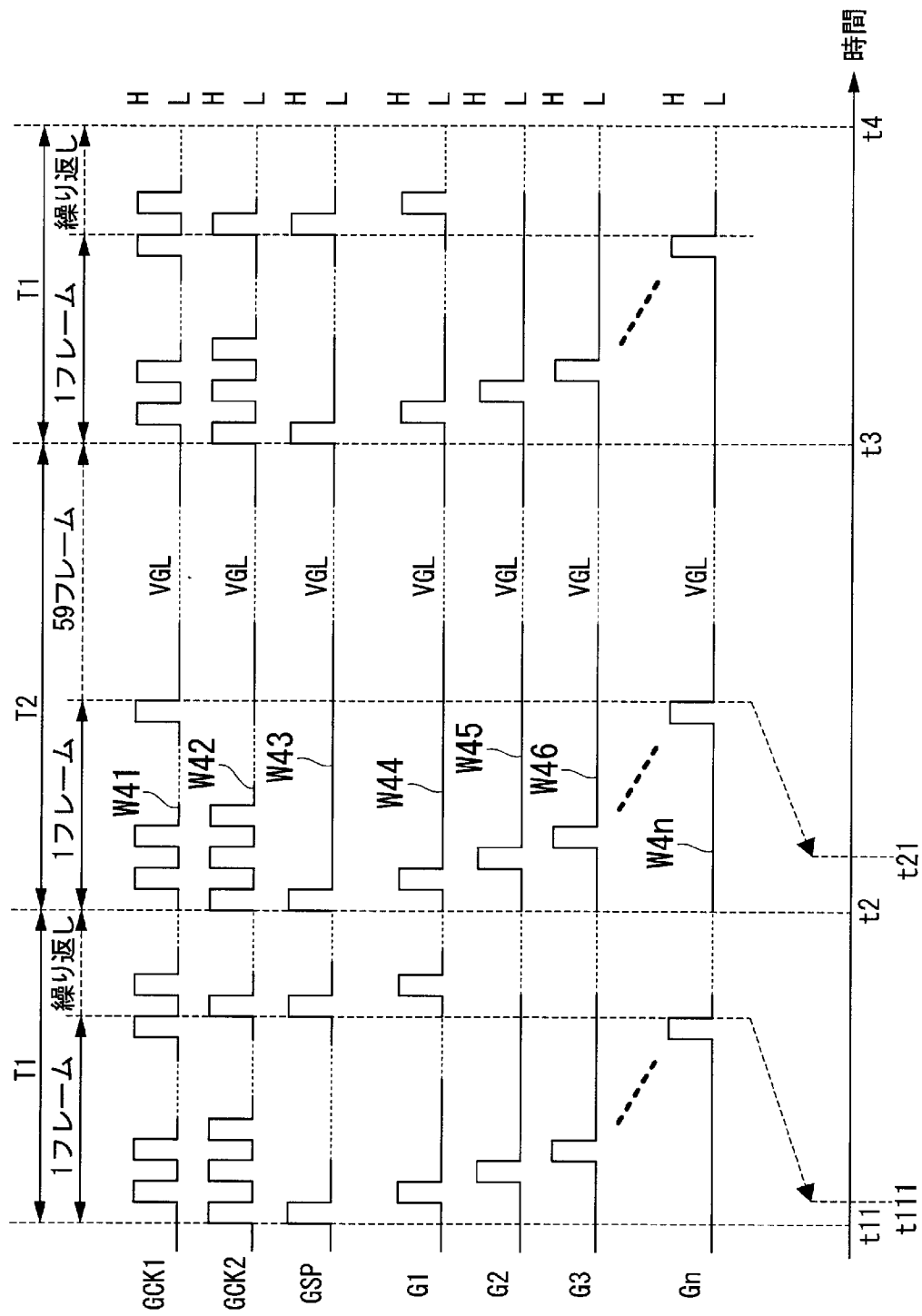
[図11]



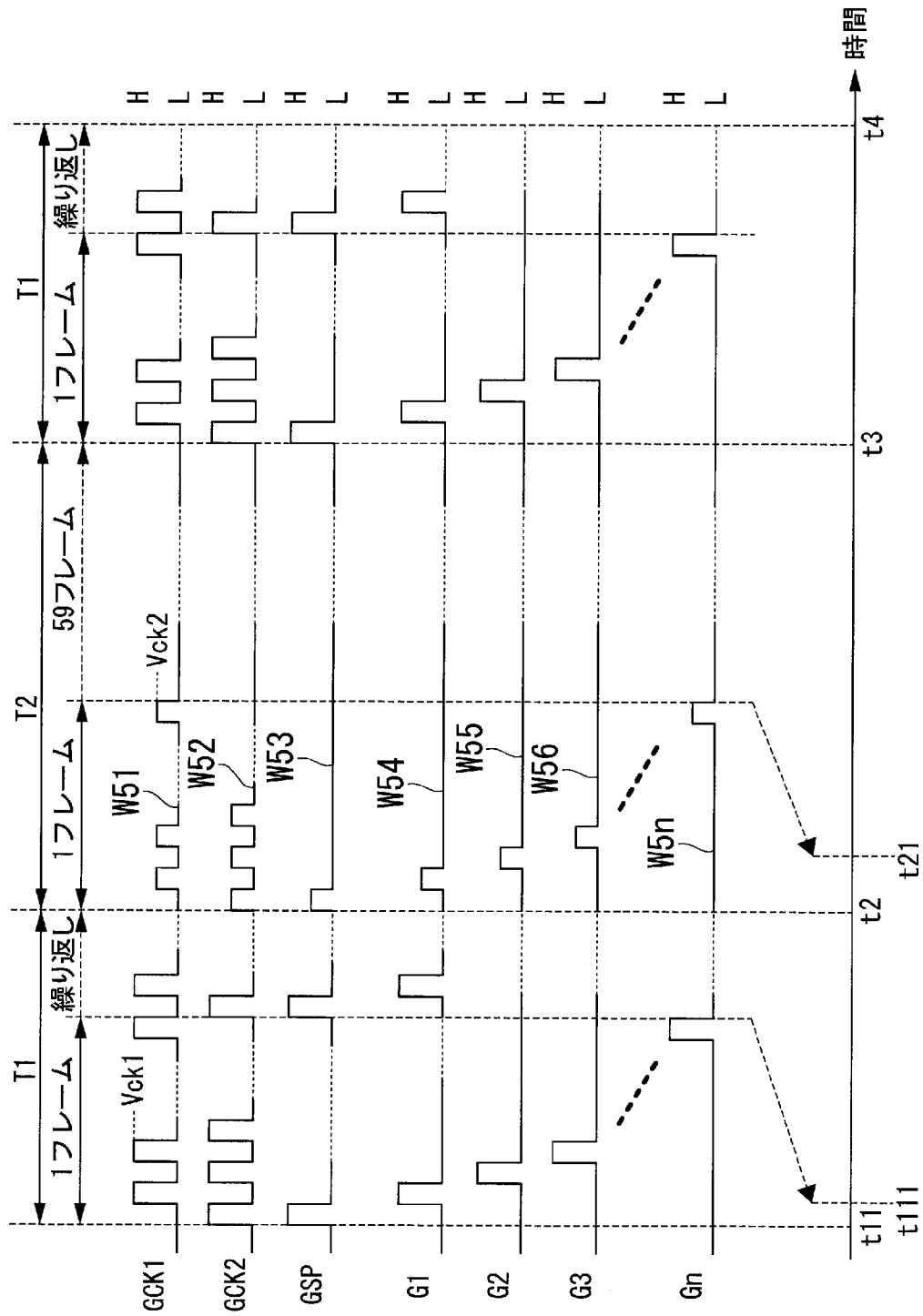
[図12]



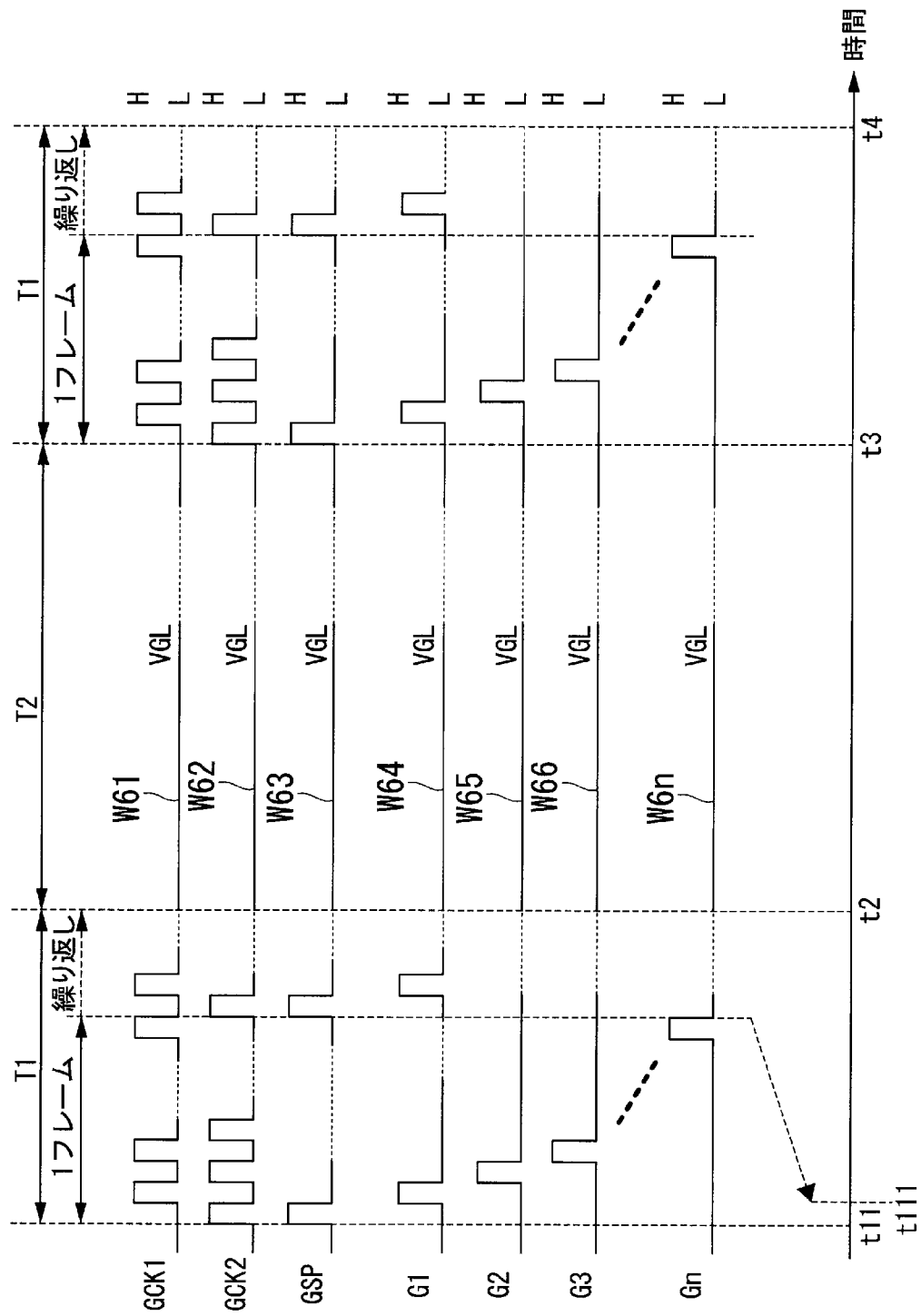
[図13]



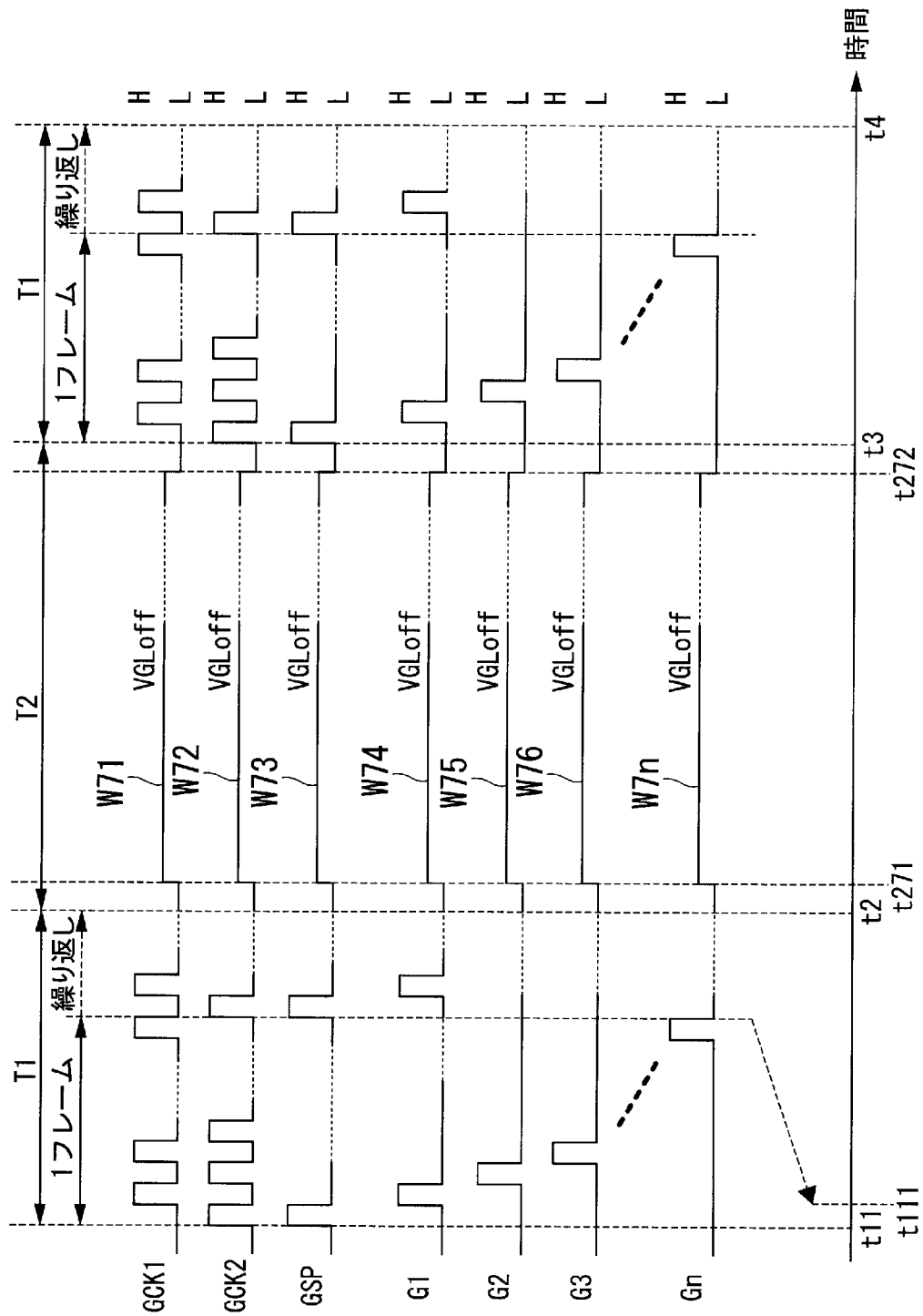
[図14]



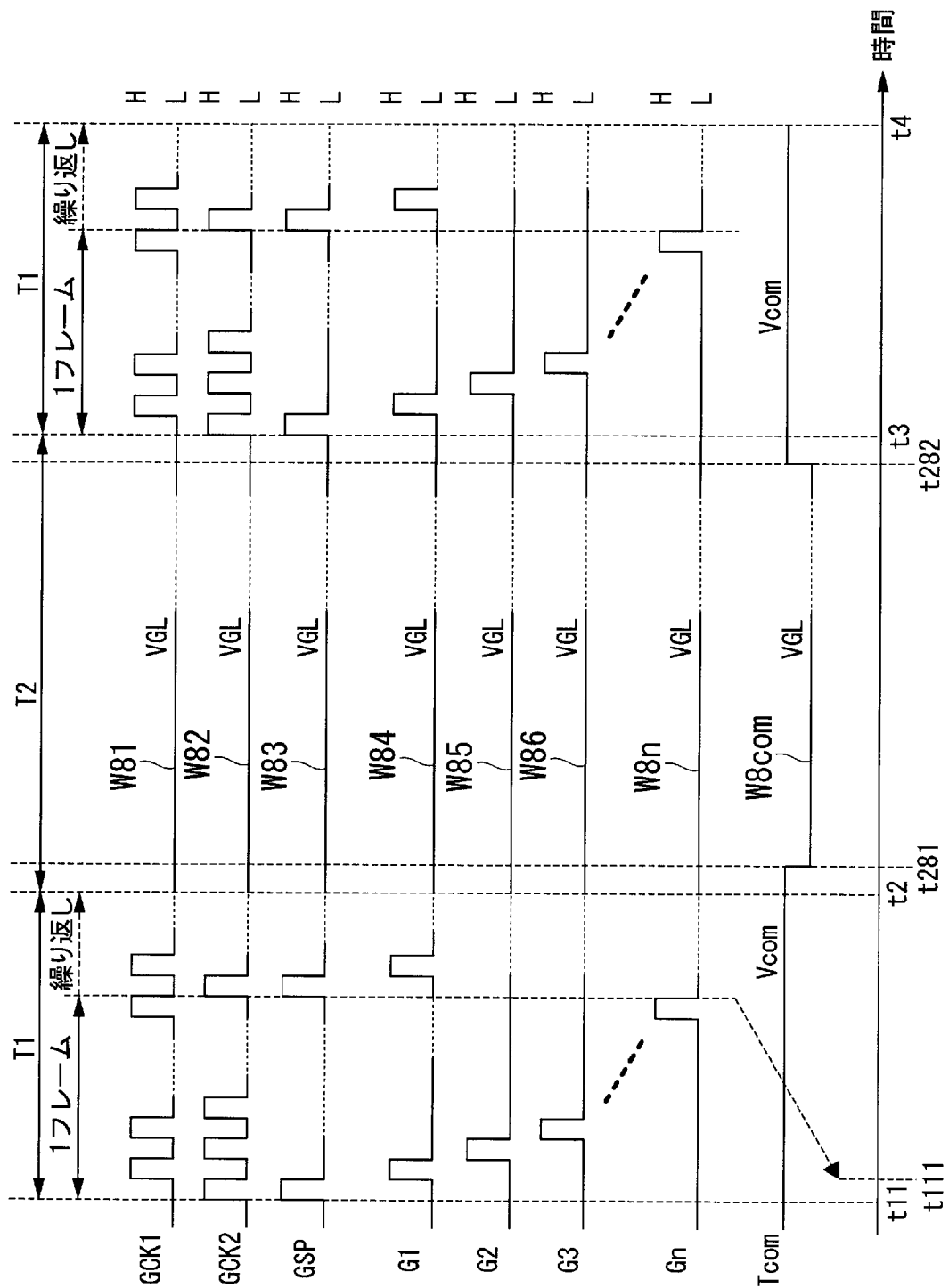
[図15]



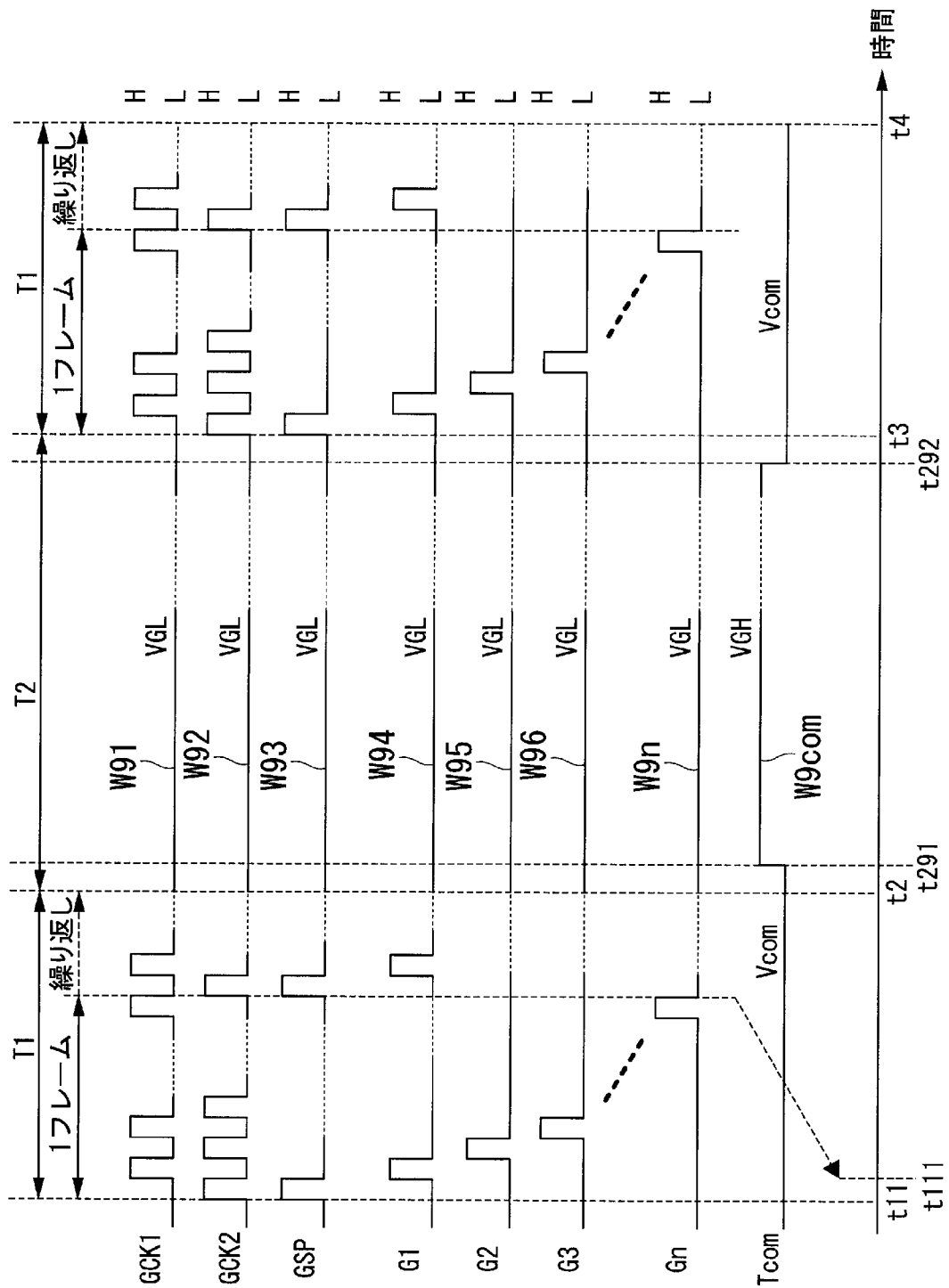
[図16]



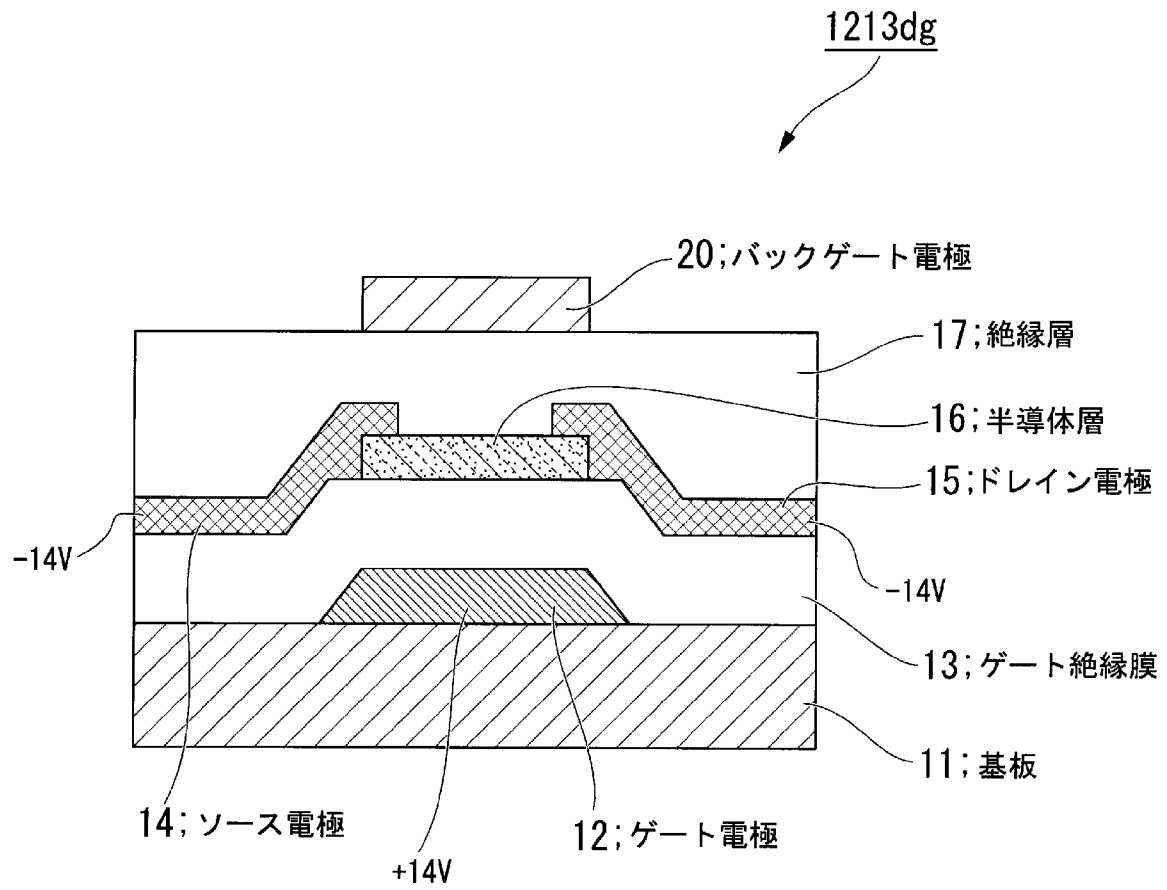
[図17]



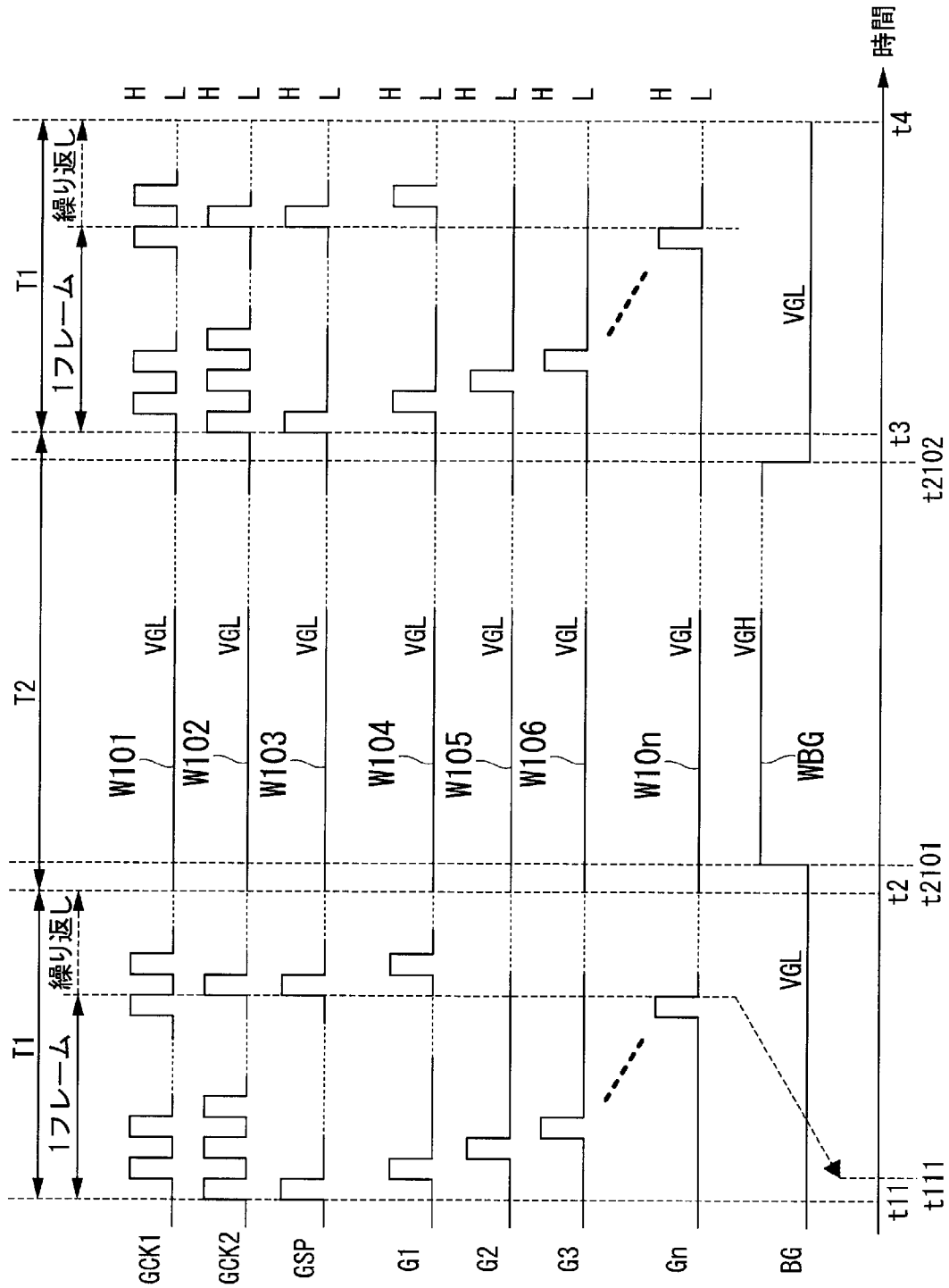
[図18]



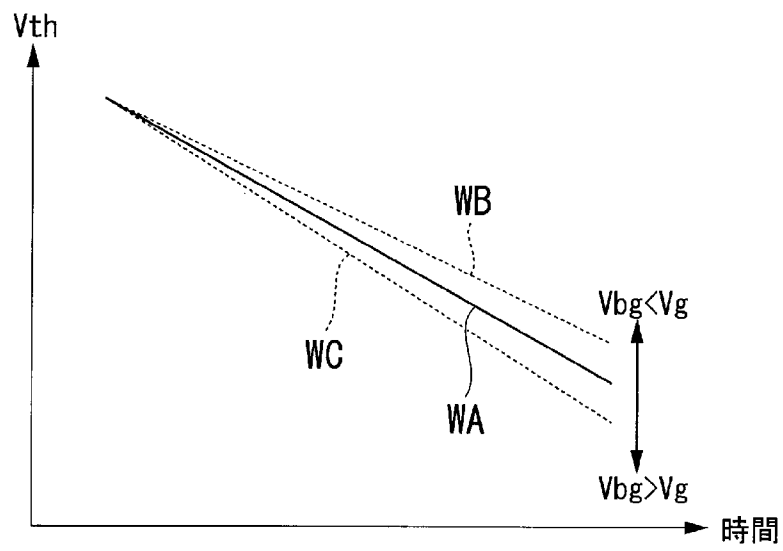
[図19]



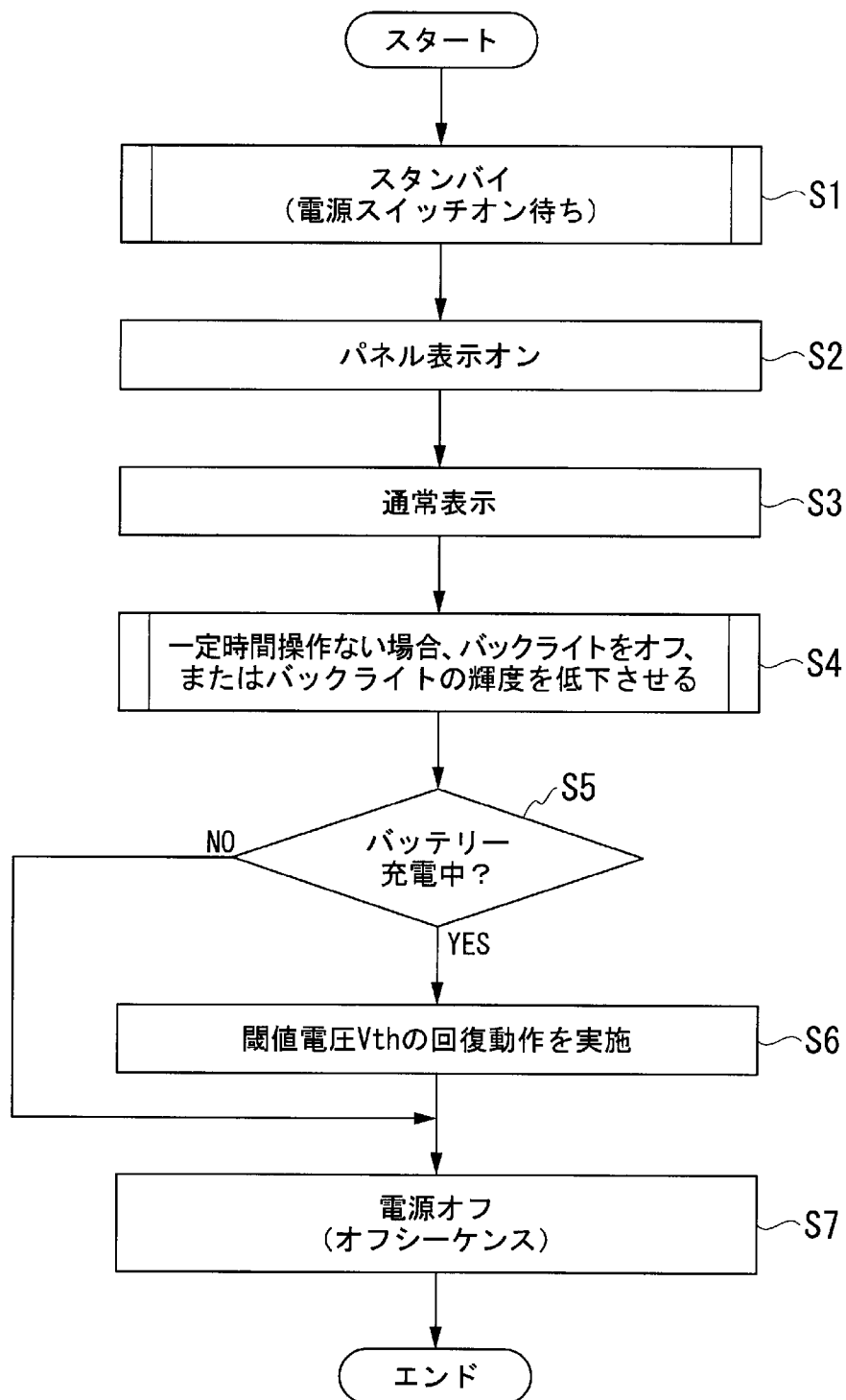
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/054555

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G02F1/1345(2006.01)i, G09G3/20(2006.01)i, H03K19/0175(2006.01)i, H03K19/0944(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G02F1/1345, G09G3/20, H03K19/0175, H03K19/0944

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2013/018598 A1 (Sharp Corp.), 07 February 2013 (07.02.2013), paragraphs [0061] to [0138]; fig. 7 to 21	1, 3-6, 9, 12-15
Y		8
A	& TW 201310415 A	2, 7, 10-11
Y	JP 2003-273228 A (Casio Computer Co., Ltd.), 26 September 2003 (26.09.2003), paragraphs [0015] to [0065]; fig. 1 to 12 (Family: none)	8
A		2, 7
A	WO 2012/161042 A1 (Sharp Corp.), 29 November 2012 (29.11.2012), paragraphs [0059] to [0155]; fig. 1 to 33 (Family: none)	1-15

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 May, 2014 (07.05.14)

Date of mailing of the international search report
20 May, 2014 (20.05.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/054555

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2013/018596 A1 (Sharp Corp.), 07 February 2013 (07.02.2013), paragraphs [0043] to [0158]; fig. 1 to 30 & TW 201312536 A	1-15

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G02F1/1345(2006.01)i, G09G3/20(2006.01)i, H03K19/0175(2006.01)i, H03K19/0944(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/36, G02F1/133, G02F1/1345, G09G3/20, H03K19/0175, H03K19/0944

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	WO 2013/018598 A1（シャープ株式会社）2013.02.07, 段落0061 - 0138, 第7-21図 & TW 201310415 A	1, 3-6, 9, 12-15 8 2, 7, 10-11
Y A	JP 2003-273228 A（カシオ計算機株式会社）2003.09.26, 段落00 15-0065, 第1-12図（ファミリーなし）	8 2, 7

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 0 5 . 2 0 1 4

国際調査報告の発送日

2 0 . 0 5 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

山崎 仁之

電話番号 03-3581-1101 内線 3226

2 G

3 0 1 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2012/161042 A1 (シャープ株式会社) 2012.11.29, 段落 0 0 5 9 － 0 1 5 5, 第 1 － 3 3 図 (ファミリーなし)	1-15
A	WO 2013/018596 A1 (シャープ株式会社) 2013.02.07, 段落 0 0 4 3 － 0 1 5 8, 第 1 － 3 0 図 & TW 201312536 A	1-15