

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96115409

※申請日期：2007年4月30日

※IPC分類：

一、發明名稱：(中文/英文)

H01L 21/28 (2006.01)

用以形成自我對準金屬矽化物接點的方法

H01L 21/32 (2006.01)

METHOD FOR FORMING SELF-ALIGNED METAL SILICIDE CONTACTS

二、申請人：(共1人)

姓名或名稱：(中文/英文)

美商·萬國商業機器公司

International Business Machines Corporation

代表人：(中文/英文)

安德森黎恩D

ANDERSON, LYNNE D.

住居所或營業所地址：(中文/英文)

美國紐約州阿蒙市

Armonk, New York 10504, U.S.A.

國籍：(中文/英文)

美國/USA

三、發明人：(共7人)

姓名：(中文/英文)

1. 方順菲/FANG, SUNFEI

2. 可那爾藍道夫 F/KANRR, RANDOLPH F.

3. 克里斯南曼哈德菲爾/KRISHNAN, MAHADEVAIYER

4. 拉瓦伊克里斯丁/LA VOIE, CHRISTIAN

5. 莫蕾妮 T/MO, RENEE T.

6. 帕拉沙里哈藍巴拉蘇拔馬尼安/PRANATHARTHIHARAN,
BALASUBRAMANIAN

7.史崔傑 W/STRANE, JAY W.

國 籍：(中文/英文)

1.美國/USA

2.美國/USA

3.美國/USA

4.加拿大/Canada

5.美國/USA

6.印度/India

7.美國/USA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國；2006 年 5 月 1 日；11/415,922

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

所揭示的為一種用以在以一外露的介電區域而彼此分隔之至少二含矽半導體區域上方形成可自我對準之矽化金屬接點的方法。較佳是，每一所形成之該些可自我對準之矽化金屬接點包含至少矽化鎳和矽化鉑並具有一實質平坦的表面，且該外露的介電區域係實質不含金屬和矽化金屬。更佳是，所揭示方法包含以下步驟：鎳或鎳合金之沉積、低溫硬化、鎳蝕刻、高溫硬化及王水蝕刻。

六、英文發明摘要：

The present invention relates to a method for forming self-aligned metal silicide contacts over at least two silicon-containing semiconductor regions that are spaced apart from each other by an exposed dielectric region. Preferably, each of the self-aligned metal silicide contacts so formed comprises at least nickel silicide and platinum silicide with a substantially smooth surface, and the exposed dielectric region is essentially free of metal and metal silicide. More preferably, the method comprises the steps of nickel or nickel alloy deposition, low-temperature annealing, nickel etching, high-temperature annealing, and aqua regia etching.

七、指定代表圖：

(一)、本案指定代表圖為：第(7)圖。

(二)、本代表圖之元件代表符號簡單說明：

10	半導體基材
12、14	半導體元件區域
16	介電絕緣區域
32、34	完全矽化之可自我對準的接點

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明大致係有關一種用以形成半導體元件用的可自我對準之矽化金屬接點的方法。更明確地說，本發明係有關一種用以形成可自我對準之矽化金屬接點的方法，該些接點可供至少二含矽半導體區域使用且該至少二含矽半導體區域係以一外露的介電區域而彼此分隔一段距離。

【先前技術】

微米尺寸之半導體積體電路元件的研發技術需要用到可製造導電接點至該半導體雜質區域中的改良方法。已知矽化金屬為一種優異的接觸材料，其可輕易地利用矽化處理而以可自我對準的方式形成。

利用矽化處理來形成矽化金屬接點一般涉及均勻地沉積一薄層金屬(含矽化金屬或金屬合金(即，可與矽反應而形成矽化金屬的金屬或金屬合金)，厚度少於 15 nm)在一半導體基材上(其同時含有一含矽元件區域以及多數介電隔離區域)；加熱該半導體基材以於該些元件區域上形成矽化物，之後選擇性第將該些介電絕緣區域尚未反應的金屬蝕刻掉。為成功地製造高效能半導體元件，該蝕刻步驟必須具備高度選擇性(或稱專一性)，亦即，其可從該些介電絕緣區域中移除所有未反應的金屬或金屬合金，而不會攻擊或傷害該些元件區域上的矽化物。

一般常用鎳或鎳合金(例如，鎳-鉑合金)作為 CMOS 技術中用以形成矽化物接點的矽化金屬。

詳言之，為形成純矽化鎳接點，一般使用快速熱硬化 (rapid thermal annealing, RTA) 處理來將沉積在該些元件區域上的鎳薄層轉變成為矽化鎳，接著實施一鎳-蝕刻步驟，來移除該些介電絕緣區域上所有未反應的鎳。但是，殘餘的材料，可能是矽化鎳，傾向會在 RTA 步驟後才形成在該些介電絕緣區域上。這些殘餘的材料無法完全以鎳-蝕刻步驟中所用的蝕刻劑加以清除，而留在該些介電絕緣區域上的殘餘材料會明顯提高元件區域間出現短路的風險並降低元件的可靠度。而隨著 RTA 所用的溫度愈高，這個問題也愈嚴重。

此外，為形成內含矽化鎳以及一或多其他矽化金屬 (如，矽化鉑和/或矽化銻) 的矽化物接點，可在該半導體基材上沉積一層矽合金 (其中含有鎳以及一或多額外的矽化金屬，如鉑和/或銻)。同時，也實施一 RTA 處理以將元件區域中的鎳和鉑/銻轉變成為矽化鎳及矽化鉑/矽化銻，接著以一王水 (aqua regia, AR) 蝕刻步驟將該些介電絕緣區域上未反應完的鎳和鉑/銻完全移除。在 RTA 步驟之後，因為殘餘材料會在該些介電絕緣區域上形成，因此還是會出現類似的問題。

此外，當 RTA 溫度小於或等於 400°C 時，由 RTA 所形成的矽化物將極易受到 AR 蝕刻劑的攻擊，因此在 AR 蝕刻期間極易對矽化物接點造成明顯傷害。相反的，當 RTA 係在更高溫下 (即， $>600^{\circ}\text{C}$) 執行時，大量殘餘材料會形成在該些介電絕緣區域上。第 1A 及 1B 圖示出以習知 RTA/AR 蝕刻處理所形成的矽接點。詳言之，矽化物接點 3 和 5，

其較佳包含矽化鎳和矽化鉑，係形成在包含兩含矽半導體元件區域 2、4 及介於該些元件區域間的一介電絕緣區域 6 之半導體基材 1 上方。當 RTA 溫度尚未足夠高時，矽化物接點 3 和 5 會因為 AR 蝕刻而受到嚴重傷害，因而導致如第 1A 圖所示極不規則的表面。相反的，當 RTA 溫度極高時，由層 7 所代表的殘餘材料(如，鎳-鉑-矽化物)，則會形成在該介電絕緣區域 6 上，如第 1B 圖所示。

亟需一種用以在半導體基材上製造矽化物接點的改良方法，其可使介電絕緣區域上的殘餘材料生成量及蝕刻對矽化物接點的傷害同時降至最低。

【發明內容】

本發明提供一種用以在至少二含矽半導體區域上形成可自我對準之矽化金屬接點的方法，該至少二含矽半導體區域係以一外露的介電區域而彼此相隔。本發明方法，一方面，可降低介電絕緣區域上破壞性殘餘材料的生成減至最小，藉以降低元件區域間短路的風險並提高元件可靠性。另一方面，本發明方法也可降低因為硬化後蝕刻(post-anneal etching)對矽化物接點所造成的傷害。

一方面，本發明提供一種方法，包含：

形成一金屬合金層在多數含矽的半導體區域及外露的介電區域上，其中該金屬合金層包含鎳和至少一額外的金屬；

在一介於約 150°C 至約 500°C 之第一硬化溫度下實施硬化，其中該金屬合金層中所包含的鎳

會與該些半導體區域中所含的矽互相反應而在該些半導體區域上形成一第一相的矽化鎳；

以一第一蝕刻溶液選擇性地蝕刻該金屬合金層，以從介於該些半導體區域間之該些外露的介電區域上實質移除所有未-反應的鎳；

在一介於約 300°C 至約 600°C 之第二硬化溫度下實施硬化，其中該第一相中的矽化鎳可與該些半導體區域所含的矽進一步反應而在該些半導體區域上形成一第二相的矽化鎳，其中該第二相的電阻性比該第一相來得低；及

以一第二蝕刻溶液選擇性地蝕刻該金屬合金層，以從該些外露的介電區域上實質移除所有殘存未-反應的金屬，藉以形成可自我對準且彼此電性隔絕的矽化金屬接點。

本發明另一方面係提供一種可相對於矽化鎳和矽化鉑來選擇性蝕刻鎳鉑的方法，包含：

提供一蝕刻浴，其包含至少一氧化劑、至少一錯化劑及至少一溶劑；

將該蝕刻浴固持在一介於約 30°C 至約 80°C 間的固持溫度下至少約 15 分鐘；

讓一包含鎳-鉑合金、矽化鎳及鉑合金的工件在介於約 30°C 至約 80°C 間的一蝕刻溫度下接觸該蝕刻浴一段約 10 分鐘至約 45 分鐘的期間；

將該工件從該蝕刻浴中移出；及

沖洗及乾燥該工件，以移除微量殘存的該

蝕刻浴。

另一方面，本發明係有關一半導體結構，其包含多數可自我對準的矽化金屬接點，位於至少二含矽半導體區域上方，該些含矽半導體區域係以一外露的介電區域而彼此分隔一段距離。每一可自我對準的矽化金屬接點包含至少矽化鎳和矽化鉑且具有一實質平滑表面。此外，該外露的介電區域係實質上不含金屬和矽化金屬。

「實質平滑表面(substantially smooth surface)」一詞在此表示一表面上含有極少的缺陷或是沒有缺陷，其特徵是任一表面突出物和/或凹陷的高度低於1 nm。

在閱讀過以下包括附圖及申請專利範圍的詳細說明後，將可更了解本發明的其他優點。

【實施方式】

為了能更輕易地了解本發明，在以下說明中揭示了許多特定細節，例如特定結構、組成、材料、尺寸、處理步驟和技術等。但是，習知技藝人士應能了解，本發明也可在沒有這些特定細節下被實施。其他情況則是，為了避免模糊，以下說明中特意略去了一些習知的結構和處理步驟。

須知當諸如一層、區域或基材之類的元件被指係位在另一元件「上(on)」或「上方(over)」時，係指該元件可直接位在該另一元件之上，或是其中尚可插入有其他元件。相反的，若一元件係被指「直接位在另一元件上(directly

on)」或「直接位在另一元件上方(directly over)」時，則其中並未插入有其他元件。須知當一元件被指係位在另一元件「下(beneath)」或「下方(under)」時，係指該元件可直接位在該另一元件之下，或是其中尚可插入有其他元件。此外，若一元件係被指「相連(connected)」或「耦接(coupled)」至另一元件時，其可被直接連接或耦接至另一元件或是其中可含有其他元件。相反的，若一元件係被指「直接相連(directly connected)」或「直接耦接(directly coupled)」至另一元件時，則兩元件間並無其他元件存在。

本發明提供一種用以在一半導體基板之多個元件區域上形成可自我對準之矽化物接點的改良方法，其可完全去除破壞性殘餘材料在介電絕緣區域(位在該些元件區域間)上生成的可能，同時使蝕刻傷害被降至最低。所獲得的結構包含實質上幾乎不含不欲求殘餘材料(如，金屬或矽化金屬)之介電絕緣區域，且該些矽化物接點的特徵是具有平滑表面。

以下將參照第 2-7 圖說明本發明的處理步驟。

首先參照第 2 圖，其示出一包含至少二元件區域 12、14 的半導體基材 10，其中該兩元件區域係被一介電絕緣區域 16 加以分隔開來。

本發明所使用的半導體基材 10 可包含任一種半導體材料，其包含(但不限於)沒有摻質的矽、n-型有摻質的矽、p-型有摻質的矽、單晶矽、多晶矽、非晶型矽、鍺、SiGe、SiC、SiGeC、Ga、GaAs、InAs、InP 及所有其他第 III/V 族或第 II/VI 族化合物之半導體。半導體基材 10 也可包含

一種有機半導體或一種多層的半導體如 Si/SiGe、絕緣層上覆矽 (SOI)、或絕緣層上覆矽鍺 (SGOI)。

在本發明一較佳實施方式中，該半導體基材 10 係由含矽的半導體材料所組成，亦即，包含有矽 (包括有或無摻質的矽、n-型有摻質的矽、p-型有摻質的矽、單晶矽、多晶矽、非晶型矽)、SiGe、SiGeC 等的半導體材料。此包含在半導體基材 10 中的矽可與後續沉積的矽化金屬反應，進而形成矽化物接點。另一方面，本發明也涵蓋不包含矽的半導體基材 10，且後續會在該半導體基材 10 上形成一已圖樣化的含矽層 (未示出)，用以選擇性地 (或專一性地) 覆蓋該些元件區域 12、14，而非該介電絕緣區域 16。依此方式，後續沉積形成之已圖樣化含矽層可提供用以形成矽化物接點所需的矽。

該半導體基材 10 中可含有摻質、不含摻質或包含有或無摻質兩種區域。這些含有摻質的區域即為習知的「井」區域並可用來界定各種元件區域。舉例來說，元件區域 12 可代表一第一摻雜區 (n-型或 p-型) 且該元件區域 14 可代表一第二摻雜區 (n-型或 p-型)，其可具有相同或不同的導電性和 / 或摻質濃度。一般來說，n-型摻雜區域是用來形成 p-型場效電晶體 (p-FETs)，且該 p-型摻雜區域是用來形成 n-型場效電晶體 (n-FETs)。因此，元件區域 12、14 可同時為 n-FET 或 p-FET 元件區域，或此兩元件區域 12、14 其中之一是 n-FET 元件區域，而另一者則為 p-FET 元件區域。在本發明一較佳實施方式中，該些元件區域 12、14 其中之一是 n-FET 元件區域，而另一者則為 p-FET 元件區域。

在本發明一特別佳的實施方式中，該半導體基材 10 為一種混合基材，包含至少一電子遷移力已被增強的區域（即，n-FET 元件）以及電洞遷移力已被增強的另一區域（即，p-FET 元件區域）。藉由在電子遷移力被增強區域中製造 n-FET 並在電洞遷移力被增強區域中製造 p-FET，可同時增強在 n-FET 或 p-FET 元件區域中個別電荷載子（即，電子或電洞）的遷移力，藉以改善該互補金氧半導體（CMOS）元件的效能。

更特定地說，該半導體基材 10 為一種包含由不同方位結晶形成之不同元件區域的混合基材，在此稱為「混方位結晶基材（hybrid crystal orientation substrate）」。這類混方位結晶基材的功能性係由半導體結晶中載子的非等向性來決定的。詳言之，諸如電洞和電子之類的電荷載子的遷移力會隨著該半導體基材的結晶方位而有所變化。舉例來說，在矽基材中，(110)表面上的電洞遷移力比(100)表面上的電洞遷移力來得高，但是(100)表面上的電子遷移力比(110)表面上的電子遷移力來得高。因此，藉由在具有(110)結晶方位表面的元件區域中製造 n-FET，及在具有(100)結晶方位表面的元件區域中製造 p-FET，即可同時提高 n-FET 或 p-FET 元件區域中個別電荷載子（即，電子或電洞）的遷移力。

在半導體基材 10 中設置至少一介電絕緣區域 16 來使相鄰的元件區域 12、14 彼此隔絕。該介電絕緣區域 16 可以是一溝渠絕緣區或一場效氧化物絕緣區。該溝渠絕緣區係使用習知溝渠絕緣製程來形成。舉例來說，利用微影、

蝕刻和以溝渠介電質充填該溝渠，進而形成該溝渠絕緣區。或者，可在充填溝渠之前先在溝渠中形成一線，接著在充填完溝渠之後實施一緊實步驟，以及在充填完溝渠之後實施一平坦化處理。並可使用俗稱的矽製程之局部氧化來形成該場效氧化物。

每一該些元件區域 12、14 可包含一閘極堆疊(未示出)，其包括至少一閘極介電層、一閘極導體及選擇性地沿著該閘極導體側壁上所設置的一或多側壁間隔物。該閘極導體可以是一種金屬性閘極導體、一聚矽閘極導體或一種包含金屬性閘極導體及聚矽閘極導體兩者(其可以混合物或是分開的層的方式存在)的閘極導體。

如第 3 圖所示，在半導體基材 10 上方有一金屬合金層 20。該金屬合金層 20 包含與至少一種其他金屬共同形成的鎳合金。在該金屬合金層 20 中的總鎳含量可在約 50~95%(原子%)間，又以約 75~95%(原子%)間最常見。該金屬合金層 20 中的其他金屬總含量較佳是不超過約 50%(原子%)，但不低於約 5%(原子%)，又以約 0.1~20%(原子%)間最常見。

較佳是，該金屬合金層 20 包含一種鎳-鉑合金，其可利用沉積鎳和鉑的混合物來形成；或是先沉積鎳層，之後再將鉑併入鎳層中來形成此合金層。可使用習知的氣相摻雜法或離子佈置方法來將鉑併入至鎳層中。該金屬合金層 20 可更包含一或多種選自下列的額外金屬，包括：Pd、Rh、Ti、V、Cr、Zr、Nb、Mo、Hf、Ta、W、Re 及其之組合。該額外的金屬較佳是 Re。該金屬合金層的厚度較佳是在約

1 nm 至約 40 nm 間，更佳是在約 2 nm 至約 20 nm 間，最佳是在約 5 nm 至約 15 nm 間。

可在該金屬合金層 20 上選擇性地沉積一或多帽蓋層(未示出)。這類帽蓋層包含至少一種選自下列的材料，包括：Ti、TiN、W、WN、Ta、TaN，且其功能是用來保護該金屬合金層 20 和將要形成在該金屬合金層 20 上的矽化物接點。

接著，以連續加熱方案或各種加熱速度和浸漬加熱循環方案，在一介於約 150°C 至約 500°C 的相對低溫下，實施一第一硬化步驟約 1 秒至約 1000 秒。更佳是，在介於約 200°C 至約 400°C 的硬化溫度下，實施該第一硬化步驟約 5 秒至約 500 秒；最佳是在介於約 250°C 至約 350°C 的硬化溫度下，實施該第一硬化步驟約 10 秒至約 100 秒。在一特別的實施方案中，以約 1°C/秒至約 35°C/秒的速度，更佳是從約 5°C/秒至約 25°C/秒的速度，最佳是從約 10°C/秒至約 20°C/秒的速度，將整個結構之周圍環境溫度從室溫提高到欲求的硬化溫度的方式，來啟動該第一硬化步驟。此外，較好是利用在一段從約 10 秒到約 1000 秒的期間內，將整個結構的周圍環境溫度降低到 100°C 以下的方式來終止該第一硬化步驟。

如上述之第一硬化步驟在此稱為「低溫快速熱硬化(rapid thermal annealing, RTA)步驟」。這類低溫 RTA 步驟的處理結果是，直接位在該半導體基材 10 之第一和第二元件 12、14 上方的該金屬合金層 20 部份所含的鎳，可與該些元件 12、14 中的矽反應，而形成可自我對準的矽化物接

點 22、24，至於直接位在介電絕緣區 16 上方的該金屬合金層 20 部分，則含有未反應的鎳，如第 4 圖所示。該些可自我對準的矽化物接點 22、24 包含至少 Ni_2Si ，其係讓鎳和矽在該相對低的硬化溫度下反應所形成的，且其特徵是相較於 NiSi ，具有較高的電阻。該些可自我對準的矽化物接點 22、24 更包含鉑，其無法在相對低的硬化溫度下和矽反應而形成矽化物。

在該低溫-RTA 步驟之後，執行一只蝕刻鎳的鎳蝕刻步驟，來移除直接位在介電絕緣區域 16 上方之該金屬合金層 20 的多個部份 26 中所有尚未反應的鎳，但不會移除其中尚未反應的鉑，藉以形成僅含殘餘鉑的多個部份 26'，如第 5 圖所示。這類只蝕刻鎳的鎳蝕刻步驟無法移除該些可自我對準的矽化物接點 22、24 上的矽化鎳(亦即，此處的 Ni_2Si)。因此，該些可自我對準的矽化物接點 22、24 可保持幾近完整。

較佳是，該只蝕刻鎳的鎳蝕刻步驟係使用內含一或多氧化劑(其係選自過氧化氫、硫酸、高錳酸鉀、三氯化鐵、過硫酸鹽(例如，過硫酸銨、過硫酸鈉或過硫酸鉀)、硝酸、銻化合物(例如，硝酸銻銨)等的蝕刻溶液來實施。在本發明一較佳實施方式中，該只蝕刻鎳的鎳蝕刻步驟係使用內含約 1%至 30%(體積%)之過氧化氫及約 10%至 90%(體積%)之硫酸所組成的蝕刻溶液來實施。

接著，以連續加熱方案或各種加熱速度和浸漬加熱循環方案，在一介於約 300°C 至約 600°C 的相對高溫下，實施一第二硬化步驟約 1 秒至約 600 秒。更佳是，在介於約 350

°C 至約 550°C 的硬化溫度下，實施該第二硬化步驟約 5 秒至約 500 秒；最佳是在介於約 400°C 至約 500°C 的硬化溫度下，實施該第二硬化步驟約 10 秒至約 100 秒。在一特別佳的實施方案中，以約 1°C/秒至約 35°C/秒的速度，更佳是從約 5°C/秒至約 25°C/秒的速度，最佳是從約 10°C/秒至約 20°C/秒的速度，將整個結構之周圍環境溫度從室溫提高到欲求的硬化溫度的方式，來啟動該第二硬化步驟。此外，較好是利用在一段從約 10 秒到約 600 秒的期間內，將整個結構的周圍環境溫度降低到 100°C 以下的方式來終止該第二硬化步驟。

如上述之第二硬化步驟在此稱為「高溫快速熱硬化 (rapid thermal annealing, RTA) 步驟」。這類高溫 RTA 步驟的處理結果是，包含在該些可自我對準的矽化物接點 22、24 中的 Ni_2Si 可更和該半導體基材 10 之第一和第二元件 12、14 上的矽反應，而形成完全矽化且可自我對準的矽化物接點 32、34 (如第 6 圖所示)，其包含 NiSi ，且特徵是較 Ni_2Si 來說具有較低的電阻。此外，該些可自我對準的矽化物接點 22、24 中所含尚未反應的鉑，可在高硬化溫度下與第一和第二元件 12、14 上的矽反應，而形成矽化物接點 32、34 中的矽化鉑，同時包含在該些部份 26' (其直接位在介電絕緣區域 16) 中的鉑則仍保持未反應 (因為在介電絕緣區中缺乏矽之故)，如第 6 圖所示。

在該高溫-RTA 步驟之後，執行一第二蝕刻步驟來選擇性地移除 (相對於該些可自我對準接點 32、34 中所含的 NiSi 及 PtSi 來說) 該些部份 26' 中所有未反應的鉑中所有尚

未反應的鎳，藉以露出該介電絕緣層 16 而不會傷害到該些可自我對準接點 32、34。

該第二蝕刻步驟係以內含至少一種氧化劑、至少一種錯化劑、和至少一種溶劑的蝕刻溶液來實施。在該第二蝕刻溶液中的該氧化劑、該錯化劑和該溶劑的莫耳比例較佳是在約 1:10:200 至約 1:1:5 之間。

用於該第二蝕刻步驟中的至少一種氧化劑可選自硝酸、過硫酸鉀、硝酸銻銨、單過硫酸鉀等。更佳是，該氧化劑為硝酸。

該至少一種錯化劑的功能是要與貴金屬離子(例如，鉑離子或金離子)形成錯化物，以促進貴金屬的蝕刻。較佳是，這類錯化劑包含至少來自以下一化合物的鹵素離子，包含氯化鈉、氫氯酸、碘化鈉、碘化鉀、溴化鈉及溴化鉀。更佳是，該錯化劑包含氫氯酸。

第二蝕刻溶液中所含的至少一種溶劑可以是極性溶劑或非極性溶劑，較佳是該溶劑至少包含水。

在本發明一較佳實施方式中，該第二蝕刻溶液為王水(AR)，其包含硝酸作為氧化劑、氫氯酸作為錯化劑且水作為溶劑。更佳是，該王水溶液包含約 40%至約 80%(體積%)的硝酸，約 20%至約 60%(體積%)的氫氯酸，其餘為水。

該第二蝕刻步驟較佳是在介於約 30°C 至約 80°C 的溫度下實施約 3 分鐘至約 45 分鐘。更佳是，該第二蝕刻步驟是在介於約 35°C 至約 45°C 的溫度下實施約 15 分鐘至約 45 分鐘。在蝕刻前(亦即，在蝕刻溶液與欲蝕刻結構接觸之前)，較佳係將蝕刻溶液維持在介於約 30°C 至約 80°C 的溫

度下至少約 10 分鐘，更佳是至少約 15 分鐘。此外，待蝕刻後（亦即，將結構從蝕刻溶液中移出），較好是將該結構沖洗乾淨並乾燥，以除去殘留的蝕刻溶液。

該第二蝕刻步驟可有效地移除該介電絕緣區域 16 之上表面上幾乎全部的、尚未反應的鉑，而不會傷害到矽化物接點 32、34 中所含的 NiSi 及 PtSi。

須知，第一及第二蝕刻步驟最好都是在氣相下實施，例如，有 He、Ar、N₂ 或其他含氮氣體混合物中。其可在相同或不同的氣體環境下實施。舉例來說，可在兩種硬化步驟中使用 He，或是在第一硬化步驟中使用 He，而在第二硬化步驟中使用一種含氮氣體混合物。

本發明一特點在兩單獨蝕刻步驟中使用兩種不同蝕刻溶液，以移除所有未反應的矽化金屬接點（亦即，鎳和鉑）。在低溫 RTA 步驟後實施的第一蝕刻步驟，可移除介電絕緣區域 16 之上表面上大量未反應的鎳。在高溫 RTA 步驟後實施的第二蝕刻步驟，則可移除介電絕緣區域 16 上表面上難以移除的合金金屬及鉑。更重要的是，在第二蝕刻步驟之前實施的該高溫 RTA 步驟的功用是可有效地將元件 12、14 上方被矽化物接點 32、34 所接觸的金屬轉變成可耐第二蝕刻步驟攻擊之完全矽化物（例如，NiSi 及 PtSi）。

相應地，該外露的介電絕緣區域 16 係幾乎不含任何金屬及矽化金屬，至於該些可自我對準接點 32、34 則幾乎未受損害且其特徵是具有實質平滑的表面（亦即，其表面突出物和/或凹陷的高度低於 1 nm），如第 7 圖所示。

如上所述的第二蝕刻步驟也可單獨操作（亦即，獨立在

該 RTA 步驟和第一蝕刻步驟之外)，用以選擇性地蝕刻矽化鎳及矽化鉑上方的鎳-鉑合金。詳言之，先提供如上所述包含至少一種氧化劑、至少一種錯化劑、和至少一種溶劑的蝕刻浴，並將其維持在介於約 30°C 至約 80°C 的高溫下至少約 15 分鐘。接著，讓一包含鎳-鉑合金、矽化鎳、及矽化鉑的工件在介於約 30°C 至約 80°C 的高溫下與該蝕刻浴接觸一段約 10 分鐘至約 45 分鐘的時間。之後，從該蝕刻浴中將該工件移出，沖洗並乾燥以除去任何殘存的蝕刻溶液。

很重要的是，上述說明主要關注矽基材 10 上的矽化金屬，很容易可知道該基材 10 也可包含用以與矽化金屬共同形成其他金屬-半導體合金(例如，NiGe、NiC、PtGe 和 / 或 PtC)的含矽半導體合金(例如，SiGe 或 SiC)。舉例來說，當使用 SiGe 作為半導體基材 10 中的基材材料時，NiGe 將會與 NiSi 一起形成。本發明方法也可應用在這類半導體合金中。

第 2-7 圖示出依據本發明一特定實施方式，可用來形成可被一外露的介電絕緣區域彼此隔開的該些可自我對準矽化物接點的方法，但習知技藝人士可在不需過度實驗下，修改或改良本發明處理步驟，使本發明可適用在其他情況。因此，雖然本發明已揭示如上，習知技藝人士應知在不悖離本發明精神範疇下，仍可對本發明技術作多種改良與修飾，這些改良與修飾仍應被視為涵蓋在附隨之申請專利範圍中。

【圖式簡單說明】

第 1A 及 1B 圖示出以習知 RTA/AR 蝕刻處理而形成在一半導體基材上方的矽化物接點。

第 2-7 圖為依據本發明實施方式用以在一半導體基材上方形成矽化物接點的處理方法。

【主要元件符號說明】

1、10	半導體基材
2、4、12、14	半導體元件區域
3、5	矽化物接點
6、16	介電絕緣區域
20	金屬合金層
22、24	可自我對準的矽化物接點
26	金屬合金層的多個部份
26'	含殘餘鉑的多個部份
32、34	完全矽化之可自我對準的接點

十、申請專利範圍：

1. 一種在至少兩含矽半導體區域上方形成可自我對準之矽化物接點的方法，其中該至少兩含矽半導體區域係以一外露的介電區域而彼此相隔，該方法包含：

形成一金屬合金層在該些含矽半導體區域及該外露的介電區域上，其中該金屬合金層包含鎳和至少一額外的金屬；

在一介於約 150°C 至約 500°C 之第一硬化溫度下實施硬化，其中該金屬合金層中所包含的鎳會與該些半導體區域中所含的矽反應，而在該些半導體區域上形成一第一相的矽化鎳；

以一第一蝕刻溶液選擇性地蝕刻該金屬合金層，以從介於該些半導體區域間之該外露的介電區域上實質移除所有未-反應的鎳；

在一介於約 300°C 至約 600°C 之第二硬化溫度下實施硬化，其中該第一相中的矽化鎳可與該些半導體區域所含的矽進一步反應而在該些半導體區域上形成一第二相的矽化鎳，其中該第二相的電阻比該第一相的電阻來得低；及

以一第二蝕刻溶液選擇性地蝕刻該金屬合金層，以從該些外露的介電區域上實質移除所有殘存未-反應的金屬，藉以形成可自我對準且彼此電性隔絕的矽化金屬接點。

2. 如申請專利範圍第 1 項所述之方法，其中該些半導體區域包含至少一種以下材料；沒有摻質的矽、n-型有摻

質的矽、p-型有摻質的矽、單晶矽、多晶矽、非晶型矽、
鍺、SiGe、SiGeC 及其之組合。

3. 如申請專利範圍第 1 項所述之方法，其中該金屬合金層包含一種鎳-鉑合金。

4. 如申請專利範圍第 3 項所述之方法，其中該金屬合金層更包含至少一種選自下列的額外金屬：Pd、Rh、Ti、V、Cr、Zr、Nb、Mo、Hf、Ta、W、Re 及其之組合。。

5. 如申請專利範圍第 4 項所述之方法，其中該至少一種額外金屬為 Re。

6. 如申請專利範圍第 1 項所述之方法，其中該金屬合金層包含約 50~95%(原子%)的鎳，及高達約 50%(原子%)的至少一種額外金屬。

7. 如申請專利範圍第 1 項所述之方法，其中該金屬合金層的厚度在約 1 nm 至約 40 nm 間。

8. 如申請專利範圍第 1 項所述之方法，更包含在該第二選擇性蝕刻步驟之後，在該些可自我對準的矽化金屬接點上方形成一帽蓋層。

9. 如申請專利範圍第 8 項所述之方法，其中該帽蓋層

包含至少一種選自下列的材料：Ti、TiN、W、WN、Ta 及 TaN。

10. 如申請專利範圍第 1 項所述之方法，其中該第一蝕刻溶液包含至少一種以下溶液：一過氧化物-硫酸溶液、一三氯化鐵溶液、一過硫酸銨溶液、一硝酸溶液及一鉍化合物溶液。

11. 如申請專利範圍第 1 項所述之方法，其中該第二蝕刻溶液包含至少一氧化劑、至少一錯化劑及至少一溶劑，且其中該金屬合金層係在一介於約 30°C 至約 80°C 的蝕刻溫度下與該第二蝕刻溶液接觸一段約 3 分鐘至約 45 分鐘的期間，以移除該外露的介電區域上所有殘存、未反應的金屬。

12. 如申請專利範圍第 11 項所述之方法，其中該金屬合金層係在一介於約 35°C 至約 45°C 的蝕刻溫度下與該第二蝕刻溶液接觸一段約 15 分鐘至約 45 分鐘的期間。

13. 如申請專利範圍第 11 項所述之方法，其中該第二蝕刻溶液中的該至少一氧化劑、該至少一錯化劑和該至少一溶劑的莫耳比例介於約 1：10：200 至約 1：1：5 之間。

14. 如申請專利範圍第 11 項所述之方法，其中該至少一氧化劑包含至少一種選自下列的物質：硝酸、過氧化氫、

高錳酸鉀、過硫酸鈉、過硫酸銨、過硫酸鉀、硝酸銻銨、及單過硫酸鉀。

15. 如申請專利範圍第 11 項所述之方法，其中該至少一氧化劑包含硝酸。

16. 如申請專利範圍第 11 項所述之方法，其中該至少一錯化劑包含來自至少一種下列化合物中的鹵素離子：氯化鈉、氫氯酸、碘化鈉、碘化鉀、溴化鈉及溴化鉀

17. 如申請專利範圍第 11 項所述之方法，其中該至少一錯化劑包含氫氯酸。

18. 如申請專利範圍第 11 項所述之方法，其中該至少一溶劑包含一極性溶劑或是一非極性溶劑。

19. 如申請專利範圍第 11 項所述之方法，其中該至少一溶劑包含水。

20. 如申請專利範圍第 11 項所述之方法，其中該至少一氧化劑包含硝酸，該至少一錯化劑包含氫氯酸，且該至少一溶劑包含水。

21. 如申請專利範圍第 1 項所述之方法，其中每一該些可自我對準的矽化金屬接點之特點為其之層電阻在約 15

歐姆/平方至約 45 歐姆/平方間。

22. 如申請專利範圍第 1 項所述之方法，其中每一該些可自我對準的矽化金屬接點之特點為其之厚度在約 10 nm 至約 50 nm 間。

23. 一種可相對於矽化鎳及矽化鉑而選擇性蝕刻鎳-鉑合金的方法，包含：

提供一蝕刻浴，其包含至少一氧化劑、至少一錯化劑及至少一溶劑；

將該蝕刻浴維持在一介於約 30°C 至約 80°C 間的溫度下至少約 15 分鐘；

讓一包含鎳-鉑合金、矽化鎳及鉑合金的工件在介於約 30°C 至約 80°C 間的一蝕刻溫度下接觸該蝕刻浴一段約 10 分鐘至約 45 分鐘的期間；

將該工件從該蝕刻浴中移出；及

沖洗及乾燥該工件，以移除微量殘存的該蝕刻浴。

24. 如申請專利範圍第 23 項所述之方法，其中該至少一氧化劑、該至少一錯化劑和該至少一溶劑的莫耳比例介於約 1 : 10 : 200 至約 1 : 1 : 5 之間。。

25. 如申請專利範圍第 23 項所述之方法，其中該至少一氧化劑包含至少一種選自下列的物質：硝酸、過氧化氫、高錳酸鉀、過硫酸鈉、過硫酸銨、過硫酸鉀、硝酸銻銨、

及單過硫酸鉀。

26. 如申請專利範圍第 23 項所述之方法，其中該至少一氧化劑包含硝酸。

27. 如申請專利範圍第 23 項所述之方法，其中該至少一錯化劑包含來自至少一種下列化合物所提供的鹵素離子：氯化鈉、氫氯酸、碘化鈉、碘化鉀、溴化鈉及溴化鉀。

28. 如申請專利範圍第 23 項所述之方法，其中該至少一錯化劑包含氫氯酸。

29. 如申請專利範圍第 23 項所述之方法，其中該至少一溶劑包含一極性溶劑或是一非極性溶劑。

30. 如申請專利範圍第 23 項所述之方法，其中該至少一溶劑包含水。

31. 如申請專利範圍第 23 項所述之方法，其中該至少一氧化劑包含硝酸，該至少一錯化劑包含氫氯酸，且該至少一溶劑包含水。

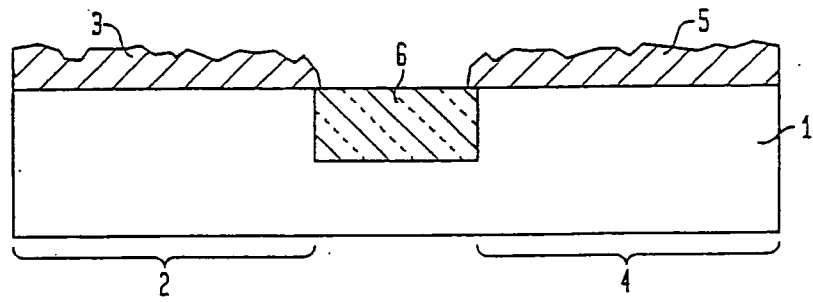
32. 如申請專利範圍第 23 項所述之方法，其中該工件係在一介於約 35°C 至約 45°C 間的蝕刻溫度下接觸該蝕刻浴一段約 10 分鐘至約 45 分鐘的期間。

33. 一種包含多個可自我對準的矽化金屬接點的半導體結構，該些接點位於以一外露的介電區域而彼此相隔之至少兩含矽半導體區域上方，其中每一該些可自我對準的矽化金屬接點包含矽化鎳及矽化鉑且具有一實質平坦的表面，且其中該外露的介電區域係實質不含金屬和矽化金屬。

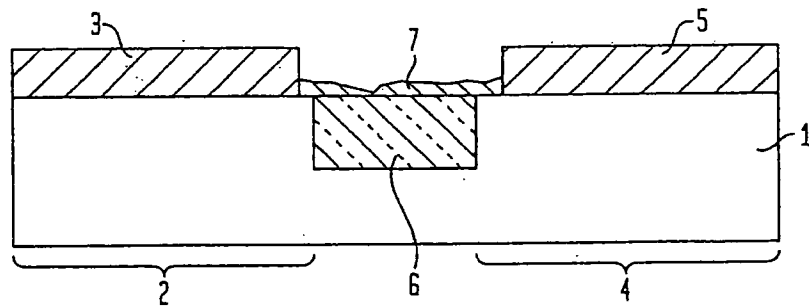
34. 如申請專利範圍第 33 項所述之半導體結構，其中每一該些可自我對準的矽化金屬接點之特點為其之層電阻在約 15 歐姆/平方至約 45 歐姆/平方間。

35. 如申請專利範圍第 33 項所述之半導體結構，其中每一該些可自我對準的矽化金屬接點之特點為其之厚度在約 10 nm 至約 50 nm 間。

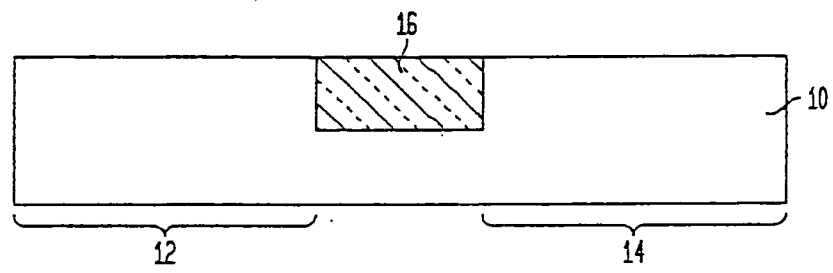
第 1A 圖



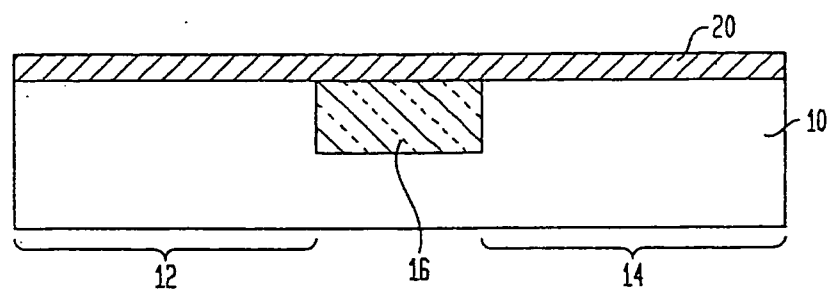
第 1B 圖



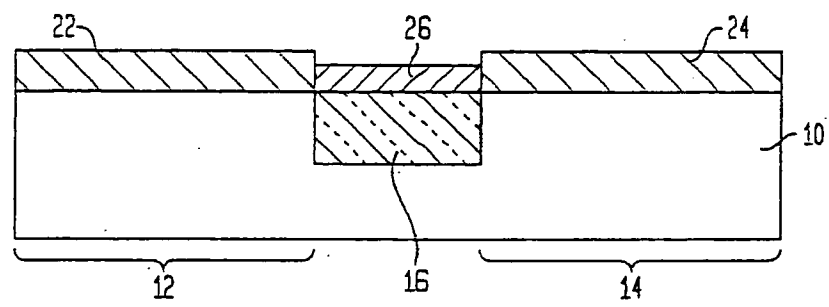
第 2 圖



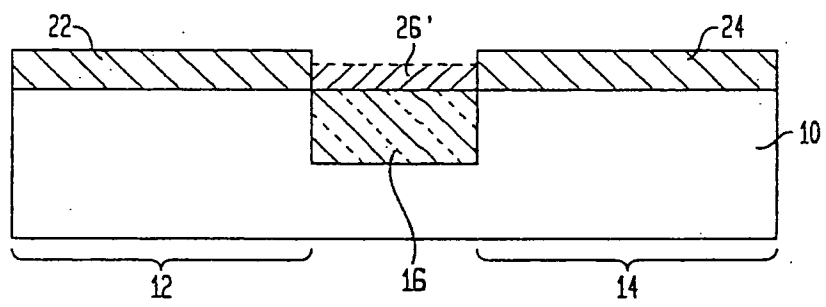
第 3 圖



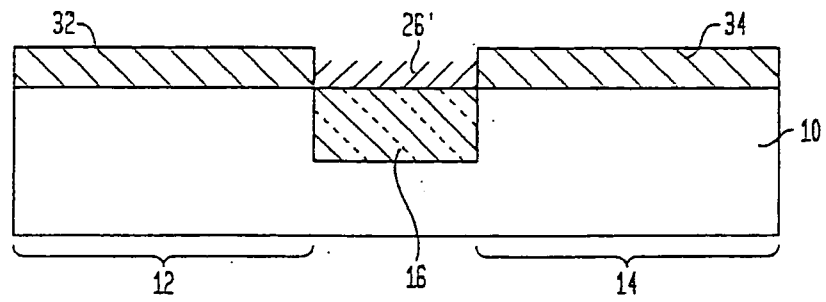
第 4 圖



第 5 圖



第 6 圖



第 7 圖

