



(51) 国際特許分類：

H01L 21/338 (2006.01) H01L 29/423 (2006.01)
H01L 21/28 (2006.01) H01L 29/778 (2006.01)
H01L 29/06 (2006.01) H01L 29/812 (2006.01)
H01L 29/41 (2006.01)

(21) 国際出願番号： PCT/JP20 12/080294

(22) 国際出願日： 2012 年 11 月 22 日 (22.11.2012)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：

特願 201 1-268096 201 1 年 1 月 7 日 (07.12.201 1) JP

(71) 出願人 (米国を除く全ての指定国について)：

シャープ株式会社 (SHARP KABUSHIKI KAISHA)
[JP/JP]：〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).

() 発明者：および

() 出願人 (米国についてのみ)：伊奈 弘善 (INA,
Hiroyoshi) [JP/—], 藤井 敬久 (FUJII, Norihisa) [JP/
—], 吐田 真一 (HATANADA, Shinichi) [JP/—].

(74) 代理人：較島 睦，外 (SAME JIMA, Mutsumi et al);
〒5400001 大阪府大阪市中央区城見 1 丁目 3 番
7 号 I M P ビル青山特許事務所 Osaka (JP).

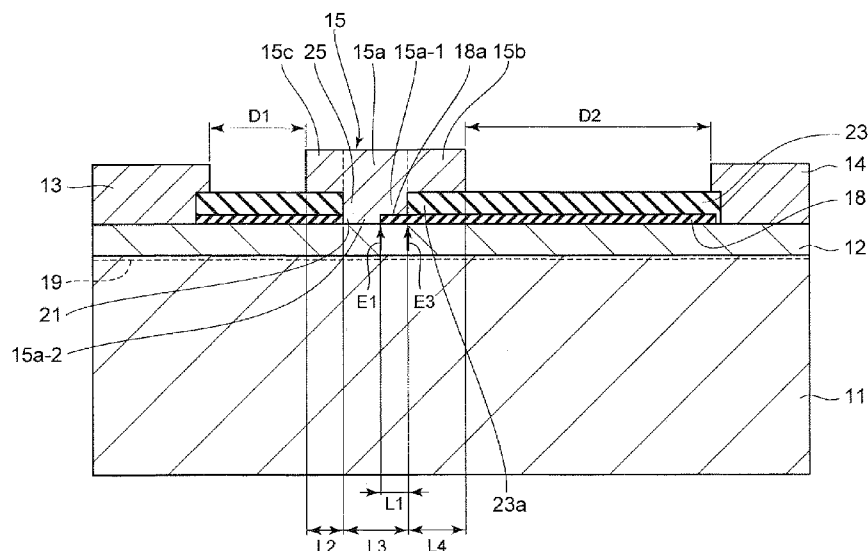
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: FIELD-EFFECT TRANSISTOR

(54) 発明の名称：電界効果 トランジスタ



(57) Abstract: According to the GaN-based heterostructure field-effect transistor, the end portion (18a) of a collapse suppression film (18) projects under a gate electrode (15) from the end portion (23a) of a second insulating film (23) on the collapse suppression film (18) along an undoped AlGaN layer (12). Thereby, the electric field concentration at the end portion (18a) of the collapse suppression film (18) can be mitigated. Thus, in combination with the mitigation of the electric field concentration near the gate electrode which is derived from the field plate portion (15b) of the gate electrode (15), leak currents are suppressed to improve the resistance to pressure.

(57) 要約：

[続葉有]



添付公開書類：

- 国際調査報告 (条約第 21 条 (3))

この GaN 系 H F E T によれば、ゲート電極 (15) 下でコラプス抑制膜 (18) の端縁部 (18 a) が、コラプス抑制膜 (18) 上の第 2 の絶縁膜 (23) の端縁部 (23 a) からアンドープ A l G a N 層 (12) に沿って突出している。これにより、コラプス抑制膜 (18) の端縁部 (18 a) での電界集中を緩和できる。よって、ゲート電極 (15) のフィールドプレート部 (15 b) によるゲート電極近傍での電界集中の緩和と相まって、リーク電流を抑制して耐圧を向上できる。

明 細 書

発明の名称 : 電界効果 トランジスタ

技術分野

[0001] この発明は、窒化物半導体層上にソース電極とドレイン電極およびゲート電極が形成された電界効果 トランジスタに関する。

背景技術

[0002] 従来、電界効果 トランジスタとしては、窒化物半導体層上にソース電極とドレイン電極が離間して形成され、このソース電極とドレイン電極との間にゲート電極が形成され、窒化物半導体層上に第1の絶縁膜と第2の絶縁膜が積層された電界効果 トランジスタがある (例えば、特開2004 _ 200248号公報(特許文献1)参照)。

[0003] この電界効果 トランジスタは、ゲート電極がフィールドプレート構造であり、第1の絶縁膜をシリコン窒化膜で形成することにより電流コラプスを抑えようとしている。この電流コラプスとは、Ga N系半導体素子において、特に、問題になっているもので、低電圧動作での トランジスタのオン抵抗と比べて、高電圧動作での トランジスタのオン抵抗が著しく高くなってしまう現象である。

[0004] しかしながら、上記電界効果 トランジスタでは、電流コラプス現象を抑えることができても、高電圧下ではリーク電流が生じて耐圧が低下するという問題がある。

先行技術文献

特許文献

[0005] 特許文献1 :特開2004 _ 200248号公報

発明の概要

発明が解決しようとする課題

[0006] そこで、この発明の課題は、リーク電流を抑制して耐圧を向上できる電界効果 トランジスタを提供することにある。

課題を解決するための手段

- [0007] 上記課題を解決するため、この発明の電界効果 トランジスタは、
窒化物半導体層と、
上記窒化物半導体層上または上記窒化物半導体層内に少なくとも一部が形成されると共に互いに間隔をおいて配置されたソース電極および ドレイン電極と、
上記ソース電極と上記 ドレイン電極との間で上記窒化物半導体層上に配置されていると共にショットキー接合のための基部とこの基部から上記 ドレイン電極に向かって延在しているフィールドプレート部とを有するゲート電極と、
上記ソース電極と上記 ドレイン電極との間で上記窒化物半導体層上に形成されていると共に上記ゲート電極のフィールドプレート部の下で上記基部に隣接している端縁部を有する第 1 の絶縁膜と、
上記第 1 の絶縁膜上に形成されていると共に上記ゲート電極のフィールドプレート部の下で上記基部に隣接している端縁部を有する第 2 の絶縁膜とを備え、
上記第 1 の絶縁膜の端縁部は、
上記窒化物半導体層に沿って上記第 2 の絶縁膜の端縁部から突き出ていることを特徴としている。
- [0008] この発明の電界効果 トランジスタによれば、上記ゲート電極の下で第 1 の絶縁膜の端縁部が上記第 1 の絶縁膜上の第 2 の絶縁膜の端縁部から上記窒化物半導体層に沿って突き出ている。これにより、上記第 1 の絶縁膜の端縁部での電界集中を緩和できることが判明した。よって、上記ゲート電極のフィールドプレート部によるゲート電極近傍での電界集中の緩和と相まって、リーク電流を抑制して耐圧を向上できる。
- [0009] ここで、「上記窒化物半導体層上に配置されている」という記載は、上記ゲート電極が上記ソース電極と上記 ドレイン電極との間で上記窒化物半導体層上に上記窒化物半導体層に直接接して配置されている場合と、上記ゲート

電極が上記ソース電極と上記ドレイン電極との間で上記窒化物半導体層上に上記窒化物半導体層に対して離間して配置されている場合とを含む。

[001 0] また、一実施形態の電界効果トランジスタでは、上記第1の絶縁膜は、電流コラプスを抑制するためのコラプス抑制膜である。

[001 1] この実施形態によれば、上記第1の絶縁膜を、上記コラプス抑制膜とすることにより、耐圧を向上できるだけでなく、電流コラプスも抑制できる。

[001 2] 上記電流コラプスとは、GaN系半導体素子において、特に、問題になっているもので、低電圧動作でのトランジスタのオン抵抗と比べて、高電圧動作でのトランジスタのオン抵抗が著しく高くなってしまう現象である。また、上記コラプス抑制膜は、例えば、ストイキオメトリなシリコン窒化膜よりもシリコンの比率が高いシリコン窒化膜で構成される。

[001 3] また、一実施形態の電界効果トランジスタでは、上記第1の絶縁膜の端縁部が上記第2の絶縁膜の端縁部から突き出ている突出寸法が、 $0.1\mu\text{m}$ 以上かつ $0.5\mu\text{m}$ 以下である。

[001 4] この実施形態によれば、上記第1の絶縁膜の端縁部の突出寸法を、 $0.1\mu\text{m}$ ~ $0.5\mu\text{m}$ としたことで、突出寸法が $0.5\mu\text{m}$ を超える場合にしきい値電圧が2段階になるなどの安定性の低下を招くことなく、電界集中を緩和できる。

[001 5] すなわち、上記第1の絶縁膜の端縁部の突出寸法が、 $0.1\mu\text{m}$ を下回ると電界集中を緩和する十分な効果が得られなくなる。一方、上記第1の絶縁膜の端縁部の突出寸法が、 $0.5\mu\text{m}$ を超えると、ゲート電極のショットキー接合の部分に対する、上記第1の絶縁膜上のゲート電極の部分の影響が大きくなり、しきい値電圧が2段階になるなどの安定性の低下を招くこととなる。

[001 6] また、一実施形態の電界効果トランジスタでは、上記第1の絶縁膜と第2の絶縁膜の少なくとも一方の端縁部の上側の角部が、面取りされた形状である。

[001 7] この実施形態によれば、上記第1、第2の絶縁膜の端縁部の上側の角部が、面取りされた形状であるので、上記角部でのゲート電極の段切れを抑制でき

る。

発明の効果

- [001 8] この発明の電界効果 トランジスタによれば、ゲート電極下で第 1 の絶縁膜の端縁部が上記第 1 の絶縁膜上の第 2 の絶縁膜の端縁部から窒化物半導体層に沿って突出していることで、上記第 1 の絶縁膜の端縁部での電界集中を緩和できる。これにより、上記ゲート電極のフィールドプレート部によるゲート電極近傍での電界集中の緩和と相まって、リーク電流を抑制して耐圧を向上できる。

図面の簡単な説明

- [001 9] [図1] この発明の電界効果 トランジスタの第 1 実施形態である G a N 系 H F E T を示す断面図である。
- [図2] 上記第 1 実施形態の G a N 系 H F E T の製造工程を説明する断面図である。
- [図3] 図 2 の工程に続く工程を説明する断面図である。
- [図4] この発明の電界効果 トランジスタの第 2 実施形態である G a N 系 H F E T を示す断面図である。
- [図5] 上記第 2 実施形態の G a N 系 H F E T の製造工程を説明する断面図である。
- [図6] 図 5 の工程に続く工程を説明する断面図である。
- [図7] 上記第 1 実施形態の第 1 の絶縁膜の突出寸法と突出部の電界強度との関係を示す特性図である。
- [図8] 上記第 1 実施形態の第 1 変形例の要部を示す断面図である。
- [図9] 上記第 2 実施形態の第 1 変形例の要部を示す断面図である。
- [図10] 上記第 1 実施形態の第 2 変形例の要部を示す断面図である。
- [図11] 上記第 2 実施形態の第 2 変形例の要部を示す断面図である。

発明を実施するための形態

- [0020] 以下、この発明を図示の実施の形態により詳細に説明する。

- [0021] (第 1 の実施の形態)

図 1 は、この発明の電界効果 トランジスタの第 1 実施形態である ノーマリーオンタイプの G a N 系 H F E T (ヘテロ接合電界効果 トランジスタ)を示す断面図である。

[0022] この実施形態の G a N 系 H F E T は、図 1 に示すように、S i 基板 (図示せず)上に、アンドープ G a N 層 1 1 と、アンドープ A L G a N 層 1 2 を順に形成している。このアンドープ G a N 層 1 1 とアンドープ A L G a N 層 1 2 との界面に 2 D E G (2 次元電子ガス)1 9 が発生する。このアンドープ G a N 層 1 1 とアンドープ A L G a N 層 1 2 で窒化物半導体の積層体を構成している。なお、上記基板は、S i 基板に限らず、サファイヤ基板や S i C 基板を用いてもよく、サファイヤ基板や S i C 基板上に窒化物半導体層を成長させてもよいし、G a N 基板に A L G a N 層を成長させる等のように、窒化物半導体からなる基板上に窒化物半導体層を成長させてもよい。また、適宜、バッファ層を基板と各層間に形成してもよい。また、上記アンドープ G a N 層 1 1 とアンドープ A L G a N 層 1 2 との間に層厚 1 n m 程度の A i N 層をヘテロ改善層として形成してもよい。また、上記 A i G a N 層 1 2 上に G a N キャップ層を形成してもよい。

[0023] 上記アンドープ A L G a N 層 1 2 上に、予め設定された間隔をあけてソース電極 1 3 とドレイン電極 1 4 を形成している。上記アンドープ A L G a N 層 1 2 上のソース電極 1 3 とドレイン電極 1 4 との間かつソース電極 1 3 側にゲート電極 1 5 を形成している。ここでは、一例として、上記ソース電極 1 3 とゲート電極 1 5 との間の距離 D 1 を、 $D 1 = 1.3 \mu m$ とし、ゲート電極 1 5 とドレイン電極 1 4 との間の距離 D 2 を、 $D 2 = 8 \mu m$ とした。

[0024] ここでは、上記アンドープ A L G a N 層 1 2 の厚さを例えば 1 0 n m としてソース電極 1 3 とドレイン電極 1 4 をアニールすることでオーミックコンタクト可能にしている。なお、上記アンドープ A L G a N 層 1 2 の厚さを例えば 3 0 n m としてアンドープ A L G a N 層 1 2 のオーミックコンタクト部分に予め S i ドープをして n 型化させることで電極のオーミックコンタクトを可能としてもよい。また、アンドープ A L G a N 層 1 2 のうちのソース電極が形成

される領域およびド레인電極が形成される領域に予め、リセスを形成し、このリセスにソース電極およびド레인電極を蒸着、アニールすることでオーミックコンタクトを可能としてもよい。

[0025] また、電流コラプスを抑制するためのコラプス抑制膜 18 が、上記ソース電極 13 と上記ド레인電極 14 との間で上記アンドープALGaN層 12 上に第1の絶縁膜として形成されている。この第1の絶縁膜としてのコラプス抑制膜 18 は、上記ゲート電極 15 下に延在している。このコラプス抑制膜 18 には開口 21 が形成され、上記ゲート電極 15 は、上記開口 21 を貫通して上記アンドープALGaN層 12 にショットキー接合している。

[0026] 上記コラプス抑制膜 18 は、一例として、シリッチなシリコン窒化膜で作製されている。このシリッチなシリコン窒化膜とは、 $\text{Si}:\text{N}=0.75:1$ のストイキオメトリなシリコン窒化膜よりもシリコンSiの比率の大きいSiN膜であり、例えば、SiとNとの組成比 $\text{Si}:\text{N}=1.1\sim 1.9:1$ である。また、好ましい一例では、SiとNとの組成比 $\text{Si}:\text{N}=1.3\sim 1.5:1$ である。

[0027] また、SiON膜で作製された第2の絶縁膜 23 が、上記コラプス抑制膜 18 上に形成されている。この第2の絶縁膜 23 は、上記コラプス抑制膜 18 上で上記ゲート電極 15 下に延在している。この第2の絶縁膜 23 は、開口 25 が形成され、この開口 25 は、上記コラプス抑制膜 18 の開口 21 に連通している。この第2の絶縁膜 23 の開口 25 に、上記コラプス抑制膜 18 の端縁部 18a が露出している。すなわち、上記コラプス抑制膜 18 の端縁部 18a は、上記第2の絶縁膜 23 の端縁部 23a から突き出ている。この実施形態では、一例として、コラプス抑制膜 18 の端縁部 18a が第2の絶縁膜 23 の端縁部 23a から突き出ている突出寸法 L1 を、 $0.5\mu\text{m}$ とした。

[0028] なお、この実施形態では、一例として、第2の絶縁膜 23 をSiON膜で作製したが、第2の絶縁膜 23 を、他の酸化膜、例えば、 SiO_2 膜や Al_2O_3 膜等で作製してもよい。また、上記第2の絶縁膜 23 を、ストイキオメト

りなシリコン窒化膜 (S i N膜)としてもよい。

[0029] この第 1 実施形態では、図 1 に示すように、ゲート電極 15 の基部 15 a が、上記第 2 の絶縁膜 23 の開口 25 およびコラプス抑制膜 18 の開口 21 を通してアン ドープ A L G a N 層 12 にショットキー接合している。この基部 15 a は、上記コラプス抑制膜 18 の端縁部 18 a 上にひさし状に張り出している張り出し部 15 a - 1 を有している。また、ゲート電極 15 は、上記基部 15 a に連なっていて上記第 2 の絶縁膜 23 上でドレイン電極 14 に向かって延在しているフィールドプレート部 15 b を有している。また、ゲート電極 15 は、基部 15 a からソース電極 13 側に延在しているフィールドプレート部 15 c を有している。なお、このソース電極 13 側に延在しているフィールドプレート部 15 c はなくてもよい。

[0030] この実施形態では、一例として、フィールドプレート部 15 b が、第 2 の絶縁膜 23 上でドレイン電極 14 に向かって延在している長さ L 4 は、2.0 μ m である。また、フィールドプレート部 15 c が、第 2 の絶縁膜 23 上でソース電極 13 に向かって延在している長さ L 2 は、0.7 μ m である。また、ゲート電極 15 の基部 15 a の長さ L 3 は、1.8 μ m である。

[0031] また、この第 1 実施形態では、一例として、上記第 2 の絶縁膜 23 の膜厚を 150 nm とし、上記第 1 の絶縁膜としてのコラプス抑制膜 18 の膜厚を 20 nm とした。

[0032] 次に、図 2、図 3 を順に参照して、この第 1 実施形態の G a N 系 H F E T の製造方法を説明する。

[0033] まず、図示しない S i 基板上に、図 2 に示すように、M O C V D (有機金属気相成長)法を用いて、アン ドープ G a N 層 11、アン ドープ A l G a N 層 12、を順に形成する。なお、上記基板は、S i 基板に限らず、サファイヤ基板や S i C 基板を用いてもよく、サファイヤ基板や S i C 基板上に窒化物半導体層を成長させてもよいし、G a N 基板に A L G a N 層を成長させる等のように、窒化物半導体からなる基板上に窒化物半導体層を成長させてもよい。また、適宜、バッファ層を基板と各層間に形成してもよい。

[0034] 次に、図2に示すように、上記アンドープA l G a ー層12上に、プラズマC V D法を用いて、コラプス抑制膜18となるシリコン窒化膜38を形成する。このコラプス抑制膜18となるシリコン窒化膜38の成長温度は、一例として、225℃としたが、200℃～400℃の範囲で設定してもよい。また、上記コラプス抑制膜18となるシリコン窒化膜38の膜厚は、一例として、20nmとしたが、20nm～50nmの範囲で設定してもよい。

[0035] また、一例として、上記プラズマC V D法によりシリコン窒化膜38を形成する際のガス流量比は、 $N_2 / NH_3 / SiH_4 = 300 \text{ sccm} / 40 \text{ sccm} / 35 \text{ sccm}$ とした。これにより、ストイキオメトリなシリコン窒化膜よりもシリコンS i の比率の大きなシリコン窒化膜38を形成できる。このシリコン窒化膜38によれば、ストイキオメトリなシリコン窒化膜に比べて、電流コラプスをより抑制できる。

[0036] また、例えば、コラプス抑制膜18となるシリコン窒化膜38のS i とNとの組成比S i :N = 1.1～1.9 : 1にすると、S i :N = 0.75 : 1のストイキオメトリなシリコン窒化膜よりも電流コラプスの抑制に有効である。より好ましくは、上記シリコン窒化膜38のS i とNとの組成比S i :N = 1.3～1.5 : 1にすることが、電流コラプスを抑制する上で特に有効である。この電流コラプスとは、特に、G a N系半導体素子において顕著に表れるもので、低電圧動作でのトランジスタのオン抵抗と比べて、高電圧動作でのトランジスタのオン抵抗が著しく高くなってしまう現象である。

[0037] 次に、上記コラプス抑制膜18となるシリコン窒化膜38上にフォトレジスト層(図示せず)を形成し、露光、現像することにより、ソース電極13、ドレイン電極14を形成すべき領域の上記フォトレジスト層、および、ゲート電極15の基部15aを形成すべき領域の上記フォトレジスト層を除去し、このフォトレジスト層をマスクとして、ドライエッチングを行なう。これにより、図2に示すように、上記コラプス抑制膜18となるシリコン窒化膜38のうち、ソース電極13、ドレイン電極14を形成すべき領域、および、ゲート電極15の基部15aを形成すべき領域を除去して、この領域にアンド

ープA l G a N層 12 を露出させる。

[0038] 次に、上記コラプス抑制膜 18 となるシリコン窒化膜 38 を熱処理する。この熱処理の温度は、例えば、500℃で30分間とした。なお、上記熱処理の温度は、一例として、500℃～700℃の範囲で設定してもよい。

[0039] その後、図3に示すように、上記コラプス抑制膜 18 上に、プラズマCVD(化学的気相成長)法により、第2の絶縁膜 23 となるS i O N膜 33 を形成する。次に、レジストを用いたパターニングにより、上記第2の絶縁膜 23 を形成すべき領域にフォトレジスト(図示せず)を形成し、ドライエッチングにより、上記第2の絶縁膜 23 を形成すべき領域以外のS i O N膜 33 を除去して、上記第2の絶縁膜 23 を形成する。次に、上記第2の絶縁膜 23 に、680℃以上で1時間のアニールを行なう。

[0040] その後、T i Nを全面スパッタし、フォトリソグラフィでゲート電極 15 を形成すべき電極形成領域にレジストパターン(図示せず)を形成し、このレジストパターンをマスクとして、ドライエッチングまたはウエットエッチングを行なって、上記電極形成領域以外のT i N膜を除去して、図1に示すように、T i N電極によるゲート電極 15 を形成する。このゲート電極 15 の基部 15 a は、接合部 15 a _ 2 がA l G a N層 12 にショットキー接合していると共に張り出し部 15 a _ 1 の直下にはコラプス抑制膜 18 の端縁部 18 a が位置している。また、フィールドプレート部 15 b の直下には、S i O N膜による第2の絶縁膜 23 とコラプス抑制膜 18 とが位置している。

[0041] 次に、フォトリソグラフィにより、ソース電極 13 , ドレイン電極 14 を形成すべき領域(コラプス抑制膜 18 , 第2の絶縁膜 23 から露出したA l G a N層 12 の領域およびこの領域に隣接する第2の絶縁膜 23 の縁部)が開口したフォトレジスト(図示せず)を形成する。そして、このフォトレジスト上にT i , A l を順に蒸着し、リフトオフにより、図1に示すように、上記T i / A l 電極によるソース電極 13 , ドレイン電極 14 を形成する。上記T i / A l 電極は、T i 層 , A l 層が順に積層された積層構造の電極である。次に、上記ソース電極 13 , ドレイン電極 14 を、熱処理してオーミック電極にする。

この熱処理 (オーミックアニール) の条件は、一例として 500℃ で 30 分としたが、上記熱処理の条件は、これに限らず、例えば、上記熱処理温度を、400℃ ~ 600℃ の範囲内で設定してもよい。

[0042] こうして作製した上記第 1 実施形態の GaN 系 H F E T によれば、上記ゲート電極 15 下で第 1 の絶縁膜であるコラプス抑制膜 18 の端縁部 18 a が第 2 の絶縁膜 23 の端縁部 23 a から突出している。この構成により、図 7 の電界強度特性図を参照して次に説明するように、上記コラプス抑制膜 18 の端縁部 18 a での電界集中を緩和できることが判明した。これにより、上記ゲート電極 15 のフィールドプレート部 15 b によるゲート電極近傍での電界集中の緩和と相まって、リーク電流を抑制して耐圧を向上できる。

[0043] 図 7 は、横軸に上記第 1 の絶縁膜としてのコラプス抑制膜 18 の端縁部 18 a が第 2 の絶縁膜 23 の端縁部 23 a から突出している寸法 L_1 (μm) を示し、縦軸に端縁部 18 a での電界強度 (M V / c m) を示している。なお、図 7 における電界強度特性 K_1 , K_2 , K_{21} , K_{22} は、ソース電極に 0 V を印加し、ドレイン電極に 600 V を印加し、ゲート電極に -10 V を印加した条件下でのシミュレーション結果である。

[0044] 図 7 において、特性 K_1 は、コラプス抑制膜 18 の膜厚を 50 nm とし、第 2 の絶縁膜 23 の膜厚を 120 nm とした場合のコラプス抑制膜 18 の端縁部 18 a の先端 (図 1 に矢印 E1 で示す) での電界強度 (M V / c m) と端縁部 23 a の突出寸法 L_1 (μm) との関係を示している。また、図 7 において、特性 K_2 は、コラプス抑制膜 18 の膜厚を 50 nm とし、第 2 の絶縁膜 23 の膜厚を 120 nm とした場合のコラプス抑制膜 18 の端縁部 18 a の起端 (図 1 に矢印 E3 で示す) での電界強度 (M V / c m) と端縁部 23 a の突出寸法 L_1 (μm) との関係を示している。

[0045] また、図 7 において、特性 K_{21} は、コラプス抑制膜 18 の膜厚を 20 nm とし、第 2 の絶縁膜 23 の膜厚を 150 nm とした場合のコラプス抑制膜 18 の端縁部 18 a の先端 (図 1 に矢印 E1 で示す) での電界強度 (M V / c m) と端縁部 23 a の突出寸法 L_1 (μm) との関係を示している。また、図 7 に

において、特性 K 2 2 は、コラプス抑制膜 1 8 の膜厚を 2 0 n m とし、第 2 の絶縁膜 2 3 の膜厚を 1 5 0 n m とした場合のコラプス抑制膜 1 8 の端縁部 1 8 a の起端 (図 1 に矢印 E 3 で示す)での電界強度 (M V / c m) と端縁部 2 3 a の突出寸法 L 1 (μ m) との関係を示している。

[0046] コラプス抑制膜 1 8 の膜厚が 5 0 n m, 2 0 n m の電界強度特性 K 1, K 2 1 を参照すれば、コラプス抑制膜 1 8 の端縁部 1 8 a の突出寸法 L 1 を 0 . 1 μ m 以上とすることで、端縁部 1 8 a が上層の第 2 の絶縁膜 2 3 の端縁部 2 3 a から突出していない場合 (L 1 = 0 μ m) に比べて、図 1 に矢印 E 1 で示すコラプス抑制膜 1 8 の端縁部 1 8 a の先端での電界強度 (M V / c m) を大幅に低減できることが判明した。また、コラプス抑制膜 1 8 の膜厚が 2 0 n m の特性 K 2 1 を参照すれば、コラプス抑制膜 1 8 の膜厚が 5 0 n m である場合の特性 K 1 に比べて、端縁部 1 8 a の先端での電界強度をさらに低減できることが判明した。

[0047] 一方、コラプス抑制膜 1 8 の膜厚が 5 0 n m の場合の電界強度特性 K 2 に比べて、コラプス抑制膜 1 8 の膜厚が 2 0 n m の場合の電界強度特性 K 2 2 の方が、電界強度が高くなっていた。つまり、図 1 に矢印 E 3 で示す端縁部 1 8 a の起端での電界強度は、コラプス抑制膜 1 8 の膜厚が 2 0 n m の場合に比べて、コラプス抑制膜 1 8 の膜厚が 5 0 n m の場合の方が低くなっていた。

[0048] 図 7 の電界強度のシミュレーション結果から、第 1 の絶縁膜としてのコラプス抑制膜 1 8 の端縁部 1 8 a の突出寸法 L 1 を 0 . 1 μ m 以上にすることで、コラプス抑制膜 1 8 の端縁部 1 8 a を第 2 の絶縁膜 2 3 から突き出していない場合に比べて、コラプス抑制膜 1 8 の端縁部 1 8 a での電界強度を大幅に低減できることが分かった。

[0049] ここで、上記第 1 の絶縁膜としてのコラプス抑制膜 1 8 の端縁部 1 8 a の突出寸法 L 1 が、0 . 1 μ m を下回ると電界集中を緩和する十分な効果が得られなくなる。一方、上記第 1 の絶縁膜としてのコラプス抑制膜 1 8 の端縁部 1 8 a の突出寸法 L 1 が、0 . 5 μ m を超えると、ゲート電極 1 5 の基部 1 5

a がショットキー接合している接合部 15 a _ 2 に対する、上記コラプス抑制膜 18 上のゲート電極 15 の基部 15 a の張り出し部 15 a _ 1 の影響が大きくなり、しきい値電圧が 2 段階になるなどの安定性の低下を招く。

[0050] したがって、上記第 1 の絶縁膜としてのコラプス抑制膜 18 の端縁部 18 a の突出寸法 L 1 を、 $0.1 \mu\text{m} \sim 0.5 \mu\text{m}$ とすることで、しきい値電圧が 2 段階になるなどの安定性の低下を招くことなく、電界集中を緩和できる。

[0051] また、この実施形態によれば、上記第 1 の絶縁膜をコラプス抑制膜 18 としたので、耐圧を向上できるだけでなく、電流コラプスも抑制できる。上記電流コラプスとは、GaN 系半導体素子において、特に、問題になっているもので、低電圧動作でのトランジスタのオン抵抗と比べて、高電圧動作でのトランジスタのオン抵抗が著しく高くなってしまう現象である。

[0052] 尚、上記第 1 実施形態では、一例として、ゲート電極 15 の基部 15 a の長さ L 3 を、 $1.8 \mu\text{m}$ としたが、ゲート電極 15 の基部 15 a の長さ L 3 は、例えば、 $0.8 \mu\text{m} \sim 3 \mu\text{m}$ の範囲で設定してもよい。また、上記ゲート電極 15 のフィールドプレート部 15 b の長さ L 4 を $2.0 \mu\text{m}$ としたが、フィールドプレート部 15 b の長さ L 4 を、例えば、 $0.5 \mu\text{m} \sim 10 \mu\text{m}$ の範囲で設定してもよい。また、上記ゲート電極 15 のフィールドプレート部 15 c の長さ L 2 を $0.7 \mu\text{m}$ としたが、フィールドプレート部 15 c の長さ L 2 を、例えば、 $0.5 \mu\text{m} \sim 3 \mu\text{m}$ の範囲で設定してもよい。

[0053] また、上記第 1 実施形態では、一例として、ソース電極 13 とゲート電極 15 との間の距離 D 1 を $1.3 \mu\text{m}$ としたが、距離 D 1 を $0.5 \mu\text{m} \sim 5 \mu\text{m}$ の範囲で設定してもよい。また、上記第 1 実施形態では、一例として、ゲート電極 15 とドレイン電極 14 との間の距離 D 2 を $8 \mu\text{m}$ としたが、距離 D 2 を $3 \mu\text{m} \sim 30 \mu\text{m}$ の範囲で設定してもよい。

[0054] また、上記第 1 実施形態においては、第 1 の絶縁膜としてのコラプス抑制膜 18 は、開口 21 のソース電極側の端縁部が第 2 の絶縁膜 23 から突出していないが、図 8 に示すように、端縁部 18 a と同様に、コラプス抑制膜 18 の開口 21 のソース電極側の端縁部 18 b が、第 2 の絶縁膜 23 の開口 2

5 のソース電極側の端縁部 2 3 b から突出していてもよい。

[0055] また、上記第 1 実施形態において、図 10 に示すように、上記第 1 の絶縁膜としてのコラプス抑制膜 18 の端縁部 18 a の上側の角部 18 a _ 1 を面取りされた形状としてもよい。また、上記角部 18 a _ 1 の面取り形状は、略直線状に傾斜した面取り形状としたが、湾曲面形状としてもよい。また、上記第 1 の絶縁膜としてのコラプス抑制膜 18 の端縁部 18 a だけでなく第 2 の絶縁膜 23 の端縁部 23 a の上側の角部 23 a _ 1 を図 10 に破線で示すような面取り形状としてもよい。このような面取り形状によって、ゲート電極 15 の段切れを抑制して、安定したトランジスタ特性が得られ、信頼性を向上できる。上記コラプス抑制膜 18 や第 2 の絶縁膜 23 の端縁部 18 a , 23 a の上側の角部 18 a _ 1 , 23 a _ 1 の面取り形状は、例えば、パターンニング時にウエットエッチングを行なうことで形成できる。また、図 10 に示す第 2 の絶縁膜 23 の開口 25 のソース電極 13 側の端縁部 23 b の上側の角部 23 b _ 1 を面取り形状にしてもよい。また、図 8 に示すコラプス抑制膜 18 の端縁部 18 a や 18 b の上側の角部を面取り形状にしてもよく、第 2 の絶縁膜 23 の端縁部 23 a や 23 b の上側の角部を面取り形状にしてもよい。

[0056] (第 2 の実施の形態)

図 4 は、この発明の電界効果トランジスタの第 2 実施形態であるノーマリーオフタイプの G a N 系 H F E T (ヘテロ接合電界効果トランジスタ)を示す断面図である。

[0057] この実施形態の G a N 系 H F E T は、図 4 に示すように、S i 基板 (図示せず)上に、アンドープ $A l_xGa_{1-x}N$ 層 51 と、アンドープ $A l_yGa_{1-y}N$ 層 52 を順に形成している。また、上記アンドープ $A l_yGa_{1-y}N$ 層 52 上に、メサ型のアンドープ $A l_zGa_{1-z}N$ 層 72 を形成した。上記アンドープ $A l_xGa_{1-x}N$ 層 51 とアンドープ $A l_yGa_{1-y}N$ 層 52 との界面に、上記メサ型のアンドープ $A l_zGa_{1-z}N$ 層 72 下の領域を除いて、2 D E G (2 次元電子ガス)69 が発生する。

[0058] この実施形態では、上記アンダーポア $A_{1-x}Ga_{1-x}N$ 層 51 の厚さ t_1 (nm) を上記アンダーポア $A_yGa_{1-y}N$ 層 52 の厚さ t_2 (nm) よりも厚くした ($t_1 > t_2$)。また、上記メサ型のアンダーポア $A_{1-z}Ga_{1-z}N$ 層 72 の厚さ t_3 (nm) を、上記アンダーポア $A_yGa_{1-y}N$ 層 52 の厚さ t_2 (nm) よりも厚くした ($t_3 > t_2$)。また、上記メサ型のアンダーポア $A_{1-z}Ga_{1-z}N$ 層 72 の厚さ t_3 (nm) を、上記アンダーポア $A_{1-x}Ga_{1-x}N$ 層 51 の厚さ t_1 (nm) よりも薄くした ($t_1 > t_3$)。つまり、アンダーポア $A_{1-x}Ga_{1-x}N$ 層 51、アンダーポア $A_yGa_{1-y}N$ 層 52、メサ型のアンダーポア $A_{1-z}Ga_{1-z}N$ 層 72 の厚さ t_1, t_2, t_3 の大小関係を、 $t_1 > t_3 > t_2$ とした。

[0059] また、上記アンダーポア $A_{1-y}Ga_{1-y}N$ 層 52 の混晶比 y を上記アンダーポア $A_{1-x}Ga_{1-x}N$ 層 51 の混晶比 x よりも大きくし、このアンダーポア $A_{1-x}Ga_{1-x}N$ 層 51 の混晶比 x を上記メサ型のアンダーポア $A_{1-z}Ga_{1-z}N$ 層 72 の混晶比 z よりも大きくした ($y > x > z$)。

[0060] 具体的一例では、上記アンダーポア $A_{1-x}Ga_{1-x}N$ 層 51 の厚さ t_1 を 100 nm とし、上記アンダーポア $A_yGa_{1-y}N$ 層 52 の厚さ t_2 を 10 nm とし、上記メサ型のアンダーポア $A_{1-z}Ga_{1-z}N$ 層 72 の厚さ t_3 を 50 nm とした。また、この具体的一例では、上記アンダーポア $A_yGa_{1-y}N$ 層 52 の混晶比 y を 0.21 とし、上記アンダーポア $A_{1-x}Ga_{1-x}N$ 層 51 の混晶比 x を 0.04 とし、上記メサ型のアンダーポア $A_{1-z}Ga_{1-z}N$ 層 72 の混晶比 z を 0 とした。

[0061] なお、上記基板は、Si 基板に限らず、サファイヤ基板や SiC 基板を用いてもよく、サファイヤ基板や SiC 基板上に窒化物半導体層を成長させてもよいし、GaN 基板に AlGaN 層を成長させる等のように、窒化物半導体からなる基板上に窒化物半導体層を成長させてもよい。また、適宜、バッファ層を基板と各層間に形成してもよい。また、上記アンダーポア $AlGaN$ 層 51 とアンダーポア $AlGaN$ 層 52 との間に層厚 1 nm の AlN 層を形成してもよい。

[0062] 上記アンダーポア $AlGaN$ 層 52 上に、予め設定された間隔をあけてソース

電極 6 3 とドレイン電極 6 4 を形成している。上記アンダーポア LG a N 層 5 2 上のソース電極 6 3 とドレイン電極 6 4 との間かつソース電極 6 3 側にゲート電極 6 5 を形成している。ここでは、一例として、上記ソース電極 6 3 とゲート電極 6 5 との間の距離 D_{51} を、 $D_{51} = 1.3 \mu\text{m}$ とし、ゲート電極 6 5 とドレイン電極 6 4 との間の距離 D_{52} を、 $D_{52} = 8 \mu\text{m}$ とした。

[0063] また、この実施形態では、上記アンダーポア LG a N 層 5 2 の厚さ t_2 を例えば 10 nm とし、ソース電極 6 3 とドレイン電極 6 4 をアニールすることでオーミックコンタクト可能にしている。なお、上記アンダーポア LG a N 層 5 2 の厚さ t_2 を例えば 30 nm とし、アンダーポア LG a N 層 5 2 のオーミックコンタクト部分に予め Si ドープをして n 型化させることで電極のオーミックコンタクトを可能としてもよい。また、アンダーポア LG a N 層 5 2 のソース電極が形成される領域およびドレイン電極が形成される領域に、予めリセスを形成し、ソース電極およびドレイン電極を蒸着、アニールすることでオーミックコンタクトを可能としてもよい。

[0064] また、電流コラプスを抑制するためのコラプス抑制膜 6 8 が、上記ソース電極 6 3 と上記ドレイン電極 6 4 との間で上記アンダーポア LG a N 層 5 2 上および上記メサ型のアンダーポア $\text{I}_Z\text{Ga}_{1-Z}\text{N}$ 層 7 2 上に第 1 の絶縁膜として形成されている。この第 1 の絶縁膜としてのコラプス抑制膜 6 8 は、上記ゲート電極 6 5 下に延在している。このコラプス抑制膜 6 8 には開口 8 1 が形成され、上記ゲート電極 6 5 は、上記開口 8 1 を貫通して上記メサ型のアンダーポア LG a N 層 7 2 にショットキー接合している。

[0065] 上記コラプス抑制膜 6 8 は、一例として、 Si リッチなシリコン窒化膜で作製されている。この Si リッチなシリコン窒化膜とは、 $\text{Si} : \text{N} = 0.75 : 1$ のストイキオメトリなシリコン窒化膜よりもシリコン Si の比率の大きい SiN 膜であり、例えば、 Si と N との組成比 $\text{Si} : \text{N} = 1.1 \sim 1.9 : 1$ である。また、好ましい一例では、 Si と N との組成比 $\text{Si} : \text{N} = 1.3 \sim 1.5 : 1$ である。

[0066] また、 SiON 膜で作製された第 2 の絶縁膜 7 3 が、上記コラプス抑制膜

6 8 上に形成されている。この第 2 の絶縁膜 7 3 は、上記コラプス抑制膜 6 8 上で上記ゲート電極 6 5 下に延在している。この第 2 の絶縁膜 7 3 は、開口 8 5 が形成され、この開口 8 5 は、上記コラプス抑制膜 6 8 の開口 8 1 に連通している。この第 2 の絶縁膜 7 3 の開口 8 5 に、上記コラプス抑制膜 6 8 の端縁部 6 8 a が露出している。すなわち、上記コラプス抑制膜 6 8 の端縁部 6 8 a は、上記第 2 の絶縁膜 7 3 の端縁部 7 3 a から突出している。この実施形態では、一例として、コラプス抑制膜 6 8 の端縁部 6 8 a が第 2 の絶縁膜 7 3 の端縁部 7 3 a から突出している突出寸法 L 1 を、 $0.5\ \mu\text{m}$ とした。

[0067] なお、この実施形態では、一例として、第 2 の絶縁膜 7 3 を SiON 膜で作製したが、第 2 の絶縁膜 7 3 を、他の酸化膜、例えば、 SiO_2 膜や Al_2O_3 膜等で作製してもよい。また、第 2 の絶縁膜 7 3 を、ストイキオメトリなシリコン窒化膜 (SiN 膜) としてもよい。

[0068] この第 2 実施形態では、図 4 に示すように、ゲート電極 6 5 の基部 6 5 a が、上記第 2 の絶縁膜 7 3 の開口 8 5 およびコラプス抑制膜 6 8 の開口 8 1 を通してメサ型のアンダーパッド AIGaN 層 7 2 にショットキー接合している。この基部 6 5 a は、上記コラプス抑制膜 6 8 の端縁部 6 8 a 上にひさし状に張り出している張り出し部 6 5 a - 1 を有している。また、ゲート電極 6 5 は、上記基部 6 5 a に連なっていて上記第 2 の絶縁膜 7 3 上でドレイン電極 6 4 に向かって延在しているフィールドプレート部 6 5 b を有している。また、ゲート電極 6 5 は、基部 6 5 a からソース電極 6 3 側に延在しているフィールドプレート部 6 5 c を有している。このゲート電極 6 5 の略直下に上記メサ型のアンダーパッド AIGaN 層 7 2 が位置している。なお、上記ソース電極 6 3 側に延在しているフィールドプレート部 6 5 c はなくてもよい。

[0069] この実施形態では、一例として、フィールドプレート部 6 5 b が、第 2 の絶縁膜 7 3 上でドレイン電極 6 4 に向かって延在している長さ L 5 4 は、 $2.0\ \mu\text{m}$ である。また、フィールドプレート部 6 5 c が、第 2 の絶縁膜 7 3 上でソース電極 6 3 に向かって延在している長さ L 5 2 は、 $0.7\ \mu\text{m}$ である。

また、ゲート電極 65 の基部 65 a の長さ L_{53} は、 $1.8 \mu\text{m}$ である。

[0070] また、この第 2 実施形態では、一例として、上記ゲート電極 65 で覆われている第 2 の絶縁膜 73 の部分 73 b の膜厚を 50 nm とし、上記ゲート電極 65 で覆われていない第 2 の絶縁膜 73 の部分 73 c の膜厚を 150 nm とし、上記第 1 の絶縁膜としてのコラプス抑制膜 68 の膜厚を 20 nm とした。

[0071] 次に、図 5、図 6 を順に参照して、この第 2 実施形態の GaN 系 H F E T の製造方法を説明する。

[0072] まず、図示しない Si 基板上に、図 5 に示すように、MOCVD (有機金属気相成長)法を用いて、アンドープ GaN 層 51、アンドープ AlGaIn 層 52、および、上記メサ型のアンドープ AlGaIn 層 72 とするためのアンドープ AlGaIn 層 (図示せず)を順に形成する。

[0073] 次に、フォトリソグラフィで上記メサ型のアンドープ AlGaIn 層 72 を形成すべき領域にレジストパターン (図示せず)を形成し、このレジストパターンをマスクとして、ドライエッチングを行なって、図 5 に示すように、メサ型のアンドープ AlGaIn 層 72 を形成する。

[0074] なお、上記基板は、Si 基板に限らず、サファイヤ基板や SiC 基板を用いてもよく、サファイヤ基板や SiC 基板上に窒化物半導体層を成長させてもよいし、GaN 基板に AlGaIn 層を成長させる等のように、窒化物半導体からなる基板上に窒化物半導体層を成長させてもよい。また、適宜、バッファ層を基板と各層間に形成してもよい。

[0075] 次に、図 5 に示すように、上記アンドープ AlGaIn 層 52 および上記メサ型のアンドープ AlGaIn 層 72 上に、プラズマ CVD 法を用いて、コラプス抑制膜 68 となるシリコン窒化膜 98 を形成する。このコラプス抑制膜 68 となるシリコン窒化膜 98 の成長温度は、一例として、 225°C としたが、 $200^\circ\text{C} \sim 400^\circ\text{C}$ の範囲で設定してもよい。また、上記コラプス抑制膜 68 となるシリコン窒化膜 98 の膜厚は、一例として、 20 nm としたが、 $20 \text{ nm} \sim 50 \text{ nm}$ の範囲で設定してもよい。

[0076] また、一例として、上記プラズマCVD法によりシリコン窒化膜98を形成する際のガス流量比は、 $N_2/ NH_3/ SiH_4 = 300\text{ sccm}/ 40\text{ sccm}/ 35\text{ sccm}$ とした。これにより、ストイキオメトリなシリコン窒化膜よりもシリコンSiの比率の大きなシリコン窒化膜98を形成できる。このシリコン窒化膜98によれば、ストイキオメトリなシリコン窒化膜に比べて、電流コラプスをより抑制できる。

[0077] また、例えば、コラプス抑制膜68となるシリコン窒化膜98のSiとNとの組成比Si : N = 1.1 ~ 1.9 : 1にすると、Si : N = 0.75 : 1のストイキオメトリなシリコン窒化膜よりも電流コラプスの抑制に有効である。より好ましくは、上記シリコン窒化膜28のSiとNとの組成比Si : N = 1.3 ~ 1.5 : 1にすることが、電流コラプスを抑制する上で特に有効である。

[0078] 次に、上記コラプス抑制膜68となるシリコン窒化膜98上にフォトレジスト層(図示せず)を形成し、露光、現像することにより、ソース電極63、ドレイン電極64を形成すべき領域の上記フォトレジスト層、および、ゲート電極65の基部65aを形成すべき領域の上記フォトレジスト層を除去し、このフォトレジスト層をマスクとして、ドライエッチングを行なう。これにより、図5に示すように、上記コラプス抑制膜68となるシリコン窒化膜98のうち、ソース電極63、ドレイン電極64を形成すべき領域、および、ゲート電極65の基部65aを形成すべき領域を除去して、これらの領域にアンドープAlGaIn層52、および、メサ型のアンドープAlGaIn層72を露出させる。

[0079] 次に、上記コラプス抑制膜68となるシリコン窒化膜98を熱処理する。この熱処理の温度は、例えば、500℃で30分間とした。なお、上記熱処理の温度は、一例として、500℃~700℃の範囲で設定してもよい。

[0080] その後、図6に示すように、上記コラプス抑制膜68上に、プラズマCVD(化学的気相成長)法により、第2の絶縁膜73となるSiON膜93を形成する。次に、レジストを用いたパターニングにより、上記第2の絶縁膜7

3 を形成すべき領域にフォトレジスト(図示せず)を形成し、ドライエッチングにより、上記第2の絶縁膜73を形成すべき領域以外のSiON膜93を除去して、上記第2の絶縁膜73を形成する。次に、上記第2の絶縁膜73に、680℃以上で1時間のアニールを行なう。

[0081] その後、TiNを全面スパッタし、フォトリソグラフィでゲート電極65を形成すべき電極形成領域にレジストパターン(図示せず)を形成し、このレジストパターンをマスクとして、ドライエッチングまたはウェットエッチングを行なって、上記電極形成領域以外のTiN膜を除去して、図4に示すように、TiN電極によるゲート電極65を形成する。このゲート電極65の基部65aは、接合部65a₂がメサ型のAlGaN層72にショットキー接合していると共に張り出し部65a₁の直下にはコラプス抑制膜68の端縁部68aが位置している。また、フィールドプレート部65bの直下には、SiON膜による第2の絶縁膜73とコラプス抑制膜68とが位置している。

[0082] 次に、フォトリソグラフィにより、ソース電極63、ドレイン電極64を形成すべき領域(コラプス抑制膜68、第2の絶縁膜73から露出したAlGaN層52の領域およびこの領域に隣接する第2の絶縁膜73の縁部)が開口したフォトレジスト(図示せず)を形成する。そして、このフォトレジスト上にTi、Alを順に蒸着し、リフトオフにより、図4に示すように、上記Ti/Al電極によるソース電極63、ドレイン電極64を形成する。上記Ti/Al電極は、Ti層、Al層が順に積層された積層構造の電極である。次に、上記ソース電極63、ドレイン電極64を、熱処理してオーミック電極にする。この熱処理(オーミックアニール)の条件は、一例として500℃で30分としたが、上記熱処理の条件は、これに限らず、例えば、上記熱処理温度を、400℃~600℃の範囲内で設定してもよい。

[0083] こうして作製した上記第2実施形態のGaN系HFETによれば、上記ゲート電極65下で第1の絶縁膜であるコラプス抑制膜68の端縁部68aが第2の絶縁膜73の端縁部73aから突き出ている。この構成により、図7

の電界強度特性図を参照して上記第1実施形態で説明したのと同様、上記コラプス抑制膜68の端縁部68aでの電界集中を緩和できることが判明した。すなわち、第1の絶縁膜としてのコラプス抑制膜68の端縁部68aの突出寸法L51を $0.1\mu\text{m}$ 以上にするこゝで、コラプス抑制膜68の端縁部68aを第2の絶縁膜73から突き出していない場合に比べて、コラプス抑制膜68の端縁部68aでの電界強度を大幅に低減できることが分かった。一方、上記第1の絶縁膜としてのコラプス抑制膜68の端縁部68aの突出寸法L51が、 $0.5\mu\text{m}$ を超えると、ゲート電極65の基部65aがシヨットキ一接合している接合部65a_2に対する、上記コラプス抑制膜68上のゲート電極65の基部65aの張り出し部65a_1の影響が大きくなり、しきい値電圧が2段階になるなどの安定性の低下を招くこととなる。

[0084] したがって、上記第1の絶縁膜としてのコラプス抑制膜68の端縁部68aの突出寸法L51を、 $0.1\mu\text{m}\sim 0.5\mu\text{m}$ とすることで、しきい値電圧が2段階になるなどの安定性の低下を招くことなく、電界集中を緩和できる。また、この実施形態によれば、上記第1の絶縁膜をコラプス抑制膜68としたので、耐圧を向上できるだけでなく、電流コラプスも抑制できる。

[0085] また、この第2実施形態では、上述の如く、メサ型のアンドープ $\text{Al}_z\text{Ga}_{1-z}\text{N}$ 層72を形成し、上記アンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層51の厚さ t_1 とアンドープ $\text{Al}_y\text{Ga}_{1-y}\text{N}$ 層52の厚さ t_2 とメサ型のアンドープ $\text{Al}_z\text{Ga}_{1-z}\text{N}$ 層72の厚さ t_3 との関係を、 $t_1 > t_3 > t_2$ とし、かつ、混晶比 x, y, z を $y > x > z$ とした。これにより、上記メサ型のアンドープ $\text{Al}_z\text{Ga}_{1-z}\text{N}$ 層72の直下の領域において、2DEG(2次元電子ガス)69が生じないようにして、ノーマリオフタイプのGaN系HFETを実現できる。

[0086] 尚、上記第2実施形態では、一例として、ゲート電極65の基部65aの長さL53を、 $1.8\mu\text{m}$ としたが、ゲート電極65の基部65aの長さL53は、例えば、 $0.8\mu\text{m}\sim 3\mu\text{m}$ の範囲で設定してもよい。また、上記ゲート電極65のフィールドプレート部65bの長さL54を $2.0\mu\text{m}$ としたが、フィールドプレート部65bの長さL54を、例えば、 $0.5\mu\text{m}\sim 10\mu\text{m}$

mの範囲で設定してもよい。また、上記ゲート電極65のフィールドプレート部65cの長さL52を $0.7\mu\text{m}$ としたが、フィールドプレート部65cの長さL52を、例えば、 $0.5\mu\text{m}\sim 3\mu\text{m}$ の範囲で設定してもよい。

[0087] また、上記第2実施形態では、一例として、ソース電極63とゲート電極65との間の距離D51を $1.3\mu\text{m}$ としたが、距離D51を $0.5\mu\text{m}\sim 5\mu\text{m}$ の範囲で設定してもよい。また、上記第2実施形態では、一例として、ゲート電極65とドレイン電極64との間の距離D52を $8\mu\text{m}$ としたが、距離D52を $3\mu\text{m}\sim 30\mu\text{m}$ の範囲で設定してもよい。

[0088] また、上記第2実施形態においては、第1の絶縁膜としてのコラプス抑制膜68は、開口81のソース電極側の端縁部が第2の絶縁膜73から突出していないが、図9に示すように、端縁部68aと同様に、コラプス抑制膜68の開口81のソース電極側の端縁部68bが、第2の絶縁膜73の開口85のソース電極側の端縁部73bから突出していてもよい。

[0089] また、上記第2実施形態において、図11に示すように、上記第1の絶縁膜としてのコラプス抑制膜68の端縁部68aの上側の角部68a_1を面取りされた形状としてもよい。この角部68a_1の面取り形状は、略直線状に傾斜した面取り形状としたが、湾曲面状の面取り形状としてもよい。また、上記第1の絶縁膜としてのコラプス抑制膜68の端縁部68aだけでなく第2の絶縁膜73の端縁部73aの上側の角部73a_1を破線で示すような面取り形状としてもよい。このような面取り形状によって、ゲート電極65の段切れを抑制して、安定したトランジスタ特性が得られ、信頼性を向上できる。上記コラプス抑制膜68や第2の絶縁膜73の端縁部68a, 73aの上側の角部68a_1, 73a_1の面取り形状は、例えば、パターンニング時にウエットエッチングを行なうことで形成できる。また、図11に示す第2の絶縁膜73の開口85のソース電極13側の端縁部73bの上側の角部73b_1を面取り形状にしてもよい。また、図9に示すコラプス抑制膜68の端縁部68aや68bの上側の角部を面取り形状にしてもよく、第2の絶縁膜73の端縁部73aや73bの上側の角部を面取り形状にしてもよ

い。

[0090] また、上記第1, 第2実施形態では、Ga N系半導体積層体を、Ga N層やAlGa N層で構成したが、 $Al_xIn_yGa_{1-x-y}N$ ($x \geq 0$ 、 $y \geq 0$ 、 $0 \leq x + y < 1$)で表されるGa N系半導体層を含むものでもよい。すなわち、上記Ga N系半導体積層体は、AlGa N、Ga N、InGa N等を含むものとしてもよい。また、上記第1実施形態では、ノーマリオンタイプのHFE丁について説明したが、上記第2実施形態のようなノーマリオフタイプでも同様の効果が得られる。

[0091] また、上記第1, 第2実施形態では、第1の絶縁膜をシリコン窒化膜によるコラプス抑制膜としたが、第2の絶縁膜と同様にSiON膜、SiO₂膜、Al₂O₃膜等の酸化膜としてもよい。また、上記第1, 第2実施形態では、第2の絶縁膜をSiON膜、SiO₂膜、Al₂O₃膜等の酸化膜としたが、コラプス抑制膜としてもよい。また、上記第1, 第2実施形態において、第1, 第2の絶縁膜をストイキオメトリなシリコン窒化膜(SiN膜)としてもよい。また、上記第1実施形態では、上記第1絶縁膜としてのコラプス抑制膜の膜厚を、20 nmまたは50 nmとしたが、20 nm~50 nmの範囲内で設定してもよく、例えば、5 nm~100 nmの範囲内で設定してもよい。また、上記第1実施形態では、上記第2の絶縁膜23の膜厚を150 nmまたは120 nmとしたが、120 nm~150 nmの範囲内で設定してもよく、例えば、100 nm~400 nmの範囲内で設定してもよい。

[0092] また、上記第2実施形態では、上記第1絶縁膜としてのコラプス抑制膜の膜厚を、20 nmとしたが、20 nm~50 nmの範囲内で設定してもよく、例えば、5 nm~100 nmの範囲内で設定してもよい。また、上記第2実施形態では、第2の絶縁膜73の部分73bの膜厚を50 nmとしたが、50 nm~400 nmの範囲内で設定してもよい。また、上記第2実施形態では、第2の絶縁膜73の部分73cの膜厚を150 nmとしたが、50 nm~400 nmの範囲内で設定してもよい。

[0093] また、上記実施形態では、ゲート電極15, 65を丁iNで作製したが、W

Nで作製してもよい。また、ゲート電極 15, 65 を Pt / Au や Ni / Au で作製してもよい。

[0094] また、上記第 1, 第 2 実施形態では、上記オーミック電極としてのソース電極 13, 63 とドレイン電極 14, 64 を、Ti 層, Al 層が順に積層された Ti / Al 電極としたが、Ti 層, Al 層, TiN 層が順に積層された Ti / Al / TiN 電極としてもよい。また、上記 Al 層の代わりに AlSi 層や AlCu 層を用いてもよい。また、ソース電極, ドレイン電極としては、Hf / Al 電極としてもよい。また、ソース電極, ドレイン電極としては、Ti / Al または Hf / Al 上に Ni / Au を積層したものとしてもよく、Ti / Al または Hf / Al 上に Pt / Au を積層したものとしてもよく、Ti / Al または Hf / Al 上に Au を積層したものとしてもよい。

[0095] この発明の具体的な実施の形態について説明したが、この発明は上記実施形態に限定されるものではなく、この発明の範囲内で種々変更して実施することができる。

符号の説明

[0096] 11 アンダーポッド GaN 層
 12 アンダーポッド AlGaIn 層
 13 ソース電極
 14 ドレイン電極
 15 ゲート電極
 15a 基部
 15a-1 張り出し部
 15a-2 接合部
 15b, 15c フィールドプレート部
 18 コラプス抑制膜
 18a, 18b 端縁部
 18a-1 角部
 19 2DEG (2次元電子ガス)

2 1, 2 5 開口

2 3 第 2 の絶縁膜

2 3 a, 2 3 b 端縁部

2 3 a — 1, 2 3 b — 1 角部

5 1 アンダープロップ A I_x G a $,-_x$ N 層

5 2 アンダープロップ A I_y G a $,-_y$ N 層

6 3 ソース電極

6 4 ドレイン電極

6 5 ゲート電極

6 5 a 基部

6 5 a — 1 張り出し部

6 5 a — 2 接合部

6 5 b, 6 5 c フィールドプレート部

6 8 コラプス抑制膜

6 8 a, 6 8 b 端縁部

6 8 a — 1 角部

6 9 2 D E G (2 次元電子ガス)

7 2 メサ型のアンダープロップ A I_z G a ト $_z$ N 層

7 3 第 2 の絶縁膜

7 3 a, 7 3 b 端縁部

7 3 a — 1, 7 3 b — 1 角部

8 1, 8 5 開口

請求の範囲

[請求項 1]

窒化物半導体層 (12, 52) と、

上記窒化物半導体層 (12, 52) 上または上記窒化物半導体層 (12, 52) 内に少なくとも一部が形成されると共に互いに間隔をおいて配置されたソース電極 (13) および ドレイン電極 (14) と、

上記ソース電極 (13) と上記ドレイン電極 (14) との間で上記窒化物半導体層 (12, 52) 上に配置されていると共にショットキー接合のための基部 (15a) とこの基部 (15a) から上記ドレイン電極 (14) に向かって延在しているフィールドプレート部 (15b, 15c) とを有するゲート電極 (15) と、

上記ソース電極 (13) と上記ドレイン電極 (14) との間で上記窒化物半導体層 (12, 52) 上に形成されていると共に上記ゲート電極 (15) のフィールドプレート部 (15b, 15c) の下で上記基部 (15a) に隣接している端縁部 (18a, 18b, 73a, 73b) を有する第 1 の絶縁膜 (18, 68) と、

上記第 1 の絶縁膜 (18, 68) 上に形成されていると共に上記ゲート電極 (15) のフィールドプレート部 (15b, 15c) の下で上記基部 (15a) に隣接している端縁部 (18a, 18b, 73a, 73b) を有する第 2 の絶縁膜 (23, 73) とを備え、

上記第 1 の絶縁膜 (18, 68) の端縁部 (18a, 18b, 73a, 73b) は、

上記窒化物半導体層 (12, 52) に沿って上記第 2 の絶縁膜 (23, 73) の端縁部 (18a, 18b, 73a, 73b) から突き出ていることを特徴とする電界効果トランジスタ。

[請求項 2]

請求項 1 に記載の電界効果トランジスタにおいて、

上記第 1 の絶縁膜 (18, 68) は、

電流コラプスを抑制するためのコラプス抑制膜 (18, 68) である

ことを特徴とする電界効果 トランジスタ。

[請求項3]

請求項 1 または 2 に記載の電界効果 トランジスタにおいて、

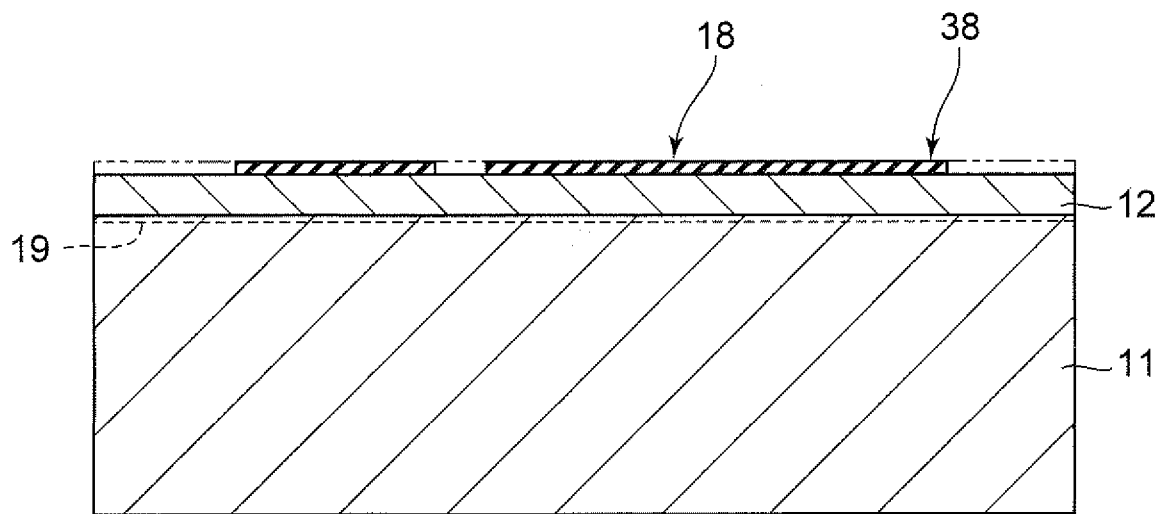
上記第 1 の絶縁膜 (18 , 68) の端縁部 (18 a , 18 b , 73 a , 73 b) が上記第 2 の絶縁膜 (23 , 73) の端縁部 (18 a , 18 b , 73 a , 73 b) から突き出ている突出寸法が、 $0.1\ \mu\text{m}$ 以上かつ $0.5\ \mu\text{m}$ 以下であることを特徴とする電界効果 トランジスタ。

[請求項4]

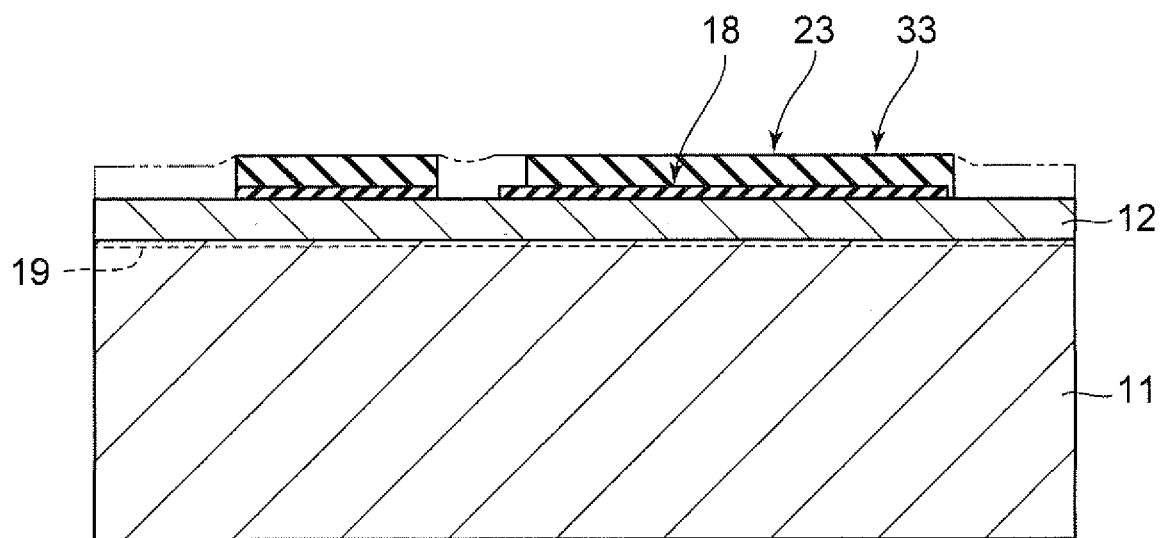
請求項 1 から 3 のいずれか 1 つに記載の電界効果 トランジスタにおいて、

上記第 1 の絶縁膜 (18 , 68) と第 2 の絶縁膜 (23 , 73) の少なくとも一方の端縁部 (18 a , 68 a) の上側の角部 (18 a — 1 , 68 a - 1 , 23 a - 1 , 73 a _ 1) が、面取りされた形状であることを特徴とする電界効果 トランジスタ。

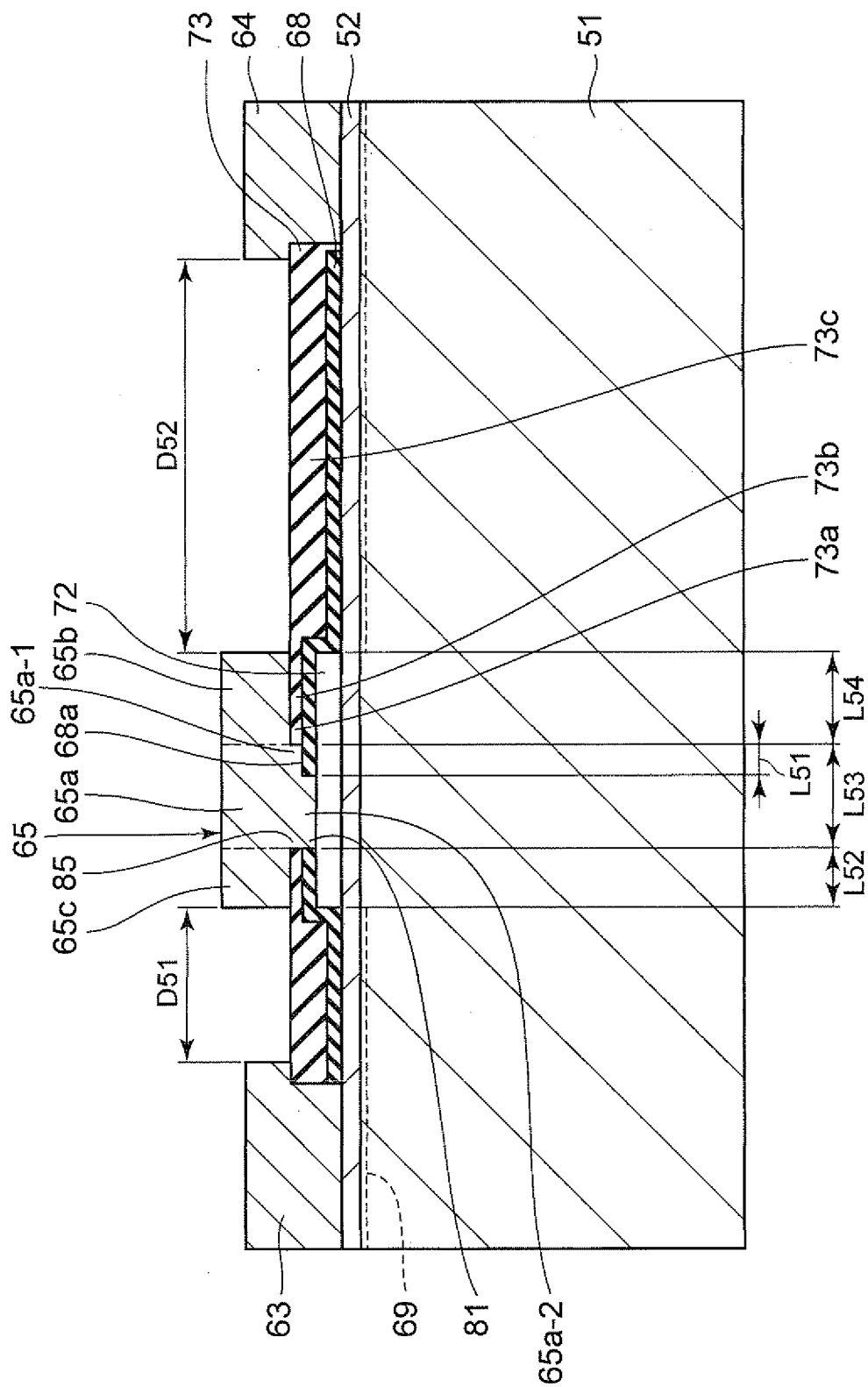
[図2]



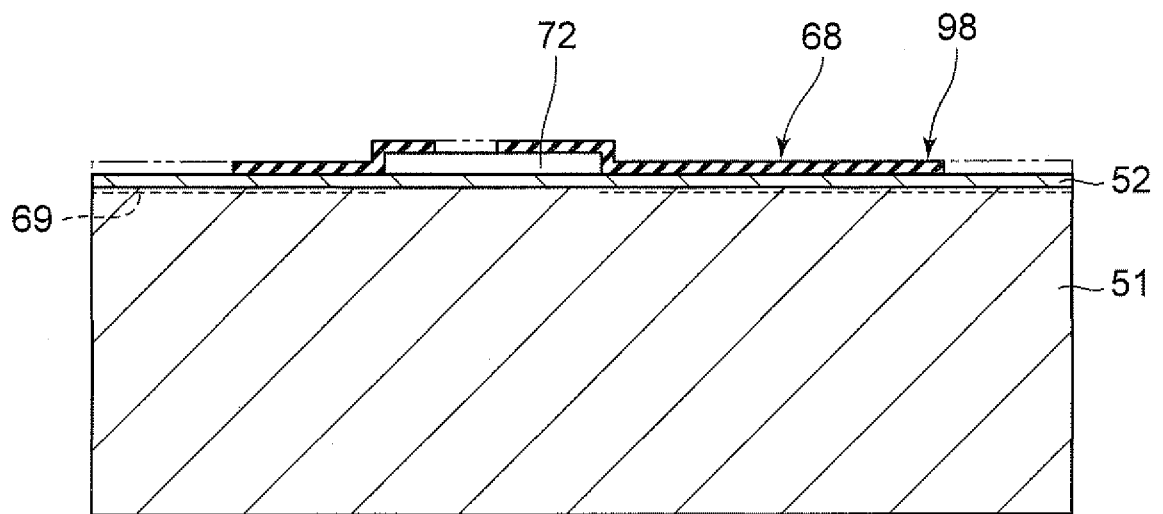
[図3]



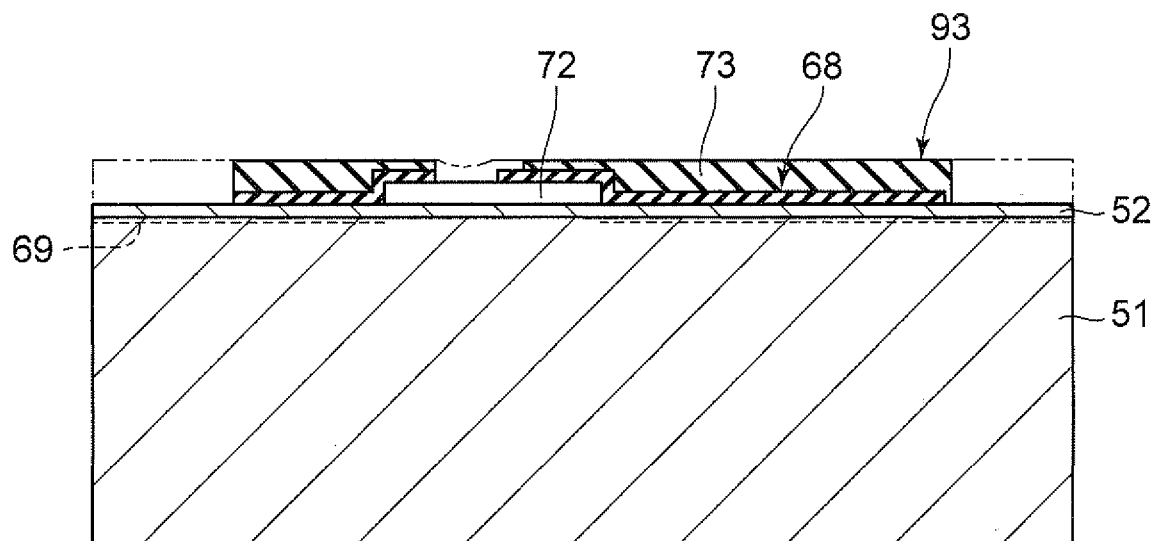
[図4]



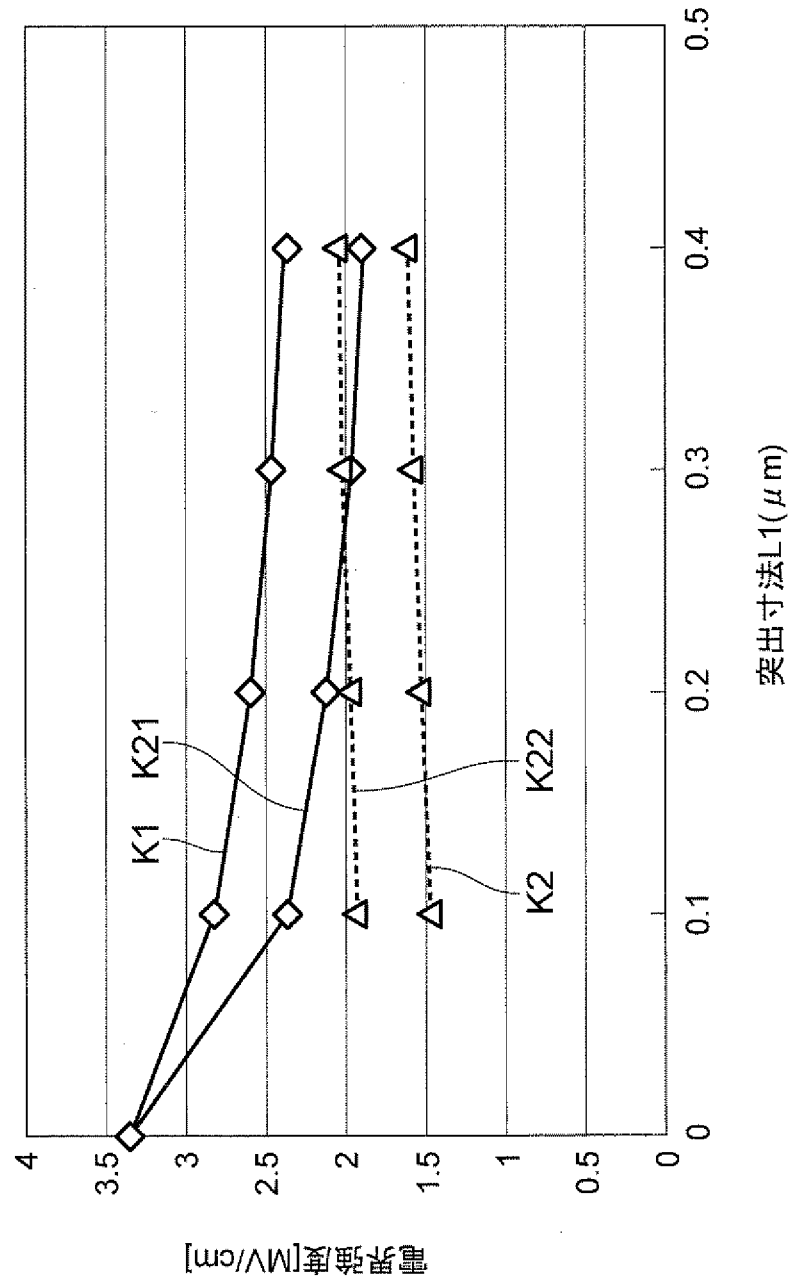
[図5]



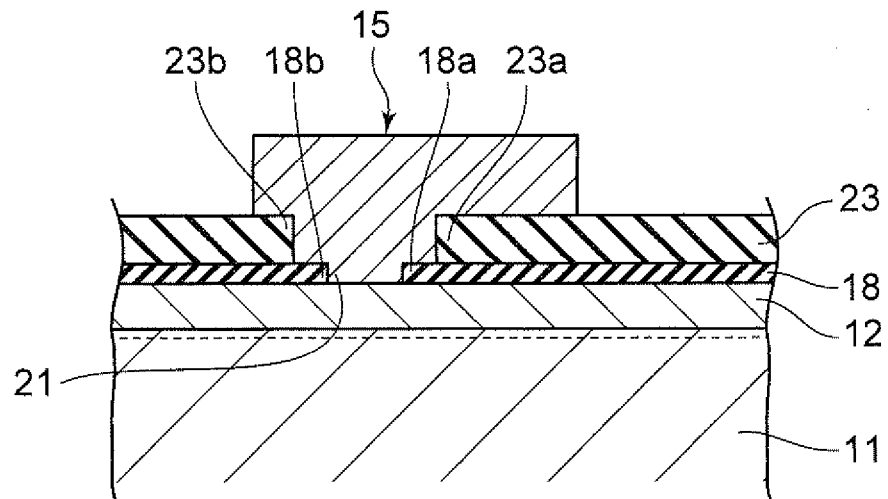
[図6]



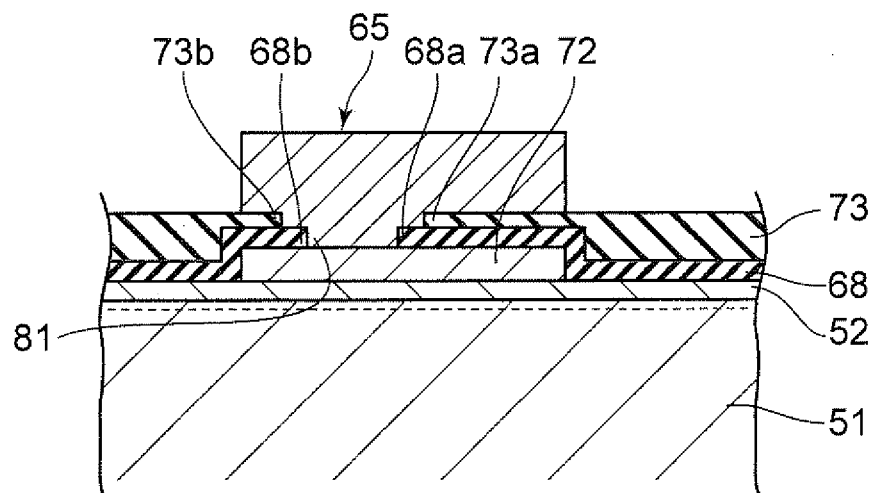
[図7]



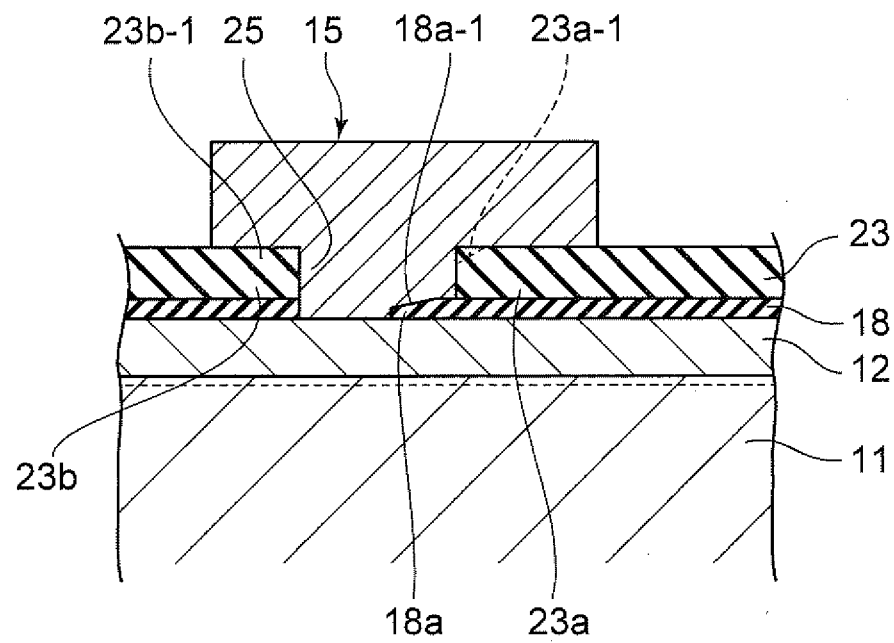
[図8]



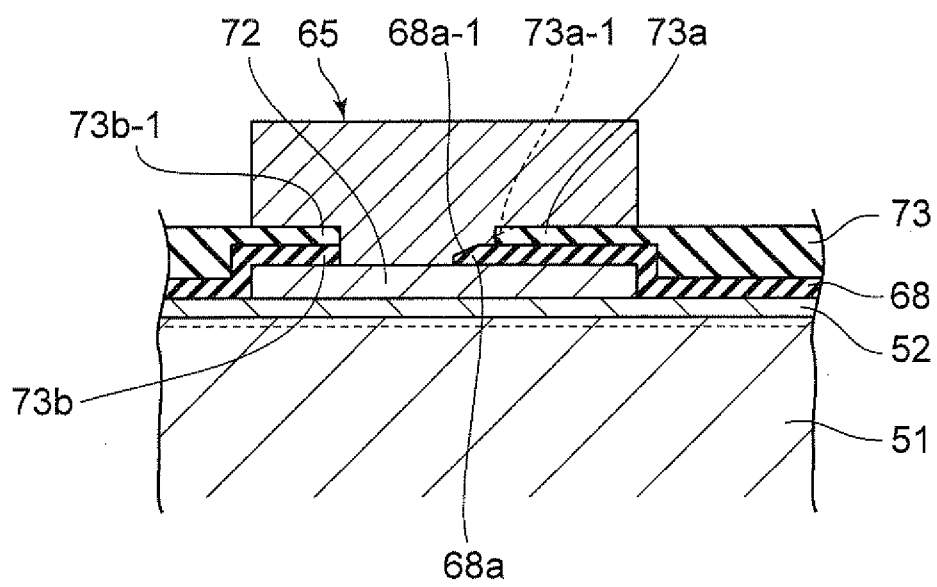
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT / JP2 012 / 080294

A. CLASSIFICATION OF SUBJECT MATTER

H01 L21/338{2006.01}i, H01 L21/28(2006.01)i, H01 L29/06(2006.01)i, H01 L29/41(2006.01)i, H01 L29/423{2006.01}i, H01L29/778{2006.01}i, H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/80-29/812, H01L29/778, H01L21/337-21/338

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo	Shinan	Koho	1922-1	996	Jitsuyo	Shinan	Toroku	Koho	1996-2013
Kokai	Jitsuyo	Shinan	Koho	1971-2013	Toroku	Jitsuyo	Shinan	Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2004/055905 AI (NEC Corp.), 01 July 2004 (01.07.2004), fig. 5; page 23, lines 7 to 20 & JP 2004-200248 A & US 2006/0102929 AI & CN 1748320 A	1-3 4
Y	WO 2005/081304 AI (NEC Corp.), 01 September 2005 (01.09.2005), fig. 6; paragraph [0049] & JP 4888115 B & US 2007/0164326 AI	4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

21 January, 2013 (21.01.13)

Date of mailing of the international search report

29 January, 2013 (29.01.13)

Name and mailing address of the ISA/
Japan Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/338 (2006. 01) i, H01L21/28 (2006. 01) i, H01L29/06 (2006. 01) i, H01L29/41 (2006. 01) i,
H01L29/423 (2006. 01) i, H01L29/778 (2006. 01) i, H01L29/812 (2006. 01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/80- 29/812
H01L29/778
H01L21/337- 21/338

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1 9 2 2 -
日本国公開実用新案公報 1 9 7 1 - 2
日本国実用新案登録公報 1 9 9 6 -
日本国登録実用新案公報 1 9 9 4 - 2

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)
年

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	Wo 2004/055905 A1 (日本電気株式会社) 2004. 07. 01, Fig. 5、第 2 3 ページ第 7 — 2 0 行 目 & JP 2004-200248 A & US 2006/0102929 AI & CN 1748320 A	1-3 4
Y	wo 2005/081304 AI (日本電気株式会社) 2005. 09. 01, [図 6 コ [0049] & JP 4888115 B & US 2007/0164326 AI	4

Γ c 欄の続きにも文献が列挙されている。

□ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

IA 「特に関連のある文献ではなく、一般的技術水準を示すもの」
IE 「国際出願 日前の出願または特許であるが、国際出願 日以後に公表されたもの」
I 「優先権主張に疑義を提起する文献又は他の文献の発行 日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)」
IΘ 「口頭による開示、使用、展示等に言及する文献」
IP 「国際出願 日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「 国際出願 日又は優先 日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの」
「 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの」
IY 「特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの」
I& 「同一パテントファミリー文献」

国際調査を完了した日

2 1 . 0 1 . 2 0 1 3

国際調査報告の発送日

2 9 . 0 1 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 — 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

行武 哲太郎

電話番号 0 3 — 3 5 8 1 — 1 1 0 1 内線 3 5 1 6

5 F

4 4 4 7