

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 12 月 30 日(30.12.2015)



(10) 国際公開番号

WO 2015/199051 A1

- (51) 国際特許分類:
G09G 3/30 (2006.01) G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2015/067964
- (22) 国際出願日: 2015 年 6 月 23 日(23.06.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-128120 2014 年 6 月 23 日(23.06.2014) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 西川 大地(NISHIKAWA, Daichi). 岸 宣孝(KISHI, Noritaka). 小原 将紀(OHARA, Masanori).
- (74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町 1 丁目 1 0 番 3 号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

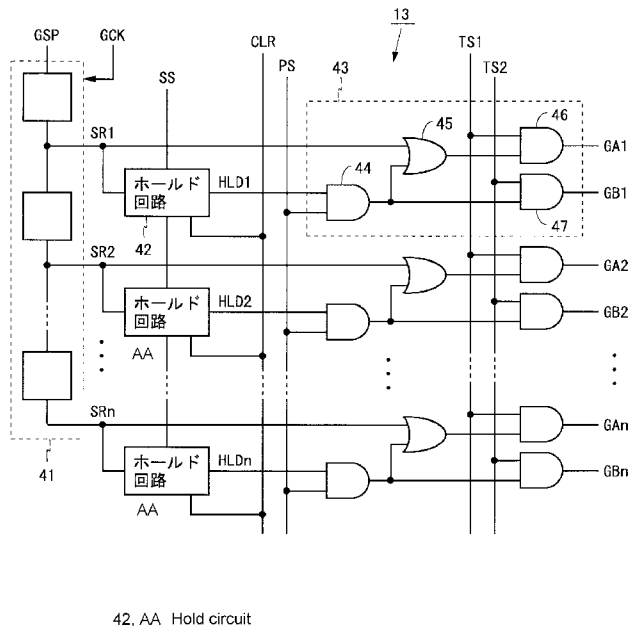
添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: DISPLAY DEVICE AND METHOD FOR DRIVING SAME

(54) 発明の名称: 表示装置およびその駆動方法

【図3】



(57) Abstract: A scan-line drive circuit 13 includes an n-stage shift register 41, n hold circuits 42, and n scan-signal-output circuits 43. The hold circuits 42 hold shift register outputs SRi in accordance with sampling signals SS that reach an active level during a single-line period within a video signal period. The scan signal output circuits 43 output scan signals to be applied to scan lines GAi, GBi on the basis of the shift register outputs SRi, the hold outputs HLDi, a period indication signal PS for showing a video signal period or a vertical fly-back period, and timing signals TS1, TS2. The scan signal output circuits 43 output measuring and writing scan signals when the hold output HLDi is at a selected level within the vertical fly-back period. As a consequence, using a simple circuit, scan lines corresponding to pixel circuits for each line in the vertical fly-back period are selected and the current or voltage is measured.

(57) 要約: 走査線駆動回路 13 は、n 段のシフトレジスタ 41 と、n 個のホールド回路 42 と、n 個の走査信号出力回路 43 とを含んでいる。ホールド回路 42 は、映像信号期間内の 1 ライン期間でアクティブレベルになるサンプリング信号 SS に従い、シフトレジスタ出力 SRi を保持する。走査信号出力回路 43 は、シフトレジスタ出力 SRi と、ホールド出力 HLDi と、映像信号期間か垂直帰線期間かを示す期間指定信号 PS と、タイミング信号 TS1、TS2 とに基づき、走査線 GAi、GBi に印加する走査信号を出力する。走査信号出力回路 43 は、垂直帰線期間でホールド出力 HLDi が選択レベルのときには測定用および書き込み用の走査信号を出力する。これにより、簡単な回路を用いて、垂直帰線期間で 1 行分の画素回路に対応した走査線を選択し電流または電圧を測定する。

WO 2015/199051 A1

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] 本発明は、表示装置に関し、特に、有機ＥＬ素子などの電気光学素子を備えたアクティブマトリクス型の表示装置およびその駆動方法に関する。

背景技術

[0002] 近年、薄型、軽量、高速応答可能な表示装置として、有機ＥＬ（Electro Luminescence）表示装置が注目されている。有機ＥＬ表示装置は、２次元状に配置された複数の画素回路を備えている。有機ＥＬ表示装置の画素回路は、有機ＥＬ素子と、有機ＥＬ素子と直列に設けられた駆動トランジスタとを含んでいる。駆動トランジスタは有機ＥＬ素子に流れる電流の量を制御し、有機ＥＬ素子は流れる電流の量に応じた輝度で発光する。

[0003] 有機ＥＬ表示装置には、使用時間と共に画素の輝度が低下するという問題がある。画素の輝度が低下する理由は、使用時間と共に、有機ＥＬ素子の発光効率が低下し、駆動トランジスタの特性（例えば、閾値電圧など）が変動するからである。この問題を解決する方法として、画素回路内を流れる電流をデータ線などを経由して画素回路の外部に読み出し、読み出した電流を測定した結果に基づき映像信号を補正する方法が知られている（例えば、特許文献１）。

[0004] また、本願発明に関連して、特許文献２には、図２４に示すパルス出力回路を多段接続したシフトレジスタが記載されている。図２４において、出力端子Ｏ１は次段のパルス出力回路に接続され、出力端子Ｏ２は走査線に接続される。トランジスタＱ９２に接続される電源線にはローレベル電圧ＶＳＳ１が印加され、トランジスタＱ９４に接続される電源線には可変電圧ＶＳＳ２が印加される。可変電圧ＶＳＳ２は、通常モードではローレベル電圧ＶＳＳ１に制御され、一斉モードではハイレベル電圧ＶＤＤまたはローレベル電圧ＶＳＳ１に制御される。一斉モードでは、複数の走査線に対して同じタイ

ミングで一括して表示用の走査信号を出力することができる。

先行技術文献

特許文献

[0005] 特許文献1：日本国特開2005-284172号公報

特許文献2：日本国特開2012-9125号公報

発明の概要

発明が解決しようとする課題

[0006] アクティブマトリクス型の表示装置では、1フレーム期間は、画素回路を1行ずつ順に選択し、選択した行の画素回路にデータ電圧を書き込む映像信号期間と、画素回路にデータ電圧を書き込まない垂直帰線期間とに分割される。画素回路内を流れる電流を測定した結果に基づき映像信号を補正する場合、電流測定処理を映像信号期間内に行う方法と、電流測定処理を垂直帰線期間内に行う方法とが考えられる。

[0007] 1映像信号期間内に複数行の画素回路について電流を測定する方法として、映像信号期間において複数のライン期間を選択し、選択したライン期間を延長してデータ電圧の書き込みと電流の測定を行う方法が考えられる。この方法では、走査線G1～Gnは、図25に示すタイミングで選択される。しかしながら、この方法では、ライン期間の長さが異なるので、表示制御回路からデータ線駆動回路へのデータ転送タイミングが不規則になる。このため、この方法には、データ転送のためにフレームメモリや数十ライン分のラインメモリが必要になるという問題がある。

[0008] 一方、1垂直帰線期間内に1行分の画素回路について電流を測定する場合には、データ転送のためのラインメモリは1または2ライン分でよい。しかし、この場合には、走査線駆動回路の構成を検討する必要がある。従来の一般的な走査線駆動回路は、垂直帰線期間で選択レベルの信号を出力する機能を有しておらず、垂直帰線期間では非選択レベルの信号を出力する。また、従来の走査線駆動回路に垂直帰線期間で選択レベルの信号を出力する機能を

追加するときの特段の工夫を行わなければ、走査線駆動回路や表示制御回路の構成が複雑になる。画素回路内の節点の電圧を測定した結果に基づき映像信号を補正する表示装置でも、同様の問題が発生する。

[0009] それ故に、本発明は、簡単な回路を用いて、垂直帰線期間で1本の走査線を選択し、1行分の画素回路について電流または電圧を測定する表示装置を提供することを目的とする。

課題を解決するための手段

[0010] 本発明の第1の局面は、アクティブマトリクス型の表示装置であって、複数の走査線と複数のデータ線と2次元状に配置された複数の画素回路とを含む表示部と、

前記走査線を駆動する走査線駆動回路と、

前記データ線を駆動する機能と前記画素回路について電流または電圧を測定する機能とを有するデータ線駆動回路と、

映像信号期間か非映像信号期間かを示す期間指定信号と、映像信号期間内の1ライン期間でアクティブレベルになるサンプリング信号とを出力する表示制御回路とを備え、

前記走査線駆動回路は、

前記走査線に対応する複数の段を有するシフトレジスタと、

前記走査線に対応して設けられ、前記サンプリング信号に従い、前記シフトレジスタの対応する段から出力されたシフトレジスタ出力を保持する複数のホールド回路と、

前記走査線に対応して設けられ、少なくとも前記期間指定信号と前記シフトレジスタ出力とに対応するホールド回路から出力されたホールド出力とに基づき、対応する走査線に印加する走査信号を出力する走査信号出力回路とを含むことを特徴とする。

[0011] 本発明の第2の局面は、本発明の第1の局面において、

前記走査信号出力回路は、映像信号期間で前記シフトレジスタ出力が選択レベルのときには書き込み用の走査信号を出力し、非映像信号期間で前記ホ

ールド出力が選択レベルのときには測定用および書き込み用の走査信号を出力することを特徴とする。

- [0012] 本発明の第3の局面は、本発明の第2の局面において、
前記複数の走査線は、複数の第1走査線と複数の第2走査線とを含み、
前記表示制御回路は、第1タイミング信号と第2タイミング信号とをさらに出力し、
前記走査信号出力回路は、映像信号期間では、前記第1走査線に印加する第1走査信号として前記シフトレジスタ出力を出力し、前記第2走査線に印加する第2走査信号として非選択レベルの信号を出力し、非映像信号期間では、前記第1走査信号として前記ホールド出力と前記第1タイミング信号とに基づく信号を出力し、前記第2走査信号として前記ホールド出力と前記第2タイミング信号とに基づく信号を出力することを特徴とする。

- [0013] 本発明の第4の局面は、本発明の第3の局面において、
前記画素回路は、
電気光学素子と、
前記電気光学素子と直列に設けられた駆動トランジスタと、
前記データ線と前記駆動トランジスタの制御端子との間に設けられ、前記第1走査線に接続された制御端子を有する書き込み制御トランジスタと、
前記データ線と前記駆動トランジスタの一方の導通端子との間に設けられ、前記第2走査線に接続された制御端子を有する読み出し制御トランジスタと、
前記駆動トランジスタの制御端子と他方の導通端子との間に設けられたコンデンサとを含むことを特徴とする。

- [0014] 本発明の第5の局面は、本発明の第4の局面において、
前記第1タイミング信号は、非映像信号期間の一部で非選択レベルになり、それ以外では選択レベルになり、
前記第2タイミング信号は、前記第1タイミング信号が非選択レベルである期間の一部で選択レベルになり、それ以外では非選択レベルになり、

前記走査信号出力回路は、非映像信号期間では、前記第 1 走査信号として前記ホールド出力と前記第 1 タイミング信号が選択レベルのときに選択レベルになる信号を出力し、前記第 2 走査信号として前記ホールド出力と前記第 2 タイミング信号が選択レベルのときに選択レベルになる信号を出力することを特徴とする。

[0015] 本発明の第 6 の局面は、本発明の第 2 の局面において、

前記走査信号出力回路は、映像信号期間では前記走査信号として前記シフトレジスタ出力を出力し、非映像信号期間では前記走査信号として前記ホールド出力を出力することを特徴とする。

[0016] 本発明の第 7 の局面は、本発明の第 6 の局面において、

前記表示部は複数のモニタ線をさらに含み、

前記画素回路は、

電気光学素子と、

前記電気光学素子と直列に設けられた駆動トランジスタと、

前記データ線と前記駆動トランジスタの制御端子との間に設けられ、前記走査線に接続された制御端子を有する書き込み制御トランジスタと、

前記モニタ線と前記駆動トランジスタの一方の導通端子との間に設けられ、前記走査線に接続された制御端子を有する読み出し制御トランジスタと、

前記駆動トランジスタの制御端子と一方の導通端子との間に設けられたコンデンサとを含むことを特徴とする。

[0017] 本発明の第 8 の局面は、本発明の第 6 の局面において、

前記画素回路は、

電気光学素子と、

前記電気光学素子と直列に設けられた駆動トランジスタと、

前記データ線と前記駆動トランジスタの一方の導通端子との間に設けられ、前記走査線に接続された制御端子を有する書き込み制御トランジスタと、

、

前記駆動トランジスタの制御端子と基準電圧を有する配線との間に設けられ、前記走査線に接続された制御端子を有する基準電圧印加トランジスタと、

前記駆動トランジスタの制御端子と一方の導通端子との間に設けられたコンデンサとを含むことを特徴とする。

[0018] 本発明の第 9 の局面は、本発明の第 2 の局面において、

前記表示制御回路は、非映像信号期間の終了時にアクティブレベルになるクリア信号をさらに出力し、

前記ホールド回路の出力は、前記クリア信号に従い非選択レベルになることを特徴とする。

[0019] 本発明の第 10 の局面は、本発明の第 2 の局面において、

前記表示制御回路は、アクティブレベルのサンプリング信号を出力するライン期間を複数のフレーム期間ごとに切り替えることを特徴とする。

[0020] 本発明の第 11 の局面は、本発明の第 10 の局面において、

前記表示制御回路は、アクティブレベルのサンプリング信号を出力するライン期間を複数のフレーム期間ごとに順に切り替えることを特徴とする。

[0021] 本発明の第 12 の局面は、本発明の第 10 の局面において、

前記表示制御回路は、アクティブレベルのサンプリング信号を出力するライン期間を複数のフレーム期間ごとに所定数のライン期間を飛ばしながら順に切り替えることを特徴とする。

[0022] 本発明の第 13 の局面は、本発明の第 10 の局面において、

前記表示制御回路は、アクティブレベルのサンプリング信号を出力するライン期間を複数のフレーム期間ごとにランダムに切り替えることを特徴とする。

[0023] 本発明の第 14 の局面は、本発明の第 10 の局面において、

前記表示制御回路は、アクティブレベルのサンプリング信号を出力するライン期間を複数のフレーム期間ごとに特定範囲のライン期間を優先しながら切り替えることを特徴とする。

- [0024] 本発明の第15の局面は、本発明の第2の局面において、
前記データ線駆動回路は、前記複数の画素回路のうち非映像信号期間で選択された画素回路に電圧を書き込むときには、前記画素回路における輝度低下分を補正した電圧を前記データ線に印加することを特徴とする。
- [0025] 本発明の第16の局面は、本発明の第2の局面において、
前記データ線駆動回路で測定された電流または電圧に基づき、映像信号を補正する補正演算部をさらに備える。
- [0026] 本発明の第17の局面は、本発明の第2の局面において、
前記データ線駆動回路は、前記画素回路に測定用電圧を書き込んだときに前記画素回路から出力された電流を測定することを特徴とする。
- [0027] 本発明の第18の局面は、本発明の第2の局面において、
前記データ線駆動回路は、前記画素回路に測定用電流を流したときの前記画素回路内の節点の電圧を測定することを特徴とする。
- [0028] 本発明の第19の局面は、複数の走査線と複数のデータ線と2次元状に配置された複数の画素回路とを含む表示部を有するアクティブマトリクス型の表示装置の駆動方法であって、
走査線駆動回路を用いて前記走査線を駆動するステップと、
前記データ線を駆動し、前記画素回路について電流または電圧を測定するステップと、
映像信号期間か非映像信号期間かを示す期間指定信号と、映像信号期間内の1ライン期間でアクティブレベルになるサンプリング信号とを出力するステップとを備え、
前記走査線駆動回路は、
前記走査線に対応する複数の段を有するシフトレジスタと、
前記走査線に対応して設けられ、前記サンプリング信号に従い、前記シフトレジスタの対応する段から出力されたシフトレジスタ出力を保持する複数のホールド回路と、
前記走査線に対応して設けられ、少なくとも前記期間指定信号と前記シ

フトレジスタ出力と対応するホールド回路から出力されたホールド出力とに基づき、対応する走査線に印加する走査信号を出力する走査信号出力回路とを含むことを特徴とする。

発明の効果

- [0029] 本発明の第1または第19の局面によれば、映像信号期間内のあるライン期間で複数のホールド回路がシフトレジスタ出力を保持するので、非映像信号期間内にある垂直帰線期間では1個のホールド出力が選択レベルになる。走査信号出力回路は、垂直帰線期間では映像信号期間とは異なる走査信号を出力する。したがって、簡単な回路を用いて、垂直帰線期間で1行分の画素回路に対応した走査線を選択し、1行分の画素回路について電流または電圧を測定することができる。
- [0030] 本発明の第2の局面によれば、映像信号期間では走査線を順に選択して、選択した走査線に書き込み用の走査信号を印加し、非映像信号期間内にある垂直帰線期間では1本の走査線を選択して、選択した走査線に測定用および書き込みの走査信号を印加することができる。したがって、簡単な回路を用いて、垂直帰線期間で1行分の画素回路に対応した走査線を選択し、1行分の画素回路について電流または電圧を測定し、書き込みを行うことができる。
- [0031] 本発明の第3の局面によれば、2種類の走査線を備えた表示装置において、非映像信号期間内にある垂直帰線期間で1対の走査線を選択し、1行分の画素回路について電流または電圧を測定し、書き込みを行うことができる。
- [0032] 本発明の第4の局面によれば、電気光学素子と3個のトランジスタとコンデンサとを含む画素回路を備えた表示装置において、非映像信号期間内にある垂直帰線期間で1対の走査線を選択し、1行分の画素回路について電流または電圧を測定し、書き込みを行うことができる。
- [0033] 本発明の第5の局面によれば、走査信号出力回路に2種類のタイミング信号を供給することにより、2種類の走査線に印加される測定用および書き込み用の走査信号を求めることができる。

- [0034] 本発明の第6の局面によれば、1種類の走査線を備えた表示装置において、非映像信号期間内にある垂直帰線期間で1本の走査線を選択し、1行分の画素回路について電流または電圧を測定し、書き込みを行うことができる。
- [0035] 本発明の第7の局面によれば、電気光学素子と3個のトランジスタとコンデンサとを含む画素回路とモニタ線とを備えた表示装置において、非映像信号期間内にある垂直帰線期間で1本の走査線を選択し、1行分の画素回路について電流または電圧を測定し、書き込みを行うことができる。
- [0036] 本発明の第8の局面によれば、電気光学素子と3個のトランジスタとコンデンサとを含む画素回路と基準電圧を有する配線とを備えた表示装置において、非映像信号期間内にある垂直帰線期間で1本の走査線を選択し、1行分の画素回路について電流または電圧を測定し、書き込みを行うことができる。
- [0037] 本発明の第9の局面によれば、クリア信号を用いて、非映像信号期間の終了時にホールド回路の出力を非選択レベルにすることができる。
- [0038] 本発明の第10の局面によれば、非映像信号期間内にある垂直帰線期間で同じ走査線を続けて選択することにより、同じ画素回路について条件を切り替えて電流または電圧を複数回測定することができる。
- [0039] 本発明の第11の局面によれば、2次元状に配置された画素回路について行ごとに順に電流または電圧を測定することができる。
- [0040] 本発明の第12の局面によれば、2次元状に配置された画素回路について複数の行を飛ばしながら行ごとに順に電流または電圧を測定することにより、測定の影響を表示画面内で分散させて表示画像の画質低下を防止することができる。
- [0041] 本発明の第13の局面によれば、2次元状に配置された画素回路の中で電流または電圧を測定する画素回路の行をランダムに切り替えることにより、測定の影響を表示画面内で分散させて表示画像の画質低下を防止することができる。
- [0042] 本発明の第14の局面によれば、2次元状に配置された画素回路の中で、

特定範囲の行の画素回路を優先しながら行ごとに電流または電圧を測定することにより、表示画像の画質に与える影響が大きい画素回路について優先的に電流または電圧を測定し、表示画像の画質を向上することができる。

[0043] 本発明の第15の局面によれば、電流または電圧を測定する画素回路に補正した電圧を書き込むことにより、電流または電流を測定する画素回路における輝度低下を防止し、表示画像の画質低下を防止することができる。

[0044] 本発明の第16の局面によれば、電流または電圧の測定結果に基づき映像信号を補正することにより、画素の輝度の低下を補償し、表示画像の画質を向上することができる。

[0045] 本発明の第17の局面によれば、簡単な回路を用いて、垂直帰線期間で1行分の画素回路に対応した走査線を選択し、1行分の画素回路について、測定用電圧を書き込んだときに画素回路から出力された電流を測定することができる。

[0046] 本発明の第18の局面によれば、簡単な回路を用いて、垂直帰線期間で1行分の画素回路に対応した走査線を選択し、1行分の画素回路について、測定用電流を流したときの画素回路内の節点の電圧を測定することができる。

図面の簡単な説明

[0047] [図1]本発明の第1の実施形態に係る表示装置の構成を示すブロック図である。

[図2]図1に示す表示装置の画素回路の回路図である。

[図3]図1に示す表示装置の走査線駆動回路の回路図である。

[図4]図1に示す表示装置の動作を示すタイミングチャートである。

[図5]図1に示す表示装置の詳細なタイミングチャートである。

[図6]図1に示す表示装置の補正データ記憶部と補正演算部の詳細を示すブロック図である。

[図7]図1に示す表示装置のCPUの動作を示すフローチャートである。

[図8A]図1に示す表示装置における垂直帰線期間で選択される走査線を選択方法を示す図である。

[図8B]図 1 に示す表示装置における垂直帰線期間で選択される走査線の選択方法を示す図である。

[図8C]図 1 に示す表示装置における垂直帰線期間で選択される走査線の選択方法を示す図である。

[図8D]図 1 に示す表示装置における垂直帰線期間で選択される走査線の選択方法を示す図である。

[図9]第 1 の実施形態の第 1 変形例に係る表示装置における補正処理を説明するための図である。

[図10]第 1 の実施形態の第 2 変形例に係る表示装置の走査線駆動回路の回路図である。

[図11]本発明の第 2 の実施形態に係る表示装置の構成を示すブロック図である。

[図12]図 1 1 に示す表示装置の画素回路の回路図である。

[図13]図 1 1 に示す表示装置の走査線駆動回路の回路図である。

[図14]図 1 1 に示す表示装置の詳細なタイミングチャートである。

[図15]本発明の第 3 の実施形態に係る表示装置の構成を示すブロック図である。

[図16]図 1 5 に示す表示装置の画素回路の回路図である。

[図17]図 1 5 に示す表示装置の詳細なタイミングチャートである。

[図18]図 1 5 に示す表示装置における補正データ記憶部と補正演算部の詳細を示すブロック図である。

[図19]図 1 5 に示す表示装置の CPU の動作を示すフローチャートである。

[図20]本発明の第 4 の実施形態に係る表示装置の構成を示すブロック図である。

[図21]図 2 0 に示す表示装置のデータ線駆動／電圧測定回路の詳細を示すブロック図である。

[図22]図 2 0 に示すデータ線駆動／電圧測定回路の電圧測定部の構成例を示す回路図である。

[図23]図20に示す表示装置の詳細なタイミングチャートである。

[図24]従来のシフトレジスタに含まれるパルス出力回路の構成を示す図である。

[図25]延長したライン期間を有する表示装置のタイミングチャートである。

発明を実施するための形態

[0048] (第1の実施形態)

図1は、本発明の第1の実施形態に係る表示装置の構成を示すブロック図である。図1に示す表示装置1は、表示部11、表示制御回路12、走査線駆動回路13、データ線駆動／電流測定回路14、A/D変換器15、補正データ記憶部16、および、補正演算部17を備えたアクティブマトリクス型の有機EL表示装置である。以下、 m および n は2以上の整数、 i は1以上 n 以下の整数、 j は1以上 m 以下の整数であるとする。

[0049] 表示部11は、 $2n$ 本の走査線 $GA_1 \sim GA_n$ 、 $GB_1 \sim GB_n$ 、 m 本のデータ線 $S_1 \sim S_m$ 、および、 $(m \times n)$ 個の画素回路18を含んでいる。走査線 $GA_1 \sim GA_n$ 、 $GB_1 \sim GB_n$ は、互いに平行に配置される。データ線 $S_1 \sim S_m$ は、互いに平行に、かつ、走査線 $GA_1 \sim GA_n$ 、 $GB_1 \sim GB_n$ と直交するように配置される。走査線 $GA_1 \sim GA_n$ とデータ線 $S_1 \sim S_m$ は、 $(m \times n)$ 箇所で交差する。 $(m \times n)$ 個の画素回路18は、走査線 $GA_1 \sim GA_n$ とデータ線 $S_1 \sim S_m$ の交差点に対応して2次元状に配置される。画素回路18には、図示しない電極を用いてハイレベル電源電圧 $ELVDD$ とローレベル電源電圧 $ELVSS$ が供給される。以下、走査線の延伸方向（図1では水平方向）を行方向、データ線の延伸方向（図1では垂直方向）を列方向という。

[0050] 表示制御回路12は、表示装置1の制御回路である。表示制御回路12は、走査線駆動回路13に対して制御信号 CS_1 を出力し、データ線駆動／電流測定回路14に対して制御信号 CS_2 を出力し、補正演算部17に対して映像信号 X_1 を出力する。制御信号 CS_2 には、例えば、ソーススタートパルスやソースクロックなどが含まれる。制御信号 CS_1 の詳細は後述する。

[0051] 表示装置 1 では、1 フレーム期間は、映像信号期間と垂直帰線期間に分割される（後述する図 4 を参照）。映像信号期間は、 n 行の画素回路 18 に対応して、 n 個のライン期間（水平期間とも呼ばれる）を含んでいる。走査線駆動回路 13 は、制御信号 CS1 に従い、走査線 GA1～GAN、GB1～GBn を駆動する。より詳細には、走査線駆動回路 13 は、 i 番目のライン期間では走査線 GA i の電圧をハイレベル（選択レベル）に、他の走査線の電圧をローレベル（非選択レベル）に制御する。走査線駆動回路 13 は、垂直帰線期間では走査線 GA1～GAN、GB1～GBn の中から 1 対の走査線 GA i 、GB i を選択し、走査線 GA i 、GB i に後述する走査信号を印加し、他の走査線の電圧をローレベルに制御する。垂直帰線期間で選択される走査線 GA i 、GB i は、4 フレーム期間ごとに切り替えられる。

[0052] データ線駆動／電流測定回路 14 には、制御信号 CS2 と、補正演算部 17 から出力された補正後の映像信号 X2 とが供給される。データ線駆動／電流測定回路 14 は、データ線 S1～Sm を駆動する機能と、画素回路 18 からデータ線 S1～Sm に出力された電流を測定する機能とを有するデータ線駆動回路である。より詳細には、データ線駆動／電流測定回路 14 は、映像信号期間では制御信号 CS2 に従い、映像信号 X2 に応じた m 個の電圧（以下、データ電圧という）をデータ線 S1～Sm にそれぞれ印加する。データ線駆動／電流測定回路 14 は、垂直帰線期間では制御信号 CS2 に従い、 m 個の測定用電圧をデータ線 S1～Sm にそれぞれ印加し、そのときに画素回路 18 からデータ線 S1～Sm に出力された m 個の電流をそれぞれ電圧に変換して出力する。

[0053] A/D 変換器 15 は、データ線駆動／電流測定回路 14 の出力電圧をデジタルデータに変換する。補正データ記憶部 16 は、補正演算部 17 による補正演算に必要なデータ（以下、補正データという）を記憶する。補正演算部 17 は、垂直帰線期間では、A/D 変換器 15 から出力されたデータに基づき、補正データ記憶部 16 に記憶された補正データを更新する。補正演算部 17 は、映像信号期間では、補正データ記憶部 16 に記憶された補正データ

を参照して、表示制御回路 12 から出力された映像信号 X1 を補正し、補正後の映像信号 X2 を出力する。

[0054] 図 2 は、 i 行 j 列目の画素回路 18 の回路図である。図 2 に示すように、画素回路 18 は、有機 EL 素子 L1、トランジスタ Q1～Q3、および、コンデンサ C1 を含み、走査線 GA i 、GB i とデータ線 S j に接続される。トランジスタ Q1～Q3 は、N チャネル型 TFT (Thin Film Transistor : 薄膜トランジスタ) である。トランジスタ Q1 のドレイン端子には、ハイレベル電源電圧 ELVDD が印加される。トランジスタ Q1 のソース端子は、有機 EL 素子 L1 のアノード端子に接続される。有機 EL 素子 L1 のカソード端子には、ローレベル電源電圧 ELVSS が印加される。トランジスタ Q2 の一方の導通端子 (図 2 では左側の端子) はデータ線 S j に接続され、トランジスタ Q2 の他方の導通端子はトランジスタ Q1 のゲート端子に接続される。トランジスタ Q3 の一方の導通端子 (図 2 では左側の端子) はデータ線 S j に接続され、トランジスタ Q3 の他方の導通端子はトランジスタ Q1 のソース端子と有機 EL 素子 L1 のアノード端子に接続される。トランジスタ Q2、Q3 のゲート端子は、それぞれ、走査線 GA i 、GB i に接続される。コンデンサ C1 は、トランジスタ Q1 のゲート端子とドレイン端子の間に設けられる。トランジスタ Q1～Q3 は、それぞれ、駆動トランジスタ、書き込み制御トランジスタ、および、読み出し制御トランジスタとして機能する。

[0055] 図 3 は、走査線駆動回路 13 の回路図である。図 3 に示すように、走査線駆動回路 13 は、 n 段のシフトレジスタ 41、 n 個のホールド回路 42、および、 n 個の走査信号出力回路 43 を含んでいる。走査線駆動回路 13 に供給される制御信号 CS1 には、ゲートスタートパルス GSP、ゲートクロック GCK、サンプリング信号 SS、クリア信号 CLR、期間指定信号 PS、および、タイミング信号 TS1、TS2 が含まれる。シフトレジスタ 41 の i 段目、 i 番目のホールド回路 42、および、 i 番目の走査信号出力回路 43 は、走査線 GA i 、GB i に対応する。以下、シフトレジスタ 41 の i 段

目の出力をシフトレジスタ出力 SR_i 、 i 番目のホールド回路 42 の出力をホールド出力 HLD_i という。

[0056] ゲートスタートパルス GSP は、シフトレジスタ 41 の 1 段目に与えられる。ゲートクロック GCK は、シフトレジスタ 41 の各段に与えられる。ゲートスタートパルス GSP は、映像信号期間の開始前に所定時間だけハイレベルになる。ゲートクロック GCK の周期は、1 ライン期間である。シフトレジスタ 41 は、ゲートクロック GCK に従い、ゲートスタートパルス GSP をシフトする。したがって、シフトレジスタ出力 $SR_1 \sim SR_n$ は、映像信号期間において 1 ライン期間ずつ SR_1 、 SR_2 、…、 SR_n の順にハイレベルになる。 i 番目のライン期間では、シフトレジスタ出力 SR_i はハイレベルになり、他のシフトレジスタ出力はローレベルになる。

[0057] i 番目のホールド回路 42 には、シフトレジスタ出力 SR_i 、サンプリング信号 SS 、および、クリア信号 CLR が入力される。 i 番目のホールド回路 42 は、サンプリング信号 SS に従い、シフトレジスタ出力 SR_i を保持する。ホールド出力 HLD_i は、サンプリング信号 SS がハイレベルである間はシフトレジスタ出力 SR_i に等しくなり、サンプリング信号 SS がローレベルである間は変化しない。ただし、クリア信号 CLR がハイレベルになると、ホールド出力 HLD_i はローレベルになる。

[0058] i 番目の走査信号出力回路 43 は、3 個の AND ゲート 44、46、47 と OR ゲート 45 を含んでいる。 AND ゲート 44 は、ホールド出力 HLD_i と期間指定信号 PS の論理積を出力する。 OR ゲート 45 は、シフトレジスタ出力 SR_i と AND ゲート 44 の出力の論理和を出力する。 AND ゲート 46 は、タイミング信号 TS_1 と OR ゲート 45 の出力の論理積を出力する。 AND ゲート 47 は、タイミング信号 TS_2 と AND ゲート 44 の出力の論理積を出力する。 AND ゲート 46 の出力は走査線 GA_i に印加され、 AND ゲート 47 の出力は走査線 GB_i に印加される。

[0059] 図 4 は、表示装置 1 の動作を示すタイミングチャートである。図 4 に示すように、1 フレーム期間は、映像信号期間と垂直帰線期間に分割される。映

像信号期間では、 n 本の走査線 $GA_1 \sim GA_n$ が1ライン期間ずつ順に選択される。 i 番目のライン期間では、走査線 GA_i が選択され、走査線 GA_i に接続された m 個の画素回路18にデータ電圧が書き込まれる（図4ではプログラムと記載）。垂直帰線期間では、1対の走査線 GA_i 、 GB_i が選択され、走査線 GA_i に接続された m 個の画素回路18からデータ線 $S_1 \sim S_m$ に出力された電流が測定される。電流測定結果に基づき、補正データ記憶部16に記憶された補正データが更新される（図4では電流測定と補正データ更新と記載）。

[0060] 図5は、表示装置1の詳細なタイミングチャートである。以下、図3に示す走査線駆動回路13を用いて、図5に示すタイミングに従い走査線 $GA_1 \sim GA_n$ 、 $GB_1 \sim GB_n$ を駆動できることを説明する。ここでは、垂直帰線期間で走査線 GA_i 、 GB_i を選択する場合について説明する。

[0061] 制御信号 CS_1 に含まれるサンプリング信号 SS 以外の信号は、1フレーム期間を周期として同じタイミングで変化する。クリア信号 CLR は、垂直帰線期間の終了後に所定時間だけハイレベル（アクティブレベル）になり、それ以外ではローレベルになる。期間指定信号 PS は、映像信号期間ではローレベルになり、垂直帰線期間ではハイレベルになる。なお、垂直帰線期間は非映像信号期間に該当するので、クリア信号 CLR は非映像信号期間の終了後にアクティブレベルになり、期間指定信号 PS は映像信号期間か非映像信号期間かを示すとも言える。タイミング信号 TS_1 は、垂直帰線期間の一部でローレベルになり、それ以外ではハイレベルになる。タイミング信号 TS_2 は、タイミング信号 TS_1 がローレベルである期間の一部でハイレベルになり、それ以外ではローレベルになる。以下、タイミング信号 TS_2 がハイレベルである期間を期間 T_2 といい、垂直帰線期間内でタイミング信号 TS_1 がハイレベルである期間のうち期間 T_2 よりも前の期間を期間 T_1 、期間 T_2 よりも後の期間を期間 T_3 という。垂直帰線期間で走査線 GA_i 、 GB_i を選択する場合、サンプリング信号 SS は、その前の映像信号期間内の i 番目のライン期間でハイレベル（アクティブレベル）になり、それ以外で

はローレベルになる。表示制御回路12は、ハイレベルのサンプリング信号SSを出力するライン期間を4フレーム期間ごとに切り替える。

[0062] 映像信号期間では、期間指定信号PSはローレベルであるので、ANDゲート44、47の出力はローレベルになる。したがって、映像信号期間では、走査線GB1～GBnの電圧はローレベルになる。また、映像信号期間では、タイミング信号TS1はハイレベルであるので、ANDゲート46の出力はシフトレジスタ出力SRiに等しくなる。上述したように、i番目のライン期間では、シフトレジスタ出力SRiはハイレベルになり、他のシフトレジスタ出力はローレベルになる。したがって、i番目のライン期間では、走査線GAiの電圧はハイレベルになり、走査線GA1～GAN（GAiを除く）の電圧はローレベルになる。

[0063] 垂直帰線期間の終了時にクリア信号CLRがハイレベルになるので、映像信号期間の開始時にシフトレジスタ出力SR1～SRnはローレベルである。i番目のライン期間でサンプリング信号SSがハイレベルになると、シフトレジスタ出力SRiはハイレベルになる。i番目のホールド回路42では、シフトレジスタ出力SRiがハイレベルのときにサンプリング信号SSが入力される。このため、i番目以降のライン期間では、ホールド出力HLDiはハイレベルになる。他のホールド回路42では、シフトレジスタ出力がローレベルのときにサンプリング信号SSが入力される。このため、ホールド出力HLD1～HLDn（HLDiを除く）はローレベルのままである。ホールド出力HLDiは、クリア信号CLRが次にハイレベルになったときにローレベルになる。

[0064] 垂直帰線期間では、期間指定信号PSとホールド出力HLDiはハイレベルで、シフトレジスタ出力SR1～SRnとホールド出力HLD1～HLDn（HLDiを除く）はローレベルである。i番目以外の走査信号出力回路43では、シフトレジスタ出力とホールド出力がローレベルであるので、ANDゲート44の出力とORゲート45の出力はローレベルになる。このため、タイミング信号TS1、TS2のレベルにかかわらず、ANDゲート4

6、47の出力はローレベルになる。したがって、垂直帰線期間では、走査線GA1～GAN、GB1～GBn（GAi、GBiを除く）の電圧はローレベルになる。

[0065] i番目の走査信号出力回路43では、ホールド出力HLDiと期間指定信号PSはハイレベルであるので、ANDゲート44の出力とORゲート45の出力はハイレベルになる。このため、ANDゲート46、47の出力は、それぞれ、タイミング信号TS1、TS2に等しくなる。したがって、垂直帰線期間では、走査線GAiの電圧は、タイミング信号TS1の電圧と同様に、期間T1、T3ではハイレベルになり、それ以外ではローレベルになる。走査線GBiの電圧は、タイミング信号TS2の電圧と同様に、期間T2ではハイレベルになり、それ以外ではローレベルになる。

[0066] 次に、図5に示すタイミングで走査線GAi、GBiとデータ線Sjを駆動したときのi行j列目の画素回路18の動作を説明する。以下、トランジスタQ1の特性を「TF特性」といい、有機EL素子L1の特性を「OLED特性」という。

[0067] i番目のライン期間では、走査線GAiの電圧はハイレベルであり、走査線GBiの電圧はローレベルである。このため、トランジスタQ2はオンし、トランジスタQ3はオフする。このとき、データ線駆動／電流測定回路14は、データ線Sjに対して、映像信号X2に応じたデータ電圧Dijを印加する。したがって、トランジスタQ1のゲート電圧はDijになる。

[0068] i番目のライン期間の終了時に、走査線GAiの電圧はローレベルに変化する。これに伴い、トランジスタQ2はオフする。これ以降、トランジスタQ1のゲート電圧は、コンデンサC1の作用によってDijに保たれる。データ電圧Dijが所定以上の場合には、トランジスタQ1はオンし、有機EL素子L1にはトランジスタQ1のゲートソース間電圧に応じた量の電流が流れる。有機EL素子L1は、流れる電流の量に応じた輝度で発光する。したがって、有機EL素子L1は、データ電圧Dijに応じた輝度で発光する。

[0069] 垂直帰線期間には、期間 $T_1 \sim T_3$ が設定される。期間 T_1 では、走査線 GA_i の電圧はハイレベルであり、走査線 GB_i の電圧はローレベルである。このため、トランジスタ Q_2 はオンし、トランジスタ Q_3 はオフする。このとき、データ線駆動／電流測定回路14は、データ線 S_j に対して測定用電圧 $V_{mg}(i, j)$ を印加する。したがって、トランジスタ Q_1 のゲート電圧は $V_{mg}(i, j)$ になる。測定用電圧 $V_{mg}(i, j)$ は、TFT特性測定用電圧、および、OLED特性測定用電圧のいずれかである。

[0070] 期間 T_2 では、走査線 GA_i の電圧はローレベルであり、走査線 GB_i の電圧はハイレベルである。このため、トランジスタ Q_2 はオフし、トランジスタ Q_3 はオンする。TFT特性測定用電圧を期間 T_1 で印加したときには、トランジスタ Q_1 はオンし、ハイレベル電源電圧 $ELVDD$ を有する電極からトランジスタ Q_1 、 Q_3 を通過する電流がデータ線 S_j に流れる。OLED特性測定用電圧を期間 T_1 で印加したときには、トランジスタ Q_1 はオフし、データ線 S_j からトランジスタ Q_3 と有機EL素子 L_1 を通過する電流がローレベル電源電圧 $ELVSS$ を有する電極に流れる。測定用電圧 $V_{mg}(i, j)$ が印加されている間、データ線 S_j の電圧は $V_m(i, j)$ になる。データ線駆動／電流測定回路14は、期間 T_2 においてデータ線 S_j に流れる電流を測定する。

[0071] 期間 T_3 では、走査線 GA_i の電圧はハイレベルであり、走査線 GB_i の電圧はローレベルである。このとき、データ線駆動／電流測定回路14と画素回路18は、 i 番目のライン期間と同様に動作する。期間 T_3 以降、有機EL素子 L_1 は、データ電圧 D_{ij} に応じた輝度で発光する。

[0072] 図6は、補正データ記憶部16と補正演算部17の詳細を示すブロック図である。図6に示すように、補正データ記憶部16は、TFT用ゲイン記憶部16a、OLED用ゲイン記憶部16b、TFT用オフセット記憶部16c、および、OLED用オフセット記憶部16dを含んでいる。4個の記憶部16a～16dは、それぞれ、 $(m \times n)$ 個の画素回路18に対応して $(m \times n)$ 個の補正データを記憶する。TFT用ゲイン記憶部16aは、TFT

T特性の検出結果に基づくゲイン（以下、TFT用ゲインという）を記憶する。OLED用ゲイン記憶部16bは、OLED特性の検出結果に基づくゲイン（以下、OLED用ゲインという）を記憶する。TFT用オフセット記憶部16cは、TFT特性の検出結果に基づくオフセット（以下、TFT用オフセットという）を記憶する。OLED用オフセット記憶部16dは、OLED特性の検出結果に基づくオフセット（以下、OLED用オフセットという）を記憶する。

[0073] 補正演算部17は、LUT61、乗算器62、63、66、67、加算器64、65、68、および、CPU69を含んでいる。補正演算部17には、映像信号X1に含まれる階調P、TFT特性検出用の階調P、OLED特性検出用の値 pre_Vmg_oled 、および、A/D変換器15の出力が入力される。4個の記憶部16a~16dからは、i行j列目の画素回路18の補正データが読み出される。

[0074] LUT61は、階調Pに対してガンマ補正を施す。乗算器62は、LUT61の出力に対して、TFT用ゲイン記憶部16aから読み出されたTFT用ゲインを乗算する。乗算器63は、乗算器62の出力に対して、OLED用ゲイン記憶部16bから読み出されたOLED用ゲインを乗算する。加算器64は、乗算器63の出力に対して、TFT用オフセット記憶部16cから読み出されたTFT用オフセットを加算する。加算器65は、加算器64の出力に対して、OLED用オフセット記憶部16dから読み出されたOLED用オフセットを加算する。乗算器66は、加算器65の出力に対して、データ電圧の減衰を補償するための係数Zを乗算する。補正演算部17は、映像信号期間では、データ線駆動/電流測定回路14に対して乗算器66の出力を含む映像信号X2を出力する。補正演算部17は、TFT特性を検出する垂直帰線期間では、データ線駆動/電流測定回路14に対して乗算器66の出力を測定用電圧 $Vmg(i, j)$ に対応したデータとして出力する。

[0075] 乗算器67は、値 pre_Vmg_oled に対して、OLED用ゲイン記憶部16bから読み出されたOLED用ゲインを乗算する。加算器68は

、乗算器 67 の出力に対して、O L E D 用オフセット記憶部 16 d から読み出された O L E D 用オフセットを加算する。補正演算部 17 は、O L E D 特性を検出する垂直帰線期間では、データ線駆動／電流測定回路 14 に対して加算器 68 の出力を測定用電圧 $V_{mg}(i, j)$ に対応したデータとして出力する。

[0076] CPU 69 は、A/D変換器 15 の出力に基づき、4 個の記憶部 16 a ~ 16 d に記憶された補正データを更新する。図 7 は、CPU 69 の動作を示すフローチャートである。CPU 69 は、図 7 に示すステップ S 101 ~ S 116 を 4 フレーム期間ごとに実行する。CPU 69 は、第 1 フレーム期間の垂直帰線期間ではステップ S 101 ~ S 104 を実行し、第 2 フレーム期間の垂直帰線期間ではステップ S 105 ~ S 108 を実行し、第 3 フレーム期間の垂直帰線期間ではステップ S 109 ~ S 112 を実行し、第 4 フレーム期間の垂直帰線期間ではステップ S 113 ~ S 116 を実行する。

[0077] データ線駆動／電流測定回路 14 は、第 1 フレーム期間の垂直帰線期間の期間 T 1 において、T F T 特性を測定するための第 1 測定用電圧をデータ線 S 1 ~ S m に印加し、期間 T 2 において画素回路 18 からデータ線 S 1 ~ S m に出力された電流を測定する。CPU 69 は、このときに得られた第 1 の電流測定値を A/D変換器 15 から受け取る（ステップ S 101）。次に、CPU 69 は、ステップ S 101 で受け取った第 1 の電流測定値に基づき、第 1 の T F T 特性を求める（ステップ S 102）。次に、CPU 69 は、第 1 の T F T 特性を用いて、T F T 用オフセット記憶部 16 c に記憶された T F T 用オフセットを更新し（ステップ S 103）、T F T 用ゲイン記憶部 16 a に記憶された T F T 用ゲインを更新する（ステップ S 104）。

[0078] データ線駆動／電流測定回路 14 は、第 2 フレーム期間の垂直帰線期間の期間 T 1 において、T F T 特性を測定するための第 2 測定用電圧をデータ線 S 1 ~ S m に印加し、期間 T 2 において画素回路 18 からデータ線 S 1 ~ S m に出力された電流を測定する。CPU 69 は、このときに得られた第 2 の電流測定値を A/D変換器 15 から受け取る（ステップ S 105）。次に、

CPU 69は、ステップS 105で受け取った第2の電流測定値に基づき、第2のTFT特性を求める（ステップS 106）。次に、CPU 69は、第2のTFT特性を用いて、TFT用オフセット記憶部16cに記憶されたTFT用オフセットを更新し（ステップS 107）、TFT用ゲイン記憶部16aに記憶されたTFT用ゲインを更新する（ステップS 108）。なお、第1測定用電圧と第2測定用電圧は互いに異なる。例えば、第1測定用電圧は相対的に低い階調に対応したデータ電圧であり、第2測定用電圧は相対的に高い階調に対応したデータ電圧である。

[0079] データ線駆動／電流測定回路14は、第3フレーム期間の垂直帰線期間の期間T1において、OLED特性を測定するための第3測定用電圧をデータ線S1～Smに印加し、期間T2において画素回路18からデータ線S1～Smに出力された電流を測定する。CPU 69は、このときに得られた第3の電流測定値をA/D変換器15から受け取る（ステップS 109）。次に、CPU 69は、ステップS 109で受け取った第3の電流測定値に基づき、第1のOLED特性を求める（ステップS 110）。次に、CPU 69は、第1のOLED特性を用いて、OLED用オフセット記憶部16dに記憶されたOLED用オフセットを更新し（ステップS 111）、OLED用ゲイン記憶部16bに記憶されたOLED用ゲインを更新する（ステップS 112）。

[0080] データ線駆動／電流測定回路14は、第4フレーム期間の垂直帰線期間の期間T1において、OLED特性を測定するための第4測定用電圧をデータ線S1～Smに印加し、期間T2において画素回路18からデータ線S1～Smに出力された電流を測定する。CPU 69は、このときに得られた第4の電流測定値をA/D変換器15から受け取る（ステップS 113）。次に、CPU 69は、ステップS 113で受け取った第4の電流測定値に基づき、第2のOLED特性を求める（ステップS 114）。次に、CPU 69は、第2のOLED特性を用いて、OLED用オフセット記憶部16dに記憶されたOLED用オフセットを更新し（ステップS 115）、OLED用ゲ

イン記憶部 16b に記憶された O L E D 用ゲインを更新する（ステップ S 116）。なお、第 3 測定用電圧と第 4 測定用電圧は、互いに異なる。

[0081] 上述したように、表示制御回路 12 は、ハイレベルのサンプリング信号 S S を出力するライン期間を 4 フレーム期間ごとに切り替える。したがって、走査線駆動回路 13 は、垂直帰線期間に選択する走査線を 4 フレーム期間ごとに切り替える。データ線駆動／電流測定回路 14 は、第 1 ～第 4 フレーム期間では、それぞれ、第 1 ～第 4 測定用電圧を書き込んだ画素回路 18 から出力された電流を測定する。補正演算部 17 は、第 1 ～第 4 フレーム期間では、それぞれ、第 1 ～第 4 の電流測定値に基づき、補正データ記憶部 16 に記憶された補正データを更新する。このように垂直帰線期間で同じ走査線が続けて選択することにより、同じ画素回路 18 について条件を切り替えて電流を複数回測定し、複数回の電流測定結果に基づき補正データを更新することができる。

[0082] 図 8 A ～図 8 D は、垂直帰線期間で選択される走査線の選択方法を示す図である。表示制御回路 12 は、例えば、以下に示す第 1 ～第 4 の方法を用いて、ハイレベルのサンプリング信号 S S を出力するライン期間を切り替える。第 1 の方法として、表示制御回路 12 は、ハイレベルのサンプリング信号 S S を出力するライン期間を 4 フレーム期間ごとに順に（昇順あるいは降順に）切り替えてもよい。この場合、垂直帰線期間で選択される走査線は、4 フレーム期間ごとに順に切り替わる（図 8 A を参照）。これにより、2 次元状に配置された画素回路 18 について行ごとに順に電流を測定し、電流測定結果に基づき補正データを更新することができる。

[0083] 第 2 の方法として、表示制御回路 12 は、ハイレベルのサンプリング信号 S S を出力するライン期間を 4 フレーム期間ごとに所定数のライン期間を飛ばしながら順に切り替えてもよい。この場合、垂直帰線期間で選択される走査線は、4 フレーム期間ごとに所定数の走査線を飛ばしながら順に切り替わる（図 8 B を参照）。2 次元状に配置された画素回路 18 について複数の行を飛ばしながら行ごとに順に電流を測定することにより、電流測定の影響を

表示画面内で分散させて表示画像の画質低下を防止することができる。

[0084] 第3の方法として、表示制御回路12は、ハイレベルのサンプリング信号を出力するライン期間を4フレーム期間ごとにランダムに切り替えてもよい。この場合、垂直帰線期間で選択される走査線は、4フレーム期間ごとにランダムに切り替わる（図8Cを参照）。2次元状に配置された画素回路18の中で電流を測定する画素回路の行をランダムに切り替えることにより、電流測定の影響を表示画面内で分散させて表示画像の画質低下を防止することができる。

[0085] 第4の方法として、表示制御回路12は、ハイレベルのサンプリング信号を出力するライン期間を4フレーム期間ごとに特定範囲のライン期間を優先しながら切り替えてもよい。この場合、垂直帰線期間で選択される走査線は、4フレーム期間ごとに特定範囲の走査線を優先して切り替わる（図8Dを参照）。特定範囲には、例えば、表示画像の画質に与える影響が大きい範囲（例えば、表示画面の中央部）が選択される。2次元状に配置された画素回路18の中で、特定範囲の行の画素回路を優先しながら行ごとに電流を測定することにより、表示画像の画質に与える影響が大きい画素回路について優先的に電流を測定し、表示画像の画質を向上することができる。

[0086] 以上に示すように、本実施形態に係る表示装置1は、2n本の走査線GA1～GAN、GB1～GBnとm本のデータ線S1～Smと2次元状に配置された(m×n)個の画素回路18とを含む表示部11と、走査線駆動回路13と、データ線駆動回路（データ線駆動／電流測定回路14）と、映像信号期間か非映像信号期間（垂直帰線期間）かを示す期間指定信号PSと、映像信号期間内の1ライン期間でハイレベル（アクティブレベル）になるサンプリング信号SSとを出力する表示制御回路12とを備えている。走査線駆動回路13は、走査線に対応するn個の段を有するシフトレジスタ41と、走査線に対応して設けられ、サンプリング信号SSに従い、シフトレジスタ出力SRi（シフトレジスタ41の対応する段の出力信号）を保持するn個のホールド回路42と、走査線に対応して設けられ、期間指定信号PSとシ

フトレジスタ出力 SR_i とホールド出力 HLD_i （対応するホールド回路42の出力信号）とタイミング信号 TS_1 、 TS_2 とに基づき、対応する走査線に印加する走査信号を出力する n 個の走査信号出力回路43とを含んでいる。

[0087] 走査信号出力回路43は、映像信号期間でシフトレジスタ出力 SR_i がハイレベル（選択レベル）のときには電圧書き込み用の走査信号を出力し、垂直帰線期間でホールド出力 HLD_i がハイレベルのときには電流測定用および電圧書き込み用の走査信号を出力する。走査信号出力回路43は、映像信号期間では、走査線 GA_i （第1走査線）に印加する第1走査信号としてシフトレジスタ出力 SR_i を出力し、走査線 GB_i （第2走査線）に印加する第2走査信号としてローレベル（非選択レベル）の信号を出力し、垂直帰線期間では、第1走査信号としてホールド出力 HLD_i とタイミング信号 TS_1 （第1タイミング信号）がハイレベル（選択レベル）のときにハイレベルになる信号を出力し、第2走査信号としてホールド出力 HLD_i とタイミング信号 TS_2 （第2タイミング信号）がハイレベルのときにハイレベルになる信号を出力する。タイミング信号 TS_1 は、垂直帰線期間の一部でローレベルになり、それ以外では選択レベルになり、タイミング信号 TS_2 は、タイミング信号 TS_1 がローレベルである期間の一部でハイレベルになり、それ以外ではローレベルになる。

[0088] 画素回路18は、有機EL素子 L_1 （電気光学素子）と、有機EL素子 L_1 と直列に設けられたトランジスタ Q_1 （駆動トランジスタ）と、データ線 S_j とトランジスタ Q_1 のゲート端子（制御端子）との間に設けられ、走査線 GA_i に接続されたゲート端子を有するトランジスタ Q_2 （書き込み制御トランジスタ）と、データ線 S_j とトランジスタ Q_1 のソース端子（一方の導通端子）との間に設けられ、走査線 GB_i に接続されたゲート端子を有するトランジスタ Q_3 （読み出し制御トランジスタ）と、トランジスタ Q_1 のゲート端子とドレイン端子（他方の導通端子）との間に設けられたコンデンサ C_1 とを含んでいる。データ線駆動回路は、画素回路18に測定用電圧を

書き込んだときに画素回路 18 から出力された電流を測定する。

[0089] 表示装置 1 では、映像信号期間内のあるライン期間で n 個のホールド回路 42 がそれぞれシフトレジスタ出力 $SR1 \sim SRn$ を保持するので、非映像信号期間内にある垂直帰線期間では 1 個のホールド出力 $HLDi$ がハイレベルになる。また、走査信号出力回路 43 が垂直帰線期間では映像信号期間とは異なる走査信号を出力することにより、映像信号期間では走査線 $GA1 \sim GAn$ を順に選択して、選択した走査線に電圧書き込み用の走査信号を印加し、垂直帰線期間では 1 対の走査線 GAi 、 GBi を選択して、選択した 1 対の走査線に電流測定用および電圧書き込み用の走査信号を印加することができる。したがって、垂直帰線期間で 1 行分の画素回路に対応した 1 対の走査線を選択し、1 行分の画素回路について電流（測定用電圧を書き込んだときに画素回路から出力された電流）を測定し、電圧を書き込むことができる。

[0090] また、走査信号出力回路 43 に 2 種類のタイミング信号 $TS1$ 、 $TS2$ を供給することにより、2 種類の走査線 GAi 、 GBi に印加される電流測定用および電圧書き込み用の走査信号を求めることができる。したがって、本実施形態に係る表示装置 1 によれば、電気光学素子と 3 個のトランジスタとコンデンサとを含む画素回路と 2 種類の走査線とを備えた表示装置において、簡単な回路を用いて、垂直帰線期間で 1 行分の画素回路に対応した 1 対の走査線を選択し、1 行分の画素回路について電流を測定し、電圧を書き込むことができる。特に、ガラス基板上に画素回路と共に走査線駆動回路を形成する場合（ゲートドライバモノリシック構成と呼ばれる）には、画素領域の周囲に形成される額縁の面積を削減することができる。また、表示装置 1 は垂直帰線期間に 1 行分の画素回路について電流を測定するので、表示制御回路 12 からデータ線駆動／電流測定回路 14 へのデータ転送に必要なラインメモリの量を削減することができる。

[0091] また、表示制御回路 12 は垂直帰線期間の終了時にハイレベル（アクティブレベル）になるクリア信号 CLR をさらに出力し、ホールド出力 $HLD1$

～HLD_nはクリア信号CLRに従いローレベルになる。したがって、クリア信号CLRを用いて、垂直帰線期間の終了時にホールド出力HLD₁～HLD_nをローレベルにすることができる。また、表示装置1は、データ線駆動／電流測定回路14で測定された電流に基づき映像信号X₁を補正する補正演算部17をさらに備えている。したがって、電流測定結果に基づき映像信号X₁を補正することにより、画素の輝度の低下を補償し、表示画像の画質を向上することができる。

[0092] また、ゲートドライバモノリシック構成の表示装置1では、走査線駆動回路13に含まれるホールド回路42をオフリーク電流が小さい酸化物TFETを用いて形成することが好ましい。これにより、シフトレジスタ出力SR_iを1フレーム期間に亘って安定的に保持し、電流測定を安定的に行うことができる。また、酸化物TFETを用いてホールド回路42を形成する場合には、画素回路18も酸化物TFETを用いて形成することが好ましい。これにより、ホールド回路42に含まれるトランジスタと画素回路18に含まれるトランジスタを同時に形成し、製造プロセスを短縮することができる。

[0093] 酸化物TFETとしては、例えば、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）、および、酸素（O）を主成分とする酸化物半導体であるInGaZnO_x（酸化インジウムガリウム亜鉛）によりチャネル層を形成した酸化インジウムガリウム亜鉛-TFETを用いることができる。あるいは、例えば、インジウム、ガリウム、亜鉛、銅（Cu）、シリコン（Si）、錫（Sn）、アルミニウム（Al）、カルシウム（Ca）、ゲルマニウム（Ge）、および、鉛（Pb）のうち少なくとも1つを含む酸化物半導体によりチャネル層を形成した酸化物TFETを用いてもよい。このような酸化物TFETを用いても、酸化インジウムガリウム亜鉛-TFETと同様の効果が得られる。酸化インジウムガリウム亜鉛-TFETなどの酸化物TFETは、画素回路に含まれるNチャネル型のトランジスタとして採用する場合に有効である。ただし、本発明は、Pチャネル型の酸化物TFETの使用を排除するものではない。

- [0094] ここで、酸化物TFTに含まれる酸化物半導体層について説明する。酸化物半導体層は、例えば、 In-Ga-Zn-O 系の半導体層である。酸化物半導体層は、例えば In-Ga-Zn-O 系の半導体を含む。 In-Ga-Zn-O 系半導体は、インジウム、ガリウム、亜鉛の三元系酸化物である。 In 、 Ga および Zn の割合（組成比）は、特に限定されず、例えば $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:1:2$ などでもよい。
- [0095] In-Ga-Zn-O 系半導体層を有するTFTは、高い移動度（アモルファスシリコンTFTに比べて20倍を超える）と低いリーク電流（アモルファスシリコンTFTに比べて100分の1未満）を有するので、画素回路内のトランジスタとして好適に用いられる。 In-Ga-Zn-O 系半導体層を有するTFTを用いれば、表示装置の消費電力を大幅に削減することができる。
- [0096] In-Ga-Zn-O 系半導体は、アモルファスでもよく、結晶質部分を含み、結晶性を有していてもよい。結晶質 In-Ga-Zn-O 系半導体としては、 c 軸が層面に概ね垂直に配向した結晶質 In-Ga-Zn-O 系半導体が好ましい。このような In-Ga-Zn-O 系半導体の結晶構造は、例えば、日本国特開2012-134475号公報に開示されている。
- [0097] 酸化物半導体層は、 In-Ga-Zn-O 系半導体に代えて、他の酸化物半導体を含んでいてもよい。例えば Zn-O 系半導体（ ZnO ）、 In-Zn-O 系半導体（ IZO （登録商標））、 Zn-Ti-O 系半導体（ ZTO ）、 Cd-Ge-O 系半導体、 Cd-Pb-O 系半導体、 CdO （酸化カドニウム）、 Mg-Zn-O 系半導体、 In-Sn-Zn-O 系半導体（例えば $\text{In}_2\text{O}_3-\text{SnO}_2-\text{ZnO}$ ）、 In-Ga-Sn-O 系半導体などを含んでいてもよい。
- [0098] なお、本実施形態に係る表示装置1については、以下の変形例を構成することができる。図9は、第1変形例に係る表示装置における補正処理を説明するための図である。図9（a）には、垂直帰線期間で選択されない画素回

路 18 内の有機 EL 素子 L1 の輝度が記載されている。この場合、有機 EL 素子 L1 は、垂直帰線期間の一部で非発光状態になる。図 9 (b) には、表示装置 1 において垂直帰線期間で選択された画素回路 18 内の有機 EL 素子 L1 の輝度が記載されている。この場合、有機 EL 素子 L1 は、4 フレーム期間に亘って垂直帰線期間の全体で非発光状態になる。したがって、有機 EL 素子 L1 の発光時の輝度が同じ (図 9 では LU1) でもは、垂直帰線期間で選択された画素回路 18 内の有機 EL 素子 L1 の平均輝度は、垂直帰線期間で選択されない画素回路 18 内の有機 EL 素子 L1 の平均輝度よりも 4 フレーム期間に亘って低くなる。

[0099] 第 1 変形例に係る表示装置では、データ線駆動／電流測定回路は、垂直帰線期間で選択された画素回路 18 にデータ電圧を書き込むときには、画素回路 18 における輝度低下分を補正した電圧をデータ線 S1 ～ Sm に印加する。これにより、垂直帰線期間で選択された画素回路 18 内の有機 EL 素子 L1 の発光時の輝度は LU1 から LU2 に高くなり、垂直帰線期間で選択された画素回路 18 内の有機 EL 素子 L1 の平均輝度は、垂直帰線期間で選択されない画素回路 18 内の有機 EL 素子 L1 の平均輝度に等しくなる。したがって、第 1 変形例に係る表示装置によれば、電流を測定する画素回路に補正した電圧を書き込むことにより、電流を測定する画素回路における輝度低下を防止し、表示画像の画質低下を防止することができる。

[0100] 図 10 は、第 2 変形例に係る表示装置の走査線駆動回路の回路図である。図 10 に示す走査線駆動回路 19 は、走査線駆動回路 13 に対して 2n 個のレベルシフタ 48 を追加したものである。走査線 GAi、GBi に対応して、2 個のレベルシフタ 48 が設けられる。一方のレベルシフタ 48 の入力は AND ゲート 46 の出力に接続され、出力は走査線 GAi に接続される。他方のレベルシフタ 48 の入力は AND ゲート 47 の出力に接続され、出力は走査線 GBi に接続される。第 2 変形例に係る表示装置によれば、走査線駆動回路 19 の出力段にレベルシフタ 48 を設けることにより、走査信号出力回路 43 の出力信号のレベルを走査線 GA1 ～ GAn、GB1 ～ GBn の駆

動に必要なレベルに変換することができる。

[0101] 第3変形例に係る表示装置では、表示制御回路は、走査線駆動回路に対して垂直帰線期間の終了時にハイレベルになるクリア信号CLRを出力する代わりに、垂直帰線期間の終了時にサンプリング信号SSをハイレベルにする。第3変形例に係る表示装置によれば、クリア信号CLRを用いた場合と同様に、垂直帰線期間の終了時にホールド回路42の出力をローレベルにすることができる。

[0102] (第2の実施形態)

図11は、本発明の第2の実施形態に係る表示装置の構成を示すブロック図である。図11に示す表示装置2は、第1の実施形態に係る表示装置1において、表示部11と走査線駆動回路13を、それぞれ、表示部21と走査線駆動回路23に置換したものである。本実施形態の構成要素のうち、第1の実施形態と同一の要素については、同一の参照符号を付して説明を省略する。

[0103] 表示部21は、 n 本の走査線 $G1 \sim Gn$ 、 m 本のデータ線 $S1 \sim Sm$ 、 m 本のモニタ線 $M1 \sim Mm$ 、および、 $(m \times n)$ 個の画素回路28を含んでいる。走査線 $G1 \sim Gn$ は、互いに平行に配置される。データ線 $S1 \sim Sm$ とモニタ線 $M1 \sim Mm$ は、互いに平行に、かつ、走査線 $G1 \sim Gn$ と直交するように配置される。 $(m \times n)$ 個の画素回路28は、走査線 $G1 \sim Gn$ とデータ線 $S1 \sim Sm$ の交差点に対応して2次元状に配置される。

[0104] 図12は、 i 行 j 列目の画素回路28の回路図である。図12に示すように、画素回路28は、有機EL素子 $L1$ 、トランジスタ $Q1 \sim Q3$ 、および、コンデンサ $C1$ を含み、走査線 Gi 、データ線 Sj 、および、モニタ線 Mj に接続される。画素回路28の構成は、以下の点を除き、画素回路18と同じである。トランジスタ $Q3$ の一方の導通端子(図12では左側の端子)は、モニタ線 Mj に接続される。トランジスタ $Q2$ 、 $Q3$ のゲート端子は、走査線 Gi に接続される。コンデンサ $C1$ は、トランジスタ $Q1$ のゲート端子とソース端子の間に設けられる。

- [0105] 図13は、走査線駆動回路23の回路図である。図13に示すように、走査線駆動回路23は、 n 段のシフトレジスタ41、 n 個のホールド回路42、および、 n 個の走査信号出力回路53を含んでいる。走査線駆動回路23に供給される制御信号CS1には、ゲートスタートパルスGSP、ゲートクロックGCK、サンプリング信号SS、クリア信号CLR、および、期間指定信号PSが含まれる。
- [0106] シフトレジスタ41と n 個のホールド回路42は、第1の実施形態と同様に動作する。 i 番目の走査信号出力回路53は、ANDゲート54とORゲート55を含んでいる。ANDゲート54は、ホールド出力HLD i と期間指定信号PSの論理積を出力する。ORゲート55は、シフトレジスタ出力SR i とANDゲート54の出力の論理和を出力する。ORゲート55の出力は、走査線G i に印加される。
- [0107] 表示装置2は、表示装置1と同様に、図4に示すタイミングチャートに従い動作する。図14は、表示装置2の詳細なタイミングチャートである。以下、図13に示す走査線駆動回路23を用いて、図14に示すタイミングに従い走査線G1～G n を駆動できることを説明する。ここでは、垂直帰線期間で走査線G i を選択する場合について説明する。サンプリング信号SS、クリア信号CLR、および、期間指定信号PSは、第1の実施形態と同様に变化する。
- [0108] 映像信号期間では、期間指定信号PSはローレベルであるので、ANDゲート54の出力はローレベルになり、ORゲート55の出力はシフトレジスタ出力SR i に等しくなる。したがって、 i 番目のライン期間では、走査線G i の電圧はハイレベルになり、走査線G1～G n （G i を除く）の電圧はローレベルになる。
- [0109] シフトレジスタ出力SR1～SR n は、映像信号期間の開始時にローレベルである。 i 番目のライン期間でサンプリング信号SSがハイレベルになると、ホールド出力HLD i はハイレベルになる。ホールド出力HLD1～HLD n （HLD i を除く）はローレベルのままである。

[0110] 垂直帰線期間では、期間指定信号PSとホールド出力HLD_iはハイレベルで、シフトレジスタ出力SR₁～SR_nとホールド出力HLD₁～HLD_n（HLD_iを除く）はローレベルである。i番目以外の走査信号出力回路53では、シフトレジスタ出力とホールド出力がローレベルであるので、ANDゲート54の出力とORゲート55の出力はローレベルになる。したがって、垂直帰線期間では、走査線G₁～G_n（G_iを除く）の電圧はローレベルになる。i番目の走査信号出力回路53では、ホールド出力HLD_iと期間指定信号PSはハイレベルであるので、ANDゲート54の出力とORゲート55の出力はハイレベルになる。したがって、垂直帰線期間では、走査線G_iの電圧はハイレベルになる。

[0111] 次に、図14に示すタイミングで走査線G_iとデータ線S_jを駆動したときのi行j列目の画素回路28の動作を説明する。i番目のライン期間では、走査線G_iの電圧はハイレベルであるので、トランジスタQ₂、Q₃はオンする。このとき、データ線駆動／電流測定回路14は、データ線S_jに対してデータ電圧D_{i,j}を印加する。したがって、トランジスタQ₁のゲート電圧はD_{i,j}になる。

[0112] i番目のライン期間の終了時に、走査線G_iの電圧はローレベルに変化する。これに伴い、トランジスタQ₂、Q₃はオフする。これ以降、トランジスタQ₁のゲート電圧は、コンデンサC₁の作用によってD_{i,j}に保たれる。データ電圧D_{i,j}が所定以上の場合には、トランジスタQ₁はオンし、有機EL素子L₁にはトランジスタQ₁のゲートソース間電圧に応じた量の電流が流れる。有機EL素子L₁は、流れる電流の量に応じた輝度で発光する。

[0113] 垂直帰線期間では、走査線G_iの電圧はハイレベルに変化する。これに伴い、トランジスタQ₂、Q₃はオンする。垂直帰線期間の終端部を除く期間では、データ線駆動／電流測定回路14は、データ線S_jに対して測定用電圧V_{mg}(i, j)を印加する。したがって、トランジスタQ₁のゲート電圧はV_{mg}(i, j)になる。測定用電圧V_{mg}(i, j)は、TFT特性

測定用電圧、および、OLED特性測定用電圧のいずれかである。TFT特性測定用電圧を印加したときには、トランジスタQ1はオンし、ハイレベル電源電圧ELVDDを有する電極からトランジスタQ1、Q3を通過する電流がモニタ線Mjに流れる。OLED特性測定用電圧を印加したときには、トランジスタQ1はオフし、モニタ線MjからトランジスタQ3と有機EL素子L1を通過する電流がローレベル電源電圧ELVSSを有する電極に流れる。データ線Sjに測定用電圧Vmg(i, j)が印加されている間、モニタ線Mjの電圧はVm(i, j)になる。データ線駆動／電流測定回路14は、垂直帰線期間の終端部を除く期間でモニタ線Mjに流れる電流を測定する。

[0114] 垂直帰線期間の終端部では、データ線駆動／電流測定回路14は、データ線Sjに対してデータ電圧Dijを印加する。このとき画素回路28は、i番目のライン期間と同様に動作する。垂直帰線期間の終了時に、クリア信号CLRはハイレベルに変化し、期間指定信号PSはローレベルに変化する。これに伴い、走査線Giの電圧はローレベルになる。これ以降、有機EL素子L1は、データ電圧Dijに応じた輝度で発光する。

[0115] 表示装置2に含まれる補正データ記憶部16と補正演算部17の詳細は、第1の実施形態と同じである（図6を参照）。補正演算部17に含まれるCPU69の動作は、第1の実施形態と同じである（図7を参照）。

[0116] 以上に示すように、本実施形態に係る表示装置2は、n本の走査線G1～Gnとm本のデータ線S1～Smとm本のモニタ線M1～Mmと2次元状に配置された(m×n)個の画素回路28とを含む表示部21と、走査線駆動回路23と、データ線駆動回路（データ線駆動／電流測定回路14）と、映像信号期間か非映像信号期間（垂直帰線期間）かを示す期間指定信号PSと、映像信号期間内の1ライン期間でハイレベルになるサンプリング信号SSとを出力する表示制御回路12とを備えている。走査線駆動回路23は、走査線に対応するn個の段を有するシフトレジスタ41と、走査線に対応して設けられ、サンプリング信号SSに従い、シフトレジスタ出力SRiを保持

する n 個のホールド回路 42 と、走査線に対応して設けられ、期間指定信号 PS とシフトレジスタ出力 SR_i とホールド出力 HLD_i とに基づき、対応する走査線に印加する走査信号を出力する n 個の走査信号出力回路 53 とを含んでいる。走査信号出力回路 53 は、映像信号期間では走査信号としてシフトレジスタ出力 SR_i を出力し、垂直帰線期間では走査信号としてホールド出力 HLD_i を出力する。

[0117] 画素回路 28 は、有機 EL 素子 L_1 （電気光学素子）と、有機 EL 素子 L_1 と直列に設けられたトランジスタ Q_1 （駆動トランジスタ）と、データ線 S_j とトランジスタ Q_1 のゲート端子（制御端子）との間に設けられ、走査線 G_i に接続されたゲート端子を有するトランジスタ Q_2 （書き込み制御トランジスタ）と、モニタ線 M_j とトランジスタ Q_1 のソース端子（一方の導通端子）との間に設けられ、走査線 G_i に接続されたゲート端子を有するトランジスタ Q_3 （読み出し制御トランジスタ）と、トランジスタ Q_1 のゲート端子とソース端子との間に設けられたコンデンサ C_1 とを含んでいる。

[0118] 本実施形態に係る表示装置 2 によれば、電気光学素子と 3 個のトランジスタとコンデンサとを含む画素回路とモニタ線とを備えた表示装置において、簡単な回路を用いて、垂直帰線期間で 1 行分の画素回路に対応した 1 対の走査線を選択し、1 行分の画素回路について電流を測定し、電圧を書き込むことができる。本実施形態に係る表示装置 2 についても、第 1 の実施形態と同様に、第 1 ～ 第 3 の変形例を構成することができる。

[0119] （第 3 の実施形態）

図 15 は、本発明の第 3 の実施形態に係る表示装置の構成を示すブロック図である。図 15 に示す表示装置 3 は、第 1 の実施形態に係る表示装置 1 において、表示部 11、走査線駆動回路 13、補正データ記憶部 16、および、補正演算部 17 を、それぞれ、表示部 31、走査線駆動回路 23、補正データ記憶部 36、および、補正演算部 37 に置換したものである。本実施形態の構成要素のうち、第 1 および第 2 の実施形態と同一の要素については、同一の参照符号を付して説明を省略する。

[0120] 表示部31は、 n 本の走査線 $G_1 \sim G_n$ 、 m 本のデータ線 $S_1 \sim S_m$ 、および、 $(m \times n)$ 個の画素回路38を含んでいる。走査線 $G_1 \sim G_n$ は、互いに平行に配置される。データ線 $S_1 \sim S_m$ は、互いに平行に、かつ、走査線 $G_1 \sim G_n$ と直交するように配置される。 $(m \times n)$ 個の画素回路38は、走査線 $G_1 \sim G_n$ とデータ線 $S_1 \sim S_m$ の交差点に対応して2次元状に配置される。画素回路38には、ハイレベル電源電圧 $ELVDD$ とローレベル電源電圧 $ELVSS$ に加えて、図示しない配線を用いて基準電圧 V_{ref} が供給される。

[0121] 図16は、 i 行 j 列目の画素回路38の回路図である。図16に示すように、画素回路38は、有機EL素子 L_1 、トランジスタ $Q_1 \sim Q_3$ 、および、コンデンサ C_1 を含み、走査線 G_i とデータ線 S_j に接続される。トランジスタ Q_1 と有機EL素子 L_1 は、画素回路18と同じ態様に接続される。トランジスタ Q_2 の一方の導通端子（図16では左側の端子）はデータ線 S_j に接続され、トランジスタ Q_2 の他方の導通端子はトランジスタ Q_1 のソース端子と有機EL素子 L_1 のアノード端子に接続される。トランジスタ Q_3 のドレイン端子は基準電圧 V_{ref} を有する配線に接続され、トランジスタ Q_3 のソース端子はトランジスタ Q_1 のゲート端子に接続される。トランジスタ Q_2 、 Q_3 のゲート端子は、走査線 G_i に接続される。コンデンサ C_1 は、トランジスタ Q_1 のゲート端子とソース端子の間に設けられる。トランジスタ $Q_1 \sim Q_3$ は、それぞれ、駆動トランジスタ、書き込み制御トランジスタ、および、基準電圧印加トランジスタとして機能する。

[0122] 表示装置3は、表示装置1と同様に、図4に示すタイミングチャートに従い動作する。図17は、表示装置3の詳細なタイミングチャートである。図17に示すタイミングチャートは、図14に示すタイミングチャートからモニタ線 M_j の電圧の変化を削除したものである。本実施形態でも第2の実施形態と同様に、図13に示す走査線駆動回路23を用いて、図17に示すタイミングに従い走査線 $G_1 \sim G_n$ を駆動することができる。本実施形態では、表示制御回路12は、ハイレベルのサンプリング信号 SS を出力するライ

ン期間を2フレーム期間ごとに切り替える。

[0123] 以下、図17に示すタイミングで走査線G_iとデータ線S_jを駆動したときのi行j列目の画素回路38の動作を説明する。i番目のライン期間では、走査線G_iの電圧はハイレベルであるので、トランジスタQ₂、Q₃はオンする。このとき、データ線駆動／電流測定回路14は、データ線S_jに対してデータ電圧D_{ij}を印加する。したがって、トランジスタQ₁のゲートソース間電圧は($V_{ref} - D_{ij}$)になる。

[0124] i番目のライン期間の終了時に、走査線G_iの電圧はローレベルに変化する。これに伴い、トランジスタQ₂、Q₃はオフする。これ以降、トランジスタQ₁のゲートソース間電圧は、コンデンサC₁の作用によって($V_{ref} - D_{ij}$)に保たれる。データ電圧D_{ij}が所定以下の場合には、トランジスタQ₁はオンし、有機EL素子L₁にはトランジスタQ₁のゲートソース間電圧に応じた量の電流が流れる。有機EL素子L₁は、流れる電流の量に応じた輝度で発光する。

[0125] 垂直帰線期間では、走査線G_iの電圧はハイレベルに変化する。これに伴い、トランジスタQ₂、Q₃はオンする。垂直帰線期間の終端部を除く期間では、データ線駆動／電流測定回路14は、データ線S_jに対して測定用電圧V_{mg}(i, j)を印加する。したがって、トランジスタQ₁のゲートソース間電圧は($V_{ref} - V_{mg}(i, j)$)になる。このとき、トランジスタQ₁はオンし、ハイレベル電源電圧ELVDDを有する電極からトランジスタQ₁、Q₂を通過する電流がデータ線S_jに流れる。データ線駆動／電流測定回路14は、垂直帰線期間の終端部を除く期間でデータ線S_jに出力された電流を測定する。

[0126] 垂直帰線期間の終端部では、データ線駆動／電流測定回路14は、データ線S_jに対してデータ電圧D_{ij}を印加する。このとき画素回路38は、i番目のライン期間と同様に動作する。垂直帰線期間の終了時に、クリア信号CLRはハイレベルに変化し、期間指定信号PSはローレベルに変化する。これに伴い、走査線G_iの電圧はローレベルになる。これ以降、有機EL素

子 L_1 は、データ電圧 D_{ij} に応じた輝度で発光する。

[0127] 図18は、補正データ記憶部36と補正演算部37の詳細を示すブロック図である。図18に示すように、補正データ記憶部36は、TFT用ゲイン記憶部36aとTFT用オフセット記憶部36bを含んでいる。2つの記憶部36a、36bは、それぞれ、 $(m \times n)$ 個の画素回路38に対応して $(m \times n)$ 個の補正データを記憶する。TFT用ゲイン記憶部36aはTFT用ゲインを記憶し、TFT用オフセット記憶部36bはTFT用オフセットを記憶する。

[0128] 補正演算部37は、LUT71、乗算器72、74、加算器73、および、CPU75を含んでいる。補正演算部37には、映像信号 X_1 に含まれる階調 P 、TFT特性検出用の階調 P 、および、A/D変換器15の出力が入力される。2つの記憶部36a、36bからは、 i 行 j 列目の画素回路38の補正データが読み出される。

[0129] LUT71は、階調 P に対してガンマ補正を施す。乗算器72は、LUT71の出力に対して、TFT用ゲイン記憶部36aから読み出されたTFT用ゲインを乗算する。加算器73は、乗算器72の出力に対して、TFT用オフセット記憶部36bから読み出されたTFT用オフセットを加算する。乗算器74は、加算器73の出力に対して、データ電圧の減衰を補償するための係数 Z を乗算する。補正演算部37は、映像信号期間では、データ線駆動/電流測定回路14に対して乗算器74の出力を含む映像信号 X_2 を出力する。補正演算部37は、垂直帰線期間では、データ線駆動/電流測定回路14に対して乗算器74の出力を測定用電圧 $V_{mg}(i, j)$ に対応したデータとして出力する。

[0130] CPU75は、A/D変換器15の出力に基づき、2つの記憶部36a、36bに記憶された補正データを更新する。図19は、CPU75の動作を示すフローチャートである。CPU75は、図19に示すステップS101～S108を2フレーム期間ごとに実行する。CPU75は、第1フレーム期間の垂直帰線期間ではステップS101～S104を実行し、第2フレ

ム期間の垂直帰線期間ではステップS105～S108を実行する。ステップS101～S108は、ステップS103、S107ではTFT用オフセット記憶部36bに記憶されたTFT用オフセットが更新され、ステップS104、S108ではTFT用ゲイン記憶部36aに記憶されたTFT用ゲインが更新される点を除き、第1の実施形態と同じである。

[0131] 上述したように、表示制御回路12は、ハイレベルのサンプリング信号SSを出力するライン期間を2フレーム期間ごとに切り替える。したがって、走査線駆動回路23は、垂直帰線期間に選択する走査線を2フレーム期間ごとに切り替える。データ線駆動／電流測定回路14は、第1および第2フレーム期間では、それぞれ、第1および第2測定用電圧を書き込んだ画素回路38から出力された電流を測定する。補正演算部37は、第1および第2フレーム期間では、それぞれ、第1および第2の電流測定値に基づき、補正データ記憶部36に記憶された補正データを更新する。

[0132] 以上に示すように、本実施形態に係る表示装置3は、n本の走査線G1～Gnとm本のデータ線S1～Smと2次元状に配置された(m×n)個の画素回路38とを含む表示部31と、走査線駆動回路23と、データ線駆動回路（データ線駆動／電流測定回路14）と、映像信号期間か非映像信号期間（垂直帰線期間）かを示す期間指定信号PSと、映像信号期間内の1ライン期間でハイレベルになるサンプリング信号SSとを出力する表示制御回路12とを備えている。走査線駆動回路23の構成は、第2の実施形態と同じである。

[0133] 画素回路38は、有機EL素子L1（電気光学素子）と、有機EL素子L1と直列に設けられたトランジスタQ1（駆動トランジスタ）と、データ線SjとトランジスタQ1の一方の導通端子（ソース端子）との間に設けられ、走査線Giに接続されたゲート端子（制御端子）を有するトランジスタQ2（書き込み制御トランジスタ）と、トランジスタQ1のゲート端子と基準電圧Vrefを有する配線との間に設けられ、走査線Giに接続されたゲート端子を有するトランジスタQ3（基準電圧印加トランジスタ）と、ラン

ジスタQ1のゲート端子とソース端子（一方の導通端子）との間に設けられたコンデンサC1とを含んでいる。

[0134] 本実施形態に係る表示装置3によれば、電気光学素子と3個のトランジスタとコンデンサとを含む画素回路と基準電圧を有する配線とを備えた表示装置において、簡単な回路を用いて、垂直帰線期間で1行分の画素回路に対応した1対の走査線を選択し、1行分の画素回路について電流を測定し、電圧を書き込むことができる。本実施形態に係る表示装置3についても、第1および第2の実施形態と同様に、第1～第3の変形例を構成することができる。

[0135] （第4の実施形態）

第1～第3の実施形態では、画素回路に測定用電圧を書き込んだときに画素回路から出力された電流を測定する機能を有するデータ線駆動回路を備えた表示装置について説明した。第4の実施形態では、画素回路に測定用電流を流したときの画素回路内の節点の電圧を測定する機能を有するデータ線駆動回路を備えた表示装置について説明する。

[0136] 図20は、本実施形態に係る表示装置の構成を示すブロック図である。図20に示す表示装置4は、第1の実施形態に係る表示装置1において、データ線駆動／電流測定回路14をデータ線駆動／電圧測定回路81に置換したものである。本実施形態の構成要素のうち、第1の実施形態と同一の要素については、同一の参照符号を付して説明を省略する。

[0137] データ線駆動／電圧測定回路81は、データ線S1～Smを駆動する機能と、画素回路18内の節点の電圧を測定する機能とを有するデータ線駆動回路である。より詳細には、データ線駆動／電圧測定回路81は、映像信号期間では制御信号CS2に従い、映像信号X2に応じたm個のデータ電圧をデータ線S1～Smにそれぞれ印加する。データ線駆動／電圧測定回路81は、垂直帰線期間では制御信号CS2に従い、データ線S1～Smに所定の電圧を印加した後に、データ線S1～Smに測定用電流（定電流）を流したときのデータ線S1～Smの電圧を測定する。これにより、データ線駆動／電

圧測定回路 81 は、画素回路 18 内のある節点（トランジスタ Q1 のソース端子と有機 EL 素子 L1 のアノード端子が接続された節点）の電圧を測定する。

[0138] 図 21 は、データ線駆動／電圧測定回路 81 の詳細を示すブロック図である。図 21 に示すように、データ線駆動／電圧測定回路 81 は、データ線 S_j に対応して、スイッチ 82、データ線駆動部 83、および、電圧測定部 84 を含んでいる。スイッチ 82 は、選択信号 SC に従い、データ線駆動部 83 および電圧測定部 84 のうちいずれかをデータ線 S_j に接続する。

[0139] 図 22 は、電圧測定部 84 の構成例を示す回路図である。図 22 に示す電圧測定部 84 は、増幅器 85、および、定電流源 86 を含んでいる。増幅器 85 の一方の入力端子には、ローレベル電源電圧 ELVSS が固定的に印加される。増幅器 85 の他方の入力端子、および、定電流源 86 は、スイッチ 82 を介してデータ線 S_j に接続される。電圧測定部 84 がデータ線 S_j に接続されたとき、定電流源 86 はデータ線 S_j に定電流 I_{FX} を流す。このとき増幅器 85 は、データ線 S_j の電圧を増幅し、増幅後の電圧を A/D 変換器 15 に対して出力する。

[0140] 表示装置 4 は、表示装置 1 と同様に、図 4 に示すタイミングチャートに従い動作する。図 23 は、表示装置 4 の詳細なタイミングチャートである。表示装置 4 と第 1 の実施形態に係る表示装置 1 とは、映像信号期間では同じ動作を行い、垂直帰線期間では異なる動作を行う。以下、図 23 に示す垂直帰線期間における i 行 j 列目の画素回路 18 の動作を説明する。

[0141] 期間 T1 では、走査線 GA_i の電圧はハイレベルであり、走査線 GB_i の電圧はローレベルである。このため、トランジスタ Q2 はオンし、トランジスタ Q3 はオフする。このとき、データ線駆動／電圧測定回路 81 は、データ線 S_j に対して測定用電圧 V_{mg}(i, j) を印加する。したがって、トランジスタ Q1 のゲート電圧は V_{mg}(i, j) になる。測定用電圧 V_{mg}(i, j) は、TFE 特性測定用電圧、および、OLED 特性測定用電圧のいずれかである。

[0142] 期間T2では、走査線GA_iの電圧はローレベルであり、走査線GB_iの電圧はハイレベルである。このため、トランジスタQ2はオフし、トランジスタQ3はオンする。また、期間T2では、データ線S_jに定電流I_{F1X}が供給される。定電流I_{F1X}は、TF特性測定時には画素回路18からデータ線駆動／電圧測定回路81へ流れ、OLED特性測定時には逆方向に流れる。

[0143] 定電流I_{F1X}とTF特性測定用電圧V_{mg}(i, j)は、期間T2における有機EL素子L1のアノード端子の電圧（すなわち、TF特性測定時に測定される電圧）が有機EL素子L1の閾値電圧以下となるように設定される。このため、期間T1においてデータ線S_jにTF特性測定用電圧を印加した場合、期間T2において電流はハイレベル電源電圧ELVDDを有する電極からトランジスタQ1、Q3を経由してデータ線S_jに流れる。このとき、電流は有機EL素子L1には流れない。したがって、TF特性測定用電圧を用いることにより、トランジスタQ1の特性だけを測定することができる。

[0144] また、定電流I_{F1X}とOLED特性測定用電圧V_{mg}(i, j)は、OLED特性測定用電圧V_{mg}(i, j)と期間T2におけるトランジスタQ1のソース端子の電圧（すなわち、OLED特性測定時に測定される電圧）との差がトランジスタQ1の閾値電圧以下となるように設定される。このため、期間T1においてデータ線S_jにOLED特性測定用電圧を印加した場合、期間T2において電流はデータ線S_jからトランジスタQ3と有機EL素子L1を経由してローレベル電源電圧ELVSSを有する電極に流れる。このとき、トランジスタQ1はオンしない。したがって、OLED特性測定用電圧を用いることにより、有機EL素子L1の特性だけを測定することができる。

[0145] 期間T2では、トランジスタQ3はオンするので、データ線S_jの電圧は、トランジスタQ1のソース端子と有機EL素子L1のアノード端子とが接続された節点の電圧に等しい。データ線駆動／電圧測定回路81は、期間T

2においてデータ線 S_j の電圧を測定することにより、画素回路18内の節点（トランジスタ Q_1 のソース端子と有機EL素子 L_1 のアノード端子とが接続された節点）の電圧を測定する。

[0146] 期間 T_3 では、走査線 GA_i の電圧はハイレベルであり、走査線 GB_i の電圧はローレベルである。このとき、データ線駆動／電圧測定回路81と画素回路18は、 i 番目のライン期間と同様に動作する。期間 T_3 以降、有機EL素子 L_1 は、データ電圧 D_{ij} に応じた輝度で発光する。

[0147] 以上に示すように、本実施形態に係る表示装置4は、表示部11と、走査線駆動回路13と、画素回路18に測定用電流（定電流源86の定電流）を流したときの画素回路18内の節点（トランジスタ Q_1 のソース端子と有機EL素子 L_1 のアノード端子とが接続された節点）の電圧を測定する機能を有するデータ線駆動回路（データ線駆動／電圧測定回路81）と、表示制御回路12とを備えている。表示部11、表示制御回路12、および、走査線駆動回路13の構成は、第1の実施形態と同じである。このように走査線駆動回路13を備え、画素回路18について電圧を測定する表示装置4でも、走査線駆動回路13を備え、画素回路18について電流を測定する表示装置1と同様に、簡単な回路を用いて、垂直帰線期間で1行分の画素回路に対応した走査線を選択し、1行分の画素回路について電圧（画素回路に測定用電流を流したときの画素回路内の節点の電圧）を測定することができる。

[0148] ここでは、走査線駆動回路13と、画素回路18について電圧を測定する機能を有するデータ線駆動回路（データ線駆動／電圧測定回路81）とを備え、表示装置1と同様の構成を有する表示装置4について説明した。同様に、走査線駆動回路23と、画素回路28について電圧を測定する機能を有するデータ線駆動回路とを備え、表示装置2と同様の構成を有する表示装置や、走査線駆動回路23と、画素回路38について電圧を測定する機能を有するデータ線駆動回路とを備え、表示装置3と同様の構成を有する表示装置を構成してもよい。

[0149] 以上に示すように、本発明の表示装置によれば、簡単な回路を用いて、垂

直帰線期間で1行分の画素回路に対応した走査線を選択し、1行分の画素回路について電流または電圧を測定することができる。なお、第1～第4の実施形態およびこれらの変形例に係る表示装置の特徴を、その性質に反しない限り任意に組合せて、複数の実施形態または変形例の特徴を有する表示装置を構成することができる。

[0150] なお、第1～第3の実施形態に係る表示装置の駆動方法は、以下のようにも言える。

＜第1の実施形態＞

複数の第1走査線と複数の第2走査線と複数のデータ線と2次元状に配置された複数の画素回路とを含む表示部を有するアクティブマトリクス型の表示装置の駆動方法であって、

走査線駆動回路を用いて前記走査線を駆動するステップと、

前記データ線を駆動し、前記画素回路について電流または電圧を測定するステップと、

映像信号期間か非映像信号期間かを示す期間指定信号と、映像信号期間内の1ライン期間でアクティブレベルになるサンプリング信号と、垂直帰線期間の一部で非選択レベルになり、それ以外では選択レベルになる第1タイミング信号と、前記第1タイミング信号が非選択レベルである期間の一部で選択レベルになり、それ以外では非選択レベルになる第2タイミング信号とを出力するステップとを備え、

前記走査線駆動回路は、

前記走査線に対応する複数の段を有するシフトレジスタと、

前記走査線に対応して設けられ、前記サンプリング信号に従い、前記シフトレジスタの対応する段から出力されたシフトレジスタ出力を保持する複数のホールド回路と、

前記走査線に対応して設けられ、少なくとも前記期間指定信号と前記シフトレジスタ出力とに対応するホールド回路から出力されたホールド出力とに基づき、対応する走査線に印加する走査信号を出力する走査信号出力回路と

を含み、

前記画素回路は、

電気光学素子と、

前記電気光学素子と直列に設けられた駆動トランジスタと、

前記データ線と前記駆動トランジスタの制御端子との間に設けられ、前記第1走査線に接続された制御端子を有する書き込み制御トランジスタと、

前記データ線と前記駆動トランジスタの一方の導通端子との間に設けられ、前記第2走査線に接続された制御端子を有する読み出し制御トランジスタと、

前記駆動トランジスタの制御端子と他方の導通端子との間に設けられたコンデンサとを含み、

前記走査線を駆動するステップは、映像信号期間では、前記走査信号出力回路を用いて前記第1走査線に印加する第1走査信号として前記シフトレジスタ出力を出力し、前記第2走査線に印加する第2走査信号として非選択レベルの信号を出力することにより、前記シフトレジスタ出力が選択レベルのときに書き込み用の走査信号を出力し、非映像信号期間では、前記走査信号出力回路を用いて前記第1走査信号として前記ホールド出力と前記第1タイミング信号が選択レベルのときに選択レベルになる信号を出力し、前記第2走査信号として前記ホールド出力と前記第2タイミング信号が選択レベルのときに選択レベルになる信号を出力することにより、前記ホールド出力が選択レベルのときに測定用および書き込み用の走査信号を出力することを特徴とする。

[0151] <第2の実施形態>

複数の走査線と複数のデータ線と複数のモニタ線と2次元状に配置された複数の画素回路とを含む表示部を有するアクティブマトリクス型の表示装置の駆動方法であって、

走査線駆動回路を用いて前記走査線を駆動するステップと、

前記データ線を駆動し、前記画素回路について電流または電圧を測定する

ステップと、

映像信号期間か非映像信号期間かを示す期間指定信号と、映像信号期間内の1ライン期間でアクティブレベルになるサンプリング信号とを出力するステップとを備え、

前記走査線駆動回路は、

前記走査線に対応する複数の段を有するシフトレジスタと、

前記走査線に対応して設けられ、前記サンプリング信号に従い、前記シフトレジスタの対応する段から出力されたシフトレジスタ出力を保持する複数のホールド回路と、

前記走査線に対応して設けられ、少なくとも前記期間指定信号と前記シフトレジスタ出力とに対応するホールド回路から出力されたホールド出力とに基づき、対応する走査線に印加する走査信号を出力する走査信号出力回路とを含み、

前記画素回路は、

電気光学素子と、

前記電気光学素子と直列に設けられた駆動トランジスタと、

前記データ線と前記駆動トランジスタの制御端子との間に設けられ、前記走査線に接続された制御端子を有する書き込み制御トランジスタと、

前記モニタ線と前記駆動トランジスタの一方の導通端子との間に設けられ、前記走査線に接続された制御端子を有する読み出し制御トランジスタと、

前記駆動トランジスタの制御端子と一方の導通端子との間に設けられたコンデンサとを含み、

前記走査線を駆動するステップは、映像信号期間では、前記走査信号出力回路を用いて前記シフトレジスタ出力を出力することにより、前記シフトレジスタ出力が選択レベルのときに書き込み用の走査信号を出力し、非映像信号期間では、前記走査信号出力回路を用いて前記ホールド出力を出力することにより、前記ホールド出力が選択レベルのときに測定用および書き込み用

の走査信号を出力することを特徴とする。

[0152] <第3の実施形態>

複数の走査線と複数のデータ線と2次元状に配置された複数の画素回路とを含む表示部を有するアクティブマトリクス型の表示装置の駆動方法であって、

走査線駆動回路を用いて前記走査線を駆動するステップと、

前記データ線を駆動し、前記画素回路について電流または電圧を測定するステップと、

映像信号期間か非映像信号期間かを示す期間指定信号と、映像信号期間内の1ライン期間でアクティブレベルになるサンプリング信号とを出力するステップとを備え、

前記走査線駆動回路は、

前記走査線に対応する複数の段を有するシフトレジスタと、

前記走査線に対応して設けられ、前記サンプリング信号に従い、前記シフトレジスタの対応する段から出力されたシフトレジスタ出力を保持する複数のホールド回路と、

前記走査線に対応して設けられ、少なくとも前記期間指定信号と前記シフトレジスタ出力とに対応するホールド回路から出力されたホールド出力とに基づき、対応する走査線に印加する走査信号を出力する走査信号出力回路とを含み、

前記画素回路は、

電気光学素子と、

前記電気光学素子と直列に設けられた駆動トランジスタと、

前記データ線と前記駆動トランジスタの一方の導通端子との間に設けられ、前記走査線に接続された制御端子を有する書き込み制御トランジスタと、

前記駆動トランジスタの制御端子と基準電圧を有する配線との間に設けられ、前記走査線に接続された制御端子を有する基準電圧印加トランジスタ

と、

前記駆動トランジスタの制御端子と一方の導通端子との間に設けられたコンデンサを含み、

前記走査線を駆動するステップは、映像信号期間では、前記走査信号出力回路を用いて前記シフトレジスタ出力を出力することにより、前記シフトレジスタ出力が選択レベルのときに書き込み用の走査信号を出力し、非映像信号期間では、前記走査信号出力回路を用いて前記ホールド出力を出力することにより、前記ホールド出力が選択レベルのときに測定用および書き込み用の走査信号を出力することを特徴とする。

産業上の利用可能性

[0153] 本発明の表示装置およびその駆動方法は、簡単な回路を用いて、垂直帰線期間で1本の走査線を選択し、1行分の画素回路について電流または電圧を測定できるという特徴を有するので、有機EL素子などの電気光学素子を備えた各種のアクティブマトリクス型の表示装置に利用することができる。

符号の説明

- [0154] 1、2、3、4…表示装置
11、21、31…表示部
12…表示制御回路
13、19、23…走査線駆動回路
14…データ線駆動／電流測定回路
16、36…補正データ記憶部
17、37…補正演算部
18、28、38…画素回路
41…シフトレジスタ
42…ホールド回路
43、53…走査信号出力回路
81…データ線駆動／電圧測定回路
G1～Gn、GA1～GAN、GB1～GBn…走査線

S 1 ～ S m …データ線

M 1 ～ M m …モニタ線

E N 1、E N 2、E N A 1、E N A 2、E N B 1、E N B 2 …イネーブル
信号

L 1 …有機E L 素子

Q 1 ～ Q 3 …トランジスタ

C 1 …コンデンサ

C L R …クリア信号

P S …期間指定信号

S S …サンプリング信号

T S 1、T S 2 …タイミング信号

請求の範囲

[請求項1]

アクティブマトリクス型の表示装置であって、
複数の走査線と複数のデータ線と2次元状に配置された複数の画素回路とを含む表示部と、
前記走査線を駆動する走査線駆動回路と、
前記データ線を駆動する機能と前記画素回路について電流または電圧を測定する機能とを有するデータ線駆動回路と、
映像信号期間か非映像信号期間かを示す期間指定信号と、映像信号期間内の1ライン期間でアクティブレベルになるサンプリング信号とを出力する表示制御回路とを備え、
前記走査線駆動回路は、
前記走査線に対応する複数の段を有するシフトレジスタと、
前記走査線に対応して設けられ、前記サンプリング信号に従い、前記シフトレジスタの対応する段から出力されたシフトレジスタ出力を保持する複数のホールド回路と、
前記走査線に対応して設けられ、少なくとも前記期間指定信号と前記シフトレジスタ出力とに対応するホールド回路から出力されたホールド出力とに基づき、対応する走査線に印加する走査信号を出力する走査信号出力回路とを含むことを特徴とする、表示装置。

[請求項2]

前記走査信号出力回路は、映像信号期間で前記シフトレジスタ出力が選択レベルのときには書き込み用の走査信号を出力し、非映像信号期間で前記ホールド出力が選択レベルのときには測定用および書き込み用の走査信号を出力することを特徴とする、請求項1に記載の表示装置。

[請求項3]

前記複数の走査線は、複数の第1走査線と複数の第2走査線とを含み、
前記表示制御回路は、第1タイミング信号と第2タイミング信号とをさらに出力し、

前記走査信号出力回路は、映像信号期間では、前記第 1 走査線に印加する第 1 走査信号として前記シフトレジスタ出力を出力し、前記第 2 走査線に印加する第 2 走査信号として非選択レベルの信号を出力し、非映像信号期間では、前記第 1 走査信号として前記ホールド出力と前記第 1 タイミング信号とに基づく信号を出力し、前記第 2 走査信号として前記ホールド出力と前記第 2 タイミング信号とに基づく信号を出力することを特徴とする、請求項 2 に記載の表示装置。

[請求項4]

前記画素回路は、

電気光学素子と、

前記電気光学素子と直列に設けられた駆動トランジスタと、

前記データ線と前記駆動トランジスタの制御端子との間に設けられ、前記第 1 走査線に接続された制御端子を有する書き込み制御トランジスタと、

前記データ線と前記駆動トランジスタの一方の導通端子との間に設けられ、前記第 2 走査線に接続された制御端子を有する読み出し制御トランジスタと、

前記駆動トランジスタの制御端子と他方の導通端子との間に設けられたコンデンサとを含むことを特徴とする、請求項 3 に記載の表示装置。

[請求項5]

前記第 1 タイミング信号は、非映像信号期間の一部で非選択レベルになり、それ以外では選択レベルになり、

前記第 2 タイミング信号は、前記第 1 タイミング信号が非選択レベルである期間の一部で選択レベルになり、それ以外では非選択レベルになり、

前記走査信号出力回路は、非映像信号期間では、前記第 1 走査信号として前記ホールド出力と前記第 1 タイミング信号が選択レベルのときに選択レベルになる信号を出力し、前記第 2 走査信号として前記ホールド出力と前記第 2 タイミング信号が選択レベルのときに選択レベ

ルになる信号を出力することを特徴とする、請求項4に記載の表示装置。

[請求項6] 前記走査信号出力回路は、映像信号期間では前記走査信号として前記シフトレジスタ出力を出力し、非映像信号期間では前記走査信号として前記ホールド出力を出力することを特徴とする、請求項2に記載の表示装置。

[請求項7] 前記表示部は複数のモニタ線をさらに含み、
前記画素回路は、

電気光学素子と、

前記電気光学素子と直列に設けられた駆動トランジスタと、

前記データ線と前記駆動トランジスタの制御端子との間に設けられ、前記走査線に接続された制御端子を有する書き込み制御トランジスタと、

前記モニタ線と前記駆動トランジスタの一方の導通端子との間に設けられ、前記走査線に接続された制御端子を有する読み出し制御トランジスタと、

前記駆動トランジスタの制御端子と一方の導通端子との間に設けられたコンデンサとを含むことを特徴とする、請求項6に記載の表示装置。

[請求項8] 前記画素回路は、

電気光学素子と、

前記電気光学素子と直列に設けられた駆動トランジスタと、

前記データ線と前記駆動トランジスタの一方の導通端子との間に設けられ、前記走査線に接続された制御端子を有する書き込み制御トランジスタと、

前記駆動トランジスタの制御端子と基準電圧を有する配線との間に設けられ、前記走査線に接続された制御端子を有する基準電圧印加トランジスタと、

前記駆動トランジスタの制御端子と一方の導通端子との間に設けられたコンデンサとを含むことを特徴とする、請求項 6 に記載の表示装置。

[請求項9] 前記表示制御回路は、非映像信号期間の終了時にアクティブレベルになるクリア信号をさらに出力し、

前記ホールド回路の出力は、前記クリア信号に従い非選択レベルになることを特徴とする、請求項 2 に記載の表示装置。

[請求項10] 前記表示制御回路は、アクティブレベルのサンプリング信号を出力するライン期間を複数のフレーム期間ごとに切り替えることを特徴とする、請求項 2 に記載の表示装置。

[請求項11] 前記表示制御回路は、アクティブレベルのサンプリング信号を出力するライン期間を複数のフレーム期間ごとに順に切り替えることを特徴とする、請求項 10 に記載の表示装置。

[請求項12] 前記表示制御回路は、アクティブレベルのサンプリング信号を出力するライン期間を複数のフレーム期間ごとに所定数のライン期間を飛ばしながら順に切り替えることを特徴とする、請求項 10 に記載の表示装置。

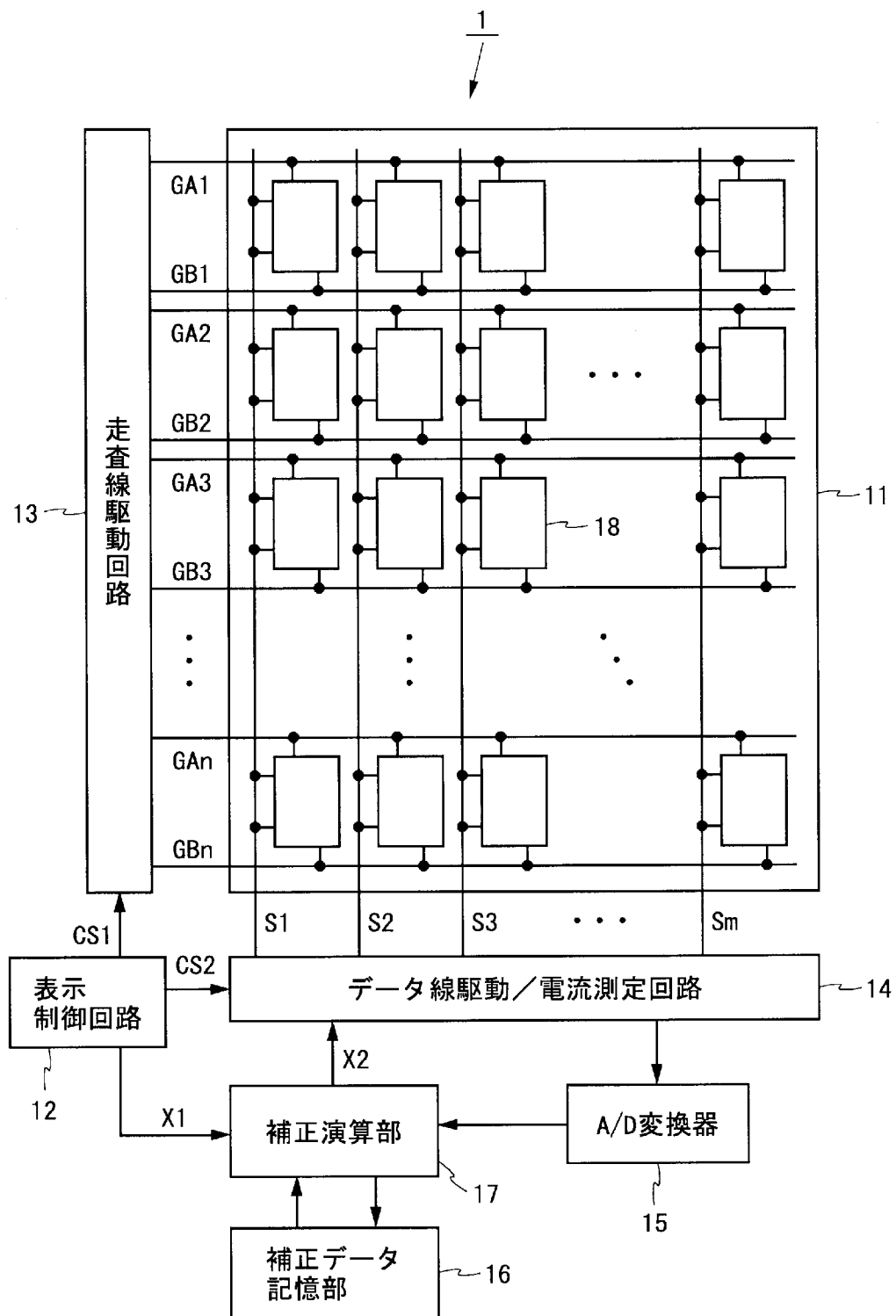
[請求項13] 前記表示制御回路は、アクティブレベルのサンプリング信号を出力するライン期間を複数のフレーム期間ごとにランダムに切り替えることを特徴とする、請求項 10 に記載の表示装置。

[請求項14] 前記表示制御回路は、アクティブレベルのサンプリング信号を出力するライン期間を複数のフレーム期間ごとに特定範囲のライン期間を優先しながら切り替えることを特徴とする、請求項 10 に記載の表示装置。

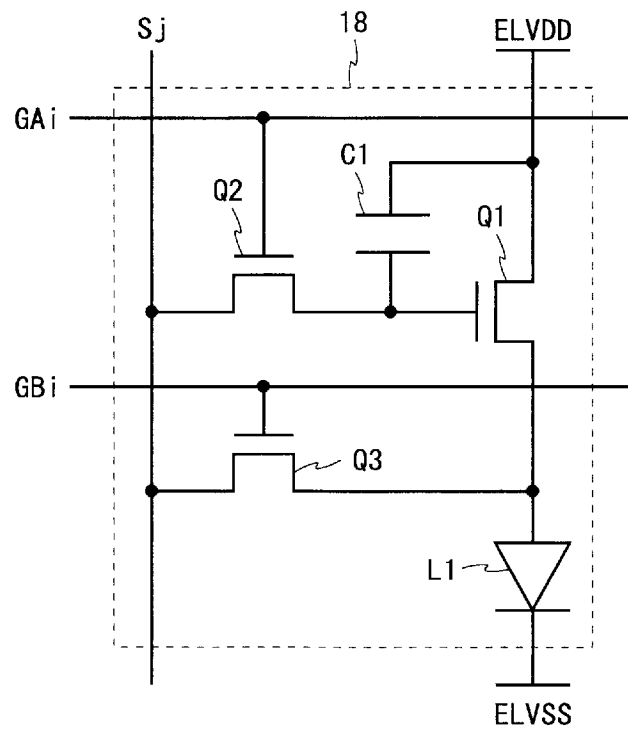
[請求項15] 前記データ線駆動回路は、前記複数の画素回路のうち非映像信号期間で選択された画素回路に電圧を書き込むときには、前記画素回路における輝度低下分を補正した電圧を前記データ線に印加することを特徴とする、請求項 2 に記載の表示装置。

- [請求項16] 前記データ線駆動回路で測定された電流または電圧に基づき、映像信号を補正する補正演算部をさらに備えた、請求項2に記載の表示装置。
- [請求項17] 前記データ線駆動回路は、前記画素回路に測定用電圧を書き込んだときに前記画素回路から出力された電流を測定することを特徴とする、請求項2に記載の表示装置。
- [請求項18] 前記データ線駆動回路は、前記画素回路に測定用電流を流したときの前記画素回路内の節点の電圧を測定することを特徴とする、請求項2に記載の表示装置。
- [請求項19] 複数の走査線と複数のデータ線と2次元状に配置された複数の画素回路とを含む表示部を有するアクティブマトリクス型の表示装置の駆動方法であって、
走査線駆動回路を用いて前記走査線を駆動するステップと、
前記データ線を駆動し、前記画素回路について電流または電圧を測定するステップと、
映像信号期間か非映像信号期間かを示す期間指定信号と、映像信号期間内の1ライン期間でアクティブレベルになるサンプリング信号とを出力するステップとを備え、
前記走査線駆動回路は、
前記走査線に対応する複数の段を有するシフトレジスタと、
前記走査線に対応して設けられ、前記サンプリング信号に従い、前記シフトレジスタの対応する段から出力されたシフトレジスタ出力を保持する複数のホールド回路と、
前記走査線に対応して設けられ、少なくとも前記期間指定信号と前記シフトレジスタ出力とに対応するホールド回路から出力されたホールド出力とに基づき、対応する走査線に印加する走査信号を出力する走査信号出力回路とを含むことを特徴とする、表示装置の駆動方法。

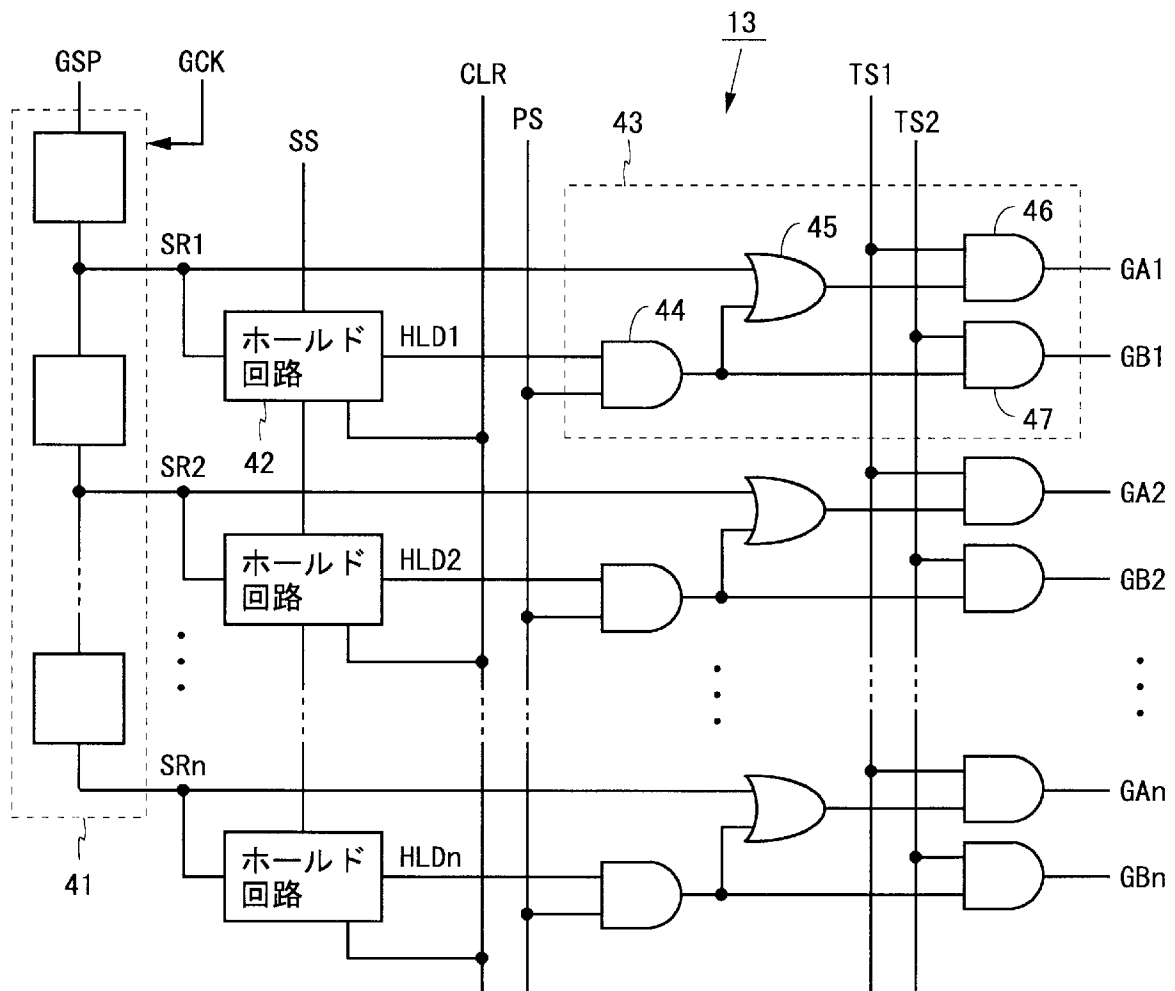
[図1]



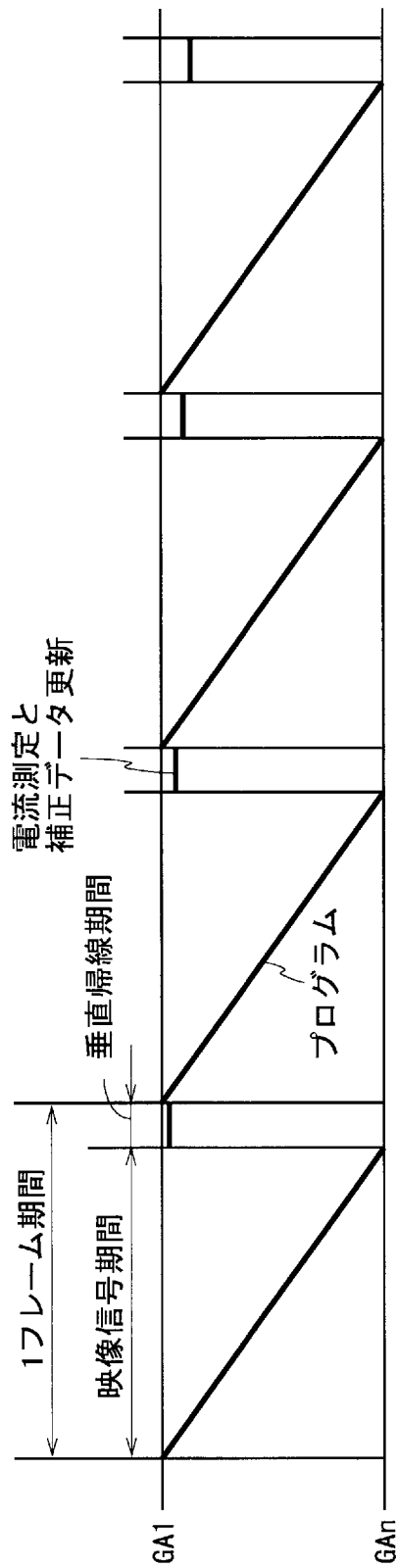
[図2]



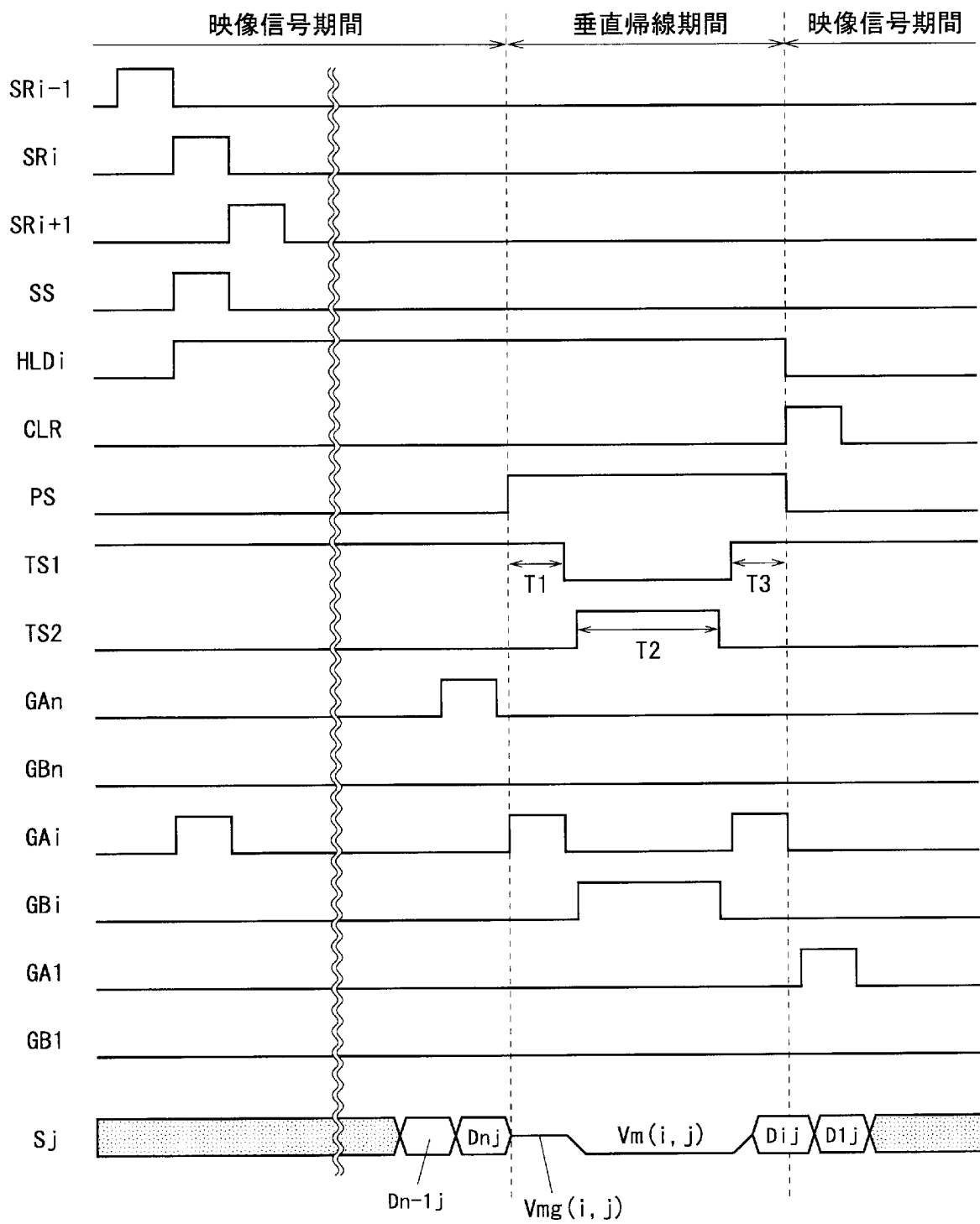
[図3]



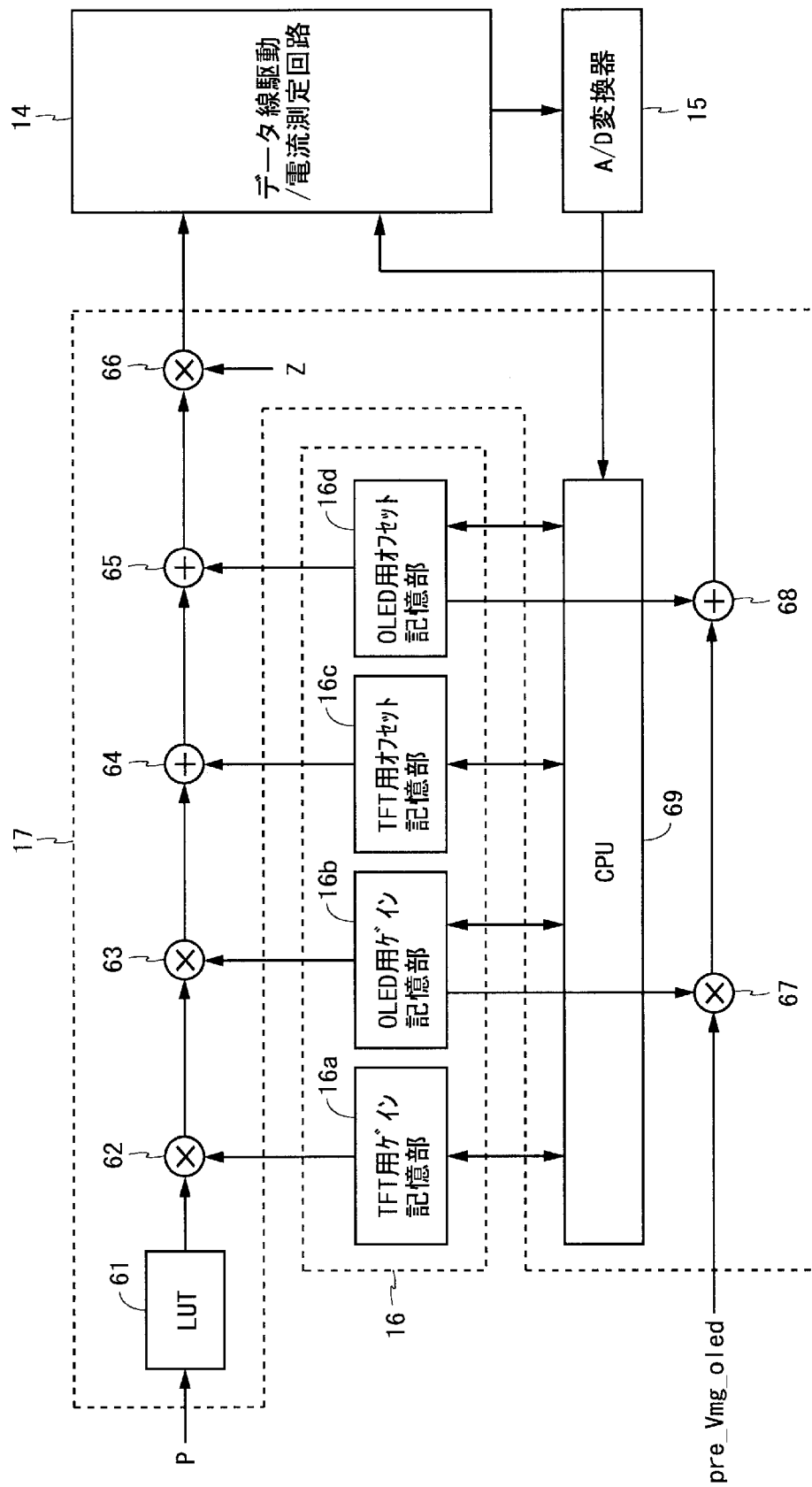
[図4]



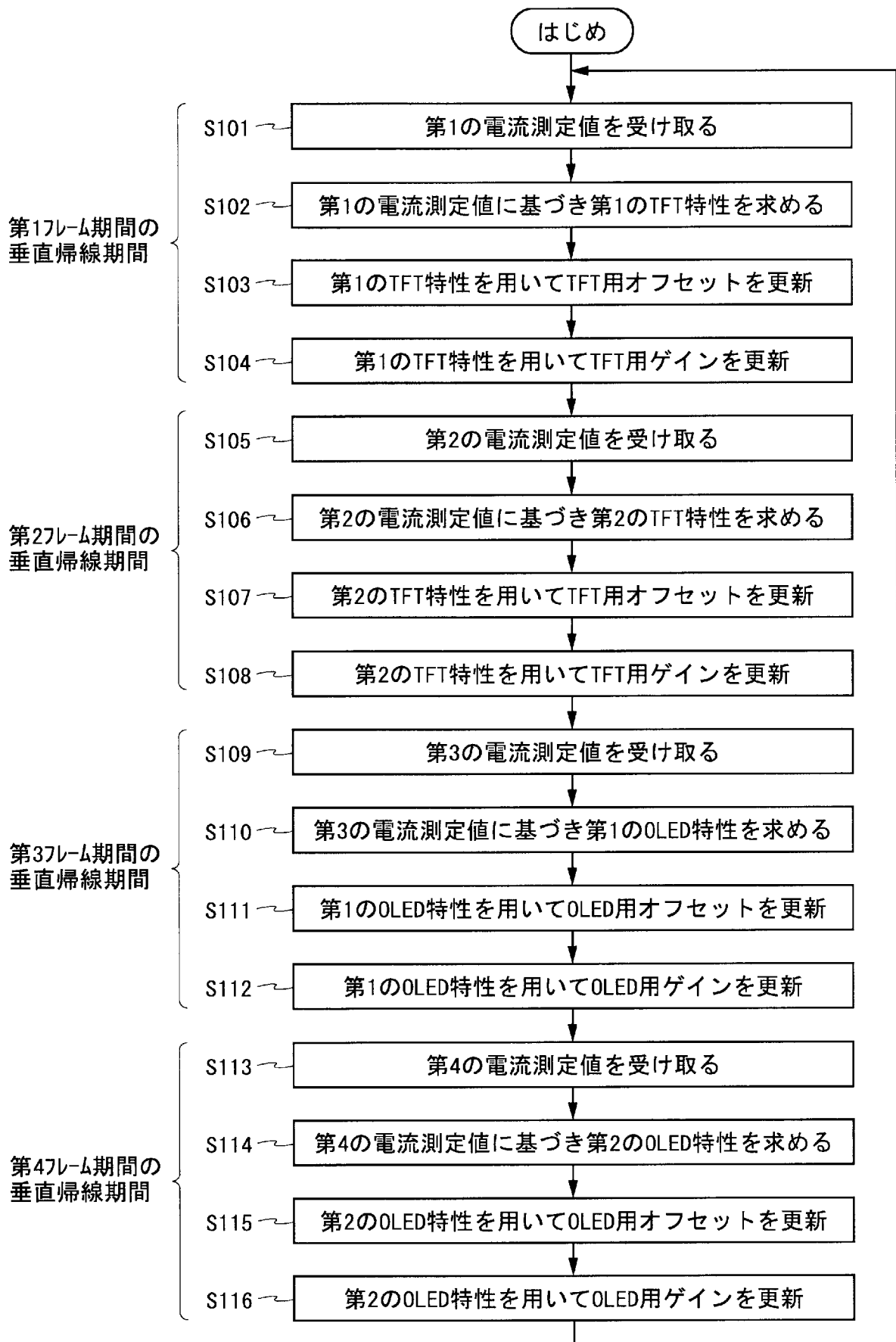
[図5]



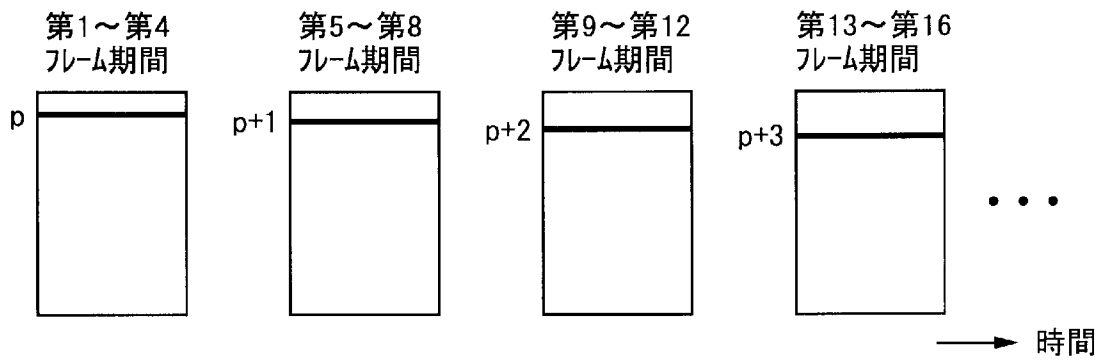
[図6]



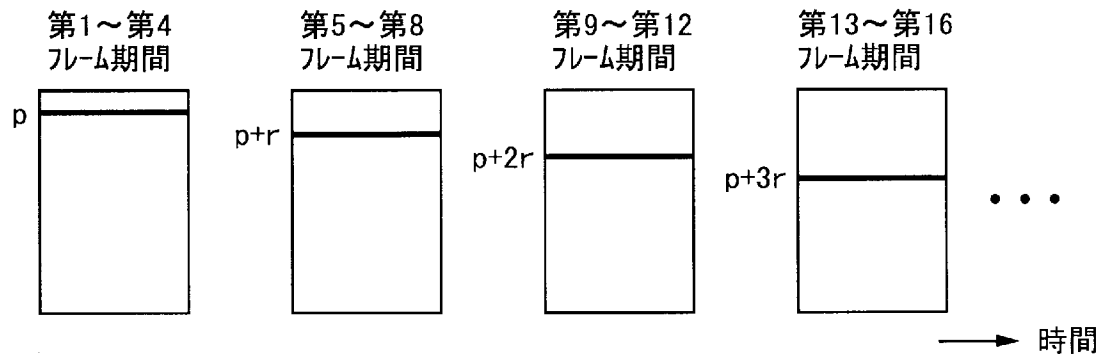
[図7]



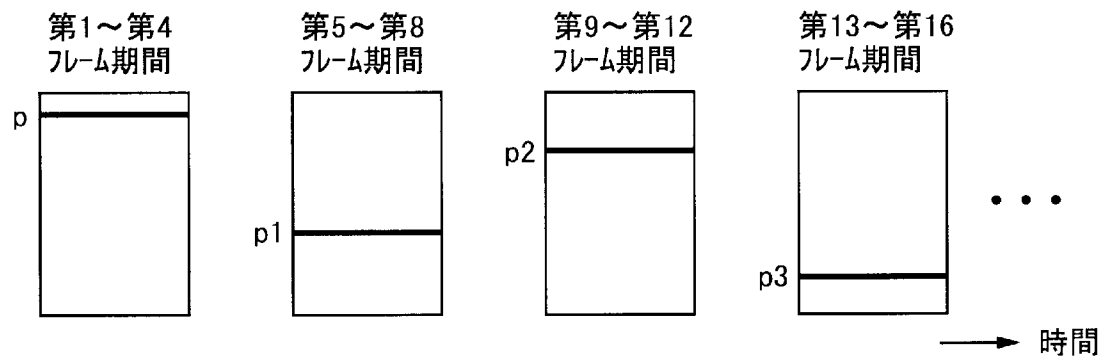
[図8A]



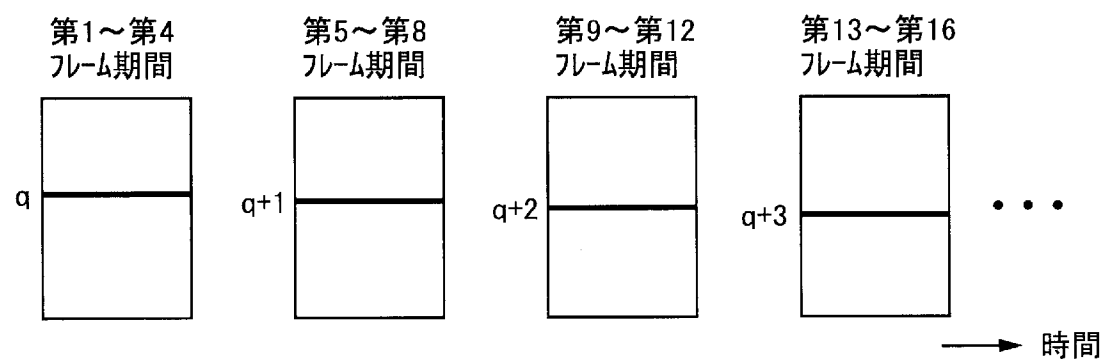
[図8B]



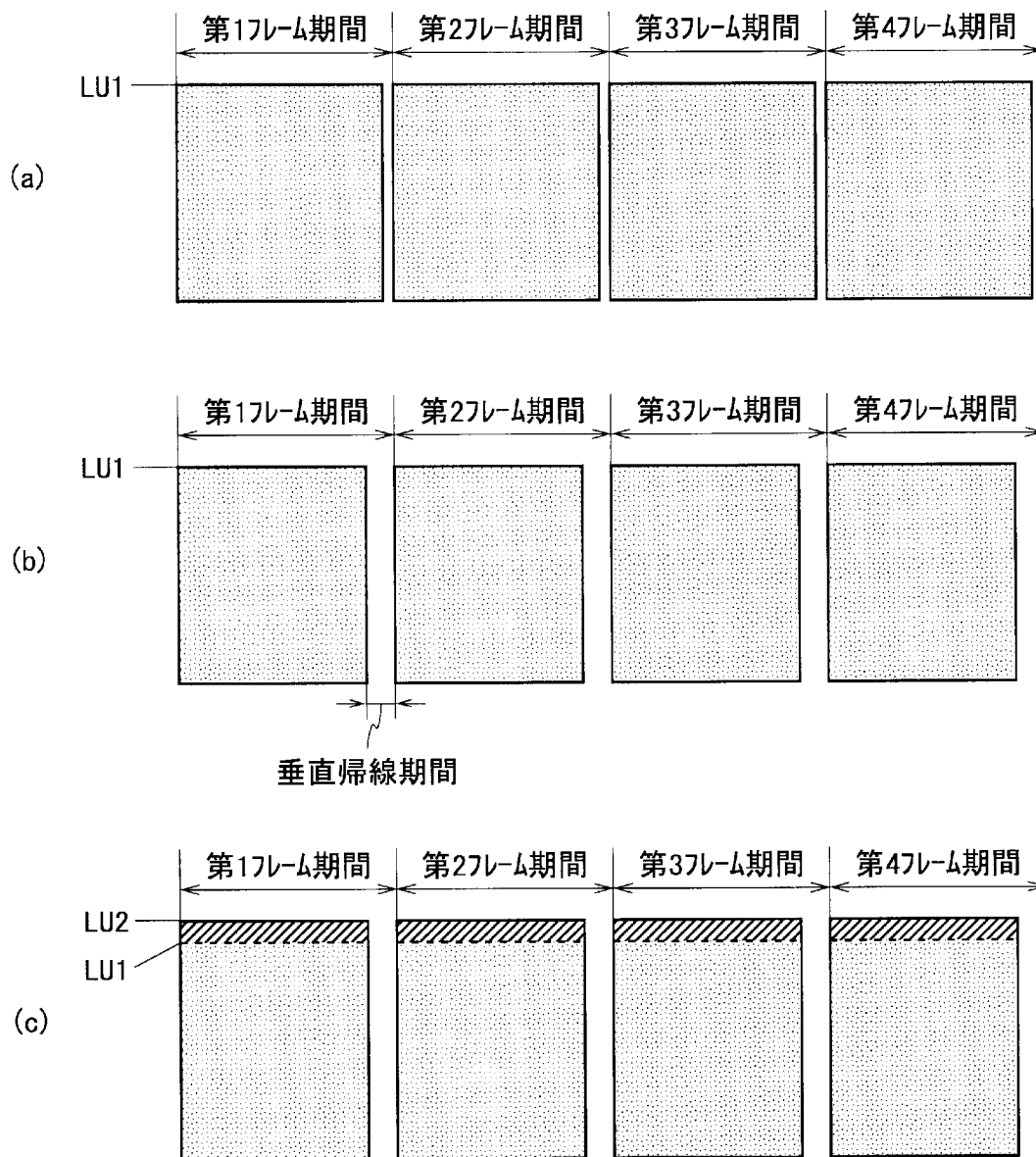
[図8C]



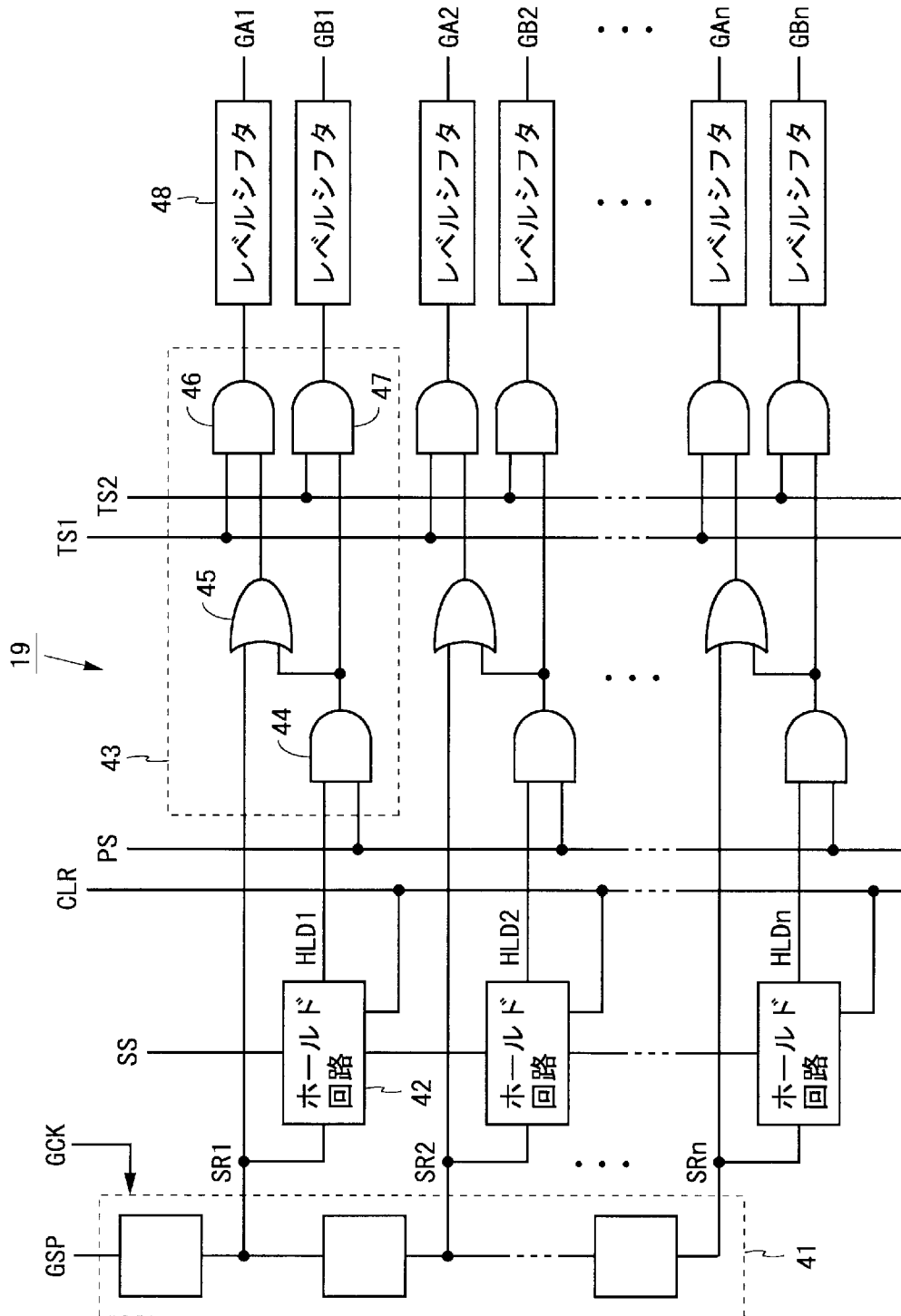
[図8D]



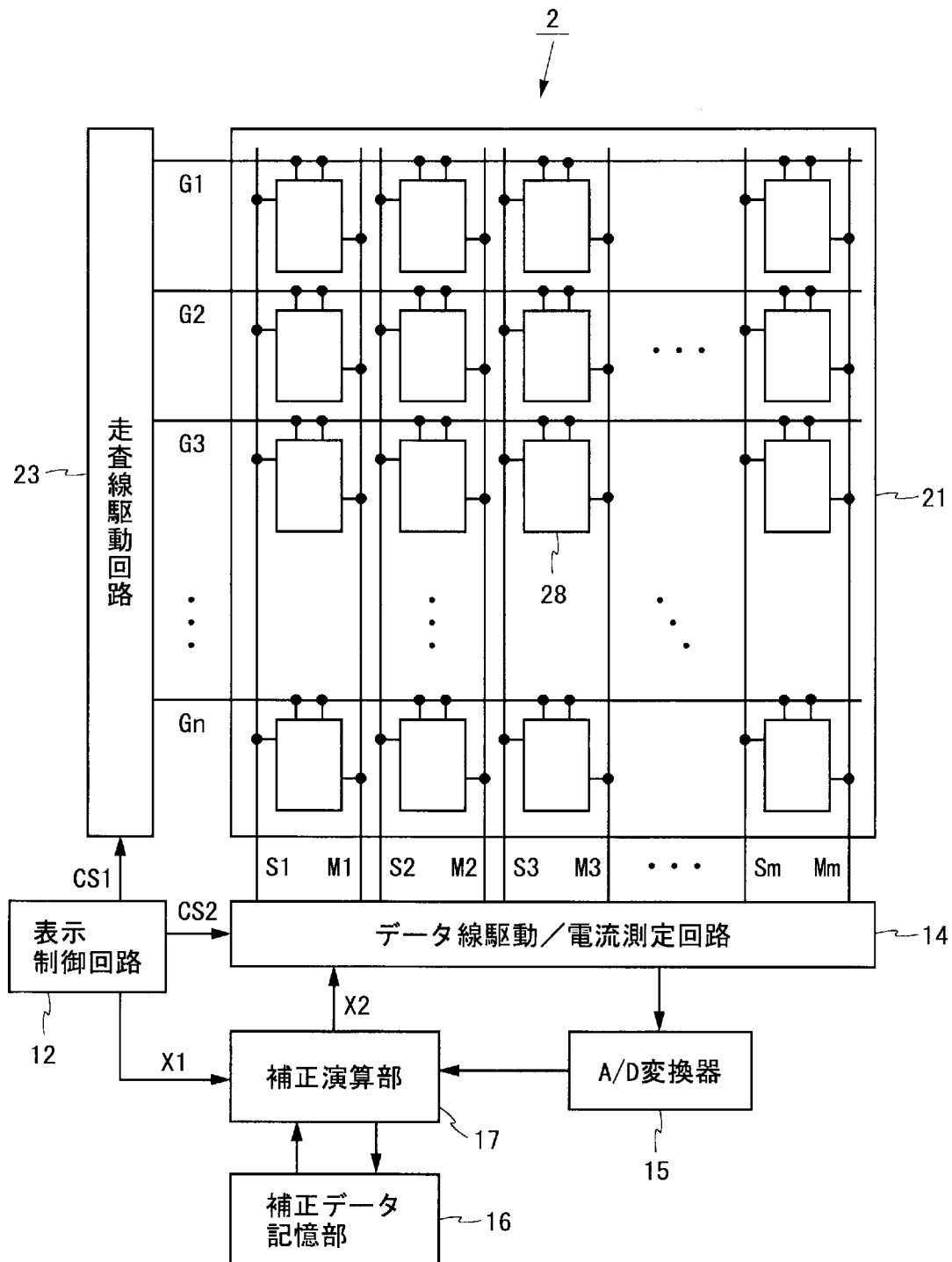
[図9]



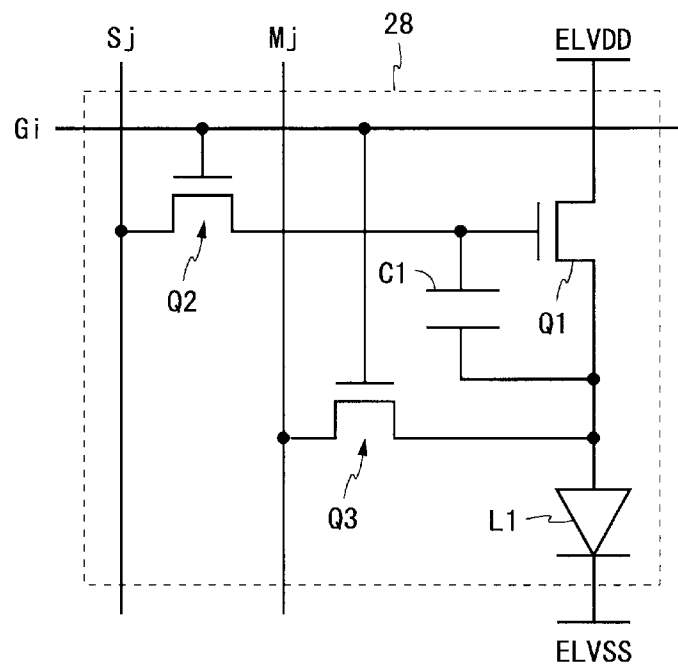
[図10]



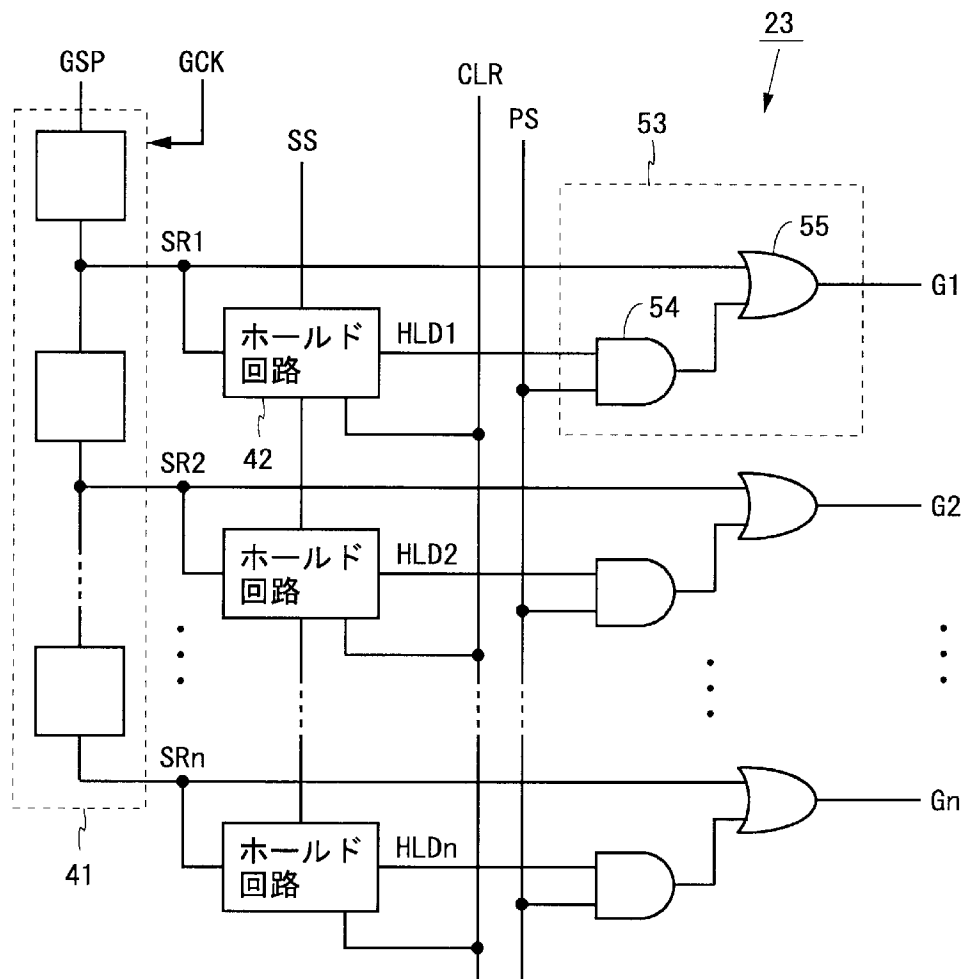
[図11]



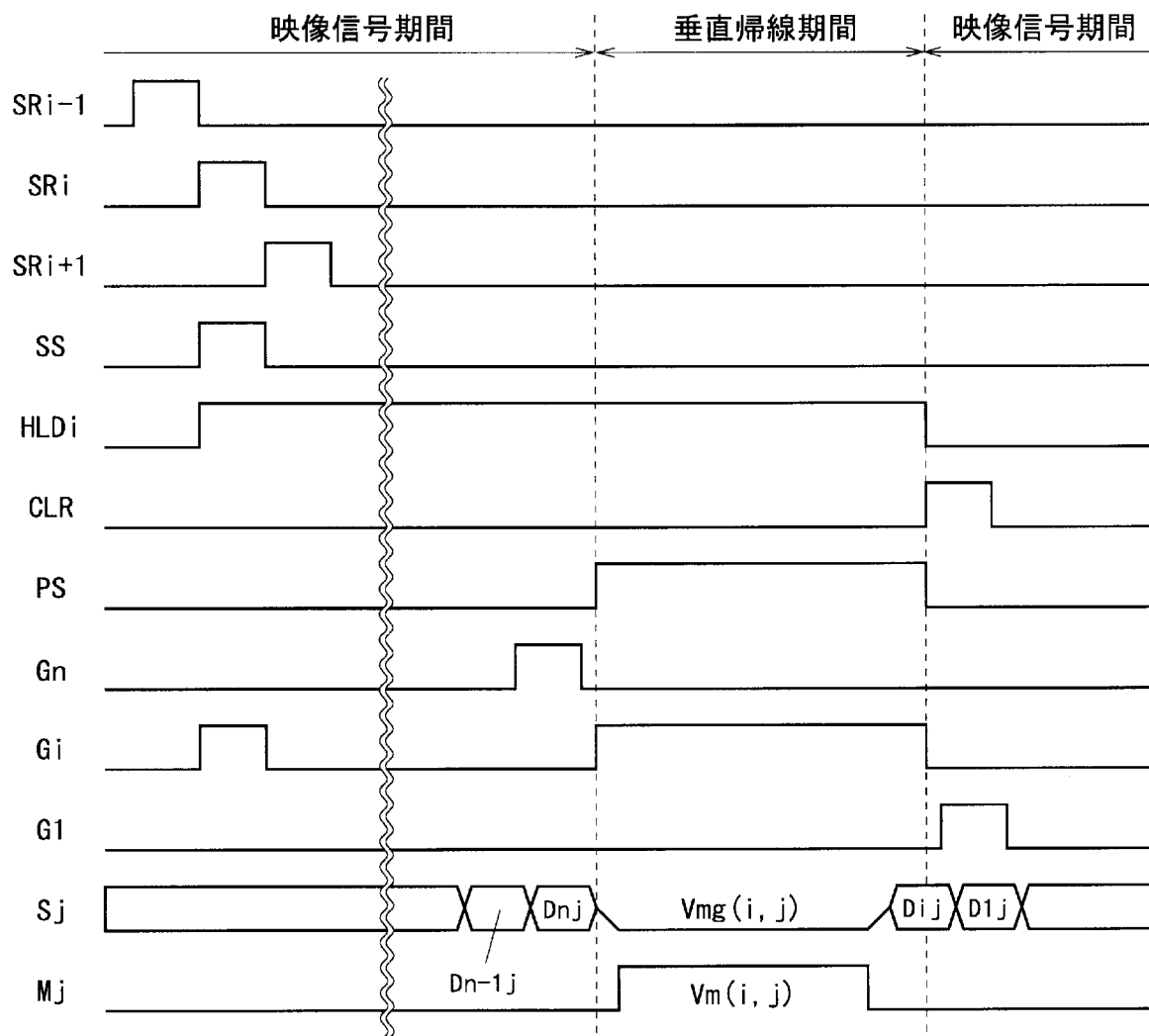
[図12]



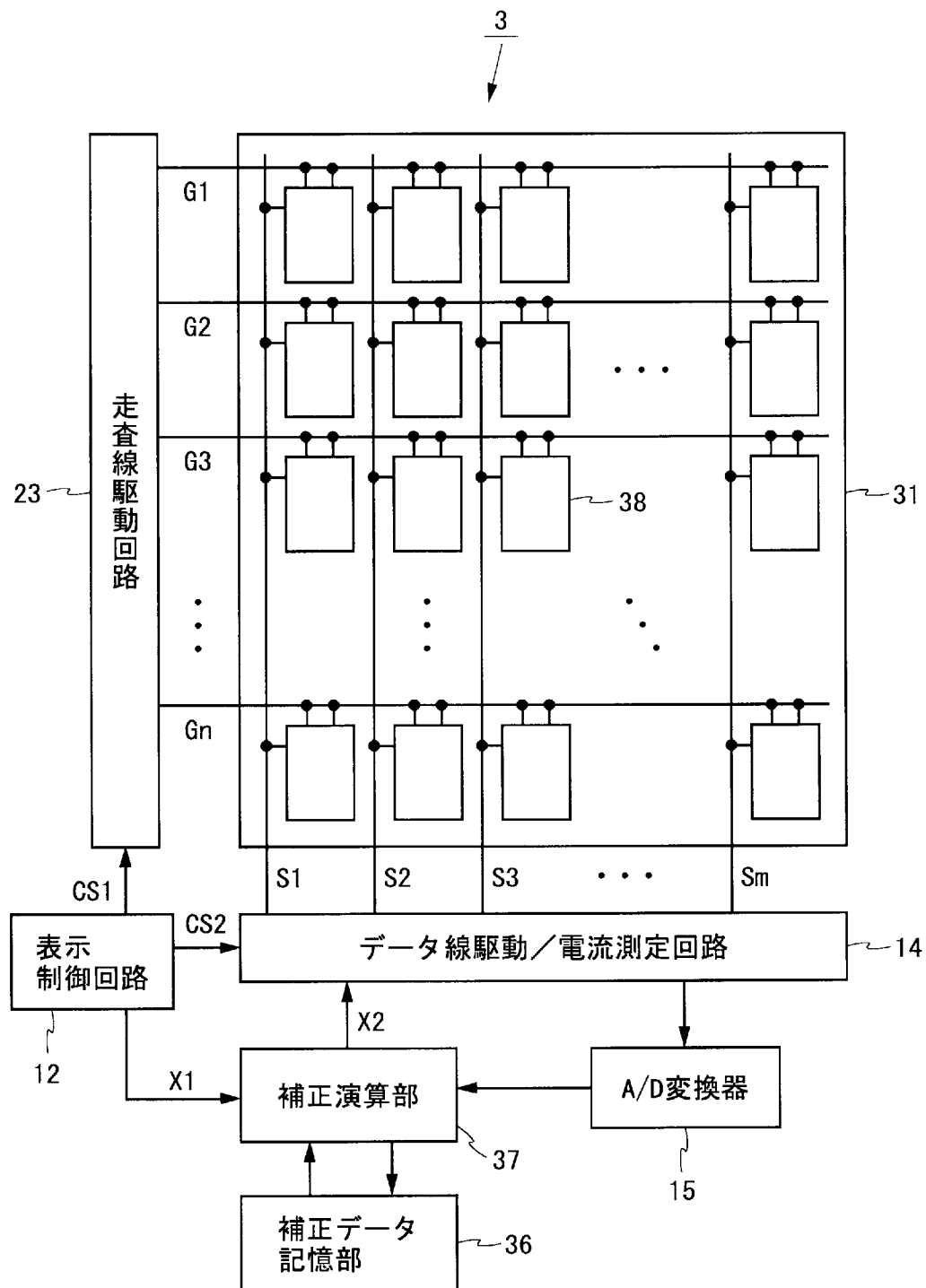
[図13]



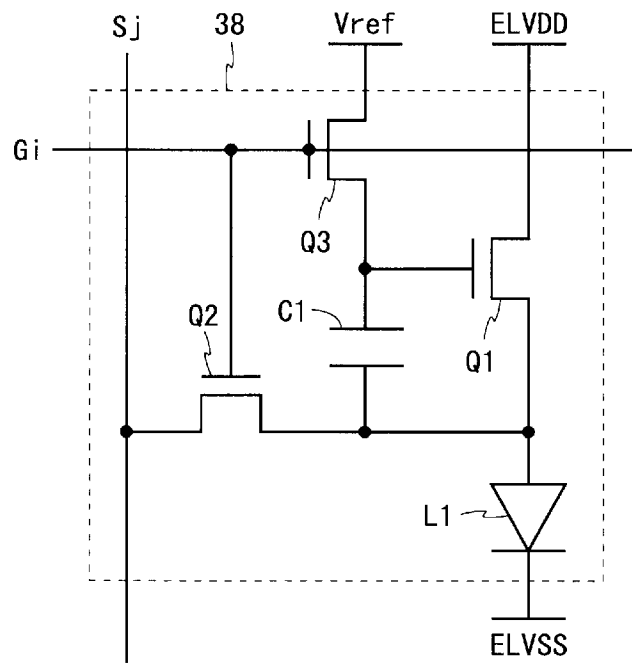
[図14]



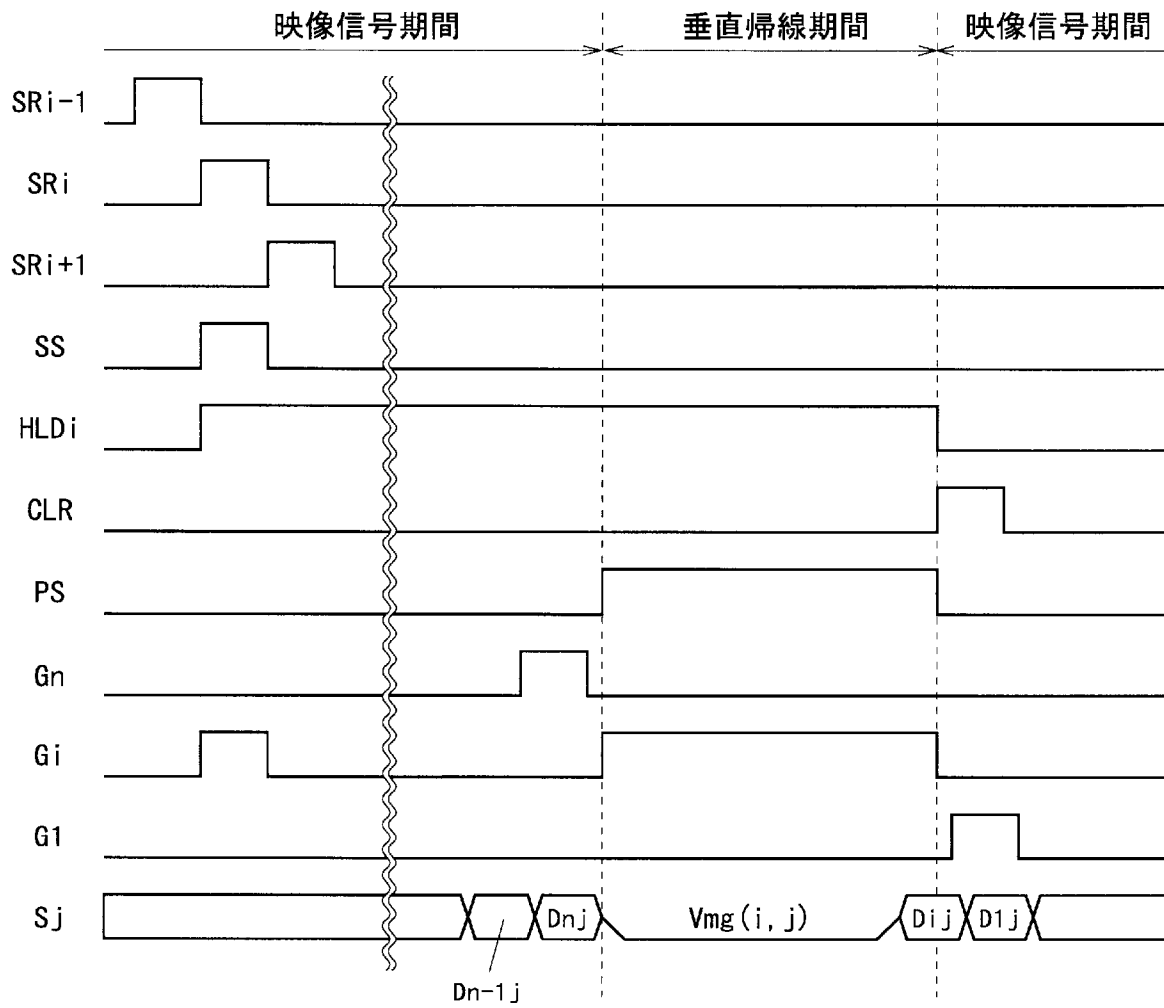
[図15]



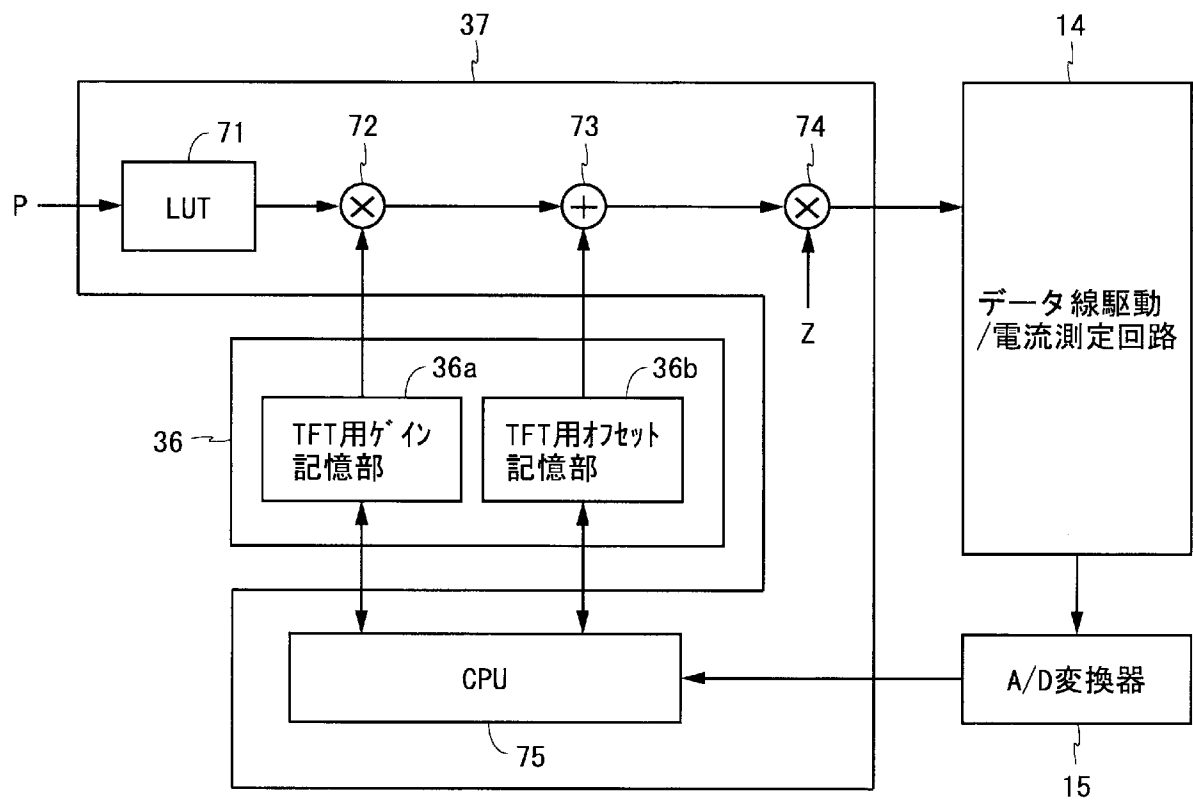
[図16]



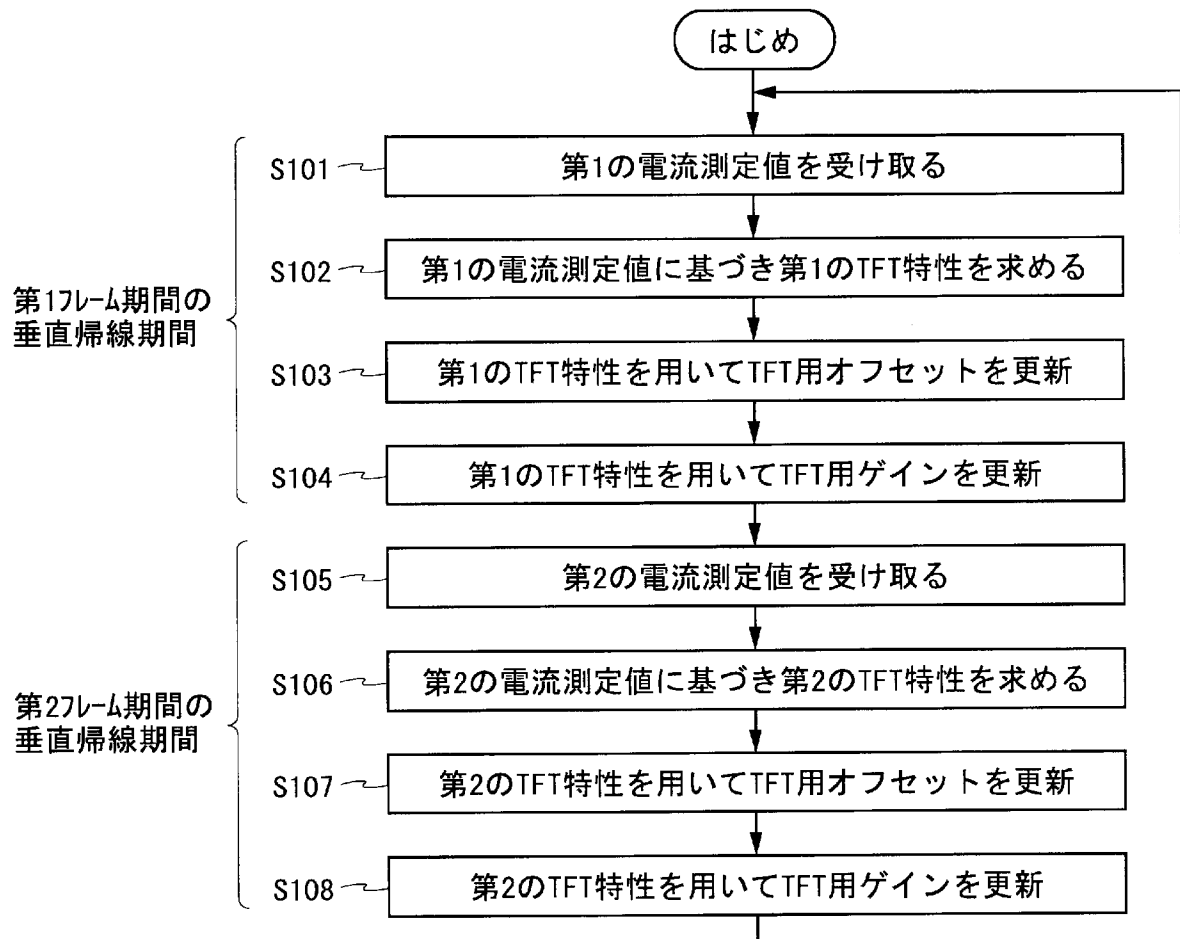
[図17]



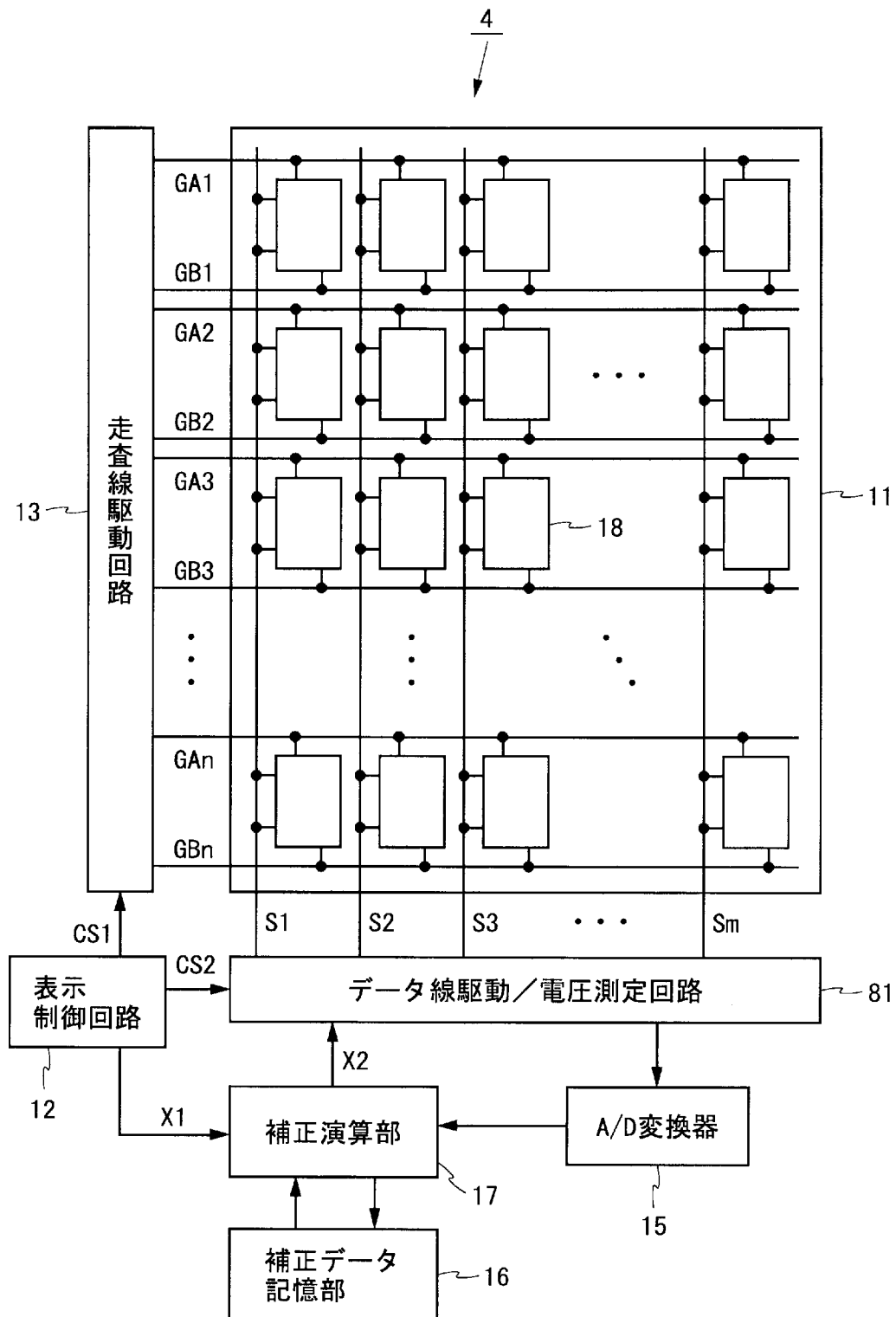
[図18]



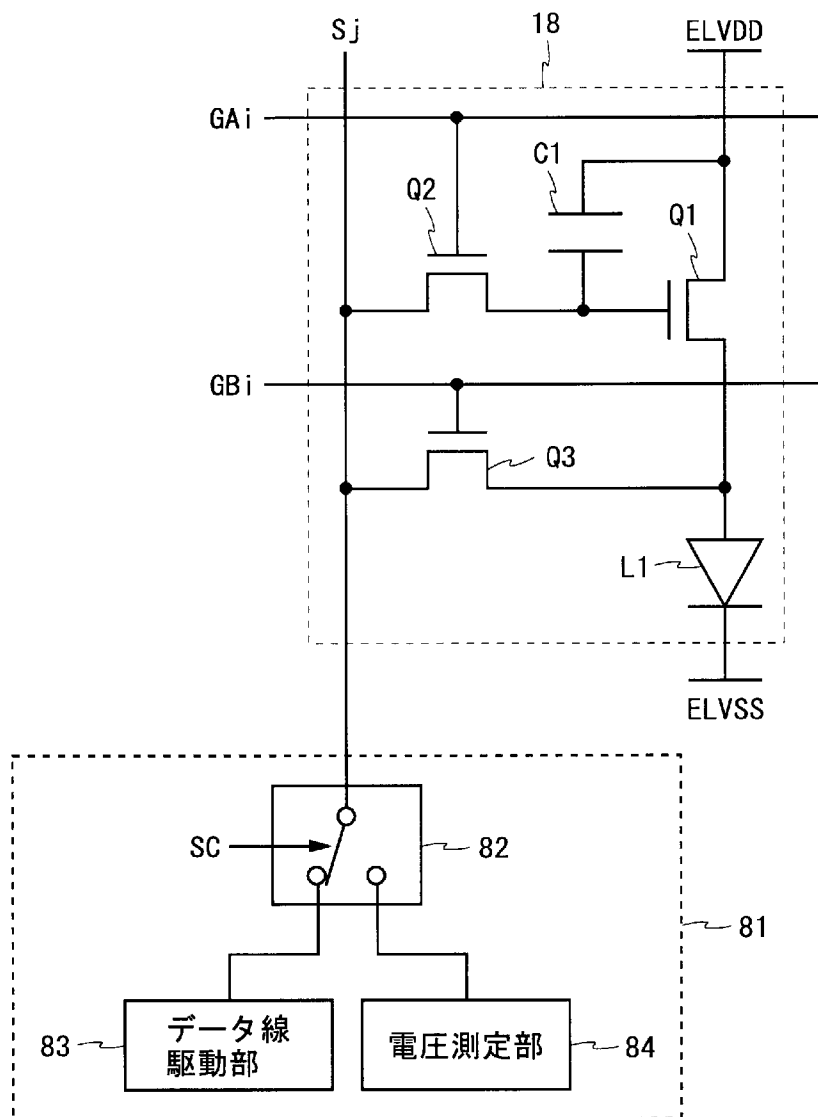
[図19]



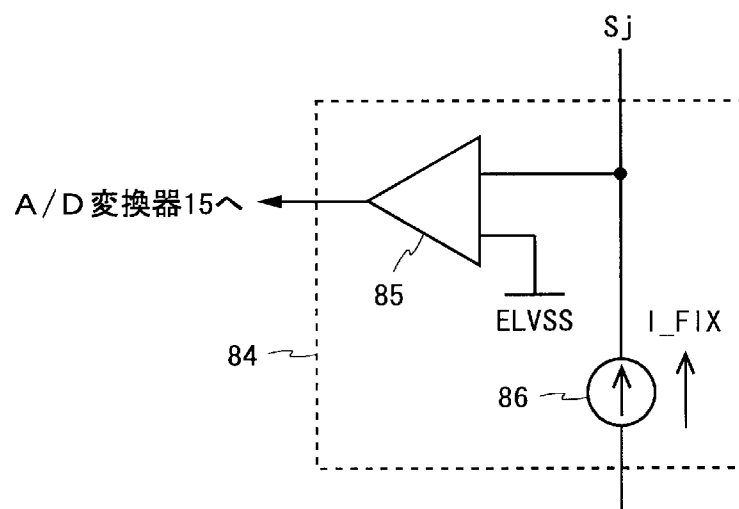
[図20]



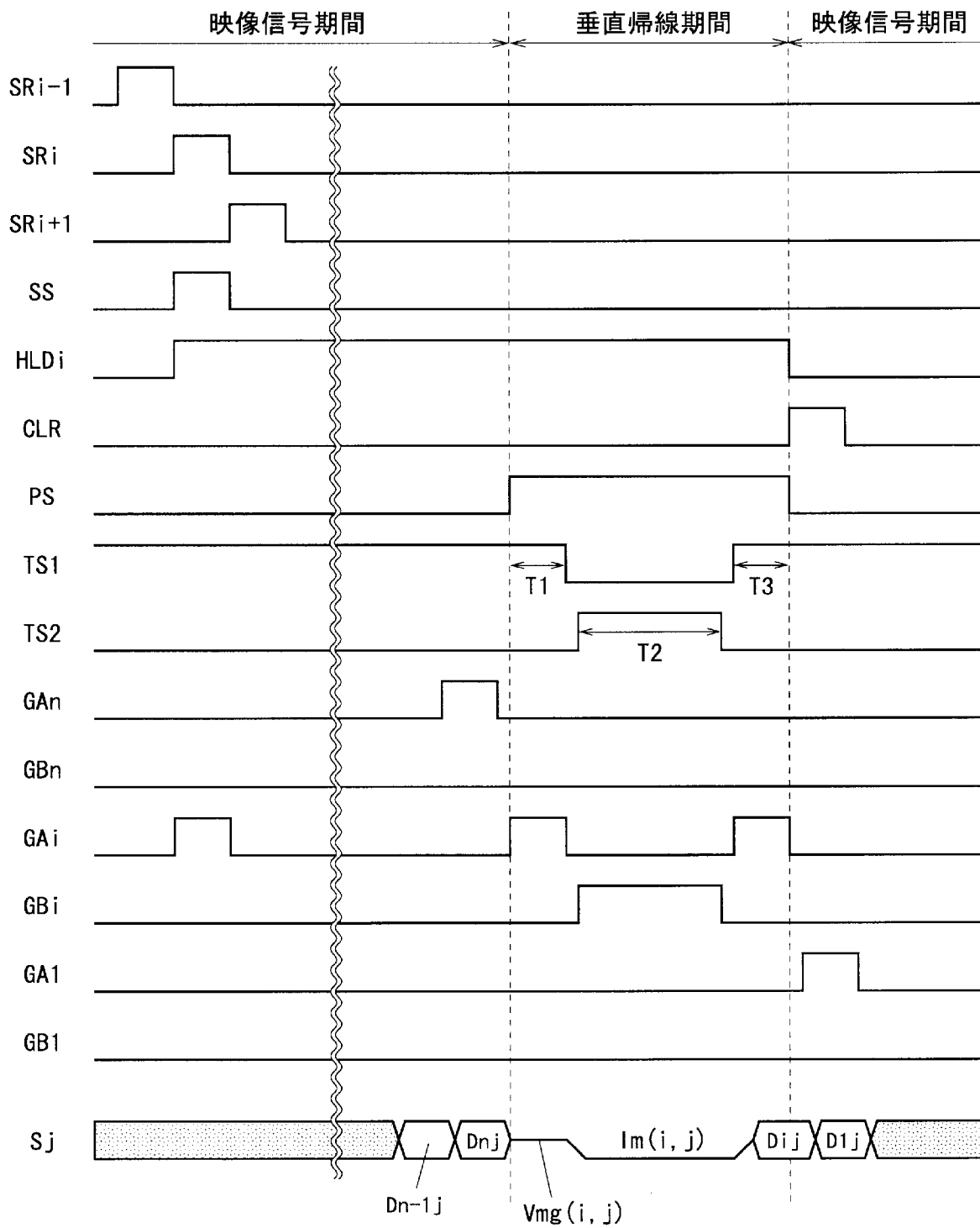
[図21]

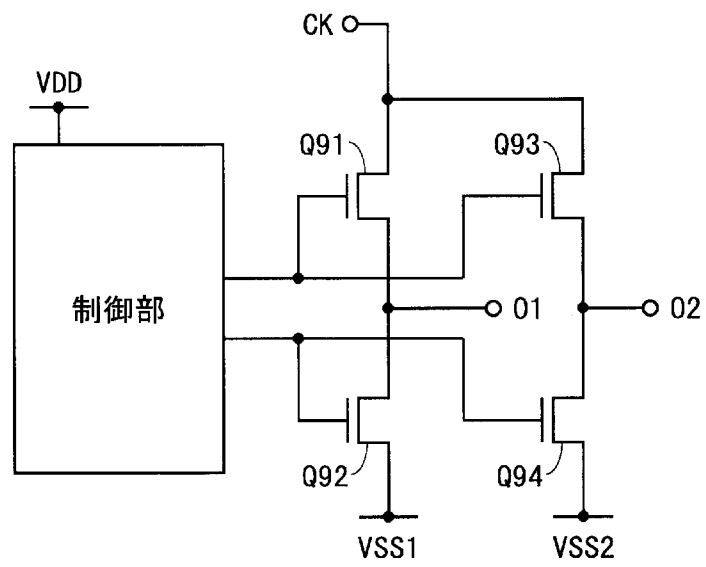


[図22]

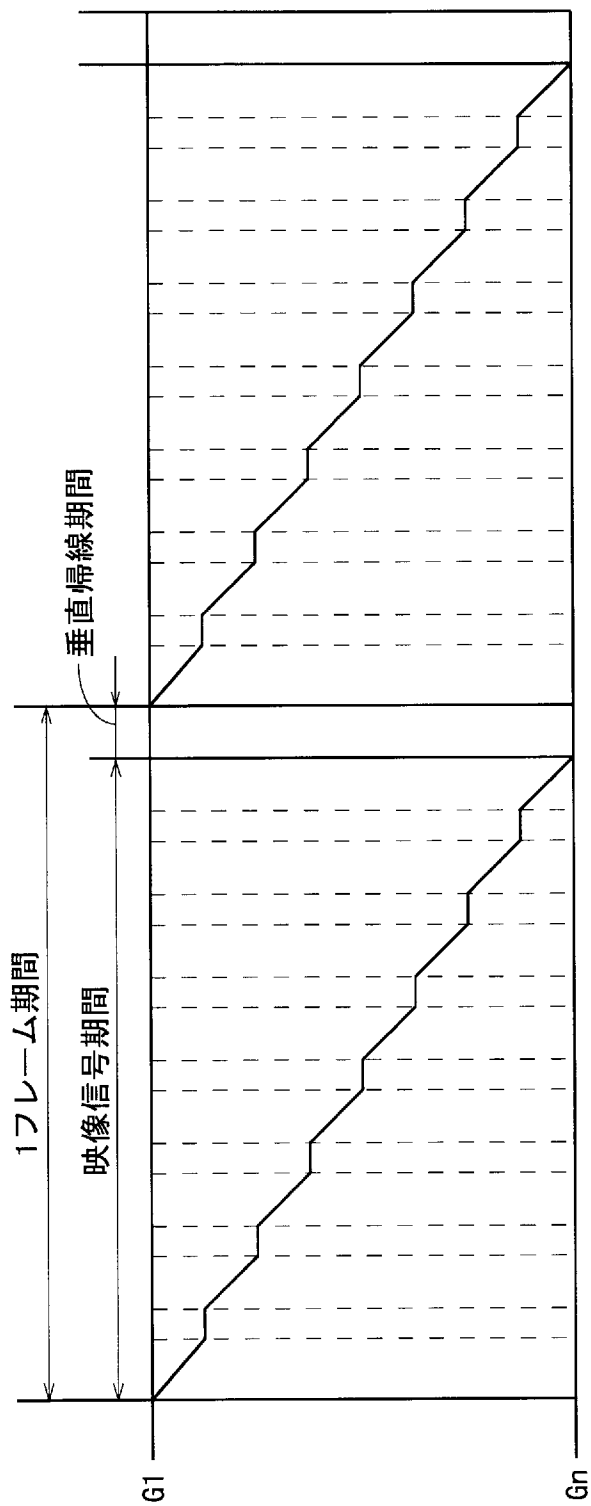


[図23]





[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/067964

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/20-3/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2010/001594 A1 (Panasonic Corp.), 07 January 2010 (07.01.2010), entire text; all drawings & JP 4972209 B2 & US 2010/0245331 A1 & CN 101809643 A & KR 10-2011-0023847 A	1-19
P, A	WO 2014/174905 A1 (Sharp Corp.), 30 October 2014 (30.10.2014), paragraphs [0100] to [0104]; fig. 13 to 14 (Family: none)	1-19
P, A	WO 2014/203810 A1 (Sharp Corp.), 24 December 2014 (24.12.2014), paragraphs [0144] to [0148]; fig. 23 to 24 (Family: none)	1-19

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 September 2015 (10.09.15)

Date of mailing of the international search report
29 September 2015 (29.09.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/067964

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	WO 2015/037331 A1 (Sharp Corp.), 19 March 2015 (19.03.2015), paragraphs [0076] to [0080]; fig. 10 to 12 (Family: none)	1-19

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/20-3/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2015年
日本国実用新案登録公報	1996-2015年
日本国登録実用新案公報	1994-2015年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2010/001594 A1（パナソニック株式会社） 2010.01.07, 全文, 全図 &JP 4972209 B2 &US 2010/0245331 A1 &CN 101809643 A &KR 10-2011-0023847 A	1-19
P, A	WO 2014/174905 A1（シャープ株式会社） 2014.10.30, [0100]～[0104], 図13～14（ファミリーなし）	1-19

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

10.09.2015

国際調査報告の発送日

29.09.2015

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小川 浩史

2 G

9 1 1 4

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
P, A	WO 2014/203810 A1 (シャープ株式会社) 2014. 12. 24, [0144] ~ [0148], 図23~24 (ファミリーなし)	1-19
P, A	WO 2015/037331 A1 (シャープ株式会社) 2015. 03. 19, [0076] ~ [0080], 図10~12 (ファミリーなし)	1-19