

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4988892号
(P4988892)

(45) 発行日 平成24年8月1日(2012.8.1)

(24) 登録日 平成24年5月11日(2012.5.11)

(51) Int.Cl.	F I
B 4 1 J 2/44 (2006.01)	B 4 1 J 3/21 L
B 4 1 J 2/45 (2006.01)	H O 1 L 33/00 J
B 4 1 J 2/455 (2006.01)	H O 1 L 33/00 1 O O
H O 1 L 33/00 (2010.01)	H O 4 N 1/036 A
H O 1 L 33/02 (2010.01)	

請求項の数 15 (全 30 頁) 最終頁に続く

(21) 出願番号	特願2010-66292 (P2010-66292)	(73) 特許権者	591044164
(22) 出願日	平成22年3月23日 (2010.3.23)		株式会社沖データ
(65) 公開番号	特開2011-194810 (P2011-194810A)		東京都港区芝浦四丁目11番22号
(43) 公開日	平成23年10月6日 (2011.10.6)	(73) 特許権者	500002571
審査請求日	平成23年8月23日 (2011.8.23)		株式会社沖デジタルイメージング
			群馬県高崎市西横手町1番地1
		(74) 代理人	100086807
			弁理士 柿本 恭成
		(74) 代理人	100155321
			弁理士 綾木 健一郎
		(74) 代理人	100091362
			弁理士 阿仁屋 節雄
		(74) 代理人	100145872
			弁理士 福岡 昌浩

最終頁に続く

(54) 【発明の名称】 駆動装置、プリントヘッド及び画像形成装置

(57) 【特許請求の範囲】

【請求項1】

各々、第1電源と接続される第1端子と、前記第1端子との間に駆動電流を流すための第2端子と、前記第1端子及び前記第2端子間の導通状態を制御する第1制御端子とを有し、前記第1端子同士及び前記第2端子同士が共通接続された複数の3端子発光素子を駆動する駆動装置において、

第1MOSトランジスタを有し、入力された駆動信号に基づいて、前記複数の3端子発光素子のうち導通状態にあるものを駆動する駆動回路を備え、

前記第1MOSトランジスタは、

前記第1電源とは異なる電位の第2電源に接続された第3端子と、

共通接続された前記第2端子に接続された第4端子と、

前記駆動信号に基づいて前記第3端子及び前記第4端子間の導通状態を制御する第2制御端子と、

前記第1MOSトランジスタの閾値電圧を増加させる方向に、前記第2電源の電位とは異なる電位に設定されたサブストレート端子と、

を有し、

前記サブストレート端子の電位の絶対値は、前記第2電源の電位の絶対値よりも大きく

、
前記駆動回路の等価出力抵抗値は、前記3端子発光素子のターンオン特性で定まる負性抵抗値の絶対値よりも大きく設定されている

ことを特徴とする駆動装置。

【請求項 2】

前記駆動回路は、更に、

共通接続された前記第 2 端子と前記第 1 電源との間に接続され、前記駆動信号に基づき前記第 1 MOS トランジスタに対して相補的にオン / オフ動作する第 2 MOS トランジスタを有することを特徴とする請求項 1 記載の駆動装置。

【請求項 3】

前記第 1 電源の電位は、接地電位であり、

前記第 2 電源の電位は、正の電源電位であり、

前記サブストレータ端子に設定された電位は、前記第 2 電源の電位よりも高い正の電位であり、

前記駆動信号は、論理 “ H ” レベルと論理 “ L ” レベルに遷移する信号であり、

前記第 1 MOS トランジスタは、前記第 3 端子であるソースと、前記第 4 端子であるドレーンと、前記第 2 制御端子であるゲートと、前記サブストレータ端子とを有し、前記駆動信号の前記論理 “ L ” レベルにより導通状態になる P チャネル MOS トランジスタであり、

前記第 2 MOS トランジスタは、N チャネル MOS トランジスタであることを特徴とする請求項 2 記載の駆動装置。

【請求項 4】

前記第 1 電源の電位は、正の電源電位であり、

前記第 2 電源の電位は、接地電位であり、

前記サブストレータ端子に設定された電位は、前記第 2 電源の電位よりも低い負の電位であり、

前記駆動信号は、論理 “ H ” レベルと論理 “ L ” レベルに遷移する信号であり、

前記第 1 MOS トランジスタは、前記第 3 端子であるソースと、前記第 4 端子であるドレーンと、前記第 2 制御端子であるゲートと、前記サブストレータ端子とを有し、前記駆動信号の前記論理 “ H ” レベルにより導通状態になる N チャネル MOS トランジスタであり、

前記第 2 MOS トランジスタは、P チャネル MOS トランジスタであることを特徴とする請求項 2 記載の駆動装置。

【請求項 5】

前記第 4 端子と共通接続された前記第 2 端子とは、所定の特性インピーダンスを有する接続ケーブルにより接続され、

前記複数の 3 端子発光素子が配列された終端部には、共通接続された前記第 2 端子に接続された終端抵抗を有する終端回路が、配置されていることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の駆動装置。

【請求項 6】

前記終端回路は、

前記終端抵抗とコンデンサとを有し、前記終端抵抗及び前記コンデンサが、共通接続された前記第 2 端子と接地電位端子との間に直列に接続されていることを特徴とする請求項 5 記載の駆動装置。

【請求項 7】

前記終端抵抗は、前記接続ケーブルにおける前記特性インピーダンスと略等しい抵抗値を有することを特徴とする請求項 5 又は 6 記載の駆動装置。

【請求項 8】

前記終端抵抗の抵抗値を R_L 、前記接続ケーブルにおける前記特性インピーダンスを Z_0 とした場合、

$$Z_0 / 2 \leq R_L \leq 2 \times Z_0$$

の関係を満たすように設定されていることを特徴とする請求項 5 又は 6 記載の駆動装置。

【請求項 9】

10

20

30

40

50

クロック信号に基づきシリアルデータを入力して複数のトリガ信号を順に出力し、前記 3 端子発光素子における前記第 1 制御端子に対して前記トリガ信号を与えて前記 3 端子発光素子をオン状態にするシフトレジスタを備えたことを特徴とする請求項 5 ~ 8 のいずれか 1 項に記載の駆動装置。

【請求項 10】

前記終端抵抗は、前記シフトレジスタを集積する半導体チップ上に形成されていることを特徴とする請求項 9 記載の駆動装置。

【請求項 11】

前記接続ケーブルは、同軸ケーブル、絶縁電線、ツイストペア電線、フレキシブルブラットケーブル、又は、フレキシブルプリント基板のいずれか 1 つであることを特徴する請求項 5 ~ 10 のいずれか 1 項に記載の駆動装置。

10

【請求項 12】

前記終端抵抗は、半導体基板上に形成されたポリシリコン素材、不純物を拡散して形成した拡散抵抗素材、又は、前記 3 端子発光素子と同一素材をパターンニングして形成した素材のいずれか 1 つであることを特徴する請求項 5 ~ 11 のいずれか 1 項に記載の駆動装置。

【請求項 13】

前記 3 端子発光素子は、発光サイリスタであり、
前記発光サイリスタは、前記第 1 端子がカソード、前記第 2 端子がアノード、及び前記第 1 制御端子がゲートであることを特徴とする請求項 1 ~ 12 のいずれか 1 項に記載の駆動装置。

20

【請求項 14】

複数の 3 端子発光素子と、
請求項 1 ~ 13 のいずれか 1 項に記載の駆動装置と、
を備えたことを特徴とするプリントヘッド。

【請求項 15】

請求項 14 記載のプリントヘッドを備え、
前記プリントヘッドにより露光されて記録媒体に画像を形成することを特徴とする画像形成装置。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、発光サイリスタ等の 3 端子発光素子の群を選択的に、且つサイクリックに駆動する駆動装置と、この駆動装置を有するプリントヘッドと、このプリントヘッドを有する電子写真プリンタ等の画像形成装置に関するものである。

【背景技術】

【0002】

従来、電子写真プリンタ等の画像形成装置に設けられる駆動装置として、多数の発光サイリスタが配列された発光サイリスタアレイを駆動するために、相補形 MOS トランジスタ（以下「CMOS」という。）からなる CMOS インバータと電流制限抵抗とを備え、その CMOS インバータにより、電流制限抵抗を介して発光サイリスタアレイのアノードへ駆動電流を供給する構成が知られている（例えば、特許文献 1）。電流制限抵抗と発光サイリスタアレイのアノードとは、例えば、接続ケーブルで接続されている。

40

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2001 - 287393 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

50

しかしながら、従来の駆動装置、プリントヘッド及び画像形成装置では、発光サイリスタの負性抵抗値の絶対値よりも駆動装置側の電流制限抵抗の抵抗値が小さいため、発光サイリスタの負性抵抗領域で発振することがあった。しかも、その発振現象は駆動電流の立ち上がり部や立ち下がり部で発生し、これによって実質的な駆動電流の駆動パルス幅が変動することで、露光エネルギー量が変化してしまうという課題があった。

【0005】

又、電流制限抵抗と発光サイリスタアレイのアノードとが、長い接続ケーブルを介して電氣的に接続されている場合、駆動装置と発光サイリスタアレイとの間で信号反射が多量に発生し、駆動電流波形の立ち上がり時間や立ち下がり時間が増大してしまい、発光サイリスタアレイに対して高速にスイッチング制御を行うことができないという課題もあった。

10

【課題を解決するための手段】

【0006】

本発明の除電装置は、各々、第1電源と接続される第1端子と、前記第1端子との間に駆動電流を流すための第2端子と、前記第1端子及び前記第2端子間の導通状態を制御する第1制御端子とを有し、前記第1端子同士及び前記第2端子同士が共通接続された複数の3端子発光素子を駆動する駆動装置において、第1MOSトランジスタを有し、入力された駆動信号に基づいて、前記複数の3端子発光素子のうち導通状態にあるものを駆動する駆動回路を備え、前記第1MOSトランジスタは、前記第1電源とは異なる電位の第2電源に接続された第3端子と、共通接続された前記第2端子に接続された第4端子と、前記駆動信号に基づいて前記第3端子及び前記第4端子間の導通状態を制御する第2制御端子と、前記第1MOSトランジスタの閾値電圧を増加させる方向に、前記第2電源の電位とは異なる電位に設定されたサブストレート端子と、を有し、前記サブストレート端子の電位の絶対値は、前記第2電源の電位の絶対値よりも大きく、前記駆動回路の等価出力抵抗値は、前記3端子発光素子のターンオン特性で定まる負性抵抗値の絶対値よりも大きく設定されていることを特徴とする。

20

【0007】

前記本発明の駆動装置において、例えば、前記第4端子と共通接続された前記第2端子とは、所定の特性インピーダンスを有する接続ケーブルにより接続され、前記複数の3端子発光素子が配列された終端部には、共通接続された前記第2端子に接続された終端抵抗を有する終端回路が、配置されている。

30

【0009】

本発明のプリントヘッドは、前記複数の3端子発光素子と、前記発明の駆動装置とを備えたことを特徴とする。

【0010】

本発明の画像形成装置は、前記発明のプリントヘッドを備え、前記プリントヘッドにより露光されて記録媒体に画像を形成することを特徴とする。

【発明の効果】

【0011】

本発明の駆動装置及びプリントヘッドによれば、第1MOSトランジスタの有するサブストレート端子の電位の絶対値が、第2電源の電位の絶対値よりも大きく、駆動回路の等価出力抵抗値が、3端子発光素子のターンオン特性で定まる負性抵抗値の絶対値よりも大きく設定されている。これにより、駆動回路における第1MOSトランジスタに基板バイアス効果を与えることで、閾値電圧を増加させ、飽和領域動作させることで第1MOSトランジスタによる定電流駆動を実現している。そのため、駆動回路の出力抵抗値を3端子発光素子（例えば、発光サイリスタ）の負性抵抗値よりも大きくすることができ、負性抵抗に起因する発振現象を未然に防止することができる。

40

【0012】

又、例えば、終端回路を設けると、駆動回路と複数の3端子発光素子（例えば、発光サイリスタ）とを接続している接続ケーブルが長いときでも、駆動回路と3端子発光素子と

50

の間で信号反射が多重に発生して駆動電流波形の立ち上がり時間や立ち下がり時間が増大するといった課題を解決でき、3端子発光素子のスイッチング制御を高速に行うことができる。

【0013】

本発明の画像形成装置によれば、前記プリントヘッドを備えているので、露光エネルギーの変動を抑制でき、印刷濃度むらのない高品質の画像形成が可能になる。

【図面の簡単な説明】

【0014】

【図1】図1は本発明の実施例1における図5中の印刷制御部及びプリントヘッドの回路構成を示すブロック図である。

10

【図2】図2は本発明の実施例1における画像形成装置を示す概略の構成図である。

【図3】図3は図2中のプリントヘッド13の構成を示す概略の断面図である。

【図4】図4は図3中の基板ユニットを示す斜視図である。

【図5】図5は図2の画像形成装置1におけるプリンタ制御回路の構成を示すブロック図である。

【図6】図6は図1中の発光サイリスタ210を示す構成図である。

【図7】図7は図1中のPMOS43を示す構成図である。

【図8】図8は図1の動作を示すタイムチャートである。

【図9】図9は図6の発光サイリスタ210におけるターンオン過程の動作説明図である。

20

【図10】図10は図7のPMOS43のトランジスタ特性を示す図である。

【図11】図11は本発明の実施例2における印刷制御部及びプリントヘッドの回路構成を示すブロック図である。

【図12】図12は図11中の終端抵抗を示す構成図である。

【図13】図13は図11の印刷制御部40及びプリントヘッド13Aの動作を示す図である。

【図14】図14は本発明の実施例3における印刷制御部及びプリントヘッドの回路構成を示すブロック図である。

【発明を実施するための形態】

【0015】

30

本発明を実施するための形態は、以下の好ましい実施例の説明を添付図面と照らし合わせて読むと、明らかになるであろう。但し、図面はもっぱら解説のためのものであって、本発明の範囲を限定するものではない。

【実施例1】

【0016】

(実施例1の画像形成装置)

図2は、本発明の実施例1における画像形成装置を示す概略の構成図である。

【0017】

この画像形成装置1は、被駆動素子(例えば、発光素子として3端子スイッチ素子である発光サイリスタ)を用いた3端子スイッチ素子アレイとしての発光素子アレイを有する露光装置(例えば、プリントヘッド)が搭載されたタンデム型電子写真カラープリンタであり、ブラック(K)、イエロー(Y)、マゼンタ(M)及びシアン(C)の各色の画像を各々に形成する4つのプロセスユニット10-1~10-4を有し、これらが記録媒体(例えば、用紙)20の搬送経路の上流側から順に配置されている。各プロセスユニット10-1~10-4の内部構成は共通しているため、例えば、マゼンタのプロセスユニット10-3を例にとり、これらの内部構成を説明する。

40

【0018】

プロセスユニット10-3には、像担持体としての感光体(例えば、感光体ドラム)11が図2中の矢印方向に回転可能に配置されている。感光体ドラム11の周囲には、この回転方向上流側から順に、感光体ドラム11の表面に電荷を供給して帯電させる帯電装置

50

12と、帯電された感光体ドラム11の表面に選択的に光を照射して静電潜像を形成する露光装置としてのプリントヘッド13が配設されている。更に、静電潜像が形成された感光体ドラム11の表面に、マゼンタ(所定色)のトナーを付着させて顕像を発生させる現像器14と、感光体ドラム11上のトナーの顕像を転写した際に残留したトナーを除去するクリーニング装置15が配設されている。なお、これら各装置に用いられているドラム又はローラは、図示しない駆動源からギア等を経由して動力が伝達され回転する。

【0019】

画像形成装置1の下部には、用紙20を堆積した状態で収納する用紙カセット21が装着され、その上方に、用紙20を1枚ずつ分離させて搬送するためのホッピングローラ22が配設されている。用紙20の搬送方向におけるホッピングローラ22の下流側には、ピンチローラ23、24と共に用紙20を挟持することによってこの用紙20を搬送する搬送ローラ25と、用紙20の斜行を修正し、プロセスユニット10-1に搬送するレジストローラ26とが配設されている。これらのホッピングローラ22、搬送ローラ25及びレジストローラ26は、図示しない駆動源からギア等を経由して動力が伝達され回転する。

10

【0020】

プロセスユニット10-1~10-4の各感光体ドラム11に対向する位置には、それぞれ半導電性のゴム等によって形成された転写ローラ27が配設されている。各転写ローラ27には、感光体ドラム11上に付着されたトナーによる顕像を用紙20に転写する転写時に、各感光体ドラム11の表面電位とこれら各転写ローラ27の表面電位に電位差を持たせるための電位が印加されている。

20

【0021】

プロセスユニット10-4の下流には、定着器28が配設されている。定着器28は、加熱ローラとバックアップローラとを有し、用紙20上に転写されたトナーを加圧・加熱することによって定着する装置であり、この下流に、排出口ローラ29、30、排出部のピンチローラ31、32、及び用紙スタッカ部33が設けられている。排出口ローラ29、30は、定着器28から排出された用紙20を、排出部のピンチローラ31、32と共に挟持し、用紙スタッカ部33に搬送する。これらの定着器28及び排出口ローラ29等は、図示しない駆動源からギア等を経由して動力が伝達されて回転する。

【0022】

このように構成される画像記録装置1は、次のように動作する。

30

先ず、用紙カセット21に堆積した状態で収納されている用紙20が、ホッピングローラ22によって、上から1枚ずつ分離されて搬送される。続いて、この用紙20は、搬送ローラ25、レジストローラ26及びピンチローラ23、24に挟持されて、プロセスユニット10-1の感光体ドラム11と転写ローラ27の間に搬送される。その後、用紙20は、感光体ドラム11及び転写ローラ27に挟持され、その記録面にトナー像が転写されると同時に感光体ドラム10-1の回転によって搬送される。同様にして、用紙20は、順次プロセスユニット10-2~10-4を通過し、その通過過程で、各プリントヘッド13により形成された静電潜像を各現像器14によって現像した各色のトナー像が、その記録面に順次転写されて重ね合わされる。

40

【0023】

このようにして記録面上に各色のトナー像が重ね合わされた後、定着器28によってトナー像が定着された用紙20は、排出口ローラ29、30及びピンチローラ31、32に挟持されて、画像形成装置1の外部の用紙スタッカ部33に排出される。以上の過程を経て、カラー画像が用紙20上に形成される。

【0024】

(実施例1のプリントヘッド)

図3は、図2中のプリントヘッド13の構成を示す概略の断面図である。図4は、図3中の基板ユニットを示す斜視図である。

【0025】

50

図3に示すプリントヘッド13は、ベース部材13aを有し、このベース部材13a上に、図4に示す基板ユニットが固定されている。基板ユニットは、ベース部材13a上に固定されるプリント基板13bと、このプリント基板13b上に接着剤等で固定され、シフトレジスタが集積された複数の集積回路(以下「IC」という。)チップ100と、この各ICチップ100上に接着剤等で固定された複数のチップ状の発光素子列(例えば、発光サイリスタ列)からなる発光素子アレイ200とにより構成されている。各発光素子アレイ200と各ICチップ100とは、図示しない薄膜配線等により電氣的に接続され、更に、各ICチップ100中の複数の端子とプリント基板13b上の図示しない配線パッドとが、ボンディングワイヤ13gにより電氣的に接続されている。

【0026】

10

複数の発光素子アレイ200上には、柱状の光学素子を多数配列してなるレンズアレイ(例えば、ロッドレンズアレイ)13cが配置され、このロッドレンズアレイ13cがホルダ13dにより固定されている。ベース部材13a、プリント基板13b及びホルダ13dは、クランプ部材13e、13fにより固定されている。

【0027】

(実施例1のプリンタ制御回路)

図5は、図2の画像形成装置1におけるプリンタ制御回路の構成を示すブロック図である。

【0028】

このプリンタ制御回路は、画像形成装置1における印刷部の内部に配設された印刷制御部40を有している。印刷制御部40は、マイクロプロセッサ、読み出し専用メモリ(ROM)、随時読み書き可能なメモリ(RAM)、信号の入出力を行う入出力ポート、タイマ等によって構成され、図示しない上位コントローラからの制御信号SG1、及びビデオ信号(ドットマップデータを一次元的に配列したもの)SG2等によってプリンタ全体をシーケンス制御して印刷動作を行う機能を有している。印刷制御部40には、プロセスユニット10-1~10-4の4つのプリントヘッド13、定着器28のヒータ28a、ドライバ50、52、用紙吸入口センサ54、用紙排出口センサ55、用紙残量センサ56、用紙サイズセンサ57、定着器用温度センサ58、帯電用高压電源59、及び転写用高压電源60等が接続されている。ドライバ50には現像・転写プロセス用モータ(PM)51が、ドライバ52には用紙送りモータ(PM)53が、帯電用高压電源59には現像器14が、転写用高压電源60には転写ローラ27が、それぞれ接続されている。

20

30

【0029】

このような構成のプリンタ制御回路では、次のような動作を行う。

印刷制御部40は、上位コントローラからの制御信号SG1によって印刷指示を受信すると、まず、温度センサ58によって定着器28内のヒータ28aが使用可能な温度範囲にあるか否かを検出し、温度範囲になればヒータ28aに通電し、使用可能な温度まで定着器28を加熱する。次に、ドライバ50を介して現像・転写プロセス用モータ51を回転させ、同時にチャージ信号SGCによって帯電用高压電源59をオン状態にし、現像器14の帯電を行う。

【0030】

40

そして、セットされている図2中の用紙20の有無及び種類が用紙残量センサ56、用紙サイズセンサ57によって検出され、その用紙20に合った用紙送りが開始される。ここで、用紙送りモータ53はドライバ52を介して双方向に回転させることが可能であり、最初に逆転させて、用紙吸入口センサ54が検知するまで、セットされた用紙20を予め設定された量だけ送る。続いて、正回転させて用紙20をプリンタ内部の印刷機構内に搬送する。

【0031】

印刷制御部40は、用紙20が印刷可能な位置まで到達した時点において、図示しない画像処理部に対してタイミング信号SG3(主走査同期信号、副走査同期信号を含む)を送信し、ビデオ信号SG2を受信する。画像処理部においてページ毎に編集され、印刷制

50

御部 40 に受信されたビデオ信号 S G 2 は、印刷データとして各プリントヘッド 13 に転送される。各プリントヘッド 13 は、それぞれ 1 ドット（ピクセル）の印刷のために設けられた発光サイリスタを複数個略直線状に配列したものである。

【 0032 】

ビデオ信号 S G 2 の送受信は、印刷ライン毎に行われる。各プリントヘッド 13 によって印刷される情報は、負電位に帯電された図示しない各感光体ドラム 11 上において電位の上昇したドットとして潜像化される。そして、現像器 14 において、負電位に帯電された画像形成用のトナーが、電気的な吸引力によって各ドットに吸引され、トナー像が形成される。

【 0033 】

その後、トナー像は転写ローラ 27 へ送られ、一方、転写信号 S G 4 によって正電位に転写用高圧電源 60 がオン状態になり、転写ローラ 27 は感光体ドラム 11 と転写ローラ 27 との間隔を通過する用紙 20 上にトナー像を転写する。転写されたトナー像を有する用紙 20 は、ヒータ 28 a を内蔵する定着器 28 に当接して搬送され、この定着器 28 の熱によって用紙 20 に定着される。この定着された画像を有する用紙 20 は、更に搬送されてプリンタの印刷機構から用紙排出口センサ 55 を通過してプリンタ外部へ排出される。

【 0034 】

印刷制御部 40 は、用紙サイズセンサ 57、及び用紙吸入口センサ 54 の検知に対応して、用紙 20 が転写ローラ 27 を通過している間だけ転写用高圧電源 60 からの電圧を転写ローラ 27 に印加する。印刷が終了し、用紙 20 が用紙排出口センサ 55 を通過すると、帯電用高圧電源 59 による現像器 14 への電圧の印加を終了し、同時に現像・転写プロセス用モータ 51 の回転を停止させる。以後、上記の動作を繰り返す。

【 0035 】

（実施例 1 の印刷制御部及びプリントヘッド）

図 1 は、本発明の実施例 1 における図 5 中の印刷制御部 40 及びプリントヘッド 13 の概略の回路構成を示すブロック図である。

【 0036 】

プリントヘッド 13 と印刷制御部 40 とは、例えば、複数の接続ケーブル 70（＝70 - 1 ～ 70 - 3）及び接続コネクタ 71（＝71 - 1 ～ 71 - 3）、72（＝72 - 1 ～ 72 - 3）を介して、電氣的に接続されている。

【 0037 】

複数の接続ケーブル 70（＝70 - 1 ～ 70 - 3）は、例えば、同軸構造を備えた同軸ケーブル、絶縁電線、ツイストペア電線（信号往路と信号復路の芯線を近接配置し、両者を捻りつつ組みとしたもの）、フレキシブルフラットケーブル、又は、フレキシブルプリント配線板等で構成されている。

【 0038 】

プリントヘッド 13 は、IC チップ 100 内に形成されたシフトレジスタ 110 と、発光素子アレイ 200 とを有している。

【 0039 】

シフトレジスタ 110 は、接続コネクタ 72 - 3 から入力されるクロック信号（以下単に「クロック」という。）としてのシリアルクロック S C K に基づき、接続コネクタ 72 - 2 からシリアルデータ S I を入力し、複数のトリガ信号を順に複数の出力端子 Q 1 ～ Q n , . . . から出力し、発光素子アレイ 200 をオン/オフ動作させる回路であり、複数のフリップフロップ回路（以下「F F」という。）111（＝111 - 1 ～ 111 - n , . . .）を有している。各 F F 111 は、データを入力する入力端子 D、データを出力する出力端子 Q、及びシリアルクロック S C K を入力するクロック端子 C K をそれぞれ有し、初段の F F 111 - 1 の入力端子 D がシリアルデータ S I を入力し、この F F 111 - 1 の出力端子 Q が、2 段目の F F 111 - 2 の入力端子 D に接続され、以下同様に終段の F F 111 - n , . . . まで縦続接続されている。

【 0 0 4 0 】

このシフトレジスタ 1 1 0 では、印刷制御部 4 0 から接続コネクタ 7 1 - 2 , 7 1 - 3 、接続ケーブル 7 0 - 2 , 7 0 - 3 及び接続コネクタ 7 2 - 2 , 7 2 - 3 を介して、シリアルクロック S C K 及びシリアルデータ S I が供給されると、シリアルクロック S C K に同期して、シリアルデータ S I を初段から終段の F F 1 1 1 - 1 ~ 1 1 1 - n , . . . へと順次入力してシフトしていき、シフトしたデータを各段の出力端子 Q 1 ~ Q n , . . . から出力する構成になっている。

【 0 0 4 1 】

シフトレジスタ 1 1 0 は、例えば、シリコンウェハ基材上に公知の C M O S 構造を用いて作成されるが、その他、ガラス基板上に公知の薄膜トランジスタ (T F T) 技術を用いて製造することもできる。

10

【 0 0 4 2 】

発光素子アレイ 2 0 0 は、3 端子発光素子である例えば複数の N ゲート型発光サイリスタ 2 1 0 (= 2 1 0 - 1 ~ 2 1 0 - n , . . .) を有し、これらの各発光サイリスタ 2 1 0 の第 1 端子 (例えば、カソード) が第 1 電源 (例えば、グランド G N D = 0 V) に接続され、第 2 端子 (例えば、アノード) が駆動電流 I o u t を流す共通端子 I N に接続され、第 1 制御端子 (例えば、ゲート) がシフトレジスタ 1 1 0 の各出力端子 Q 1 ~ Q n , . . . に接続されている。各発光サイリスタ 2 1 0 は、アノード・カソード間に略電源電圧 V D D が印加された状態で、ゲートに “ L ” レベルのトリガ信号が入力されると、アノード・カソード間がオン状態になってカソード電流が流れ、発光する素子である。シフトレジスタ 1 1 0 の F F 1 1 1 - 1 ~ 1 1 1 - n , . . . の総数と、発光サイリスタ 2 1 0 - 1 ~ 2 1 0 - n , . . . の総数とは、例えば、A 4 サイズの用紙に 1 インチ当たり 6 0 0 ドットの解像度で印刷可能なプリントヘッドの場合、それぞれ 4 9 9 2 個であり、これらが配列されることになる。

20

【 0 0 4 3 】

印刷制御部 4 0 は、発光素子アレイ 2 0 0 のオン / オフを指令する駆動信号としてのオン / オフ指令信号 D R V O N - N (但し、 “ - N ” は負論理を意味する。)、シフトレジスタ 1 1 0 に対する制御信号であるシリアルデータ S I 及びシリアルクロック S C K をプリントヘッド 1 3 へ供給する図示しない回路と、複数の発光素子アレイ 2 0 0 を時分割に駆動する複数の駆動回路 4 1 等とを有している。図 1 においては、説明を簡略化するために 1 個の駆動回路 4 1 のみが図示されている。複数の発光素子アレイ 2 0 0 は、例えば、総数 4 9 9 2 個の発光サイリスタ 2 1 0 - 1 ~ 2 1 0 - n , . . . を有し、これらの発光サイリスタ 2 1 0 - 1 ~ 2 1 0 - n , . . . が複数の発光サイリスタ 2 1 0 - 1 ~ 2 1 0 - n の組にグループ化され、各グループ毎に設けられた駆動回路 4 1 によってそれらが同時並行的に分割駆動が行われる構成になっている。

30

【 0 0 4 4 】

印刷制御部 4 0 側の駆動回路 4 1 等と、プリントヘッド 1 3 側のシフトレジスタ 1 1 0 とにより、本実施例 1 の駆動装置が構成されている。

【 0 0 4 5 】

一例として典型的な設計例を挙げると、発光サイリスタ 2 1 0 (= 2 1 0 - 1 ~ 2 1 0 - n) を 1 9 2 個配列してアレイ化した発光素子アレイ 2 0 0 のチップを図 4 のプリント基板 1 3 b 上に 2 6 個整列する。これにより、プリントヘッド 1 3 に必要な総数 4 9 9 2 個の発光サイリスタ 2 1 0 - 1 ~ 2 1 0 - n , . . . を構成している。この際、駆動回路 4 1 は前記 2 6 個の発光素子アレイ 2 0 0 に対応して設けられ、これらの駆動回路 4 1 における出力端子の総数が 2 6 である。なお、駆動回路 4 1 は、図 1 においては印刷制御部 4 0 の内部に配置されているが、プリントヘッド 1 3 の内部に配置しても良い。

40

【 0 0 4 6 】

駆動回路 4 1 は、入力されるオン / オフ指令信号 D R V O N - N を反転してデータ端子 D A に出力する C M O S インバータ 4 2 により構成されている。C M O S インバータ 4 2 は、第 1 導電型の第 1 M O S トランジスタ (例えば、P チャネル M O S トランジスタ、以

50

下「PMOS」という。)43と、第2導電型の第2MOSトランジスタ(例えば、NチャンネルMOSトランジスタ、以下「NMOS」という。)44とを有し、これらが第2電源(例えば、電源電圧VDD電源)とグランドGNDとの間に直列に接続されている。

【0047】

即ち、PMOS43は、第2制御端子(例えば、ゲート)にオン/オフ指令信号DRVON-Nが入力され、第3端子(例えば、ソース)がVDD電源に接続され、第4端子(例えば、ドレイン)がデータ端子DAに接続され、サブストレータ端子がVDD電源の電位とは異なる電位(例えば、VDD電源より高い電位)の第3電源(例えば、電源電圧VDD5電源)に接続されている。NMOS44は、ゲートにオン/オフ指令信号DRVON-Nが入力され、ソースがグランドGNDに接続され、ドレインがデータ端子DAに接続されている。データ端子DAは、接続コネクタ71-1、接続ケーブル70-1、及び接続コネクタ72-1を介して、発光素子アレイ200側の共通端子INに接続されている。

10

【0048】

(実施例1の発光サイリスタ)

図6(a)~(d)は、図1中の発光サイリスタ210を示す構成図である。

【0049】

図6(a)は、発光サイリスタ210の回路シンボルを示し、アノードA、カソードK、及びゲートGの3つの端子を有している。

【0050】

20

図6(b)は、発光サイリスタ210の断面構造を示す図である。発光サイリスタ210は、例えば、GaAsウェハ基材を用い、公知のMO-CVD(Metal Organic-Chemical Vapor Deposition)法により、GaAsウェハ基材の上層に所定の結晶をエピタキシャル成長させることで製造される。

【0051】

即ち、図示しない所定のバッファ層や犠牲層をエピタキシャル成長させた後、AlGaAs材料にN型不純物を含ませたN型層211と、P型不純物を含ませ成層したP型層212と、N型不純物を含ませたN型層213とを順に積層させたNPNの3層構造からなるウェハを形成する。次いで、公知のフォトリソグラフィ法を用いて、最上層であるN型層213の一部に、選択的にP型不純物領域214を形成する。更に、公知のエッチング法により、図示しない溝部を形成することで、素子分離を行う。又、前記エッチングの過程で、発光サイリスタ210の最下層となるN型領域211の一部を露出させ、この露出領域に金属配線を形成してカソードKを形成する。これと同時に、P型領域214とN型領域213にも、それぞれアノードAとゲートGが形成される。

30

【0052】

図6(c)は、発光サイリスタ210の他の形態を示す断面構造図である。この断面構造では、例えば、GaAsウェハ基材を用い、公知のMO-CVD法により、そのGaAs基材の上層に所定の結晶をエピタキシャル成長させることで製造される。

【0053】

即ち、図示しない所定のバッファ層や犠牲層をエピタキシャル成長させた後、AlGaAs材料にN型不純物を含ませたN型層211、P型不純物を含ませ成層したP型層212と、N型不純物を含ませたN型層213と、P型不純物を含ませ成層したP型層215とを順に積層させたPNPNの4層構造のウェハを形成する。更に、公知のエッチング法を用いて、図示しない溝部を形成することで素子分離を行う。又、前記エッチングの過程で、発光サイリスタ210の最下層となるN型領域211の一部を露出させ、この露出領域に金属配線を形成してカソードKを形成する。同様に、最上層となるP型領域215の一部を露出させ、この露出領域に金属配線を形成してアノードAを形成する。これと同時に、N型領域213にゲートGが形成される。

40

【0054】

図6(d)は、図6(b)、(c)と対比させて描いた発光サイリスタ210の等価回

50

路図である。発光サイリスタ210は、PNPトランジスタ（以下「PNPTR」という。）221とNPNTトランジスタ（以下「NPNTR」という。）222とからなり、PNPTR221のエミッタが発光サイリスタ210のアノードAに相当し、PNPTR221のベースが発光サイリスタ210のゲートGに相当し、NPNTR222のエミッタが発光サイリスタ210のカソードKに相当している。又、PNPTR221のコレクタは、NPNTR222のベースに接続され、PNPTR221のベースが、NPNTR222のコレクタに接続されている。

【0055】

なお、図6に示す発光サイリスタ210では、GaAsウェハ基材上にAlGaAs層を構成したものであるが、これに限定されるものではなく、GaP、GaAsP、AlGaInPといった材料を用いるものであっても良く、更には、サファイヤ基板上にGaNやAlGaN、InGaNといった材料を成膜したものであっても良い。

10

【0056】

図6の発光サイリスタ210は、例えば、エピタキシャルフィルムボンディング法を用いて、シフトレジスタ110を集積したICウェハと接着され、両者の接続端子間がフォトリソグラフィ法を用いて配線される。更に、公知のダイシング法を用いて複数のチップに分離することで、図4に示すように、ICチップ100及び発光素子アレイ200からなる複合チップが形成される。

【0057】

（図1中のPMOS）

20

図7(a)、(b)は、図1中のPMOS43を示す構成図である。

【0058】

図7(a)は、PMOS43の回路シンボルを示し、ドレインD、ゲートG、ソースS、及びサブストレート端子subの4つの端子を有している。図7(b)は、PMOS43のチャネル方向への縦断面を示す断面図である。

【0059】

図7(b)に示すように、PMOS43は、図1中のNMOS44と共に、例えば、P型シリコンウェハからなる基板300に形成されている。基板300の表面内には図示しないNMOS44が形成され、このNMOS44に対してPMOS43を電氣的に分離するために、PMOS形成用のサブストレート領域（例えば、Nウェル領域（Nwell））301が、基板300内に形成されている。Nウェル領域301は、基板300内にN型不純物を島状に拡散して形成される。Nウェル領域301内には、P型不純物を拡散してソース領域302とドレイン領域303とが対向して形成されている。

30

【0060】

ソース領域302とドレイン領域303との間のチャネル形成予定領域上には、図示しないゲート絶縁膜を介して、ポリシリコンからなるゲート部305が形成されている。ソース領域302とドレイン領域303とは、ゲート部305をマスクとして、P型不純物を基板300中に拡散させることにより形成される。これらのソース領域302、ドレイン領域303、及びゲート部305により、PMOS43が構成されており、このPMOS43を図示しない他の素子と電氣的に分離するために、ソース領域302及びドレイン領域303の周囲にフィールド酸化膜304が形成されている。

40

【0061】

ソース領域302、ドレイン領域303、及びゲート部305上のコンタクト領域には、図示しない金属電極が形成され、Nウェル領域301にサブストレート端子subが、ソース領域302にソースSが、ドレイン領域303にドレインDが、ゲート部305にゲートGが、それぞれ接続されている。全体は、図示しないパッシベーション膜により覆われている。

【0062】

（実施例1の印刷制御部及びプリントヘッドの概略動作）

図1において、例えば、印刷制御部40におけるオン/オフ指令信号DRVON-Nが

50

“ H ”レベルの場合、 C M O S インバータ 4 2 を構成する P M O S 4 3 がオフ状態、 N M O S 4 4 がオン状態となり、出力側のデータ端子 D A は、“ L ”レベル（ 0 V ）となる。この結果、接続コネクタ 7 1 - 1、接続ケーブル 7 0 - 1 及び接続コネクタ 7 2 - 1 を介して、プリントヘッド 1 3 側の共通端子 I N も略 0 V となり、各発光サイリスタ 2 1 0 のアノードへ流れる駆動電流 I o u t もゼロとなり、発光サイリスタ 2 1 0 - 1 ~ 2 1 0 - n が全て非発光状態となる。

【 0 0 6 3 】

これに対し、オン / オフ指令信号 D R V O N - N 信号が “ L ”レベルの場合、 C M O S インバータ 4 2 を構成する P M O S 4 3 がオン状態、 N M O S 4 4 がオフとなり、出力側のデータ端子 D A が “ H ”レベルとなる。この結果、接続コネクタ 7 1 - 1、接続ケーブル 7 0 - 1、接続コネクタ 7 2 - 1 及びプリントヘッド 1 3 側の共通端子 I N を介して、発光サイリスタ 2 1 0 のアノードへ駆動電流 I o u t が流れ、発光サイリスタ 2 1 0 - 1 ~ 2 1 0 - n の内、シフトレジスタ 1 1 0 により発光指令されている発光サイリスタ 2 1 0 のゲートに “ L ”レベルのトリガ信号が与えられて選択的に発光状態となる。

【 0 0 6 4 】

ここで、 P M O S 4 3 は、ソースが V D D 電源と接続され、サブストレータ端子が V D D 5 電源と接続されており、典型的な設計例においては、 V D D 電源の電圧は 3 . 3 V、 V D D 5 電源の電圧は 5 V に設定される。このように、 P M O S 4 3 のソース・サブストレータ端子間には電位差が設定されているので、この P M O S 4 3 においては基板バイアス効果を生じ、その電位差に応じて閾値電圧 V t p が増加するようになっている。

【 0 0 6 5 】

この結果、 P M O S 4 3 が飽和領域で動作するようになって、電子デバイス物理の理論により良く知られているように、この時のドレーン電流 I_d は次式で与えられる。

$$I_d = K \cdot (W / L) \cdot (V_{gs} - V_{tp})^2$$

但し、 K ; 定数

W ; P M O S 4 3 のゲート幅

L ; P M O S 4 3 のゲート長

V t p ; P M O S 4 3 の閾値電圧

V g s ; P M O S 4 3 のゲート・ソース間電圧（ 電源電圧 V D D ）

【 0 0 6 6 】

この式から明らかなように、 P M O S 4 3 のドレーン電流 I_d 、即ち発光サイリスタ 2 1 0 の駆動電流 I o u t は、 V D D 電源及び V D D 5 電源の電圧を調整することで変化させることができる。その上、 P M O S 4 3 のように、飽和領域で動作する M O S トランジスタにおいては、その素子サイズを適切に設定することで、ドレーン電位が多少変動したとしてもドレーン電流値を所定値に保つことが可能である。このような特性は M O S トランジスタの定電流特性として公知であり、良好な特性を得るためには前記ゲート長 L を大きめに設定することが望ましい。

【 0 0 6 7 】

なお、図 1 における駆動回路 4 1 においては、データ端子 D A を “ L ”レベルとするために N M O S 4 4 を設けているが、 P M O S 4 3 をオフすることで、駆動電流 I o u t を遮断して発光サイリスタ 2 1 0 - 1 ~ 2 1 0 - 8 をターンオフさせることができるので、発光サイリスタ 2 1 0 のスイッチング速度に高速性を要求されないケースにおいては、 N M O S 4 4 を省略することも可能である。

【 0 0 6 8 】

（実施例 1 の印刷制御部及びプリントヘッドの詳細動作）

図 8 は、図 1 のプリントヘッド 1 3 及び印刷制御部 4 0 の詳細な動作を示すタイムチャートである。

【 0 0 6 9 】

この図 8 では、図 2 の画像形成装置 1 での印刷動作時における 1 ライン走査において、図 1 の発光サイリスタ 2 1 0 - 1 ~ 2 1 0 - n（例えば、 n = 8）を順次点灯させる場合

10

20

30

40

50

の動作波形が示されている。

【 0 0 7 0 】

先ず、画像形成装置 1 のにおける電源投入時の予備動作として、図 1 のシフトレジスタ 1 1 0 のリセット処理が行われる。このリセット処理では、シリアルデータ S I を “ H ” レベルとしておき、シフトレジスタ 1 1 0 の段数（例えば、 $n = 8$ ）に相当する個数のシリアルクロック S C K のクロックパルス、接続コネクタ 7 1 - 3、接続ケーブル 7 0 - 3 及び接続コネクタ 7 2 - 3 を介して、シフトレジスタ 1 1 0 に入力する。これにより、“ H ” レベルのシリアルデータ S I が、接続コネクタ 7 1 - 2、接続ケーブル 7 0 - 2 及び接続コネクタ 7 2 - 2 を介して、全シフトレジスタ 1 1 1 - 1 ~ 1 1 1 - 8 へ入力され、この全出力端子 Q 1 ~ Q 8 が “ H ” レベルとなる。

10

【 0 0 7 1 】

1 ライン分の走査に先立ち、図 8 の時刻 t_1 において、シリアルデータ S I が “ L ” レベルに設定される。次いで時刻 t_2 において、シリアルクロック S C K の第 1 パルス S C K 1 が入力される。第 1 パルス S C K 1 が立ち上がると、シリアルデータ S I は、接続コネクタ 7 1 - 2、接続ケーブル 7 0 - 2 及び接続コネクタ 7 2 - 2 を介して、シフトレジスタ 1 1 0 内の第 1 段 F F 1 1 1 - 1 に取り込まれ、これより僅かに遅れて、第 1 段 F F 1 1 1 - 1 の出力端子 Q 1 が “ L ” レベルへと遷移する。第 1 パルス S C K 1 が立ち上がった後で、時刻 t_3 にてシリアルデータ S I が再び “ H ” レベルに戻される。

【 0 0 7 2 】

第 1 段 F F 1 1 1 - 1 の出力端子 Q 1 が “ L ” レベルとなることで、発光サイリスタ 2 1 0 - 1 のゲート電位が低下する。次いで時刻 t_4 にて、オン / オフ指令信号 D R V O N - N が “ H ” レベルにされる。これにより、C M O S インバータ 4 2 の N M O S 4 4 がオン状態になってデータ端子 D A が “ L ” レベルになり、接続コネクタ 7 1 - 1、接続ケーブル 7 0 - 1、接続コネクタ 7 2 - 1 及び共通端子 I N を介して、発光サイリスタ 2 1 0 - 1 のアノード・ゲート間に電位差を生じる。この結果、シフトレジスタ 1 1 0 による “ L ” レベルのトリガ信号によって、発光サイリスタ 2 1 0 - 1 がターンオンして発光状態となる。

20

【 0 0 7 3 】

発光サイリスタ 2 1 0 - 1 による発光状態は、主としてアノード・カソード間に流れる電流によるので、一度ターンオンした発光サイリスタ 2 1 0 - 1 をオフさせるためには、アノード・カソード間に印加される電圧を略 0 V にする必要がある。そのため、時刻 t_5 において、オン / オフ指令信号 D R V O N - N が “ H ” レベルにされる。すると、C M O S 4 2 の N M O S 4 4 がオン状態になってデータ端子 D A の電位が “ L ” レベルとなり、発光サイリスタ 2 1 0 - 1 のアノード・カソード間電圧が略 0 V となり、この発光サイリスタ 2 1 0 - 1 がオフする。

30

【 0 0 7 4 】

前述したように、発光サイリスタ 2 1 0 - 1 ~ 2 1 0 - 8 の発光出力は、主としてそのアノード・カソード間に流れる駆動電流 I o u t の電流値によるので、図 1 において駆動信号源として定電流特性を有する駆動回路 4 1 を用いることで、発光サイリスタ 2 1 0 の発光時におけるアノード・カソード間電圧に多少の素子ばらつきを生じていたとしても、その駆動電流 I o u t を所定値に保つことができる。

40

【 0 0 7 5 】

なお、図 8 では、発光サイリスタ 2 1 0 - 1 を発光させるために、時刻 t_4 でデータ端子 D A を “ H ” レベルとし、消灯させるために時刻 t_5 で “ L ” レベルとしているが、発光サイリスタ 2 1 0 - 1 を発光させる必要がない場合には、時刻 $t_4 \sim t_5$ の間もデータ端子 D A を “ L ” レベルのままとすれば良い。このように、データ端子 D A の論理レベルにより、発光サイリスタ 2 1 0 - 1 の発光状態 / 非発光状態を切り替えることができる。

【 0 0 7 6 】

次いで、時刻 t_6 において、シリアルクロック S C K の第 2 パルス S C K 2 が立ち上がる。この時、シリアルデータ S I は “ H ” レベルとなっているので、これより僅かに遅れ

50

て、シフトレジスタ 110 内における第 1 段 FF 111 - 1 の出力端子 Q 1 が “ H ” レベルへと遷移する一方で、第 2 段 FF 111 - 2 の出力端子 Q 2 が “ L ” レベルに変化する。時刻 t_7 において、オン/オフ指令信号 DRVON - N が “ L ” レベルにされる。これにより、CMOS 42 の PMOS 43 がオン状態になってデータ端子 DA が “ H ” レベルになる。この結果、発光サイリスタ 210 - 2 のアノード・ゲート間に電位差を生じ、シフトレジスタ 110 による “ L ” レベルのトリガ信号によって発光サイリスタ 210 - 2 がターンオンして発光状態となる。

【 0077 】

発光サイリスタ 210 - 2 による発光状態は、主としてアノード・カソード間に流れる駆動電流 I_{out} の電流値によるので、一度ターンオンした発光サイリスタ 210 - 2 をオフさせるためには、アノード・カソード間に印加される電圧を略 0 V にすることが必要になる。そのため、時刻 t_8 において、オン/オフ指令信号 DRVON - N が “ H ” レベルにされる。これにより、CMOS インバータ 42 の NMOS 44 がオン状態になってデータ端子 DA の電位が “ L ” レベルになり、発光サイリスタ 210 - 2 のアノード・カソード間電圧が略 0 V になって発光サイリスタ 210 - 2 がオフ状態になる。

【 0078 】

このように、シリアルクロック SCK の第 1 パルス SCK 1、第 2 パルス SCK 2、第 3 パルス SCK 3、第 4 パルス SCK 4、第 5 パルス SCK 5、第 6 パルス SCK 6、第 7 パルス SCK 7、第 8 パルス SCK 8 及び第 9 パルス SCK 9 が立ち上がる毎に、シフトレジスタ 110 の第 1 段出力端子 Q 1、第 2 段出力端子 Q 2、第 3 段出力端子 Q 3、第 4 段出力端子 Q 4、第 5 段出力端子 Q 5、第 6 段出力端子 Q 6、第 7 段出力端子 Q 7、及び第 8 段出力端子 Q 8 が順次 1 出力端子 Q だけが “ L ” レベルとなり、他の出力端子 Q が “ H ” レベルとなる。このため、シリアルデータ SI が “ H ” レベルの時、出力端子 Q 1 ~ Q 8 に接続される発光サイリスタ 210 - 1 ~ 210 - 8 の内、対応する出力端子 Q 1 ~ Q 8 が “ L ” レベルとなっているものだけが択一的に発光する。

【 0079 】

この際、発光サイリスタ 210 - 1 ~ 210 - 8 をオンさせるためには、これらの発光サイリスタ 210 - 1 ~ 210 - 8 のアノード・ゲート間を順方向にバイアスさせる電位差を与え、“ L ” レベルのゲート信号を与えるだけで良い。又、発光サイリスタ 210 - 1 ~ 210 - 8 をオフ状態のままとするためには、アノード・ゲート間の電位差を順方向電圧以下としておくだけで十分であり、電位差を 0 V にしたり、逆方向へ電圧を印加することもできる。

【 0080 】

更に、図 8 の発光サイリスタ 210 - 1 における時刻 $t_4 \sim t_5$ 間の駆動時間 T 1、発光サイリスタ 210 - 2 における時刻 $t_7 \sim t_8$ 間の駆動時間 T 2 等は、異なる時間であっても良く、発光サイリスタ 210 - 1 ~ 210 - 8 等の発光効率にばらつきを生じていたとしても、これを補正して所定の露光エネルギー量が得られるようにするため、駆動時間 T 1、T 2 等を異なる値に制御することは容易である。

【 0081 】

(実施例 1 の発光サイリスタの動作)

図 9 (a) ~ (d) は、図 6 の発光サイリスタ 210 におけるターンオン過程の動作説明図であり、同図 (a) は発光サイリスタ 210 のシンボルと各端子の電圧、電流の記号を示す図、同図 (b) は同図 (a) の等価回路を示す図、及び同図 (c)、(d) は動作波形を示す図である。

【 0082 】

図 9 (a) に示す発光サイリスタ 210 において、V_a はアノード電圧、V_{gk} はゲート・カソード間電圧、I_a はアノード電流、及び、I_g はゲート電流である。

【 0083 】

図 9 (b) において、破線で囲まれた発光サイリスタ 210 の等価回路は、PNPTR 221 及び NPNTR 222 により構成されている。

【 0 0 8 4 】

例えば、発光サイリスタ 2 1 0 のターンオン過程を説明するために、ゲートが “ L ” レベルになっている場合を考える。

【 0 0 8 5 】

発光サイリスタ 2 1 0 を駆動するために図示しないゲート駆動回路の出力電圧が “ H ” レベルとされ、アノード電流 I_a が発生する。この時、アノード電流 I_a は、発光サイリスタ 2 1 0 のアノード・ゲート間の P N 接合、即ち N P N T R 2 2 1 のエミッタ・ベース間を順方向電流となって流れ、ゲート電流 I_g を生じる。ゲート電流 I_g が流れる結果、発光サイリスタ 2 1 0 にはアノード電圧 V_a を生じる。

【 0 0 8 6 】

ゲート電流 I_g は、発光サイリスタ 2 1 0 の内部にある P N P T R 2 2 1 のベース電流 I_b に相当するものであり、このベース電流 I_b が流れることで、P N P T R 2 2 1 がオン状態への移行を開始して、この P N P T R 2 2 1 のコレクタにはコレクタ電流を生じる。このコレクタ電流は、N P N T R 2 2 2 のベース電流となり、この N P N T R 2 2 2 をオン状態へと移行させる。これにより生じたコレクタ電流は、P N P T R 2 2 1 のベース電流 I_b を増強し、この P N P T R 2 2 1 のオン状態への移行を加速させることになる。

【 0 0 8 7 】

一方、N P N T R 2 2 2 が完全にオン状態に移行した後は、そのコレクタ・エミッタ間電圧、即ち、ゲート・カソード間電圧 V_{gk} が低下して、図示しないゲート駆動回路の “ L ” レベル出力電圧 (V_{oL}) 以下となると、発光サイリスタ 2 1 0 のゲートからゲート駆動回路の出力端子側に流れるゲート電流 I_g が略ゼロとなる。この結果、発光サイリスタ 2 1 0 のカソードには、アノード電流 I_a と略等しいカソード電流 I_k が流れることになり、発光サイリスタ 2 1 0 は完全にオン状態となる。

【 0 0 8 8 】

図 9 (c) は、発光サイリスタ 2 1 0 のターンオン過程を説明する図であって、横軸にアノード電流 I_a 、縦軸にアノード電圧 V_a を示している。

【 0 0 8 9 】

発光サイリスタ 2 1 0 の消灯状態において、アノード電流 I_a は略ゼロであり、図 9 (c) のグラフの原点 (0 , 0) の状態にある。発光サイリスタ 2 1 0 のターンオン開始に伴い、アノード駆動が行われると、図 9 (c) 中の矢印で示したようにアノード電圧 V_a が上昇して、ピーク点のアノード電圧 V_p に到達する。

【 0 0 9 0 】

発光サイリスタ 2 1 0 のアノード・ゲート間電圧 V_{ag} は、P N P T R 2 2 1 のエミッタ・ベース間電圧 V_{be} と等しく、ゲート駆動回路の “ L ” レベル出力電圧 (V_{oL}) とピーク点のアノード電圧 V_p との間には、

$$V_p = V_{ag} + V_{oL}$$

の関係がある。ピーク点のアノード電圧 V_p が順方向に印加されることで、ゲート電流 I_g (= P N P T R 2 2 1 のベース電流 I_b) を生じる。図 9 (c) において、丸印を付して示すポイント (I_p , V_p) は、発光サイリスタ 2 1 0 のオフ領域 A R 1 とオン遷移領域 A R 2 との境目に相当している。

【 0 0 9 1 】

ポイント (I_p , V_p) におけるピーク点のアノード電流 I_p から、更にアノード電流 I_a が増加するに伴い、アノード電圧 V_a が低下していき、丸印を付して示すポイント (I_v , V_v) に到達する。このポイント (I_v , V_v) は、発光サイリスタ 2 1 0 のオン遷移領域 A R 2 とオン領域 A R 3 との境目に相当しており、この時のゲート電流 I_g が略ゼロにまで低下していて、図示しないゲート駆動回路は、実質的に発光サイリスタ 2 1 0 のゲートから切り離されたのと等価な状態にある。

【 0 0 9 2 】

ポイント (I_v , V_v) から更にアノード電流 I_a が増加するに伴い、アノード電圧 V_a が増加していき、丸印を付して示すポイント (I_l , V_l) に到達する。このポイント

10

20

30

40

50

(I_1 , V_1)は、発光サイリスタ210の発光駆動の最終動作ポイントであり、図1の駆動回路41から供給される駆動電流 I_{out} に等しいアノード電流 I_a (= I_1)により、所定の発光パワーで発光駆動が行われる。

【0093】

図9(d)は、図9(c)に対応する図であって、横軸にアノード電流 I_a 、縦軸にゲート電流 I_g を示しており、前記発光サイリスタ210のターンオン過程において生じる発光サイリスタ210のゲート電流 I_g とそのピーク値 I_{g1} と前記アノード電圧 V_p とアノード電流 I_p との関係を示している。

【0094】

なお、図9(c)に示すオン遷移領域AR2においては、アノード電流 I_a の増加によりアノード電圧 V_a が低下する特性を示しており、このオン遷移領域AR2でアノード・カソード間は負性抵抗を示す。図9(c)において一点鎖線で示すのは、前記負性抵抗領域における特性線の接線であって、この接線の傾きが負性抵抗値に対応しており、その負性抵抗値は、発光サイリスタ210の製造ばらつきやチップ温度等により変動するが、典型例では数 $k\Omega$ に達するものである。

【0095】

これに対し、従来の駆動回路(図1の駆動回路41に相当)は、PMOS及びNMOSからなるCMOSインバータ(図1のCMOSインバータ42に対応)と、このCMOSインバータの出力側と発光サイリスタのアノード(図1の発光サイリスタ210のアノードに相当)との間に接続された電流制限抵抗とにより構成され、その電流制限抵抗の抵抗値の典型例が、例えば 180Ω に設定されている。そのため、従来の駆動回路を用いて図9の特性の発光サイリスタ210を駆動する場合を考えると、そのターンオン過程は、図9(c)のグラフの原点(0, 0)を出発して図9(c)中の矢印で示す通り、ポイント(I_p , V_p)を経由してポイント(I_v , V_v)に至り、最終的にポイント(I_1 , V_1)で発光駆動が行われることになる。その途中でオン遷移領域AR2にて示す負性抵抗領域を経由することになるが、前記駆動回路の出力抵抗値(これは前記電流制限抵抗の抵抗値に略等しい)は、発光サイリスタ210の負性抵抗値よりも小さいため、そのオン遷移領域AR2で発振してしまうという問題点があった。

【0096】

このような従来の問題点を解決するために、本実施例1の駆動回路41では、従来の電流制限抵抗を省略し、CMOSインバータ42におけるPMOS43を図7のような構成にしている。以下、本実施例1におけるPMOS43のトランジスタ特性を説明する。

【0097】

(実施例1のPMOSのトランジスタ特性)

図10(a)、(b)は、図7のPMOS43のトランジスタ特性を示す図である。

【0098】

図10(a)は、PMOS43のゲート電圧とドレーン電流の関係を示す図であって、横軸はゲート・ソース間電圧 V_{gs} を示し、縦軸にドレーン電流の平方根を $SQRT(I_d)$ として示している。

【0099】

図10(a)において、例えば、曲線TC1はゲート・ソース間電圧 V_{gs} の増加に対して略直線的に変化しており、この曲線TC1の接線と横軸との交点が、PMOS43の閾値電圧 V_{t1} となっている。なお、曲線TC1は、図1においてソース・サブストレート端子間の電位差がない場合を示しており、通常のPMOSの特性と等しい。これに対し、図1のようにPMOS43のソース電位 V_{DD} よりもサブストレート端子電位 V_{DD5} を高くした場合には、曲線TC2のように、閾値電圧 V_{t1} が大きくなる方向にシフトしていく(この時の閾値電圧は V_{t2})。このような特性変動は、基板バイアス効果として知られている現象である。PMOS43のソース電圧 V_{DD} よりもサブストレート端子電圧 V_{DD5} を更に高くし、例えば、 $V_{DD} = 3.3V$ 、 $V_{DD5} = 5V$ とすると、曲線TC3の状態となる。

10

20

30

40

50

【 0 1 0 0 】

図 1 0 (b) は、P M O S 4 3 において、ゲート・ソース間電圧 V_{gs} を電源電圧 V_{DD} に略等しくした場合におけるドレーン電圧とドレーン電流の関係を模式的に示す図であって、横軸はドレーン・ソース間電圧 V_{ds} を示し、縦軸にドレーン電流 I_d を示している。

【 0 1 0 1 】

図 1 0 (b) において、曲線 T C 1 0 は図 1 0 (a) の曲線 T C 1 と、曲線 T C 2 0 は図 1 0 (a) の曲線 T C 2 と、曲線 T C 3 0 は図 1 0 (a) の曲線 T C 3 とに対応するものであって、例えば、曲線 T C 1 0 においてはドレーン電流 I_d として大きな値が得られる一方で、ドレーン・ソース間電圧 V_{ds} が増加するに従いドレーン電流 I_d もまた増加する特性となる。又、曲線 T C 3 0 においては、曲線 T C 1 0 の場合よりもドレーン電流 I_d が小さくなってしまふものの、ドレーン・ソース間電圧 V_{ds} が所定値以上であれば、ドレーン電流 I_d が略一定とみなせて駆動電流 I_{out} となり、ドレーン・ソース間電圧 V_{ds} によらない定電流特性が得られることが判る。

10

【 0 1 0 2 】

以上の関係を定量的に説明すると、電子デバイス物理の理論により良く知られているように、P M O S 4 3 のドレーン電流 I_d は、次式で与えられる。

$$I_d = K \cdot (W/L) \cdot (V_{gs} - V_{tp})^2$$

但し、K ; 定数

W ; P M O S 4 3 のゲート幅

L ; P M O S 4 3 のゲート長

V_{gs} ; P M O S 4 3 のゲート・ソース間電圧

V_{tp} ; P M O S 4 3 の閾値電圧

20

【 0 1 0 3 】

図 1 及び図 7 を用いて説明したように、本実施例 1 の駆動回路 4 1 において、P M O S 4 3 のソースとサブストレート端子は切り離され、両者間には電位差が設定され、ソース電圧 ($= V_{DD}$) よりもサブストレート端子電圧 ($= V_{DD5}$) が高い電圧に設定される。そのため、それにより生じる基板バイアス効果により、P M O S 4 3 の閾値電圧 V_{tp} を増加させることができ、サブストレート端子電圧 ($= V_{DD5}$) によってドレーン電流 I_d を調整することができる。

30

【 0 1 0 4 】

この時、P M O S 4 3 のゲート・ソース間に印加される電圧は、電源電圧 V_{DD} に略等しく、たかだか 3 . 3 V 程度であるため、前述した閾値電圧 V_{tp} の増加によって、オーバドライブ電圧 $\Delta V (= V_{gs} - V_{tp})$ が減少していき、P M O S 4 3 は飽和領域で動作するようになる。

【 0 1 0 5 】

P M O S 4 3 のゲート幅 W とゲート長 L の比は、P M O S 4 3 の設計段階で比較的自由に、広範囲に渡って変化させることが可能であり、前述したように前記閾値電圧 V_{tp} もまた調整することが可能であって、前記ドレーン電流 I_d もまた比較的自由に調整することができる。

40

【 0 1 0 6 】

又、P M O S 4 3 においては、このゲート長 L を比較的大きめに設定することで、ドレーン電圧が多少変動したとしても、ドレーン電流値を所定値に保つことが可能である。このような特性は P M O S の定電流特性として公知であり、良好な特性を得るためには、P M O S 4 3 のゲート長 L を大きめに設定することが望ましい。

【 0 1 0 7 】

前記 P M O S 4 3 が定電流動作する場合、その出力抵抗値は非常に大きくなり (理想的には無限大)、図 9 に示す発光サイリスタ 2 1 0 の特性曲線に引いた負荷線は略縦線となって、発光サイリスタ 2 1 0 の特性曲線とは唯一点でのみ交わることになる。

【 0 1 0 8 】

50

このようにすることで、本実施例 1 の駆動回路 4 1 では、発光サイリスタ 2 1 0 の負性抵抗に起因して発振するという従来の問題を解決することができる。

【 0 1 0 9 】

(本実施例 1 の効果)

本実施例 1 によれば、次の (1) ~ (3) のような効果がある。

【 0 1 1 0 】

(1) 本実施例 1 の駆動回路 4 1 を有する駆動装置とこれを用いたプリントヘッド 1 3 によれば、駆動回路 4 1 における P M O S 4 3 に基板バイアス効果を与えることで、閾値電圧 V_{tp} を増加させ、飽和領域動作させることで P M O S 4 3 による定電流駆動を実現している。そのため、駆動回路 4 1 の出力抵抗値を発光サイリスタ 2 1 0 の負性抵抗値よりも大きくすることができ、負性抵抗に起因する発振現象を未然に防止することができる。

10

【 0 1 1 1 】

(2) 駆動回路 4 1 と発光サイリスタ 2 1 0 との間には、接続ケーブル 7 0 - 1 が介在しており、その配線抵抗に起因する電圧降下が生じる。しかし、本実施例 1 における駆動回路 4 1 は、略定電流特性を有するので、接続ケーブル 7 0 - 1 による電圧降下に変動を生じたとしても、駆動電流値を略一定のままとすることができ、発光サイリスタ 2 1 0 の駆動エネルギー量には変動を生じないという効果も得られる。

【 0 1 1 2 】

(3) 本実施例 1 の画像形成装置 1 によれば、プリントヘッド 1 3 を採用しているので、スペース効率及び光取り出し効率に優れた高品質の画像形成装置 1 を提供することができる。即ち、プリントヘッド 1 3 を用いることにより、本実施例 1 のフルカラーの画像形成装置 1 に限らず、モノクロ、マルチカラーの画像形成装置においても効果が得られるが、特に、露光装置としてのプリントヘッド 1 3 を数多く必要とするフルカラーの画像形成装置 1 において一層大きな効果が得られる。

20

【実施例 2】

【 0 1 1 3 】

(実施例 2 の印刷制御部及びプリントヘッド)

図 1 1 は、本発明の実施例 2 における印刷制御部及びプリントヘッドの概略の回路構成を示すブロック図であり、実施例 1 を示す図 1 中の要素と共通の要素には共通の符号が付されている。

30

【 0 1 1 4 】

本実施例 3 の画像形成装置 1 では、プリントヘッド 1 3 A の回路構成が、実施例 1 のプリントヘッド 1 3 と異なる。本実施例 3 のプリントヘッド 1 3 A は、実施例 1 と同様のシフトレジスタ 1 1 0 及び発光素子アレイ 2 0 0 と、新たに追加された終端回路 1 2 0 とを有している。

【 0 1 1 5 】

終端回路 1 2 0 は、発光素子アレイ 2 0 0 の終端部に配置され、共通端子 I N に接続されている。この終端回路 1 2 0 は、複数の終端抵抗 1 3 0 (= 1 3 0 - 1 ~ 1 3 0 - 3 , . . .) とコンデンサ 1 4 0 との直列回路で構成され、特定の終端抵抗の接続点 (例えば、終端抵抗 1 3 0 - 1 及び 1 3 0 - 2 の接続点) が共通端子 I N に接続され、この共通端子 I N と接地電位端子 (グランド) との間に、終端抵抗 1 3 0 - 1 及びコンデンサ 1 4 0 が直列に接続されている。

40

その他の構成は、実施例 1 と同様である。

【 0 1 1 6 】

(実施例 2 の終端抵抗)

図 1 2 (a) ~ (d) は、図 1 1 中の終端抵抗 1 3 0 を示す構成図である。

【 0 1 1 7 】

図 1 2 (a) 、 (c) は、図 4 中の I C チップ 1 0 0 の所定箇所に形成された終端抵抗 1 3 0 の構成例を示す平面図、図 1 2 (b) は図 1 2 (a) 中の X 1 - X 2 線断面図、及

50

び、図12(d)は図12(c)中のY1-Y2線断面図である。

【0118】

図12(a)、(b)に示される終端抵抗130は、図1中のシフトレジスタ110が形成された図4中のICチップ100内に配置され、ポリシリコン素材であるポリシリコン膜により形成されている。

【0119】

即ち、ICチップ100内において、シフトレジスタ110が形成された半導体基板(例えば、シリコン基板)101上には、フィールド酸化膜102が形成され、このフィールド酸化膜102上に、ポリシリコン膜からなる終端抵抗130が形成されている。終端抵抗130は、層間絶縁膜131により覆われ、この層間絶縁膜131上に、金属配線132が形成されている。終端抵抗130の両端は、層間絶縁膜131に開口されたコンタクト開口部131a, 131bを介して、上層の金属配線132と電氣的に接続されている。金属配線132は、保護膜であるパッシベーション膜133により覆われている。

10

【0120】

終端抵抗130を形成しているポリシリコン膜の幅をW、このポリシリコン膜の両端に位置するコンタクト開口部131a, 131b間の距離をLとし、ポリシリコン膜のシート抵抗を $R_s [\Omega / \square]$ 、コンタクト開口部131a, 131b間の抵抗値である終端抵抗130の抵抗値を R_L とした場合、この抵抗値 R_L は次式で与えられる。

$$R_L = (L / W) \times R_s$$

【0121】

20

この式から明らかなように、終端抵抗130は、ポリシリコン膜にて形成されるので、ポリシリコン膜の幅W、及びコンタクト開口部131a, 131b間の距離Lを適切に設定することで、所望の抵抗値 R_L に設定することができる。

【0122】

図12(c)、(c)に示される終端抵抗130は、図1中のシフトレジスタ110が形成された図4中のICチップ100内に配置され、前記ポリシリコン膜に代えて、不純物を拡散して形成した拡散抵抗素材からなる拡散抵抗領域により形成されている。

【0123】

即ち、ICチップ100内において、シフトレジスタ110が形成されたシリコン基板101内には、拡散抵抗領域からなる終端抵抗130が形成されている。拡散抵抗領域は、シリコン基板101がP型不純物を含むP型シリコン基板の場合、このP型シリコン基板内にN型不純物を拡散させて形成し、シリコン基板101がN型不純物を含むN型シリコン基板の場合、このN型シリコン基板内にP型不純物を拡散させて形成する。あるいは、N型シリコン基板内にP型ウェル部を形成して、このP型ウェル部内にN型不純物を拡散させて拡散抵抗領域を形成したり、P型シリコン基板内にN型ウェル部を形成して、このN型ウェル部内にP型不純物を拡散させて拡散抵抗領域を形成しても良い。

30

【0124】

拡散抵抗領域からなる終端抵抗130が形成されたシリコン基板101は、層間絶縁膜131により覆われ、この層間絶縁膜131上に、金属配線132が形成されている。終端抵抗130の両端は、層間絶縁膜131に開口されたコンタクト開口部131a, 131bを介して、上層の金属配線132と電氣的に接続されている。金属配線132は、パッシベーション膜133により覆われている。

40

【0125】

終端抵抗130を形成している拡散抵抗領域の幅をW、この拡散抵抗領域の両端に位置するコンタクト開口部131a, 131b間の距離をLとし、拡散抵抗領域のシート抵抗を $R_s [\Omega / \square]$ 、コンタクト開口部131a, 131b間の抵抗値である終端抵抗130の抵抗値を R_L とした場合、この抵抗値 R_L は次式で与えられる。

$$R_L = (L / W) \times R_s$$

【0126】

この式から明らかなように、終端抵抗130は、拡散抵抗領域にて形成されるので、拡

50

散抵抗領域の幅 W 、及びコンタクト開口部 $131a$ 、 $131b$ 間の距離 L を適切に設定することで、所望の抵抗値 R_L に設定することができる。

【0127】

(実施例2の印刷制御部及びプリントヘッドの動作)

図13(a)~(d)は、図11における印刷制御部40及びプリントヘッド13Aの動作を示す図であり、同図(a)は図11における駆動回路41と1つの発光サイリスタ210と終端回路120との等価回路をモデル化した図、及び、同図(b)~(d)はその動作時の電流波形図である。

【0128】

図13(a)において、図11中の駆動回路41は、駆動電流 I_s を出力する定電流の駆動信号源のシンボルにて示されている。この駆動回路41は、接続ケーブル70-1を介して、プリントヘッド13Aに接続されている。接続ケーブル70-1は、特性インピーダンスが Z_0 で、信号伝達遅延時間を T_d として持つ伝送路として示されている。

【0129】

プリントヘッド13A側において、発光サイリスタ210をオン状態にするため、このゲート・カソード間に抵抗 R_g が接続されている。これにより、発光サイリスタ210のアノードから流入するアノード電流 I_d の内、一部の電流成分がゲート電流として抵抗 R_g を介してグラウンド GND へ流れ、このゲート電流により発光サイリスタ210がオン状態になる。発光サイリスタ210のアノード・カソード間には、接合容量 C_j が生じる。

【0130】

終端回路120は、抵抗値 R_L の終端抵抗130とコンデンサ140との直列回路により構成されている。コンデンサ140は、駆動信号源である駆動回路41から出力される駆動電流 I_{out} の内、終端抵抗130及びコンデンサ140を介して流れる直流成分をカットして、発光サイリスタ210に流れるアノード電流 I_d が減少することを防止するために設けられている。

【0131】

図13(b)において、駆動信号源である駆動回路41から出力される駆動電流 I_s の波形が示されている。駆動電流 I_s のオン時間は T_{on} 、オフ時間は T_{off} である。

【0132】

図13(c)は、本実施例1の比較例として、抵抗値 R_L の終端抵抗130が無い場合(即ち、 $R_L = \infty$ とした場合)における発光サイリスタ210のアノード電流 I_d の波形図を示したものである。アノード電流 I_d の立ち上がり時間は T_r 、立ち下がり時間は T_f である。

【0133】

接続ケーブル70-1において、ケーブル長を L 、ケーブル内の信号伝搬速度を V_0 とすると、接続ケーブル70-1の信号伝達遅延時間 T_d は、次式で与えられる。

$$V_0 = C_0 / \sqrt{\epsilon_r}$$

但し、 C_0 ；真空中における光速、 $C_0 = 3 \times 10^8$ [m/s]

ϵ_r ；接続ケーブル70-1内で用いられる絶縁材料の比誘電率

この式より、信号伝達遅延時間 T_d は、

$$T_d = (L / C_0) \times \sqrt{\epsilon_r}$$

となる。典型的な例として、接続ケーブル70-1の比誘電率 ϵ_r を4、ケーブル長 L を1[m]とすると、

$$T_d = 6.7$$

となる。

【0134】

図13(c)に示すように、駆動信号源である駆動回路41から出力される駆動電流 I_s が立ち上がると、前記信号伝搬遅延時間 T_d 分遅れて、その駆動電流 I_s が被駆動素子である発光サイリスタ210に到達し、この発光サイリスタ210には、アノード電流 I_d の波形が立ち上がり始める。この時、発光サイリスタ210のアノード・カソード間は

、等価的にコンデンサ C_j と同様に動作し、このコンデンサ C_j により信号反射を生じ、接続ケーブル 70 - 1 内を駆動回路 41 方向へ向かう反射波を生じる。この反射波は、駆動回路 41 の内部インピーダンスにより反射して、再び接続ケーブル 70 - 1 内をプリントヘッド 13 A 方向へ向かつて反射を生じる。

【0135】

このように、接続ケーブル 70 - 1 を介して、駆動信号源である駆動回路 41 とこの負荷である発光サイリスタ 210 との間で多重に信号反射を生じ、 $2 \times T_d$ を周期とするリップルを生じつつ、立ち上がり時間 T_r で立ち上がるアノード電流 I_d の電流波形が得られる。

【0136】

10

図 13 (b) と図 13 (c) とを比較して明らかなように、駆動回路 41 から出力される駆動電流 I_s の波形の立ち上がりが急峻であったとしても、発光サイリスタ 210 におけるアノード電流 I_d の波形の立ち上がり時間 T_r が大きくなってしまふ。

【0137】

前記多重反射波形が接続ケーブル 70 - 1 内を往復する毎に反射量を減じていき、例えば、10 往復の後に反射成分が消滅する時、前記アノード電流 I_d の立ち上がり時間 T_r は、

$$T_r = 2 \times T_d \times 10 = 6.7 \times 20 = 134 \text{ [ns]}$$

となる。発光サイリスタ 210 におけるアノード電流 I_d の波形の立ち下がりにおける立ち下がり時間 T_f においても同様である。

20

【0138】

前記アノード電流 I_d の立ち上がり時間 T_r は、駆動回路 41 から出力される駆動電流 I_s の立ち上がり時間と比べて大きな値であって、これは主として接続ケーブル 70 - 1 による信号伝搬遅延時間 T_d 、即ちケーブル長 L により決まってしまう、プリントヘッド 13 A の点灯スイッチング速度を向上させるためには、接続ケーブル 70 - 1 のケーブル長 L を短くせざるを得ないことになる。

【0139】

ところが、接続ケーブル 70 - 1 のケーブル長 L は、画像形成装置 1 内における部品配置の状況により制約され、短くすることは困難である。特に、図 2 に示すようなブラック (K)、イエロー (Y)、マゼンダ (M)、及びシアン (C) の各色のプロセスユニット 10 - 1 ~ 10 - 4 を順に配置して構成されるタンデム型電子写真カラープリンタにおいては、各色のケーブル長 L がそれぞれ異なったものとなり、長いものでは 1 m 以上となってしまうことがある。この結果、発光サイリスタ 210 におけるアノード電流 I_d の波形の立ち上がり時間 T_r や立ち下がり時間 T_f が増大してしまい、それを用いるプリントヘッド 13 A のスイッチング速度を向上させることができないという問題があった。

30

【0140】

この問題を解決するために、本実施例 2 では、発光素子アレイ 200 の終端部において、終端抵抗 130 及びコンデンサ 140 から成る終端回路 120 を共通端子 IN に接続している。

【0141】

40

図 13 (d) は、接続ケーブル 70 - 1 の特性インピーダンスを Z_o 、終端抵抗 130 の抵抗値を R_L とするとき、 $R_L = Z_o$ (あるいは $R_L > Z_o$) となるように、その抵抗値 R_L を設定した場合の例を示す発光サイリスタ 210 のアノード電流 I_d の波形図である。

【0142】

この図 13 (d) の場合においては、図 13 (c) において見られたような信号遷移時におけるリップル波形や、遷移時間の増加といった現象は解消しており、アノード電流 I_d の比較的短い立ち上がり時間 T_r や立ち下がり時間 T_f で持ってプリントヘッド 13 A のスイッチングが可能となっていることが判る。

【0143】

50

なお、図 13 (d) の例では、終端抵抗 130 の抵抗値を R_L とするとき、 $R_L = Z_0$ (あるいは $R_L = Z_0$) となるように設定したが、発光サイリスタ 130 の駆動電流波形の遷移状態において多少のリプル波形を許容できる場合には、

$$Z_0 / 2 \leq R_L \leq 2 \times Z_0$$

と設定しても、同様の効果を得ることができる。

【0144】

前記式の条件を満足させるため、本実施例 2 の構成を示す図 11 の回路においては、発光素子アレイ 200 の終端部に、複数の終端抵抗 130 - 1 ~ 130 - 3, ... の直列回路を設け、その終端抵抗間の接続点をタップとする接続予定ポイントを設ける構成としている。

10

【0145】

このようにすることで、種々の接続ケーブル 70 - 1 の使用品種による特性インピーダンス Z_0 の違いに対しても、発光サイリスタ 210 側の共通端子 IN と終端抵抗 130 の接続タップとの接続を行うための例えば薄膜配線の形状を変更することで、実質的な終端抵抗 130 の抵抗値 R_L を変えて前記式を満足させることが可能となる。従って、シフトレジスタ 110 や終端回路 120 が形成された IC チップ 100 を 1 種類のみを準備しておくことで、種々の特性インピーダンス Z_0 を持つ接続ケーブル 70 - 1 にも対応することができる。

【0146】

又、図 11 において、直列接続された複数の終端抵抗 130 - 1 ~ 130 - 3, ... は、シフトレジスタ 110 や終端回路 120 が形成された IC チップ 100 の製造段階で予め直列接続されているように図示されているが、発光サイリスタ 210 - 1 ~ 210 - n の各端子とシフトレジスタ 110 の各部を薄膜配線で接続する工程において、複数の終端抵抗 130 - 1 ~ 130 - 3, ... 間を接続するようにしても良い。

20

【0147】

一方、図 12 に示す終端抵抗 130 では、ポリシリコン膜や拡散抵抗領域として IC チップ 100 上に設ける構成にしているが、これ以外にも、発光サイリスタ 210 と同一素材をパターンニングして形成した素材により終端抵抗 130 を形成しても良い。例えば、IC チップ 100 上に公知のエピフィilmボンディング法を用いて AlGaAs 等の化合物半導体薄膜を貼付しておき、この化合物半導体薄膜をフォトリソグラフィ法により所定部位をパターン形成することで、終端抵抗 130 を形成しても良い。

30

【0148】

(実施例 2 の効果)

本実施例 2 によれば、実施例 1 と同様の効果があり、更に、次の (4)、(5) のような効果もある。

【0149】

(4) 本実施例 2 では、発光素子アレイ 200 の終端部に終端回路 120 を設けたので、例えば、駆動回路 41 とプリントヘッド 13A とを別の基板ユニットとして構成し、両者間を接続ケーブル 70 - 1 を用いて電氣的に接続する場合、その接続ケーブル 70 - 1 が長いときでも、駆動回路 41 と発光サイリスタ 210 との間で信号反射が多重に発生して駆動電流波形の立ち上がり時間や立ち下がり時間が増大するといった問題を解決でき、発光素子アレイ 200 のスイッチング制御を高速に行うことができる。

40

【0150】

(5) 本実施例 2 の構成においては、シフトレジスタ 110 が形成された IC チップ 100 上に、発光素子アレイ 200 を貼付すると共に、終端回路 120 もまたその IC チップ 100 内に設けることで、モノリシックに集積することができ、終端回路 120 を個別に設ける必要がなく、より小型化及び低コスト化が可能になる。

【実施例 3】

【0151】

(実施例 3 の印刷制御部及びプリントヘッド)

50

図 1 4 は、本発明の実施例 3 における印刷制御部及びプリントヘッドの概略の回路構成を示すブロック図であり、実施例 1 を示す図 1 中の要素と共通の要素には共通の符号が付されている。

【 0 1 5 2 】

本実施例 3 の画像形成装置 1 では、プリントヘッド 1 3 B 及び印刷制御部 4 0 B の回路構成が、実施例 1 のプリントヘッド 1 3 及び印刷制御部 4 0 と異なっている。

【 0 1 5 3 】

本実施例 3 のプリントヘッド 1 3 B は、実施例 1 と同様のシフトレジスタ 1 1 0 と、実施例 1 の発光素子アレイ 2 0 0 とは異なる構成の発光素子アレイ 2 0 0 B とを有している。

10

【 0 1 5 4 】

発光素子アレイ 2 0 0 B は、3 端子発光素子である例えば複数の P ゲート型発光サイリスタ 2 1 0 B (= 2 1 0 B - 1 ~ 2 1 0 B - n , . . .) を有し、これらの各発光サイリスタ 2 1 0 B の第 1 端子 (例えば、アノード) が第 1 電源 (例えば、電源電圧 V D D 電源) に接続され、第 2 端子 (例えば、カソード) が駆動電流 I o u t を流す共通端子 I N に接続され、第 1 制御端子 (例えば、ゲート) がシフトレジスタ 1 1 0 の各出力端子 Q 1 ~ Q n , . . . に接続されている。各発光サイリスタ 2 1 0 B は、アノード・カソード間に電源電圧 V D D が印加された状態で、ゲートに “ H ” レベルのトリガ信号が入力されると、アノード・カソード間がオン状態になってカソード電流が流れ、発光する素子である。

【 0 1 5 5 】

印刷制御部 4 0 B は、発光素子アレイ 2 0 0 B のオン / オフを指令するオン / オフ指令信号 D R V O N - P (但し、 「 - P 」 は正論理を意味する。) 、シフトレジスタ 1 1 0 に対する制御信号であるシリアルデータ S I 及びシリアルクロック S C K をプリントヘッド 1 3 B へ供給する図示しない回路と、複数の発光素子アレイ 2 0 0 B を時分割に駆動する複数の駆動回路 4 1 B 等を有している。図 1 4 においては、実施例 1 と同様に、説明を簡略化するために 1 個の駆動回路 4 1 B のみが図示されている。複数の発光素子アレイ 2 0 0 B は、例えば、総数 4 9 9 2 個の発光サイリスタ 2 1 0 B - 1 ~ 2 1 0 B - n , . . . を有し、これらの発光サイリスタ 2 1 0 B - 1 ~ 2 1 0 B - n , . . . が複数の発光サイリスタ 2 1 0 B - 1 ~ 2 1 0 B - n の組にグループ化され、各グループ毎に設けられた駆動回路 4 1 B によってそれらが同時並行的に分割駆動が行われる構成になっている。

20

30

【 0 1 5 6 】

なお、駆動回路 4 1 B は、図 1 4 においては印刷制御部 4 0 B の内部に配置されているが、プリントヘッド 1 3 B の内部に配置しても良い。

【 0 1 5 7 】

駆動回路 4 1 B は、入力されるオン / オフ指令信号 D R V O N - P を反転してデータ端子 D A に出力する C M O S インバータ 4 2 B により構成されている。C M O S インバータ 4 2 は、第 2 導電型の第 2 M O S トランジスタ (例えば、P M O S) 4 3 B と、第 1 導電型の第 1 M O S トランジスタ (例えば、N M O S) 4 4 B とを有し、これらが第 1 電源 (例えば、電源電圧 V D D 電源) と第 2 電源 (例えば、接地電位のグランド G N D) との間に直列に接続されている。

40

【 0 1 5 8 】

即ち、P M O S 4 3 B は、ゲートにオン / オフ指令信号 D R V O N - P が入力され、ソースが V D D 電源に接続され、ドレーンがデータ端子 D A に接続されている。N M O S 4 4 B は、第 2 制御端子 (例えば、ゲート) にオン / オフ指令信号 D R V O N - P が入力され、第 3 端子 (例えば、ソース) がグランド G N D (= 0 V) に接続され、第 4 端子 (例えば、ドレーン) がデータ端子 D A に接続され、サブストレート端子がグランド電位とは異なる電位 (例えば、低いサブストレート電位 V s u b) に設定されている。この N M O S 4 4 B には、ソース・サブストレート端子間に電位差が設定されており、この電位差に応じて閾値電圧 V t n が増加している。

【 0 1 5 9 】

50

データ端子 D A は、実施例 1 と同様に、接続コネクタ 7 1 - 1、接続ケーブル 7 0 - 1、及び接続コネクタ 7 2 - 1 を介して、発光素子アレイ 2 0 0 B 側の共通端子 I N に接続されている。

【 0 1 6 0 】

印刷制御部 4 0 B 側の駆動回路 4 1 B 等と、プリントヘッド 1 3 B 側のシフトレジスタ 1 1 0 とにより、本実施例 3 の駆動装置が構成されている。その他の構成は、実施例 1 と同様である。

【 0 1 6 1 】

(実施例 3 の印刷制御部及びプリントヘッドの動作)

図 1 4 において、例えば、印刷制御部 4 0 B におけるオン / オフ指令信号 D R V O N - P が “ L ” レベルの場合、C M O S インバータ 4 2 B を構成する P M O S 4 3 B がオン状態、N M O S 4 4 B がオフ状態となり、出力側のデータ端子 D A は、“ H ” レベル (電源電圧 V D D) となる。この結果、プリントヘッド 1 3 B 側の共通端子 I N も略電源電圧 V D D となり、各発光サイリスタ 2 1 0 B のアノード・カソード間電圧は略 0 V となって、そこに流れる駆動電流 I o u t もゼロとなり、発光サイリスタ 2 1 0 B - 1 ~ 2 1 0 B - n が全て非発光状態となる。

【 0 1 6 2 】

これに対し、オン / オフ指令信号 D R V O N - P が “ H ” レベルの場合、C M O S インバータ 4 2 B を構成する P M O S 4 3 B がオフ状態、N M O S 4 4 B がオン状態となって、出力側のデータ端子 D A が “ L ” レベルとなる。この結果、プリントヘッド 1 3 B 側の共通端子 I N も “ L ” レベルとなり、各発光サイリスタ 2 1 0 B のアノード・カソード間に略電源電圧 V D D が印加される。この際、発光サイリスタ 2 1 0 B - 1 ~ 2 1 0 B - n のうち、発光指令されている発光サイリスタ 2 1 0 B のゲートのみをシフトレジスタ 1 1 0 により選択的に H レベルとすることで、発光指令されているサイリスタ 2 1 0 B がターンオンすることになる。ターンオンした発光サイリスタ 2 1 0 B のカソードに流れる電流は、共通端子 I N を介してデータ端子 D A に流入する電流 (即ち、駆動電流 I o u t) であり、発光サイリスタ 2 1 0 B は発光状態となってその駆動電流 I o u t の値に応じた光出力を生じる。

【 0 1 6 3 】

ここで、駆動回路 4 1 B において、N M O S 4 4 B のソースがグランド G N D に接続され、サブストレータ端子がサブストレータ電位 V s u b に設定されている。具体的な設計例を考えると、例えば、電源電圧 V D D を 3 . 3 V、グランド G N D の接地電位を 0 V、サブストレータ電位 V s u b を - 2 V に設定することができる。この際、N M O S 4 4 B のソース・サブストレータ端子間には電位差 (= 2 V) が設定されており、この N M O S 4 4 B においては基板バイアス効果を生じ、その電位差に応じて閾値電圧 V t n が増加する。N M O S 4 4 B がオンする時、このゲート・ソース間には電源電圧 V D D が印加されるが、この電圧値はたかだか 3 . 3 V であって、N M O S 4 4 B を飽和領域で動作させることができる。

【 0 1 6 4 】

電子デバイス物理の理論により良く知られているように、この時の N M O S 4 4 B のドレーン電流 I d は、次式で与えられる。

$$I d = K \cdot (W / L) \cdot (V g s - V t n) ^ 2$$

但し、K ; 定数

W ; N M O S 4 4 B のゲート幅

L ; N M O S 4 4 B のゲート長

V t n ; N P M O S 4 4 B の閾値電圧

V g s ; N M O S 4 4 B のゲート・ソース間電圧 (電源電圧 V D D)

【 0 1 6 5 】

N M O S 4 4 の閾値電圧 V t n は、サブストレータ端子に設定されるサブストレータ電位 V s u b に依存して変化する。そのため、前記式から明らかなように、N M O S 4 4 B

のドレーン電流 I_d 、即ち、発光サイリスタ 210B の駆動電流 I_{out} は、電源電圧 V_{DD} 、及びサブストレート電位 V_{sub} を調整することで変化させることができる。

【0166】

なお、図14における駆動回路41Bにおいては、データ端子DAを“H”レベルとするためにPMOS43Bを設けているが、NMOS44Bをオフ状態にすることで駆動電流 I_{out} を遮断して発光サイリスタ 210B - 1 ~ 210B - n をターンオフさせることができるので、発光サイリスタ 210B のスイッチング速度に高速性を要求されないケースにおいては、PMOS43Bを省略することも可能である。

【0167】

(実施例3の効果)

10

本実施例3によれば、実施例1とほぼ同様の効果がある。又、実施例2における図11の終端回路120をプリントヘッド13B側に設ければ、実施例2とほぼ同様の効果が得られる。

【0168】

(変形例)

本発明は、上記実施例1~3に限定されず、種々の利用形態や変形が可能である。この利用形態や変形例としては、例えば、次の(I)、(II)のようなものがある。

【0169】

(I) 実施例1~3において、光源として用いられる発光サイリスタ210, 210Bに適用した場合について説明したが、本発明は、サイリスタをスイッチング素子として用い、このスイッチング素子に例えば直列に接続された他の素子(例えば、有機エレクトロルミネセンス素子(以下「有機EL素子」という。)、表示素子等)への電圧印加制御を行う場合にも適用可能である。例えば、有機EL素子のアレイで構成される有機ELプリントヘッドを備えたプリンタ、表示素子の列を有する表示装置等において利用することができる。

20

【0170】

(II) 表示素子(例えば、列状あるいはマトリクス状に配列された表示素子)の駆動(即ち、電圧印加の制御)のためスイッチング素子としても用いられるサイリスタにも適用可能である。又、本発明は、3端子構造を備えたサイリスタの他、第1と第2の2つのゲートを備えた4端子サイリスタSCS(Silicon Semiconductor Controlled Switch)の場合にも適用可能である。

30

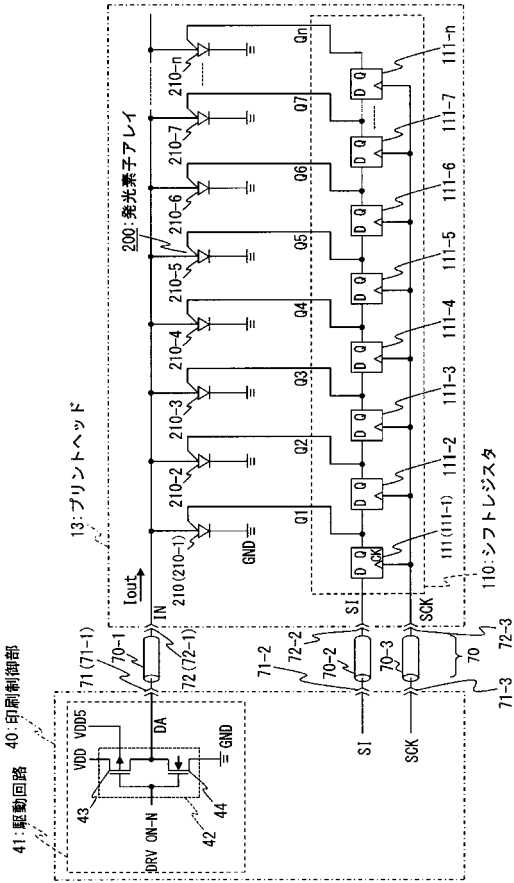
【符号の説明】

【0171】

1	画像形成装置	
13, 13A, 13B	プリントヘッド	
40, 40B	印刷制御部	
41, 41B	駆動回路	
42, 42B	CMOSインバータ	
43, 43B	PMOS	
44, 44B	NMOS	40
110	シフトレジスタ	
111, 111-1 ~ 111-n	FF	
120	終端回路	
130, 130-1 ~ 130-3	終端抵抗	
140	コンデンサ	
200, 200B	発光素子アレイ	
210, 210B, 210-1 ~ 210-n, 210B-1 ~ 210B-n	発光サイリスタ	

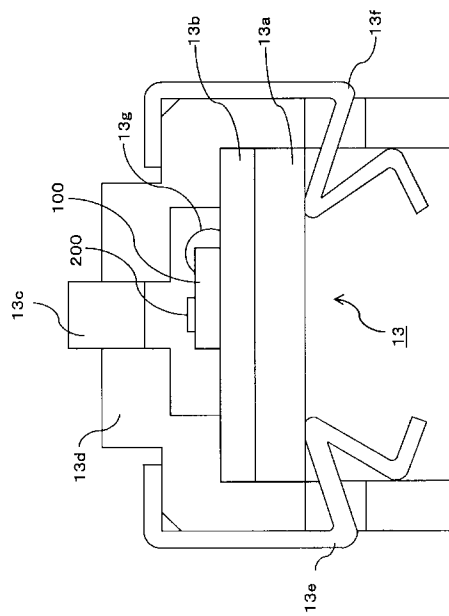
【図 1】

本発明の実施例 1 の印刷制御部及びプリントヘッド



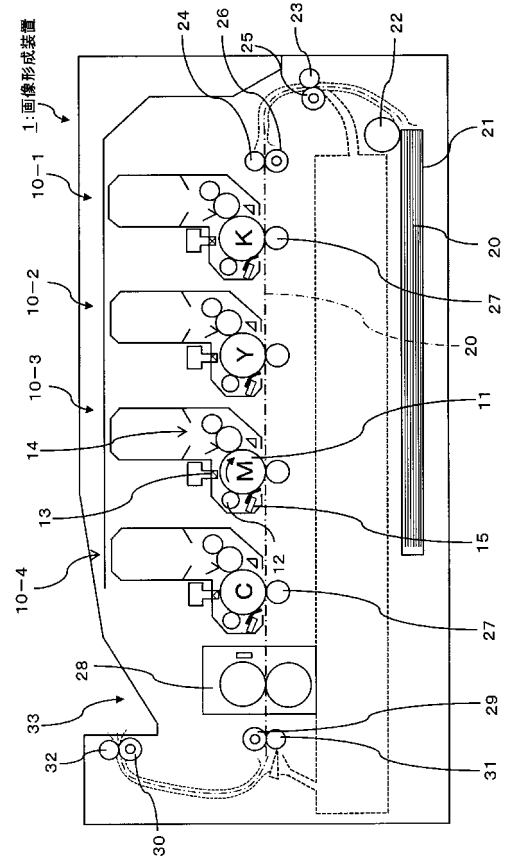
【図 3】

図2中のプリントヘッド



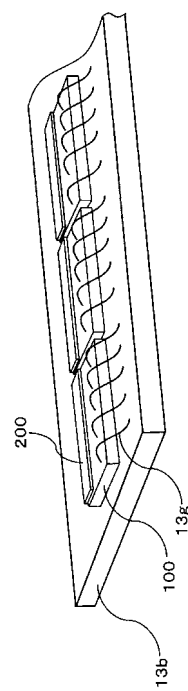
【図 2】

本発明の実施例 1 の画像形成装置

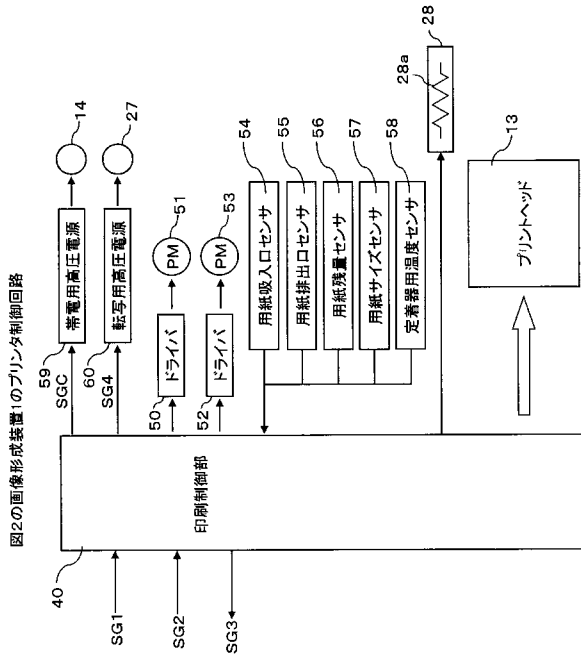


【図 4】

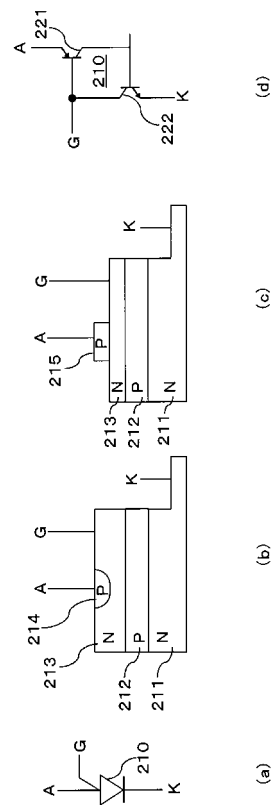
図3中の基板ユニット



【図 5】

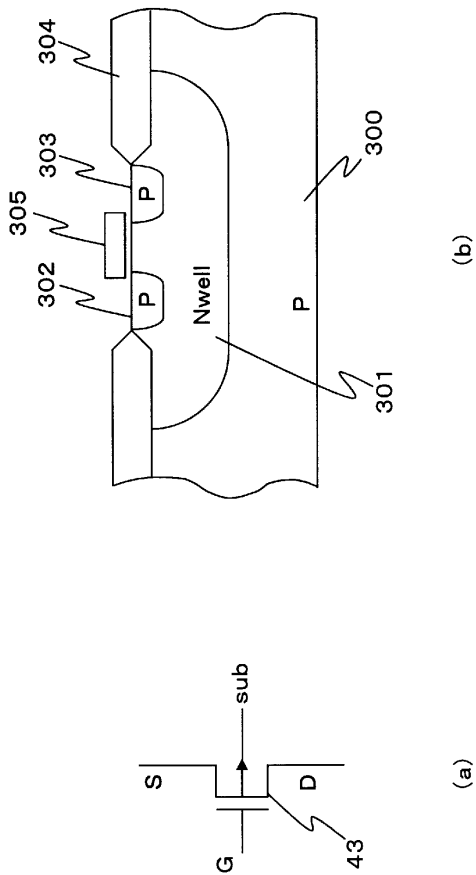


【図 6】



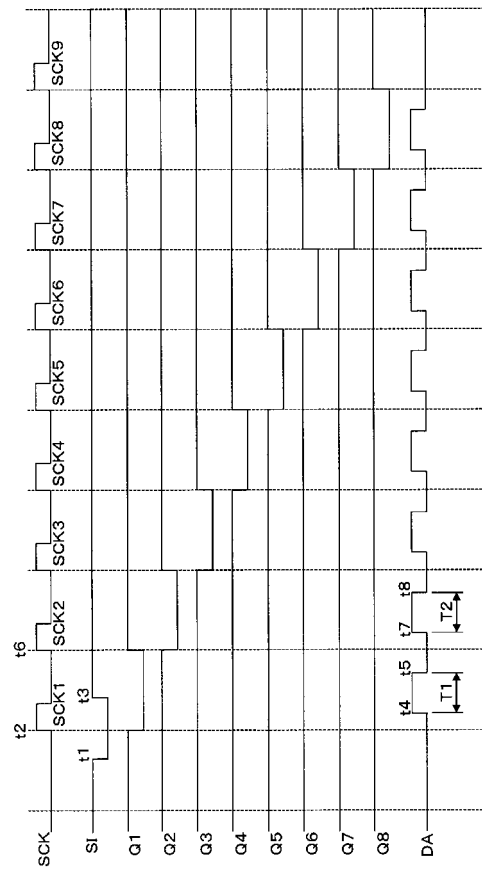
【図 7】

図1中のPMOS



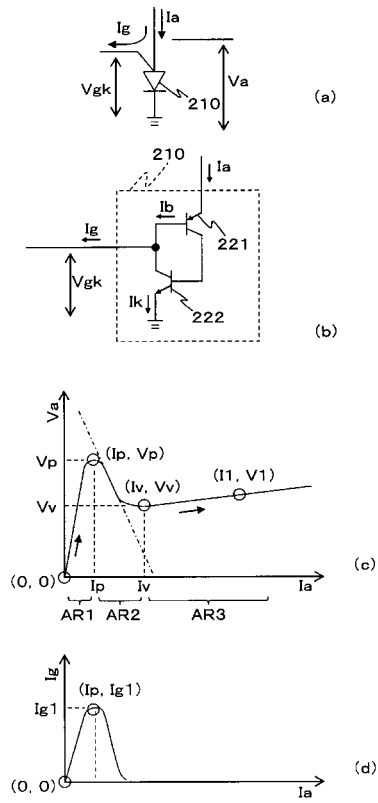
【図 8】

図1の動作を示すタイムチャート



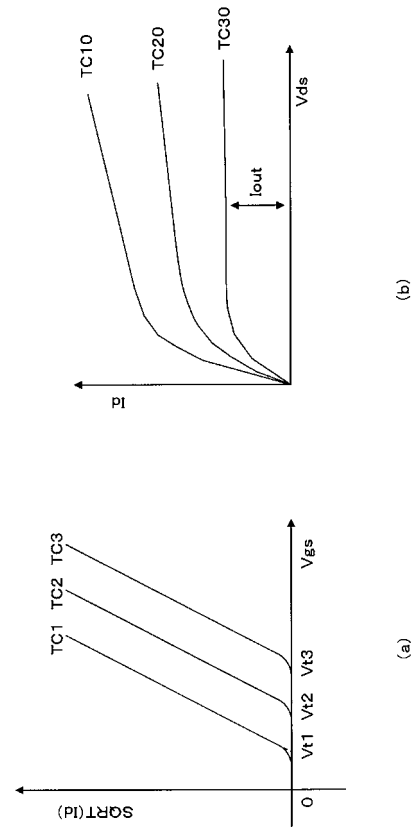
【図 9】

図6の発光サイリスタのターンオン過程



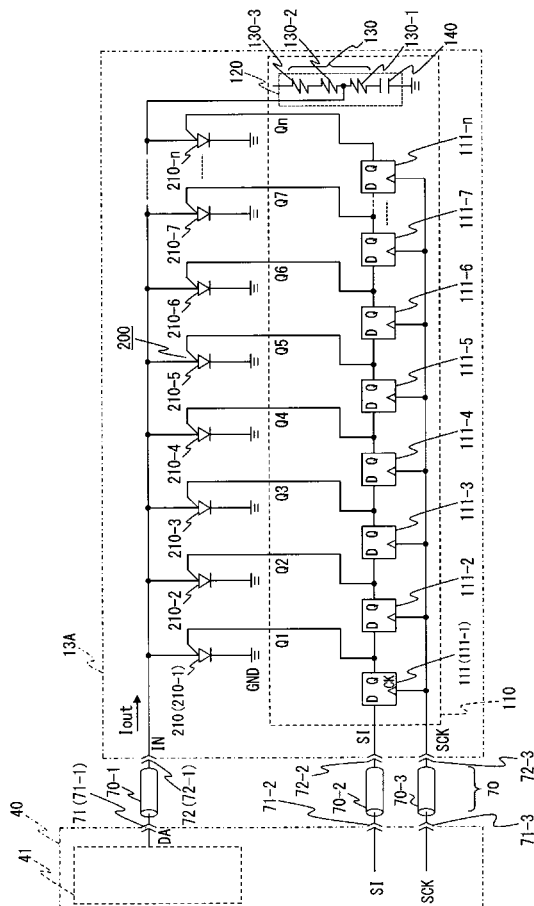
【図 10】

図7のPMOSのトランジスタ特性



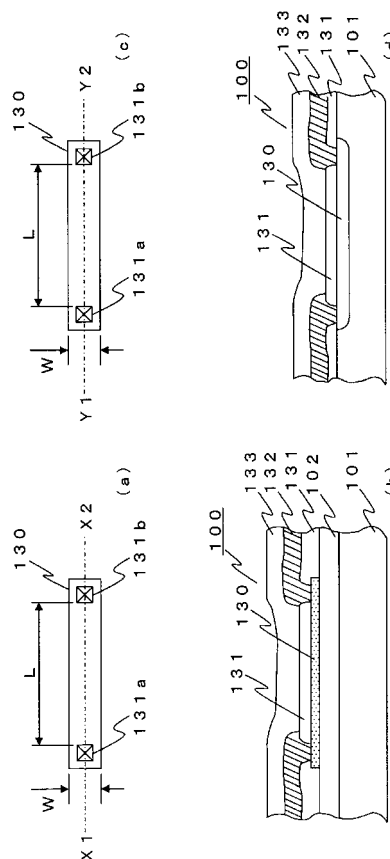
【図 11】

本発明の実施例 2 の印刷制御部及びブリットヘッド



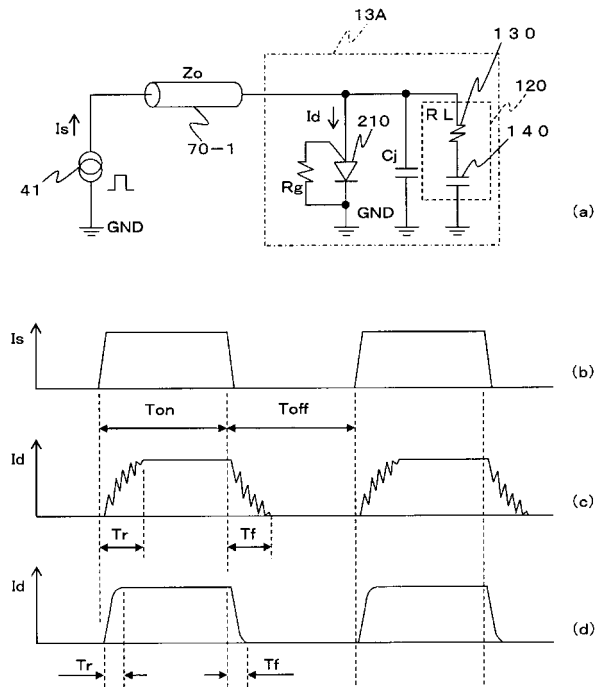
【図 12】

図 11 中の終端抵抗



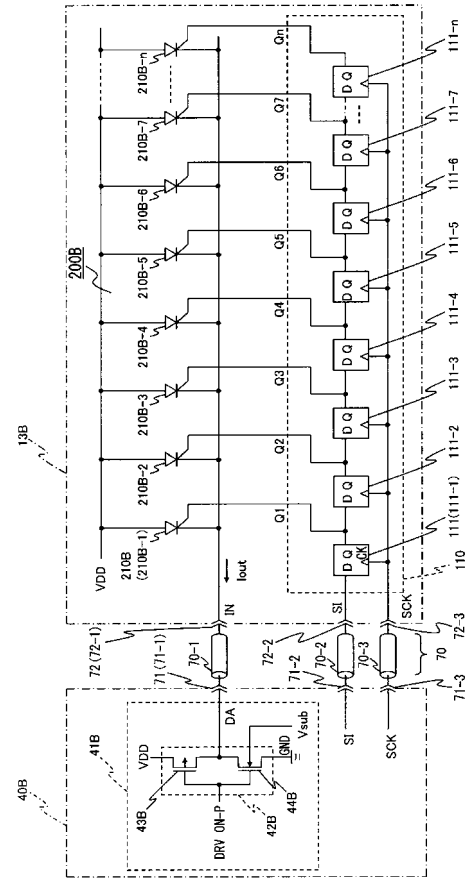
【図 13】

図 11 の印刷制御部及びプリントヘッドの動作



【図 14】

本発明の実施例 3 の印刷制御部及びプリントヘッド



フロントページの続き

(51)Int.Cl. F I

H 0 4 N 1/036 (2006.01)

(72)発明者 南雲 章

東京都八王子市東浅川町 5 5 0 番地の 1 株式会社沖デジタルイメージング内

審査官 山口 陽子

(56)参考文献 特開 2 0 0 9 - 2 8 9 8 3 6 (J P , A)

特開平 1 1 - 0 6 8 5 4 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

B 4 1 J 2 / 4 4

B 4 1 J 2 / 4 5

B 4 1 J 2 / 4 5 5

H 0 1 L 3 3 / 0 0

H 0 1 L 3 3 / 0 2

H 0 4 N 1 / 0 3 6