

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4879413号
(P4879413)

(45) 発行日 平成24年2月22日 (2012. 2. 22)

(24) 登録日 平成23年12月9日 (2011. 12. 9)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 6 (2006. 01)

G 0 9 G 3 / 2 0 (2006. 01)

G 0 9 G 3 / 3 0 (2006. 01)

G 0 9 G 3 / 3 6

G 0 9 G 3 / 2 0 6 1 1 H

G 0 9 G 3 / 2 0 6 2 3 G

G 0 9 G 3 / 2 0 6 2 4 B

G 0 9 G 3 / 3 0 J

請求項の数 9 (全 33 頁)

(21) 出願番号 特願2001-224405 (P2001-224405)
 (22) 出願日 平成13年7月25日 (2001. 7. 25)
 (65) 公開番号 特開2002-132233 (P2002-132233A)
 (43) 公開日 平成14年5月9日 (2002. 5. 9)
 審査請求日 平成20年7月18日 (2008. 7. 18)
 (31) 優先権主張番号 特願2000-224479 (P2000-224479)
 (32) 優先日 平成12年7月25日 (2000. 7. 25)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 小山 潤
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 棚田 好文
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

審査官 中村 直行

(56) 参考文献 特開平 1 0 - 1 7 7 3 7 1 (J P , A)
 特開平 0 8 - 1 7 1 0 8 0 (J P , A)

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

保持回路と、

ソース又はドレインの一方が前記保持回路の入力端に電氣的に接続され、他方が第 1 の配線と電氣的に接続された第 1 のトランジスタと、

前記保持回路の入力端と、第 2 の配線との間に直列に設けられた第 2 乃至第 4 のトランジスタとを有し、

前記第 1 のトランジスタのゲートには、プリチャージ信号が入力されることによって、前記保持回路の入力端と、前記第 1 の配線との導通、非導通が制御され、

前記第 2 のトランジスタのゲートにサンプリングパルスが入力され、前記第 3 のトランジスタのゲートにマルチプレクス信号が入力され、前記第 4 のトランジスタのゲートにデジタル映像信号が入力されることによって、前記保持回路の入力端と、前記第 2 の配線との導通、非導通が制御され、

前記第 1 のトランジスタは、帰線期間中にオンになることを特徴とする半導体装置。

【請求項 2】

保持回路と、

ソース又はドレインの一方が前記保持回路の入力端に電氣的に接続され、他方が第 1 の配線と電氣的に接続された第 1 のトランジスタと、

前記保持回路の入力端と、第 2 の配線との間に直列に設けられた第 2 乃至第 4 のトランジスタと

10

20

ソース又はドレインの一方が前記保持回路の入力端に電氣的に接続され、他方が前記第 1 の配線と電氣的に接続され、ゲートが前記第 2 の配線と電氣的に接続された第 5 のトランジスタとを有し、

前記第 1 のトランジスタのゲートには、プリチャージ信号が入力されることによって、前記保持回路の入力端と、前記第 1 の配線との導通、非導通が制御され、

前記第 2 のトランジスタのゲートにサンプリングパルスが入力され、前記第 3 のトランジスタのゲートにマルチプレクス信号が入力され、前記第 4 のトランジスタのゲートにデジタル映像信号が入力されることによって、前記保持回路の入力端と、前記第 2 の配線との導通、非導通が制御され、

前記第 1 のトランジスタは帰線期間中にオンになることを特徴とする半導体装置。

10

【請求項 3】

請求項 1 又は請求項 2 において、

前記マルチプレクス信号の一段分のパルス幅は、前記サンプリングパルスの一段分のパルス幅よりも小さく、かつその一段分の出力期間は前記サンプリングパルスの一段分の出力期間に含まれ、

前記デジタル映像信号の一段分のパルス幅は、前記サンプリングパルスの一段分のパルス幅よりも小さく、かつその一段分の出力期間は前記サンプリングパルスの一段分の出力期間に含まれることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれかーにおいて、

前記保持回路は、一方の出力端が他方の入力端と電氣的に接続されるように、ループ状に設けられた 2 個のインバータを含むことを特徴とする半導体装置。

20

【請求項 5】

請求項 1 乃至請求項 3 のいずれかーにおいて、

前記保持回路は、保持容量を含むことを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれかーにおいて、

前記第 1 の配線には、第 1 の電源電位が入力され、前記第 2 の配線には、前記第 1 の電源電位とは異なる第 2 の電源電位が入力されることを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれかー項において、

前記サンプリングパルス、前記マルチプレクス信号及び前記デジタル映像信号の振幅は、前記第 1 の配線と前記第 2 の配線との電位差よりも小さいことを特徴とする半導体装置

30

。

【請求項 8】

請求項 1 乃至請求項 7 のいずれかー項において、

第 2 の保持回路を有し、

ラッチ信号に応じて、前記保持回路に保持されている信号が前記第 2 の保持回路へと転送されることを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至請求項 8 のいずれかーに記載の半導体装置と、操作スイッチとを具備したことを特徴とする電子機器。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

【0002】

本発明は、半導体表示装置（以下表示装置と表記する）の駆動回路および駆動回路を用いた表示装置に関し、特に、絶縁体上に作成される薄膜トランジスタ（以下 T F T と表記する）を有するアクティブマトリクス型表示装置の駆動回路および駆動回路を用いたアクティブマトリクス型表示装置に関する。その中で特に、デジタル映像信号を入力するアクテ

50

ィブマトリクス型表示装置の駆動回路および駆動回路を用いたアクティブマトリクス型表示装置に関する。

【 0 0 0 3 】

【従来の技術】

近年、絶縁体上、特にガラス基板上に半導体薄膜を形成した表示装置、特にＴＦＴを用いたアクティブマトリクス型表示装置の普及が進んでいる。ＴＦＴを使用したアクティブマトリクス型表示装置は、マトリクス状に配置された数十万から数百万のＴＦＴを有し、各画素の電荷を制御することによって映像の表示を行っている。

【 0 0 0 4 】

さらに最近の技術として、画素を構成する画素ＴＦＴの他に、画素部の周辺部に、ＴＦＴを用いて駆動回路を同時形成するポリシリコンＴＦＴに関する技術が発展してきている。

10

【 0 0 0 5 】

また、ここで同時形成される駆動回路も、アナログ映像信号対応のものにとどまらず、デジタル映像信号に対応したものが実現されている。

【 0 0 0 6 】

通常のデジタル映像信号入力方式の表示装置の概略図を、図１１に示す。中央に画素部１１０８が配置されている。画素部の上側には、ソース信号線を制御するための、ソース信号線駆動回路１１０１が配置されている。ソース信号線駆動回路１１０１は、第１のラッチ回路１１０４、第２のラッチ回路１１０５、Ｄ／Ａ変換回路１１０６、アナログスイッチ１１０７等を有する。画素部の左右には、ゲート信号線を制御するための、ゲート信号線駆動回路１１０２が配置されている。なお、図１１においては、ゲート信号線駆動回路１１０２は、画素部の左右両側に配置されているが、片側配置でも構わない。ただし、両側配置とした方が、駆動効率、駆動信頼性の面から見て望ましい。

20

【 0 0 0 7 】

ソース信号線駆動回路１１０１に関しては、図１２に示すような構成を有している。この駆動回路は、水平方向解像度１０２４画素、４ビット階調表示能力を有する表示装置のソース信号線駆動回路であり、シフトレジスタ回路１２０１（ＳＲ）、第１のラッチ回路１２０２（ＬＡＴ１）、第２のラッチ回路１２０３（ＬＡＴ２）、Ｄ／Ａ変換回路１２０４（Ｄ／Ａ）等を有する。なお、図１２では、図１１におけるアナログスイッチ１１０７は図示していない。また、必要に応じて、バッファ回路あるいはレベルシフタ回路等を追加配置しても良い。

30

【 0 0 0 8 】

また、本明細書において、順次サンプリングパルスを出力するための回路を具体的に示す際には、シフトレジスタ回路と統一して記述しているが、本発明に関し、必ずしもシフトレジスタ回路によってサンプリングパルスを出力するという限定はしない。

【 0 0 0 9 】

図１１および図１２を用いて回路の動作について簡潔に説明する。まず、シフトレジスタ回路１２０１に、クロック信号（ＣＬＫ）、クロック反転信号（ＣＬＫｂ）およびスタートパルス（Ｓ－ＳＰ）が入力され、順次サンプリングパルスが出力される。第１のラッチ回路１２０２においては、サンプリングパルスの入力に伴って、デジタル映像信号（Digital Data）をそれぞれ保持していく。図１２では、４ビットのデジタル映像信号を扱うため、最下位から最上位までの各ビットのデータを同時に保持するよう、１段のシフトレジスタ回路から出力されるサンプリングパルスによって４つの第１のラッチ回路が同時に動作する。第１のラッチ回路１２０２において、１水平周期分の映像信号の保持が完了すると、帰線期間中にラッチ信号（Latch Pulse）が入力され、第１のラッチ回路１２０２で保持されている映像信号は一斉に第２のラッチ回路１２０３へと転送される。

40

【 0 0 1 0 】

その後、再びシフトレジスタ回路１２０１の第１段目からサンプリングパルスが出力され、続く水平周期分の映像信号の保持が開始される。同時に、第２のラッチ回路１２０３に

50

て保持されている映像信号は、D/A変換回路1204に入力され、アナログ信号へと変換される。ここでアナログ化された映像信号は、ソース信号線(S0001~S1024)を經由して画素(図示せず)へと書き込まれる。この動作を繰り返すことによって、映像の表示が行われる。

【0011】

【発明が解決しようとする課題】

図13は、図12に示したソース信号線駆動回路の一部分を図示したものである。サンプリングパルスが第1のラッチ回路1302に入力され、1ビット分のデジタル映像信号を保持し、1水平期間分のデジタル映像信号の保持が完了すると、ラッチ信号(Latch Pulse)の入力により、第2のラッチ回路1303へと転送される。ここで、第2のラッチ回路は、第1のラッチ回路と同様の回路構成で良い。

10

【0012】

ところで、クロック信号(CLK)クロック反転信号(CLKb)、スタートパルス(SP)、デジタル映像信号(Digital Data)およびラッチ信号(Latch Pulse)は、ともに外部から直接入力される信号であり、任意のタイミングでの入力が可能である。一方、デジタル映像信号を保持するパルスのタイミングは、シフトレジスタ回路1301から出力されるサンプリングパルスのタイミングによる。映像信号を正常に保持するためには、両者のタイミングが合致している必要があるが、サンプリングパルスは、既に複数の回路を通過しているため、図2(A)に示すように、タイミングチャート上のサンプリングパルスに対して、201で示すだけの遅延が生ずる。デジタル映像信号は当初、タイミングチャート上でのサンプリングパルスに合わせて入力されるため、この状態では正常に映像信号を保持できない。よってこのような場合は、遅延を生じた実際のパルスの出力に合わせて、デジタル映像信号の入力タイミングの微調整が必要となる。

20

【0013】

さらに、この遅延時間は、回路を構成するTFTの特性のばらつき等によっても変化するため、表示装置ごとに異なる場合が多い。よってその都度、個々に合わせて微調整する必要がある。

【0014】

加えて、近年のLCDの急速な高解像度化、高精細化に伴い、駆動回路全体の駆動周波数が高くなってきているため、わずかに生じた遅延であっても、デジタル映像信号の保持動作を正常に行うことが出来なくなる場合がある。

30

【0015】

本発明は、このような課題を解決するためになされたものであり、サンプリングパルスの遅延がデジタル映像信号の保持動作に影響しにくい構造を有する駆動回路を提供することを目的とする。

【0016】

【課題を解決するための手段】

前述した課題を解決するために、本発明においては以下のような手段を講じた。

【0017】

図11~図13に示した従来例のような駆動回路においては、サンプリングパルスの遅延時間に合わせて、デジタル映像信号の入力タイミングの微調整を行う必要があり、さらにその遅延時間が表示装置ごとのばらつきがあるために個々について行わなければならなかった。

40

【0018】

これに対して、本発明の駆動回路においては、第1のラッチ回路の保持タイミングを、外部からの信号入力によって直接決定する方法をとり、サンプリングパルスの少々遅延が、保持タイミングに影響しないようにした。つまり、表示装置ごとにばらつきがあったとしても、保持タイミング用の信号とデジタル映像信号を同時に外部から入力することで、両者が常に決まったタイミングで回路に入力され、常に正常に保持動作が行われる。また

50

、従来のように、タイミングを回路の遅延に合わせて微調整するのではなく、複数の信号の入力段階であらかじめタイミングを合わせて入力するだけであるため、その調整が大変容易になる。

【 0 0 1 9 】

以下に、本発明の表示装置の駆動回路の構成について記載する。

【 0 0 2 0 】

本発明の表示装置の駆動回路は、
入力されたデジタル映像信号の保持を行う保持回路と、
前記保持回路の信号入力部と、第 1 の電源との間に設けられたプリチャージ回路と、
前記保持回路の信号入力部と、デジタル映像信号線との間に設けられた保持動作選択回路
とを有し、
前記プリチャージ回路には、プリチャージ信号が入力され、
前記保持動作選択回路には、サンプリングパルスと、マルチプレクス信号と、デジタル映像信号とが入力されることを特徴としている。

10

【 0 0 2 1 】

本発明の表示装置の駆動回路は、
入力されたデジタル映像信号の保持を行う保持回路と、
前記保持回路の信号入力部と、第 1 の電源との間に設けられたプリチャージ回路と、
前記保持回路の信号入力部と、デジタル映像信号線との間に設けられた保持動作選択回路
とを有し、
前記プリチャージ回路には、プリチャージ信号が入力され、
前記保持動作選択回路には、サンプリングパルスと、マルチプレクス信号と、デジタル映像信号とが入力され、
前記プリチャージ回路は、前記プリチャージ信号の入力により、前記保持部の信号入力部
と前記第 1 の電源とを導通し、
前記保持動作選択回路において、前記サンプリングパルスと、前記マルチプレクス信号と
、前記デジタル映像信号の入力が重複する期間で、前記保持回路において、前記デジタル映像信号の保持を行うことを特徴としている。

20

【 0 0 2 2 】

本発明の表示装置の駆動回路は、
入力されたデジタル映像信号の保持を行う保持回路と、
第 1 の電源と前記保持回路の信号入力部との間に設けられた第 1 のトランジスタと、
第 2 の電源と前記保持回路の信号入力部との間に直列に設けられた第 2、第 3 および第 4
のトランジスタとを有し、
前記第 1 のトランジスタのゲート電極にはプリチャージ信号が入力され、
前記第 2 のトランジスタのゲート電極にはマルチプレクス信号が入力され、
前記第 3 のトランジスタのゲート電極にはデジタル映像信号が入力され、
前記第 4 のトランジスタのゲート電極にはサンプリングパルスが入力されることを特徴と
している。

30

【 0 0 2 3 】

本発明の表示装置の駆動回路は、
入力されたデジタル映像信号の保持を行う保持回路と、
第 1 の電源と前記保持回路の信号入力部との間に設けられた第 1 のトランジスタと、
第 2 の電源と前記保持回路の信号入力部との間に直列に設けられた第 2、第 3 および第 4
のトランジスタとを有し、
前記第 1 のトランジスタのゲート電極にはプリチャージ信号が入力され、
前記第 2 のトランジスタのゲート電極にはマルチプレクス信号が入力され、
前記第 3 のトランジスタのゲート電極にはデジタル映像信号が入力され、
前記第 4 のトランジスタのゲート電極にはサンプリングパルスが入力され、
前期保持回路は、前記マルチプレクス信号と、前記デジタル映像信号と、前記サンプリン

40

50

グパルスとの入力重複する期間において、前記デジタル映像信号の保持を行うことを特徴としている。

【 0 0 2 4 】

本発明の表示装置の駆動回路は、

請求項 3 または請求項 4 に記載の表示装置の駆動回路において、

前記プリチャージ信号の入力により第 1 のトランジスタが導通し、前記保持回路の信号入力部における電位が第 1 の電源電位をとり、

サンプリングパルスが出力されている期間内にマルチプレクス信号およびデジタル映像信号が入力され、前記第 2 ～ 第 4 のトランジスタが導通し、前記保持回路の信号入力部における電位が第 2 の電源電位に変化し、

以後、次の帰線期間までの間、前記保持回路において第 2 の電源電位が保持されることを特徴としている。

【 0 0 2 5 】

本発明の表示装置の駆動回路は、

入力されたデジタル映像信号の保持を行う保持回路と、

第 1 の電源と前記保持回路の信号入力部との間に並列配置された第 1 および第 2 のトランジスタと、

第 2 の電源と前記保持回路の信号入力部との間に直列配置された第 3、第 4 および第 5 のトランジスタとを有し、

前記第 1 のトランジスタのゲート電極にはプリチャージ信号が入力され、

前記第 2 のトランジスタのゲート電極には第 2 の電源電位が印加され、

前記第 3 のトランジスタのゲート電極にはマルチプレクス信号が入力され、

前記第 4 のトランジスタのゲート電極にはデジタル映像信号が入力され、

前記第 5 のトランジスタのゲート電極にはサンプリングパルスが入力されることを特徴としている。

【 0 0 2 6 】

本発明の表示装置の駆動回路は、

入力されたデジタル映像信号の保持を行う保持回路と、

第 1 の電源と前記保持回路の信号入力部との間に並列配置された第 1 および第 2 のトランジスタと、

第 2 の電源と前記保持回路の信号入力部との間に直列配置された第 3、第 4 および第 5 のトランジスタとを有し、

前記第 1 のトランジスタのゲート電極にはプリチャージ信号が入力され、

前記第 2 のトランジスタのゲート電極には第 2 の電源電位が印加され、

前記第 3 のトランジスタのゲート電極にはマルチプレクス信号が入力され、

前記第 4 のトランジスタのゲート電極にはデジタル映像信号が入力され、

前記第 5 のトランジスタのゲート電極にはサンプリングパルスが入力され、

前期保持回路は、前記マルチプレクス信号と、前記デジタル映像信号と、前記サンプリングパルスとの入力重複する期間において前記デジタル映像信号の保持を行うことを特徴としている。

【 0 0 2 7 】

本発明の表示装置の駆動回路は、

請求項 6 または請求項 7 に記載の表示装置の駆動回路において、

前記プリチャージ信号の入力により第 1 のトランジスタが導通し、前記保持回路の信号入力部における電位が第 1 の電源電位をとり、

サンプリングパルスが出力されている期間内にマルチプレクス信号およびデジタル映像信号が入力され、前記第 3 ～ 第 5 のトランジスタが導通し、前記保持回路の信号入力部における電位が第 2 の電源電位に変化し、

以後、次の帰線期間までの間、前記保持部において第 2 の電源電位が保持されることを特徴としている。

【 0 0 2 8 】

本発明の表示装置の駆動回路は、
入力されたデジタル映像信号の保持を行う保持回路と、
NAND回路と、
アナログスイッチとを有し、
前記NAND回路には、サンプリングパルスと、マルチプレクス信号とが入力され、
前記保持回路には、デジタル映像信号が前記アナログスイッチを介して入力され、
前記アナログスイッチは、前記NAND回路の出力によって導通、非導通の制御がなされ、
前記アナログスイッチの導通に伴い、前記保持回路への映像信号の書き込みが行われ、
以後、次の帰線期間までの間、前記保持回路において映像信号が保持されることを特徴と
している。

10

【 0 0 2 9 】

本発明の表示装置の駆動回路は、
請求項1乃至請求項9のいずれか1項に記載の表示装置の駆動回路において、前記マルチ
プレクス信号および前記デジタル映像信号は、共に外部からの直接入力によることを特徴
としている。

【 0 0 3 0 】

本発明の表示装置の駆動回路は、
請求項1乃至請求項10のいずれか1項に記載の表示装置の駆動回路において、
前記デジタル映像信号のパルス幅と、前記マルチプレクス信号のパルス幅は、いずれも前
記サンプリングパルスのパルス幅よりも小さいことを特徴としている。

20

【 0 0 3 1 】

本発明の表示装置の駆動回路は、
請求項1乃至請求項11のいずれか1項に記載の表示装置の駆動回路において、
前記保持回路における電位の保持は、ループ状に設けられた2個のインバータによる保持
回路によってなされることを特徴としている。

【 0 0 3 2 】

本発明の表示装置の駆動回路は、
請求項1乃至請求項11のいずれか1項に記載の表示装置の駆動回路において、
前記保持回路における電位の保持は、保持容量によってなされることを特徴としている。

30

【 0 0 3 3 】

の本発明の表示装置の駆動回路によると、
請求項1乃至請求項13のいずれか1項に記載の表示装置の駆動回路を用いることを特徴
とする表示装置の提供が可能となる。

【 0 0 3 4 】

【発明の実施の形態】

[実施の形態1]

図22に、本発明の一実施形態を示す。図22は、図12において、シフトレジスタ(S
R)～第1のラッチ回路(LAT1)～第2のラッチ回路(LAT2)に相当する部分を
、2段分書き表したものである。第1段目における第1のラッチ回路(LAT1)は、プ
リチャージ回路2201、保持動作選択回路2202、保持回路2203を有し、保持回
路2203の出力は、第2のラッチ回路(LAT2)に入力される。第1段目における第
1のラッチ回路(LAT1)は、プリチャージ回路2204、保持動作選択回路2205
、保持回路2206を有し、保持回路2206の出力は、同様に第2のラッチ回路(LA
T2)に入力される。

40

【 0 0 3 5 】

回路の動作について説明する。ここで、第1の電源の電位はVDD、第2の電源の電位は
VSSとする。まず、ある帰線期間中に、プリチャージ信号が入力されることによって、
プリチャージ回路2201および2204が動作し、保持回路2203および2206の

50

信号入力部の電位をVDDとする。続いて帰線期間が終了し、1段目のシフトレジスタよりサンプリングパルスが出力され、保持動作選択回路2202に入力される。また、保持動作選択回路2202には、さらにマルチプレクス信号1(MPX1)およびデジタル映像信号(Digital Data)も入力される。

【0036】

保持動作選択回路では、サンプリングパルス、マルチプレクス信号、デジタル映像信号が全て入力されている期間において、保持回路2203にデジタル映像信号の書き込みを許可する。保持回路2203においては、ここで書き込まれたデジタル映像信号を、水平期間が終了するまで保持する。

10

【0037】

次に、2段目において同様の処理が行われる。このとき、保持動作選択回路には、サンプリングパルス、マルチプレクス信号2(MPX2)、デジタル映像信号(Digital Data)が入力される。つまり、第1段目、第3段目、第5段目・・・、第(2m-1)段目においてはマルチプレクス信号1(MPX1)を用い、第2段目、第4段目、第6段目・・・、第(2m)段目においてはマルチプレクス信号2(MPX2)を用いる。

【0038】

続いて、帰線期間中にラッチ信号(Latch Pulse)が入力され、第1のラッチ回路の保持部2203、2206で保持されていた信号は、一斉に第2のラッチ回路へと転送される。以降、D/A変換、画素への書き込み等の動作は、従来例に記述したとおりの動作による。

20

【0039】

[実施の形態2]

実施の形態1にて示した回路において、プリチャージ回路2201、保持動作選択回路2202、保持回路2203の詳細な構成を含む図を図1に示す。図1ではシフトレジスタ~第1のラッチ回路~第2のラッチ回路に相当する1段分のみを示している。

【0040】

図1(A)(B)に示す回路は、映像信号保持部100、プリチャージ用の第1のTF T 102(以降、プリチャージTF Tと表記する。)、第2のTF T 104、第3のTF T 105、第4のTF T 106を有している。図1(A)では、第1のTF TにはPチャンネル型を用い、第2~第4のTF TにはNチャンネル型を用いている。ここで、TF T 102が図22におけるプリチャージ回路2201に相当し、TF T 104、105、106を用いてなる回路が図22における保持動作選択回路2202に相当する。

30

【0041】

保持回路100は、2個のインバータを用いて構成される。101は駆動用インバータ、110は保持用インバータであり、両者がループを形成するように接続されている。駆動用インバータ101への入力が入力不定となる場合でも、保持用インバータ110の出力によって、駆動用インバータ101の出力が確定される。

【0042】

TF T 102のソース領域は第1の電源電位(ここではVDD)に接続され、ドレイン領域は保持部100の入力端子に接続されている。TF T 104~106は、第2の電源電位(ここではGND)と、保持部100の入力端子との間に直列配置され、それぞれのゲート電極には、マルチプレクス信号(MPX1、MPX2)、デジタル映像信号(Digital Data)およびサンプリングパルスがそれぞれ入力される。プリチャージTF T 102のゲート電極には、プリチャージ用信号(Pre Charge)が入力される。

40

【0043】

図1(A)に示した第1のラッチ回路の動作について説明する。なお、ここで用いる電位は、信号の振幅に合わせて、高電位側(Hi電位と表記する)をVDD、低電位側(Lo電位と表記する)をGNDとする。また、特別の記述のない限り、デジタル映像信号、サ

50

ンプリングパルスおよびマルチプレクス信号に関しては、 H_i 電位 (V_{DD}) の時に信号の入力があつたものと解釈されたい。

【0044】

まず、ある帰線期間中に、プリチャージ信号に L_o を入力する。これによってプリチャージ $TFT102$ が導通し、保持部 100 の入力端子における電位が H_i 電位 (V_{DD}) に引き上げられる。その後、水平期間に入る時にプリチャージ信号は H_i となり、プリチャージ $TFT102$ は非導通状態に戻る。

【0045】

次に、水平期間に入ってから動作の説明に移る。シフトレジスタ回路が動作し、サンプリングパルスが出力されて、 N チャネル型 $TFT106$ のゲート電極に H_i が入力される。このパルスが H_i 状態となっている期間内に、マルチプレクス信号 ($MPX1$)、デジタル映像信号 ($Digital\ Data$) が、 N チャネル型 $TFT104$ 、 105 のゲート電極にそれぞれ入力される。シフトレジスタからの出力パルス、マルチプレクス信号、デジタル映像信号の3信号が全て H_i のとき、 N チャネル型 $TFT104 \sim 106$ が全て導通し、保持部 100 の入力端子に L_o 電位 (GND) が入力される。一度 L_o 電位 (GND) になると、 N チャネル型 $TFT104 \sim 106$ が非導通状態に戻った後も、次の帰線期間の開始まで、保持部 100 によって保持される。

【0046】

このとき、保持部 100 の入力端子における H_i 電位は、デジタル映像信号の保持動作が行われるまでの間はそのまま保持されている必要がある。よって、図1(B)に示すように、定電流供給用の $TFT103$ を追加して、電位の保持を保障しても良い。定電流 $TFT103$ には、ここでは P チャネル型を用い、ゲート電極には常に L_o (GND) が入力されているようにしている。ただし、デジタル映像信号の保持を阻害しないよう、定電流 $TFT103$ の電流能力が、保持部 100 を構成する TFT の電流能力に対して十分に小さくなるように設計することが望ましい。

【0047】

続いて、帰線期間中にラッチ信号 ($Latch\ Pulse$) が入力され、第1のラッチ回路の保持部 100 で保持されていた信号は、一斉に第2のラッチ回路へと転送される。以降、 D/A 変換、画素への書き込み等の動作は、従来例に記述したとおりの動作による。

【0048】

図2(B)に、本発明の駆動回路によるシフトレジスタ回路の動作と、デジタル映像信号の入力および保持動作のタイミングについて示す。本発明のラッチ回路においては、シフトレジスタ回路の駆動周波数を、図2(A)に示した従来の回路に対して $1/2$ とし、パルス幅を2倍に広げている。 $SR\ Out1$ と表記してあるパルスは、例えば1段目のシフトレジスタ回路から出力されるサンプリングパルスであり、 $SR\ Out2$ と表記してあるパルスは、次段のシフトレジスタ回路から出力されるサンプリングパルスである。実際のサンプリングパルスは、タイミングチャート上のサンプリングパルスに対し、 202 で示すような遅延を生ずる。

【0049】

ここで、従来例においては、第1のラッチ回路における保持動作のタイミングが、サンプリングパルスのタイミングに依存していたため、図2(A)で示すように、遅延が起これば正常にデジタル映像信号の保持を行うことができなくなっていた。したがって、その都度、デジタル映像信号の入力のタイミングの微調整が必要となっていた。

【0050】

これに対し、前述の動作の説明および図2からわかるように、本発明のラッチ回路における保持動作のタイミングは、サンプリングパルス ($SR\ Out\#$)、マルチプレクス信号 ($MPX\#$) およびデジタル映像信号 ($Digital\ Data$) の3信号により決定される。そして、サンプリングパルスを除く他の信号は、全て外部からの直接入力であるため、ラッチ回路における事実上の保持動作のタイミングは、このマルチプレクス信号

10

20

30

40

50

とデジタル映像信号との入力タイミングにより決定されるといえる。すなわち、サンプリングパルスの出力に少々の変延が生じた場合にも、保持動作のタイミングは変化しない(図2(B)の場合、遅延は203で示す長さだけ許される)。

【0051】

また、外部から入力されるマルチプレクス信号とデジタル映像信号に関しては容易にタイミングを揃えることが出来るため、従来のラッチ回路と比較しても大幅に調整が容易になっている。

【0052】

この実施形態において、図1に示した本発明のラッチ回路の構成について、各部を構成するTF T 102 ~ 106の極性は、サンプリングパルス、プリチャージ信号、デジタル映像信号およびマルチプレクス信号等の正負(各パルスがH i 電位で出力されるか、L o 電位で出力されるか)により、本例とは異なる極性のTF Tであっても、動作原理は変わらない。

10

【0053】

このようなラッチ回路を用いることにより、従来のラッチ回路周辺で問題となっていた、回路から出力される信号の遅延によるタイミングの微調整を必要としない駆動回路を提供することが出来る。加えて、シフトレジスタ回路の駆動周波数は1/2となっているため、信頼性の向上も期待出来る。

【0054】

さらに、第1のラッチ回路に入力される信号(デジタル映像信号、マルチプレクス信号、サンプリングパルス)に関しては、TF T 104 ~ 106が確実に導通するだけの電圧振幅を有していれば良い。よって、ラッチ回路に接続されている電源であるVDD - GND間の電圧よりも小さい電圧振幅であっても、前述の条件を満足する限りは十分に正常動作が可能であるので、入力信号の振幅を縮小することによる低消費電力化が見込める。

20

【0055】

また、本発明のラッチ回路を有する駆動回路は、デジタル映像信号を扱う表示装置であれば、画素部に液晶素子を用いた液晶表示装置(LCD:液晶ディスプレイ等)、エレクトロルミネッセンス(EL)素子を用いたEL表示装置(OLED:有機ELディスプレイ等)等の表示装置に適用が可能である。

【0056】

【実施例】

本発明の主旨は、デジタル映像信号の保持のタイミングが、サンプリングパルスの遅延に依存せず、かつ保持のタイミングを容易に外部から制御可能な表示装置の駆動回路を提供する点にある。実施形態に示した一例に限らず、本発明には多種の応用例が挙げられる。以下にその実施例について記す。

30

【0057】

[実施例1]

図3に、本発明のラッチ回路を有する駆動回路を用いた表示装置の概略図を示す。中央に画素部308が配置されている。画素部の上側には、ソース信号線を制御するための、ソース信号線駆動回路301が配置されている。ソース信号線駆動回路301は、第1のラッチ回路304、第2のラッチ回路305、D/A変換回路306、アナログスイッチ307等を有する。第1のラッチ回路304は、図1で示したような構造を有している。他の構成部分に関しては、従来例と同様で良い。画素部の左右には、ゲート信号線を制御するための、ゲート信号線駆動回路302が配置されている。なお、図3においては、ゲート信号線駆動回路302は、画素部の左右両側に配置されているが、片側配置でも構わない。ただし、両側配置とした方が、駆動効率、駆動信頼性の面から見て望ましい。

40

【0058】

ソース信号線駆動回路301に関しては、図4に示すような構成を有している。この駆動回路は、水平方向解像度1024画素、4ビット階調表示能力を有する表示装置のソース信号線駆動回路であり、シフトレジスタ回路401(SR)、第1のラッチ回路402(

50

L A T 1)、第2のラッチ回路403(L A T 2)、D/A変換回路404(D/A)等を有する。なお、図4では、図3におけるアナログスイッチ307は図示していない。また、必要に応じて、バッファ回路あるいはレベルシフト回路等を追加配置しても良い。

【0059】

第1のラッチ回路402には、サンプリングパルスの他に、プリチャージ信号(P r e C h a r g e)、マルチプレクス信号(M P X 1、M P X 2)、デジタル映像信号(D i g i t a l D a t a)等が入力される。また、図4中、V D Dと表記してある配線は信号線ではなく、第1のラッチ回路の電位を帰線期間中にH iに引き上げるために供給される電源線である。

【0060】

マルチプレクス信号(M P X 1、M P X 2)は、奇数段目の第1のラッチ回路(図4において、ソース信号線 S_{0001} 、 S_{0003} 、 \dots 、 S_{2n-1} に書き込まれる映像信号の保持を行う第1のラッチ回路)の保持タイミングの決定にはM P X 1に入力される信号を用い、偶数段目の第1のラッチ回路(図4において、ソース信号線 S_{0002} 、 S_{0004} 、 \dots 、 S_{2n} に書き込まれる映像信号の保持を行う第1のラッチ回路)の保持タイミングの決定にはM P X 2に入力される信号を用いることで、互いに隣接したパルスの重なり合いが生じないようにしている。

【0061】

[実施例2]

図1に示した本発明の駆動回路においては、保持部100は駆動用インバータ101と、保持用インバータ110とを用いてループを形成し、保持用インバータ110を用いて信号の保持を行っていた。この他の方法として、図20に示すような構成であっても同様の機能を実現することが出来る。

【0062】

図20に示すラッチ回路の保持部2000は、駆動用インバータ2001と、容量2002によって構成される。帰線期間中にプリチャージT F T 2003によって、保持部2000への入力端子における電位がH i電位(V D D)に引き上げられたとき、もしくはサンプリングパルス、デジタル映像信号、マルチプレクス信号の入力によって保持部2000にL o電位(G N D)が入力されて映像信号が保持されるとき、いずれの場合も、容量2002が電荷の保持をまかなう。

【0063】

回路の駆動、信号の入力に関しては図1に示した回路と同様で良い。

【0064】

[実施例3]

本実施例においては、帰線期間におけるプリチャージ動作を省略した場合の回路の構成とその動作について説明する。

【0065】

図21に、回路の構成図とタイミングチャートを示す。図21(A)に示すように、本実施例のラッチ回路は、保持部2100と、N A N D回路2102と、アナログスイッチ2103とを有する。N A N D回路2102には、サンプリングパルスおよびマルチプレクス信号が入力され、2信号とともにH i電位(V D D)の入力があつたときに、L o電位(G N D)を出力する。N A N D出力によって、アナログスイッチ2103の導通、非導通が決定される。すなわち、サンプリングパルスとマルチプレクス信号がともにH i入力するとき、アナログスイッチ2103が導通し、デジタル映像信号が保持部2100の駆動用インバータ2101に入力される。以後、アナログスイッチが非導通状態となると、デジタル映像信号は、ループ状に接続された保持用インバータ2110によって、次の帰線期間までの間保持される。

【0066】

マルチプレクス信号(M P X 1、M P X 2)は、奇数段目の第1のラッチ回路(図4において、ソース信号線 S_{0001} 、 S_{0003} 、 \dots 、 S_{2n-1} に書き込まれる映像信号の保持を行う

10

20

30

40

50

第1のラッチ回路)の保持タイミングの決定にはMPX1にされる信号を用い、偶数段目の第1のラッチ回路(図4において、ソース信号線 S_{0002} 、 S_{0004} 、 \dots 、 S_{2n} に書き込まれる映像信号の保持を行う第1のラッチ回路)の保持タイミングの決定にはMPX2にされる信号を用いることで、図21(B)において、2120、2130で示すように、隣接したアナログスイッチ2103の導通タイミングが同時期に重複しないようにしている。

【0067】

また、保持部2100に関しては、実施例2にて示したように、保持用インバータ2110に替えて、保持容量を用いて構成しても良い。

【0068】

各信号の入力のタイミングは他の実施例と同様で良い。この方法により、帰線期間におけるプリチャージ動作を行わずとも、本発明による同様の利点を有するラッチ回路を提供することが出来る。

【0069】

[実施例4]

本実施例では、表示装置の画素部とその周辺に設けられる本発明の駆動回路部(ソース信号線側駆動回路、ゲート信号線側駆動回路、画素選択信号線側駆動回路)のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位であるCMOS回路を図示することとする。

【0070】

まず、図5(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜5002aを10~200[nm](好ましくは50~100[nm])形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜5002bを50~200[nm](好ましくは100~150[nm])の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0071】

島状半導体層5003~5006は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層5003~5006の厚さは25~80[nm](好ましくは30~60[nm])の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム($SiGe$)合金などで形成すると良い。

【0072】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30[Hz]とし、レーザーエネルギー密度を100~400[mJ/cm²](代表的には200~300[mJ/cm²])とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1~10[kHz]とし、レーザーエネルギー密度を300~600[mJ/cm²](代表的には350~500[mJ/cm²])とすると良い。そして幅100~1000[μm]、例えば400[μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80~98[%]として行う。

【0073】

次いで、島状半導体層5003~5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40~150[nm]

10

20

30

40

50

としてシリコンを含む絶縁膜で形成する。本実施例では、120[nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) とO₂とを混合し、反応圧力40[Pa]、基板温度300~400[]とし、高周波(13.56[MHz])、電力密度0.5~0.8[W/cm²]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400~500[]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0074】

そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50~100[nm]の厚さに形成し、第2の導電膜5009をWで100~300[nm]の厚さに形成する。

【0075】

Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、相のTa膜の抵抗率は20[μ cm]程度でありゲート電極に使用することが出来るが、相のTa膜の抵抗率は180[μ cm]程度でありゲート電極とするには不向きである。よって、相のTa膜を形成するために、Taの相に近い結晶構造をもつ窒化タンタルを10~50[nm]程度の厚さでTaの下地に形成しておくこと相のTa膜を容易に得ることが出来る。

【0076】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20[μ cm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999[%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20[μ cm]を実現することが出来る。

【0077】

なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をCuとする組み合わせ等が挙げられる。

【0078】

次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0079】

上記エッチング条件では、レジストによるマスクの形状に適したものとすることにより、

10

20

30

40

50

基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。テーパー部の角度は $15 \sim 45^\circ$ となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10 \sim 20 [\%]$ 程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は $2 \sim 4$ （代表的には 3 ）であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20 \sim 50 [\text{nm}]$ 程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層 $5011 \sim 5016$ （第1の導電層 $5011a \sim 5016a$ と第2の導電層 $5011b \sim 5016b$ ）を形成する。このとき、ゲート絶縁膜 5007 においては、第1の形状の導電層 $5011 \sim 5016$ で覆われない領域は $20 \sim 50 [\text{nm}]$ 程度エッチングされ薄くなった領域が形成される。

10

（図5（A））

【0080】

そして、第1のドーピング処理を行いN型を付与する不純物元素を添加する。ドーピングの方法はイオンドーブ法もしくはイオン注入法で行えば良い。イオンドーブ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} [\text{atoms}/\text{cm}^2]$ とし、加速電圧を $60 \sim 100 [\text{keV}]$ として行う。N型を付与する不純物元素として15族に属する元素、典型的にはリン（P）または砒素（As）を用いるが、ここではリン（P）を用いる。この場合、導電層 $5011 \sim 5016$ がN型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域 $5017 \sim 5020$ が形成される。第1の不純物領域 $5017 \sim 5020$ には $1 \times 10^{20} \sim 1 \times 10^{21} [\text{atoms}/\text{cm}^3]$ の濃度範囲でN型を付与する不純物元素を添加する。（図

20

5（B））

【0081】

次に、図5（C）に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスに CF_4 と Cl_2 と O_2 とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層 $5021 \sim 5026$ （第1の導電層 $5021a \sim 5026a$ と第2の導電層 $5021b \sim 5026b$ ）を形成する。このとき、ゲート絶縁膜 5007 においては、第2の形状の導電層 $5021 \sim 5026$ で覆われない領域はさらに $20 \sim 50 [\text{nm}]$ 程度エッチングされ薄くなった領域が形成される。

【0082】

30

W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WCl_5 、 TaF_5 、 TaCl_5 は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応して CO と F になり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 O_2 を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

40

【0083】

そして、図6（A）に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてN型を付与する不純物元素をドーピングする。例えば、加速電圧を $70 \sim 120 [\text{keV}]$ とし、 $1 \times 10^{13} [\text{atoms}/\text{cm}^2]$ のドーズ量で行い、図5（B）で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層 $5021 \sim 5026$ を不純物元素に対するマスクとして用い、第1の導電層 $5021a \sim 5026a$ の下側の領域の半導体層にも不純物元素が添加されるようにドーピングする。こうして、第2の不純物領

50

域 5 0 2 7 ~ 5 0 3 1 が形成される。この第 2 の不純物領域 5 0 2 7 ~ 5 0 3 1 に添加されたリン (P) の濃度は、第 1 の導電層 5 0 2 1 a ~ 5 0 2 6 a のテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第 1 の導電層 5 0 2 1 a ~ 5 0 2 6 a のテーパ部と重なる半導体層において、第 1 の導電層 5 0 2 1 a ~ 5 0 2 6 a のテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【 0 0 8 4 】

続いて、図 6 (B) に示すように第 3 のエッチング処理を行う。エッチングガスに CHF_6 を用い、反応性イオンエッチング法 (R I E 法) を用いて行う。第 3 のエッチング処理により、第 1 の導電層 5 0 2 1 a ~ 5 0 2 6 a のテーパ部を部分的にエッチングして、第 1 の導電層が半導体層と重なる領域が縮小される。第 3 のエッチング処理によって、第 3 の形状の導電層 5 0 3 2 ~ 5 0 3 7 (第 1 の導電層 5 0 3 2 a ~ 5 0 3 7 a と第 2 の導電層 5 0 3 2 b ~ 5 0 3 7 b) を形成する。このとき、ゲート絶縁膜 5 0 0 7 においては、第 3 の形状の導電層 5 0 3 2 ~ 5 0 3 7 で覆われない領域はさらに 2 0 ~ 5 0 [nm] 程度エッチングされ薄くなった領域が形成される。

【 0 0 8 5 】

第 3 のエッチング処理によって、第 2 の不純物領域 5 0 2 7 ~ 5 0 3 1 においては、第 1 の導電層 5 0 3 2 a ~ 5 0 3 7 a と重なる第 2 の不純物領域 5 0 2 7 a ~ 5 0 3 1 a と、第 1 の不純物領域と第 2 の不純物領域との間の第 3 の不純物領域 5 0 2 7 b ~ 5 0 3 1 b とが形成される。

【 0 0 8 6 】

そして、図 6 (C) に示すように、P チャネル型 T F T を形成する島状半導体層 5 0 0 4 に、第 1 の導電型とは逆の導電型の第 4 の不純物領域 5 0 3 9 ~ 5 0 4 4 を形成する。第 3 の形状の導電層 5 0 3 3 b を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、N チャネル型 T F T を形成する島状半導体層 5 0 0 3、5 0 0 5、保持容量部 5 0 0 6 および配線部 5 0 3 4 はレジストマスク 5 0 3 8 で全面を被覆しておく。不純物領域 5 0 3 9 ~ 5 0 4 4 にはそれぞれ異なる濃度でリンが添加されているが、ジボラン (B_2H_6) を用いたイオンドーピング法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21} [\text{atoms}/\text{cm}^3]$ となるようにする。

【 0 0 8 7 】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第 3 の形状の導電層 5 0 3 2、5 0 3 3、5 0 3 5、5 0 3 6 がゲート電極として機能する。また、5 0 3 4 は島状のソース信号線として機能する。5 0 3 7 は容量配線として機能する。

【 0 0 8 8 】

レジストマスク 5 0 3 8 を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーンেসアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法 (R T A 法) を適用することが出来る。熱アニール法では酸素濃度が 1 [ppm] 以下、好ましくは 0 . 1 [ppm] 以下の窒素雰囲気中で 4 0 0 ~ 7 0 0 []、代表的には 5 0 0 ~ 6 0 0 [] で行うものであり、本実施例では 5 0 0 [] で 4 時間の熱処理を行う。ただし、第 3 の形状の導電層 5 0 3 7 ~ 5 0 4 2 に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜 (シリコンを主成分とする) を形成した後で活性化を行うことが好ましい。

【 0 0 8 9 】

さらに、3 ~ 1 0 0 [%] の水素を含む雰囲気中で、3 0 0 ~ 4 5 0 [] で 1 ~ 1 2 時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

【 0 0 9 0 】

次いで、第1の層間絶縁膜5045は酸化窒化シリコン膜から100～200[nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5046を形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

【0091】

そして、駆動回路部において島状半導体層のソース領域とコンタクトを形成するソース配線5047、5048、ドレイン領域とコンタクトを形成するドレイン配線5049を形成する。また、画素部においては、接続電極5050、画素電極5051、5052を形成する(図7(A))。この接続電極5050により、ソース信号線5034は、画素TFTと電気的な接続が形成される。なお、画素電極5052及び保持容量は隣り合う画素のものである。

10

【0092】

以上のようにして、Nチャネル型TFT、Pチャネル型TFTを有する駆動回路部と、画素TFT、保持容量を有する画素部とを同一基板上に形成することができる。本明細書中ではこのような基板をアクティブマトリクス基板と呼ぶ。

【0093】

本実施例は、ブラックマトリクスを用いることなく、画素電極間の隙間を遮光することができるように、画素電極の端部を信号線や走査線と重なるように配置されている。

【0094】

また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトリソマスクの数を5枚(島状半導体層パターン、第1配線パターン(走査線、信号線、容量配線)、Pチャネル領域のマスクパターン、コンタクトホールパターン、第2配線パターン(画素電極、接続電極含む))とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

20

【0095】

続いて、図7(B)の状態のアクティブマトリクス基板を得た後、アクティブマトリクス基板上に配向膜5053を形成しラビング処理を行う。

【0096】

一方、対向基板5054を用意する。対向基板5054にはカラーフィルタ層5055～5057、オーバーコート層5058を形成する。カラーフィルタ層はTFTの上方で赤色のカラーフィルタ層5055と青色のカラーフィルタ層5056とを重ねて形成し遮光膜を兼ねる構成とする。少なくともTFTと、接続電極と画素電極との間を遮光する必要があるため、それらの位置を遮光するように赤色のカラーフィルタと青色のカラーフィルタを重ねて配置することが好ましい。

30

【0097】

また、接続電極5050に合わせて赤色のカラーフィルタ層5055、青色のカラーフィルタ層5056、緑色のカラーフィルタ層5057とを重ね合わせてスペーサーを形成する。各色のカラーフィルタはアクリル樹脂に顔料を混合したもので1～3[μm]の厚さで形成する。これは感光性材料を用い、マスクを用いて所定のパターンに形成することができる。スペーサーの高さはオーバーコート層5058の厚さ1～4[μm]を考慮することにより2～7[μm]、好ましくは4～6[μm]とすることができ、この高さによりアクティブマトリクス基板と対向基板とを貼り合わせた時のギャップを形成する。オーバーコート層5058は光硬化型または熱硬化型の有機樹脂材料で形成し、例えば、ポリイミドやアクリル樹脂などを用いる。

40

【0098】

スペーサーの配置は任意に決定すれば良いが、例えば図7(B)で示すように接続電極上に位置が合うように対向基板5054上に配置すると良い。また、駆動回路部のTFT上にその位置を合わせてスペーサーを対向基板5054上に配置してもよい。このスペーサーは駆動回路部の全面に渡って配置しても良いし、ソース配線およびドレイン配線を覆うようにして配置しても良い。

【0099】

50

オーバーコート層 5058 を形成した後、対向電極 5059 をパターンニング形成し、配向膜 5060 を形成した後ラビング処理を行う。

【0100】

そして、画素部と駆動回路部が形成されたアクティブマトリクス基板と対向基板とをシール剤 5062 で貼り合わせる。シール剤 5062 にはフィラーが混入されていて、このフィラーとスペーサーによって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 5061 を注入し、封止剤（図示せず）によって完全に封止する。液晶材料 5061 には公知の液晶材料を用いれば良い。このようにして図 7（B）に示すアクティブマトリクス型液晶表示装置が完成する。

【0101】

なお、上記の行程により作成される TFT はトップゲート構造であるが、ボトムゲート構造の TFT やその他の構造の TFT に対しても本実施例は容易に適用され得る。

【0102】

[実施例 5]

本実施例では、本発明のラッチ回路を有する駆動回路を、EL 素子を画素部に用いた EL 表示装置に適用し、その EL 表示装置を絶縁体上に一体形成する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位である CMOS 回路を図示することとする。

【0103】

まず、実施例 4 に従い、図 6（C）の状態まで作成する。第 3 のドーピング工程の終了後、レジストを剥離して CMOS 回路部と画素部の TFT が完成する。なお、実施例 4 においては、画素部には画素 TFT と保持容量とを図示していたが、本実施例においては、図 8（A）に示すように、画素部にはスイッチング用 TFT と EL 駆動用 TFT とを図示している。ただし、TFT の形成工程は同様である。

【0104】

図 8（A）に示すように、第 1 の層間絶縁膜 5101 を酸化窒化シリコン膜から 100 ~ 200 [nm] の厚さで形成する。その上に有機絶縁物材料から成る第 2 の層間絶縁膜 5102 を形成した後、第 1 の層間絶縁膜 5101、第 2 の層間絶縁膜 5102、およびゲート絶縁膜 5007 に対してコンタクトホールを形成し、各配線（接続配線、信号線を含む）5103 ~ 5108、5110 をパターンニング形成した後、接続配線 5108 に接する画素電極 5109 をパターンニング形成する。

【0105】

第 2 の層間絶縁膜 5102 としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することが出来る。特に、第 2 の層間絶縁膜 5102 は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例では TFT によって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは 1 ~ 5 [μ m]（さらに好ましくは 2 ~ 4 [μ m]）とすれば良い。

【0106】

コンタクトホールの形成は、ドライエッチングまたはウエットエッチングを用い、各 TFT のソース領域、ドレイン領域およびゲート電極に達するようにそれぞれ形成する。

【0107】

また、配線（接続配線、信号線を含む）5103 ~ 5108、5110 として、Ti 膜を 100 [nm]、Ti を含むアルミニウム膜を 300 [nm]、Ti 膜 150 [nm] をスパッタ法で連続形成した 3 層構造の積層膜を所望の形状にパターンニングしたものをを用いる。勿論、他の導電膜を用いても良い。

【0108】

また、本実施例では、画素電極 5109 として ITO 膜を 110 [nm] の厚さに形成し、パターンニングを行った。画素電極 5109 を接続配線 5108 と接して重なるように配置することでコンタクトを取っている。また、酸化インジウムに 2 ~ 20 [%] の酸化亜鉛（Z

10

20

30

40

50

n O) を混合した透明導電膜を用いても良い。この画素電極 5 1 0 9 が E L 素子の陽極となる。(図 8 (A))

【 0 1 0 9 】

次に、図 8 (B) に示すように、珪素を含む絶縁膜 (本実施例では酸化珪素膜) を 5 0 0 [nm] の厚さに形成し、画素電極 5 1 0 9 に対応する位置に開口部を形成して、バンクとして機能する第 3 の層間絶縁膜 5 1 1 1 を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパ形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因する E L 層の劣化が顕著な問題となってしまうため、注意が必要である。

【 0 1 1 0 】

次に、E L 層 5 1 1 2 および陰極 (M g A g 電極) 5 1 1 3 を、真空蒸着法を用いて大気解放しないで連続形成する。なお、E L 層 5 1 1 2 の膜厚は 8 0 ~ 2 0 0 [nm] (典型的には 1 0 0 ~ 1 2 0 [nm]) 、陰極 5 1 1 3 の厚さは 1 8 0 ~ 3 0 0 [nm] (典型的には 2 0 0 ~ 2 5 0 [nm]) とすれば良い。

【 0 1 1 1 】

この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、E L 層および陰極を形成する。但し、E L 層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的に E L 層および陰極を形成するのが好ましい。

【 0 1 1 2 】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の E L 層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の E L 層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光の E L 層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

【 0 1 1 3 】

ここでは R G B に対応した 3 種類の E L 素子を形成する方式を用いたが、白色発光の E L 素子とカラーフィルタを組み合わせた方式、青色または青緑発光の E L 素子と蛍光体 (蛍光性の色変換層 : C C M) とを組み合わせた方式、陰極 (対向電極) に透明電極を利用して R G B に対応した E L 素子を重ねる方式などを用いても良い。

【 0 1 1 4 】

なお、E L 層 5 1 1 2 としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる 4 層構造を E L 層とすれば良い。

【 0 1 1 5 】

次に、同じゲート信号線にゲート電極が接続されたスイッチング用 T F T を有する画素 (同じラインの画素) 上に、メタルマスクを用いて陰極 5 1 1 3 を形成する。なお本実施例では陰極 5 1 1 3 として M g A g を用いたが、本発明はこれに限定されない。陰極 5 1 1 3 として他の公知の材料を用いても良い。

【 0 1 1 6 】

最後に、窒化珪素膜でなるパッシベーション膜 5 1 1 4 を 3 0 0 [nm] の厚さに形成する。パッシベーション膜 5 1 1 4 を形成しておくことで、E L 層 5 1 1 2 を水分等から保護することができ、E L 素子の信頼性をさらに高めることが出来る。

【 0 1 1 7 】

こうして図 8 (B) に示すような構造の E L ディスプレイが完成する。なお、本実施例における E L ディスプレイの作成工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料である T a 、W によってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料である A l によってゲート信号線を形成しているが、異な

10

20

30

40

50

る材料を用いても良い。

【0118】

ところで、本実施例のELディスプレイは、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を10 [MHz]以上にすることが可能である。

【0119】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のNチャネル型TFTとして用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランスマッションゲートなどが含まれる。

10

【0120】

本実施例の場合、Nチャネル型TFTの活性層は、ソース領域、ドレイン領域、ゲート絶縁膜を間に挟んでゲート電極と重なるオーバーラップLDD領域(L_{OV} 領域)、ゲート絶縁膜を間に挟んでゲート電極と重ならないオフセットLDD領域(L_{OFF} 領域)およびチャンネル形成領域を含む。

【0121】

また、CMOS回路のPチャネル型TFTは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、Nチャネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

20

【0122】

その他、駆動回路において、チャンネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなCMOS回路が用いられる場合、CMOS回路を形成するNチャネル型TFTは、チャンネル形成領域の両サイドにチャンネル形成領域を挟む形でLDD領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスマッションゲートなどが挙げられる。また駆動回路において、オフ電流を極力低く抑える必要のあるCMOS回路が用いられる場合、CMOS回路を形成するNチャネル型TFTは、 L_{OV} 領域を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスマッションゲートなどが挙げられる。

30

【0123】

なお、実際には図8(B)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとEL素子の信頼性が向上する。

【0124】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する。このような出荷出来る状態にまでした状態を本明細書中ではEL表示装置という。

40

【0125】

また、本実施例で示す工程に従えば、EL表示装置の作製に必要なフォトマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【0126】

[実施例6]

本発明のラッチ回路を有する駆動回路は、液晶表示装置のみならず、デジタル映像信号を扱う形式のEL表示装置への適用も容易に出来る。図9に、本発明のラッチ回路を有する

50

駆動回路を用いたE L表示装置の概略図を示す。中央に画素部906が配置されている。画素部には、E L素子に電流を供給するための電流供給線907が配置されている。画素部の上側には、ソース信号線を制御するための、ソース信号線駆動回路901が配置されている。ソース信号線駆動回路901は、シフトレジスタ回路903、第1のラッチ回路904、第2のラッチ回路905等を有する。第1のラッチ回路904は、図1で示したような構造を有している。他の構成部分に関しては、従来例と同様で良い。画素部の左右には、ゲート信号線を制御するための、ゲート信号線駆動回路902が配置されている。なお、図9においては、ゲート信号線駆動回路902は、画素部の左右両側に配置されているが、片側配置でも構わない。ただし、両側配置とした方が、駆動効率、駆動信頼性の面から見て望ましい。

10

【0127】

図9に示したE L表示装置のソース信号線駆動回路は、図18に示すような構成をとる。シフトレジスタ回路1801、第1のラッチ回路(LAT1)1802および第2のラッチ回路(LAT2)1803の動作は、実施例1に示した液晶表示装置のソース信号線駆動回路のものと同様である。E L表示装置の場合、ラッチ回路で保持されたデジタル映像信号は、D/A変換されることなく直接画素部に書き込まれる。

【0128】

図19に、E L表示装置において多階調表示を行うための方式について示す。例として、VGA、4ビット階調のE L表示装置のものを挙げた。

【0129】

20

映像(静止画、動画を問わない)の表示を行う際には、図19(A)に示すように、1秒間に60回程度、画面表示の更新が行われており、1901で示す1画面分の表示期間を1フレーム期間という。E L素子は、アナログ量の信号を用いて輝度の表示を行うのが難しいため、デジタル的にONの状態とOFFの状態の2つの状態のみを用いて階調の表現を行う時間階調方式が表示方法の1つとして用いられる。

【0130】

図19(B)に示すように、1フレーム期間は複数のサブフレーム期間に分割されている。このサブフレーム期間の数は、nビットの階調表現を行う際にはn個となる。つまり、図19(B)の場合、4ビットの階調を表現することができる。1つのサブフレーム期間1902は、それぞれアドレス(書き込み)期間1903と、サステイン(点灯)期間1904とを有し、アドレス期間は、1画面分の画素への書き込みを行う期間であり、Ta1~Ta4の全ての期間で長さが等しい。対して、サステイン期間は、nビット階調表示の場合、Ts1:Ts2:・・・:Tsn=2ⁿ:2ⁿ⁻¹:・・・:2⁰と、2のべき乗の比の長さとなっている。図19(B)の場合は、Ts1:Ts2:Ts3:Ts4=8:4:2:1となる。それぞれのサステイン期間を組み合わせ、E L素子の点灯時間の長さの差を利用して階調表示を行う。例えば、4ビット階調において、最も暗い階調を0、最も明るい階調を15としたとき、11の階調を表現する場合には、Ts1、Ts3、Ts4で点灯させる。これにより、点灯期間の和は、8+2+1=11となり、15の点灯時間による階調と、11の点灯時間による階調との間に明るさの差を生ずることが出来る。

30

40

【0131】

1つのサブフレーム期間を詳細に示したものを図19(C)に示す。アドレス期間においては、1画面分の信号の書き込みを、ゲート信号線ごとに順次行う。1905で示される期間が、1ゲート信号線選択期間であり、第1列目のゲート信号線を選択して信号の書き込みを行う期間(図19(C)で001で示す期間)から、最終段のゲート信号線を選択して信号の書き込みを行う期間(図19(C)で480で示す期間)までを、アドレス期間内に行う。その後、1906で示すように、サステイン期間に入る。

【0132】

さらに、1つのゲート信号線選択期間を詳細に示したものを図19(D)に示す。1ゲート信号線選択期間内では、デジタル映像信号を第1のラッチ回路で保持するドットデータ

50

サンプリング期間と、第1のラッチ回路に保持されているデジタル映像信号を、第2のラッチ回路に転送するラインデータラッチ期間1907に分かれている。ドットデータサンプリング期間においては、ソース信号線1本ごとに書き込む信号の保持が、第1列目(図19(D))において、001で示す期間)から最終列(図19(D))において、001で示す期間)まで、順次行われる。1水平期間分の信号が、第1のラッチ回路から第2のラッチ回路に一斉に転送される。EL表示装置においては、以上のような方法で映像の表示を行う。このように、EL表示装置においても、本発明のラッチ回路を有する駆動回路は、特別に表示方法を変えることなく、容易に適用が可能である。

【0133】

[実施例7]

図10(A)は本発明を用いたEL表示装置の上面図であり、図10(A)をX-X'面で切断した断面図を図10(B)に示す。図10(A)において、4001は基板、4002は画素部、4003はソース信号線側駆動回路、4004はゲート信号線側駆動回路であり、それぞれの駆動回路は配線4005、4006、4007を経てFPC4008に至り、外部機器へと接続される。

【0134】

このとき、画素部、好ましくは駆動回路および画素部を囲むようにしてカバー材4009、密封材4010、シーリング材(ハウジング材ともいう)4011(図10(B)に図示)が設けられている。

【0135】

また、図10(B)は本実施例のEL表示装置の断面構造であり、基板4001、下地膜4012の上に駆動回路用TFT(但し、ここではNチャネル型TFTとPチャネル型TFTを組み合わせたCMOS回路を図示している)4013および画素部用TFT4014(但し、ここではEL素子への電流を制御するEL駆動用TFTだけ図示している)が形成されている。これらのTFTは公知の構造(トップゲート構造あるいはボトムゲート構造)を用いれば良い。

【0136】

公知の作製方法を用いて駆動回路用TFT4013、画素部用TFT4014が完成したら、樹脂材料でなる層間絶縁膜(平坦化膜)4015の上に画素部用TFT4014のドレインと電気的に接続する透明導電膜でなる画素電極4016を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物(ITOと呼ばれる)または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4016を形成したら、絶縁膜4017を形成し、画素電極4016上に開口部を形成する。

【0137】

次に、EL層4018を形成する。EL層4018は公知のEL材料(正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層)を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系(ポリマー系)材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0138】

本実施例では、シャドウマスクを用いて蒸着法によりEL層を形成する。シャドウマスクを用いて画素毎に波長の異なる発光が可能な発光層(赤色発光層、緑色発光層および青色発光層)を形成することで、カラー表示が可能となる。その他にも、色変換層(CCM)とカラーフィルタを組み合わせた方式、白色発光層とカラーフィルタを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0139】

EL層4018を形成したら、その上に陰極4019を形成する。陰極4019とEL層4018の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空

10

20

30

40

50

中でE L層4018と陰極4019を連続成膜するか、E L層4018を不活性雰囲気で形成し、大気解放しないで陰極4019を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0140】

なお、本実施例では陰極4019として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的にはE L層4018上に蒸着法で1[nm]厚のLiF（フッ化リチウム）膜を形成し、その上に300[nm]厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4019は4020で示される領域において配線4007に接続される。配線4007は陰極4019に所定の電圧を与えるための電源線であり、導電性ペースト材料4021を介してFPC4008に接続される。

10

【0141】

4020に示された領域において陰極4019と配線4007とを電氣的に接続するために、層間絶縁膜4015および絶縁膜4017にコンタクトホールを形成する必要がある。これらは層間絶縁膜4015のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜4017のエッチング時（E L層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜4017をエッチングする際に、層間絶縁膜4015まで一括でエッチングしても良い。この場合、層間絶縁膜4015と絶縁膜4017が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

20

【0142】

このようにして形成されたE L素子の表面を覆って、パッシベーション膜4022、充填材4023、カバー材4009が形成される。

【0143】

さらに、E L素子部を囲むようにして、カバー材4009と基板4001の内側にシーリング材4011が設けられ、さらにシーリング材4011の外側には密封材（第2のシーリング材）4010が形成される。

【0144】

このとき、この充填材4023は、カバー材4009を接着するための接着剤としても機能する。充填材4023としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材4023の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。また充填材4023の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、E L層の劣化を抑えても良い。

30

【0145】

また、充填材4023の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0146】

スペーサーを設けた場合、パッシベーション膜4022はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

40

【0147】

また、カバー材4009としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材4023としてPVBやEVAを用いる場合、数十[μm]のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0148】

但し、E L素子からの発光方向（光の放射方向）によっては、カバー材4009が透光性

50

を有する必要がある。

【0149】

また、配線4007はシーリング材4011および密封材4010と基板4001との隙間を通してFPC4008に電氣的に接続される。なお、ここでは配線4007について説明したが、他の配線4005、4006も同様にしてシーリング材4011および密封材4010の下を通してFPC4008に電氣的に接続される。

【0150】

なお本実施例では、充填材4023を設けてからカバー材4009を接着し、充填材4023の側面(露呈面)を覆うようにシーリング材4011を取り付けているが、カバー材4009およびシーリング材4011を取り付けてから、充填材4023を設けても良い。この場合、基板4001、カバー材4009およびシーリング材4011で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態(10^{-2} [Torr] 以下)にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0151】

[実施例8]

本実施例では、本発明を用いて実施例7とは異なる形態のEL表示装置を作製した例について、図17(A)、(B)を用いて説明する。図10(A)、(B)と同じ番号のものは同じ部分を指しているので説明は省略する。

【0152】

図17(A)は本実施例のEL表示装置の上面図であり、図17(A)をY-Y'面で切断した断面図を図17(B)に示す。

【0153】

実施例5に従って、EL素子の表面を覆ってパッシベーション膜4022までを形成する。

【0154】

さらに、EL素子を覆うようにして充填材4023を設ける。この充填材4023は、カバー材4009を接着するための接着剤としても機能する。充填材4023としては、PVC(ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材4023の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。また充填材4023の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、EL層の劣化を抑えても良い。

【0155】

また、充填材4023の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0156】

スペーサーを設けた場合、パッシベーション膜4022はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0157】

また、カバー材4009としては、ガラス板、アルミニウム板、ステンレス板、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材4023としてPVBやEVAを用いる場合、数十[μm]のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0158】

但し、EL素子からの発光方向(光の放射方向)によっては、カバー材4009が透光性を有する必要がある。

【 0 1 5 9 】

次に、充填材 4 0 2 3 を用いてカバー材 4 0 0 9 を接着した後、充填材 4 0 2 3 の側面（露呈面）を覆うようにフレーム材 4 0 2 4 を取り付ける。フレーム材 4 0 2 4 はシーリング材（接着剤として機能する）4 0 2 5 によって接着される。このとき、シーリング材 4 0 2 5 としては、光硬化性樹脂を用いるのが好ましいが、E L 層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材 4 0 2 5 はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材 4 0 2 5 の内部に乾燥剤を添加してあっても良い。

【 0 1 6 0 】

また、配線 4 0 0 7 はシーリング材 4 0 2 5 と基板 4 0 0 1 との隙間を通して F P C 4 0 0 8 に電氣的に接続される。なお、ここでは配線 4 0 0 7 について説明したが、他の配線 4 0 0 5、4 0 0 6 も同様にしてシーリング材 4 0 2 5 の下を通して F P C 4 0 0 8 に電氣的に接続される。

10

【 0 1 6 1 】

なお本実施例では、充填材 4 0 2 3 を設けてからカバー材 4 0 0 9 を接着し、充填材 4 0 2 3 の側面（露呈面）を覆うようにフレーム材 4 0 2 4 を取り付けているが、カバー材 4 0 0 9、シーリング材 4 0 2 5 およびフレーム材 4 0 2 4 を取り付けてから、充填材 4 0 2 3 を設けても良い。この場合、基板 4 0 0 1、カバー材 4 0 0 9、シーリング材 4 0 2 5 およびフレーム材 4 0 2 4 で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態（ 10^{-2} [Torr] 以下）にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

20

【 0 1 6 2 】

[実施例 9]

本発明を用いたアクティブマトリクス型表示装置には様々な用途がある。本実施例では、本発明の駆動回路を用いた表示装置を組み込んだ半導体装置について説明する。

【 0 1 6 3 】

このような表示装置には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ、プロジェクタ装置等が挙げられる。それらの一例を図 1 4、図 1 5 および図 1 6 に示す。

30

【 0 1 6 4 】

図 1 4 (A) は携帯電話であり、本体 2 6 0 1、音声出力部 2 6 0 2、音声入力部 2 6 0 3、表示部 2 6 0 4、操作スイッチ 2 6 0 5、アンテナ 2 6 0 6 から構成されている。本発明は表示部 2 6 0 4 に適用することができる。

【 0 1 6 5 】

図 1 4 (B) はビデオカメラであり、本体 2 6 1 1、表示部 2 6 1 2、音声入力部 2 6 1 3、操作スイッチ 2 6 1 4、バッテリー 2 6 1 5、受像部 2 6 1 6 から成っている。本発明は表示部 2 6 1 2 に適用することができる。

【 0 1 6 6 】

図 1 4 (C) はモバイルコンピュータあるいは携帯型情報端末であり、本体 2 6 2 1、カメラ部 2 6 2 2、受像部 2 6 2 3、操作スイッチ 2 6 2 4、表示部 2 6 2 5 で構成されている。本発明は表示部 2 6 2 5 に適用することができる。

40

【 0 1 6 7 】

図 1 4 (D) はヘッドマウントディスプレイであり、本体 2 6 3 1、表示部 2 6 3 2、アーム部 2 6 3 3 で構成される。本発明は表示部 2 6 3 2 に適用することができる。

【 0 1 6 8 】

図 1 4 (E) はテレビであり、本体 2 6 4 1、スピーカー 2 6 4 2、表示部 2 6 4 3、受信装置 2 6 4 4、増幅装置 2 6 4 5 等で構成される。本発明は表示部 2 6 4 3 に適用することができる。

【 0 1 6 9 】

50

図１４（Ｆ）は携帯書籍であり、本体２６５１、表示部２６５２、記憶媒体２６５３、操作スイッチ２６５４、アンテナ２６５５から構成されており、ミニディスク（ＭＤ）やＤＶＤ（Ｄｉｇｉｔａｌ　Ｖｅｒｓａｔｉｌｅ　Ｄｉｓｃ）に記憶されたデータや、アンテナで受信したデータを表示するものである。本発明は表示部２６５２に適用することができる。

【０１７０】

図１５（Ａ）はパーソナルコンピュータであり、本体２７０１、映像入力部２７０２、表示部２７０３、キーボード２７０４で構成される。本発明は表示部２７０３に適用することができる。

【０１７１】

図１５（Ｂ）はプログラムを記録した記録媒体を用いるプレーヤーであり、本体２７１１、表示部２７１２、スピーカー部２７１３、記録媒体２７１４、操作スイッチ２７１５で構成される。なお、この装置は記録媒体としてＤＶＤ（Ｄｉｇｉｔａｌ　Ｖｅｒｓａｔｉｌｅ　Ｄｉｓｃ）、ＣＤ等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部２６１２に適用することができる。

【０１７２】

図１５（Ｃ）はデジタルカメラであり、本体２７２１、表示部２７２２、接眼部２７２３、操作スイッチ２７２４、受像部（図示しない）で構成される。本発明は表示部２７２２に適用することができる。

【０１７３】

図１５（Ｄ）は片眼のヘッドマウントディスプレイであり、表示部２７３１、バンド部２７３２で構成される。本発明は表示部２７３１に適用することができる。

【０１７４】

図１６（Ａ）はフロント型プロジェクタであり、投射装置本体２８０１、表示装置２８０２、光源２８０３、光学系２８０４、スクリーン２８０５で構成されている。なお、投射装置２８０１には単版式のものをを用いても良いし、Ｒ、Ｇ、Ｂの光にそれぞれ対応した三板式のものをを用いても良い。本発明は表示装置２８０２に適用することができる。

【０１７５】

図１６（Ｂ）はリア型プロジェクタであり、本体２８１１、投射装置本体２８１２、表示装置２８１３、光源２８１４、光学系２８１５、リフレクター２８１６、スクリーン２８１７で構成されている。なお、投射装置２８１３には単版式のものをを用いても良いし、Ｒ、Ｇ、Ｂの光にそれぞれ対応した三板式のものをを用いても良い。本発明は表示装置２８１３に適用することができる。

【０１７６】

なお、図１６（Ｃ）は、図１６（Ａ）及び図１６（Ｂ）中における投射装置本体２８０１、２８１２の構造の一例を示した図である。投射装置２８０１、２８１２は、光源光学系２８２１、ミラー２８２２、２８２４～２８２６、ダイクロイックミラー２８２３、プリズム２８２７、表示装置２８２８、位相差板２８２９、投射光学系２８３０で構成される。投射光学系２８３０は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であっても良い。また、図１６（Ｃ）中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、ＩＲフィルム等の光学系を設けても良い。

【０１７７】

また、図１６（Ｄ）は、図１６（Ｃ）中における光源光学系２８２１の構造の一例を示した図である。本実施例では、図１６（Ｃ）中における光源光学系２８２１は、図１６（Ｄ）中におけるリフレクター２８３１、光源２８３２、レンズアレイ２８３３、偏光変換素子２８３４、集光レンズ２８３５で構成される。なお、図１６（Ｄ）に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、ＩＲフィルム等の光学系を設けても良い。

10

20

30

40

50

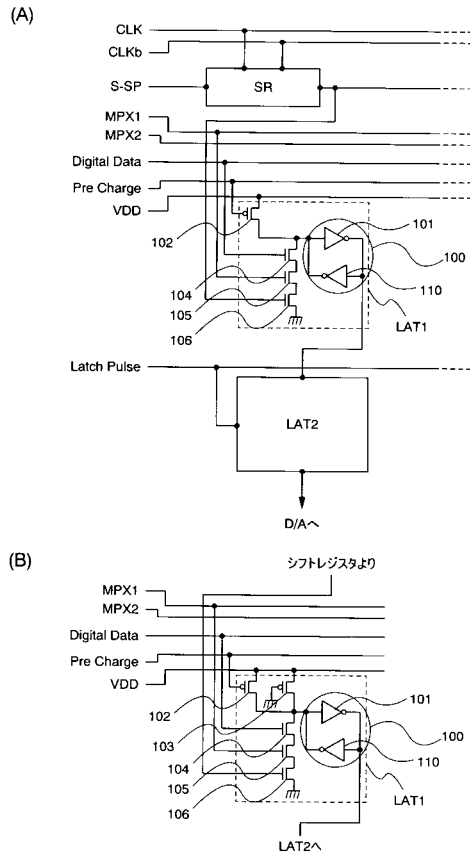
【発明の効果】

本発明のラッチ回路を有する駆動回路を表示装置に用いることにより、従来のラッチ回路周辺で問題となっていた、回路から出力される信号の遅延に、映像信号の保持タイミングが依存することによる、表示装置ごとのタイミングの微調整をすることなく、外部から入力する信号の調整のみを考えることによって保持タイミングを決定することが出来る。加えて、シフトレジスタ回路の駆動周波数は $1/2$ となっているため、信頼性の向上も期待出来る。

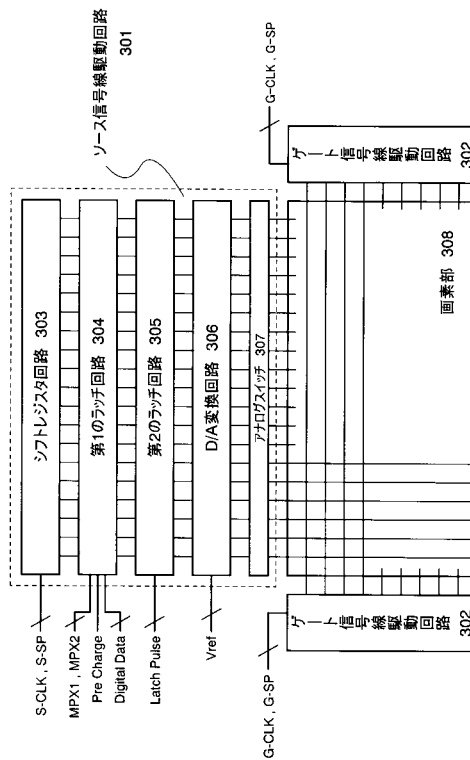
【図面の簡単な説明】

- 【図 1】 本発明のラッチ回路を含む周辺回路の構成例を示す図。
- 【図 2】 デジタル映像信号の入力と、デジタル映像信号を保持するパルスの遅延との関係を従来と本発明とで比較する図。 10
- 【図 3】 本発明のラッチ回路を用いて表示装置を構成する場合の表示装置全体の概略図。
- 【図 4】 図 3 に示した表示装置のソース信号線駆動回路の回路構成例を示す図。
- 【図 5】 液晶表示装置の作成工程例を示す図。
- 【図 6】 液晶表示装置の作成工程例を示す図。
- 【図 7】 液晶表示装置の作成工程例を示す図。
- 【図 8】 EL 表示装置の作成工程例を示す図。
- 【図 9】 本発明のラッチ回路を用いて EL 表示装置を構成する場合の EL 表示装置全体の概略図。 20
- 【図 10】 EL 表示装置の正面図および断面図。
- 【図 11】 従来のデジタル映像信号入力式の表示装置の全体の概略図。
- 【図 12】 図 11 に示した表示装置のソース信号線駆動回路の回路構成を示す図。
- 【図 13】 従来のラッチ回路周辺の構成を示す図。
- 【図 14】 本発明のラッチ回路を含む駆動回路の適用が可能な電子装置の例を示す図。
- 【図 15】 本発明のラッチ回路を含む駆動回路の適用が可能な電子装置の例を示す図。
- 【図 16】 本発明のラッチ回路を含む駆動回路の適用が可能な電子装置の例を示す図。 30
- 【図 17】 EL 表示装置の正面図および断面図。
- 【図 18】 EL 表示装置のソース信号線駆動回路の回路構成例を示す図。
- 【図 19】 EL 表示装置における、時間階調方式を説明するためのタイミングチャートを示す図。
- 【図 20】 本発明のラッチ回路を含む周辺回路の構成例を示す図。
- 【図 21】 本発明のラッチ回路を含む周辺回路の構成例およびタイミングチャートを示す図。
- 【図 22】 本発明のラッチ回路を含む周辺回路の構成例を示す図。

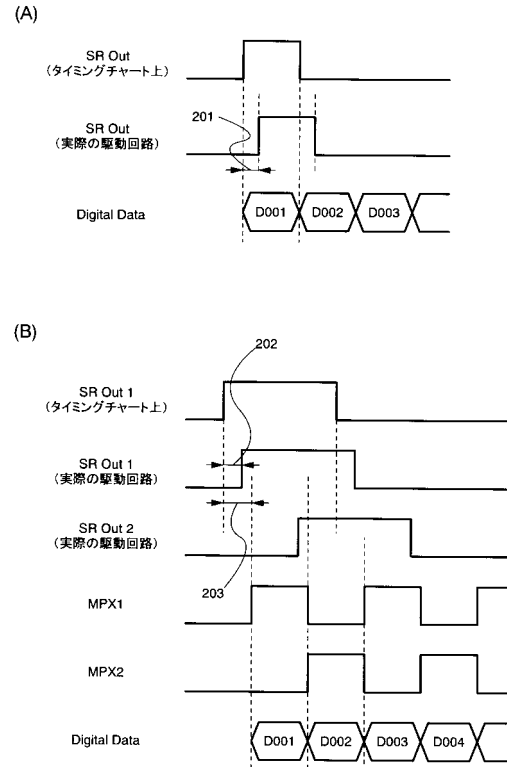
【 図 1 】



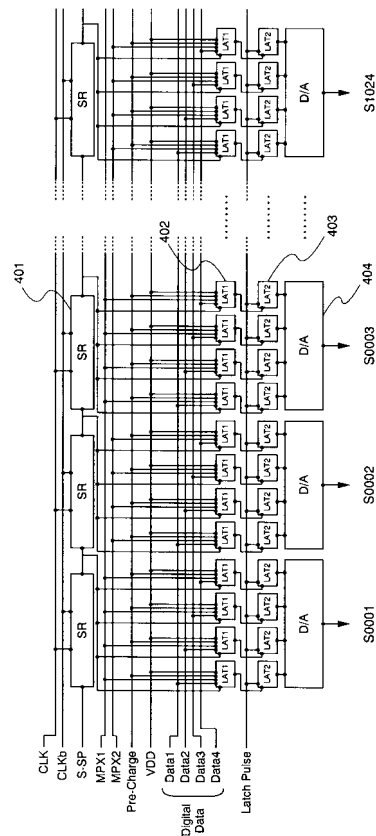
【 図 3 】



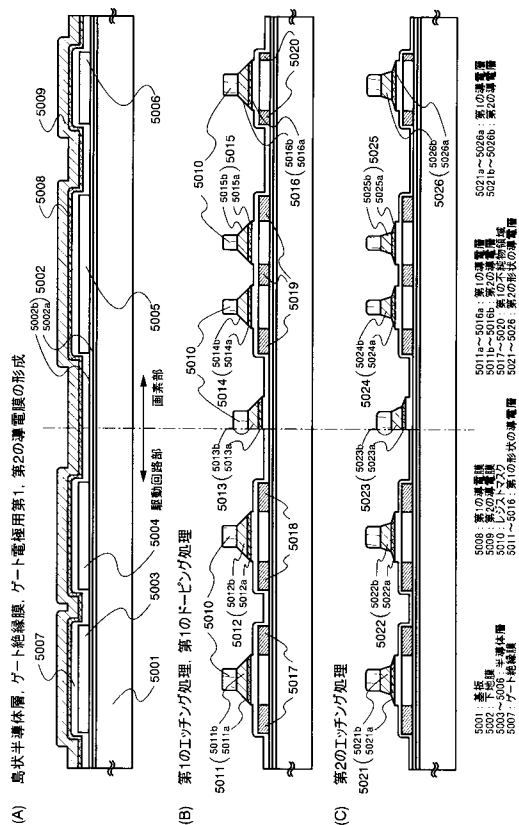
【 図 2 】



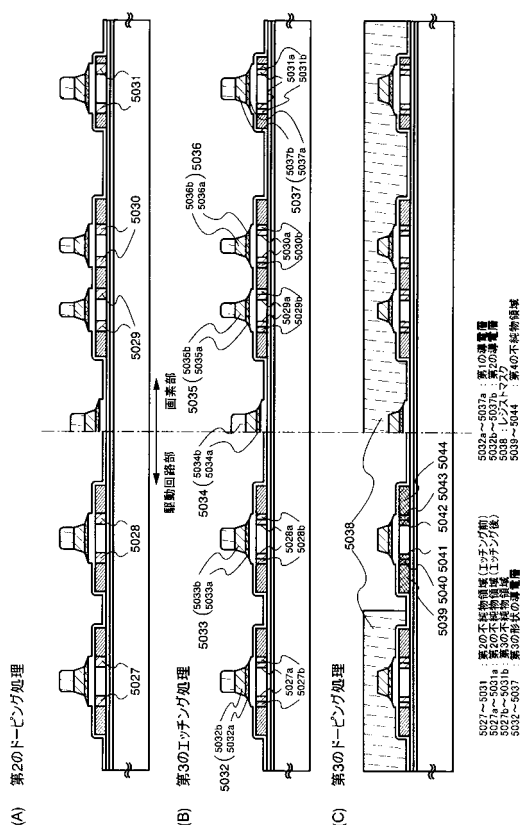
【 図 4 】



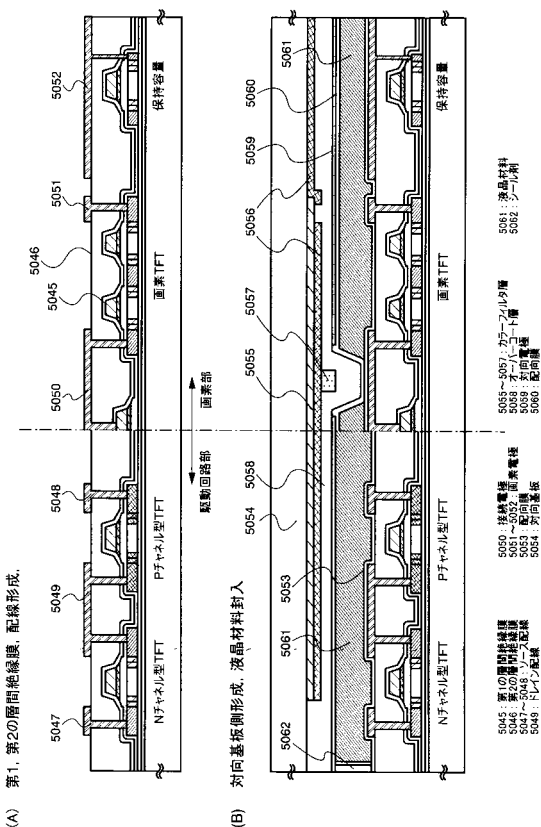
【 図 5 】



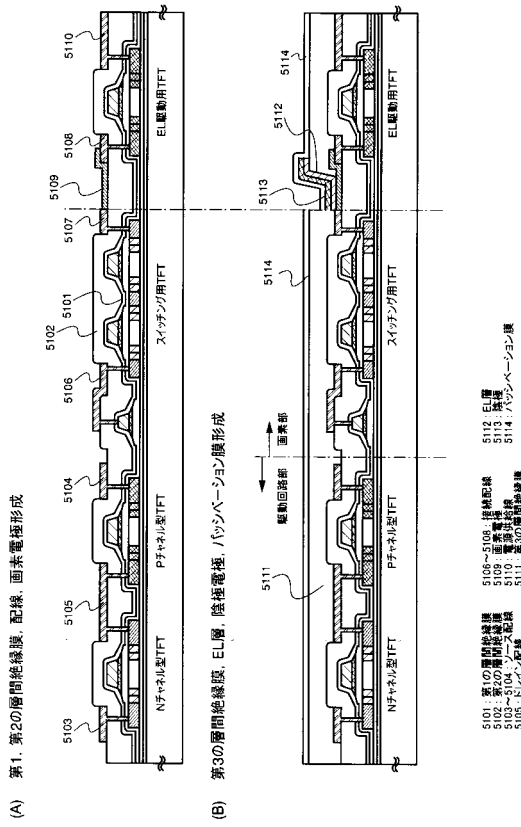
【 図 6 】



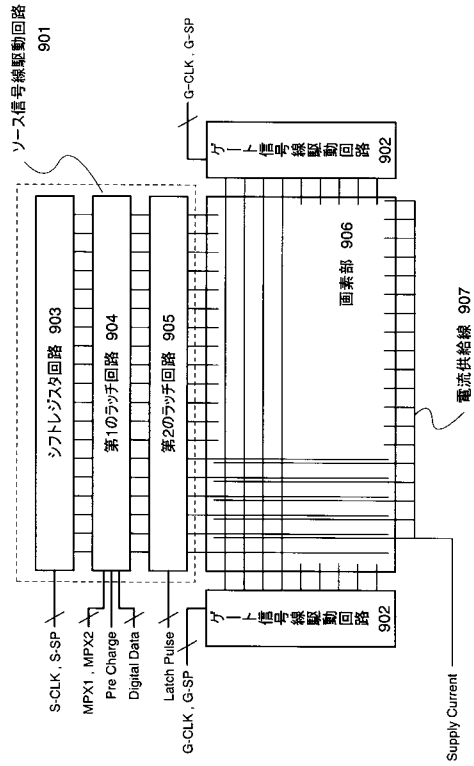
【 図 7 】



【圖 8】

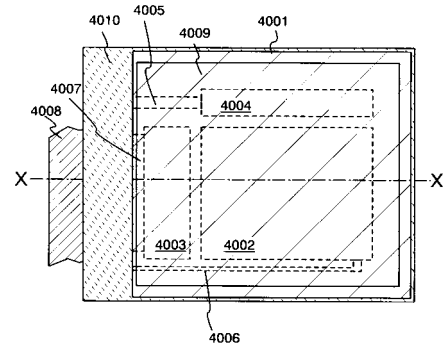


【図 9】

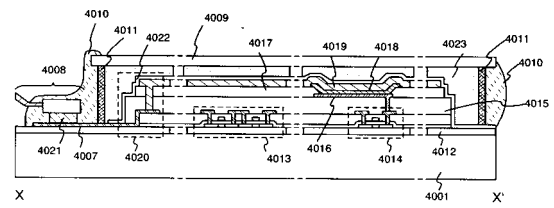


【図 10】

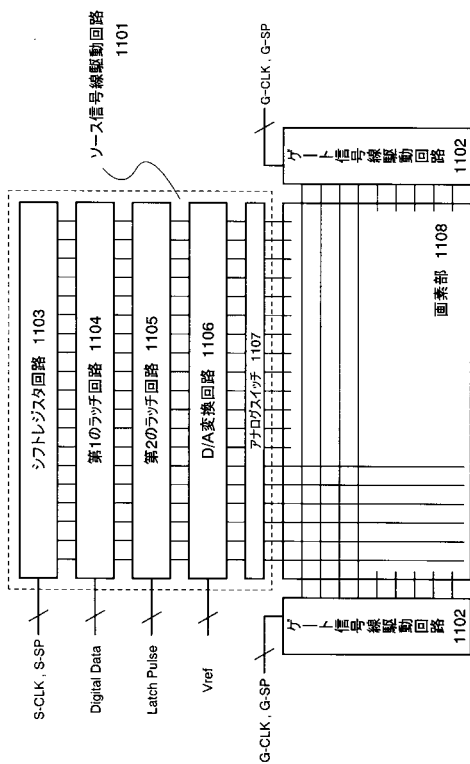
(A)



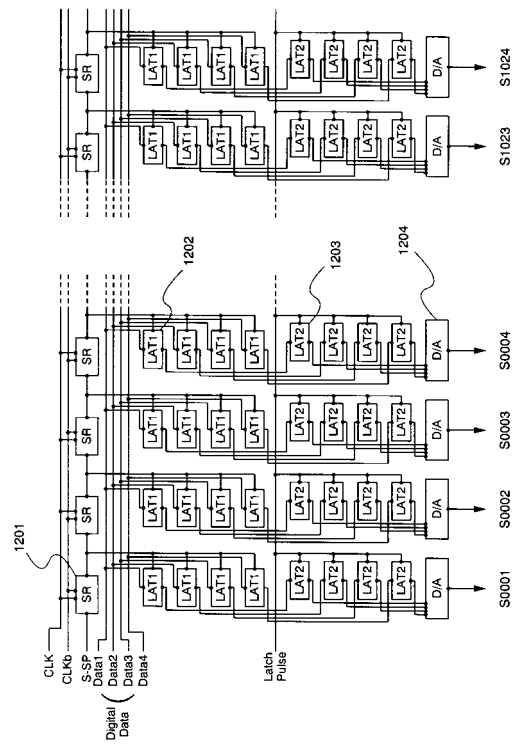
(B)



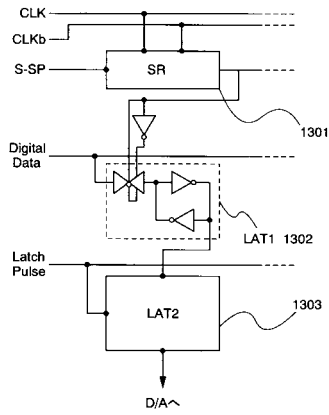
【図 11】



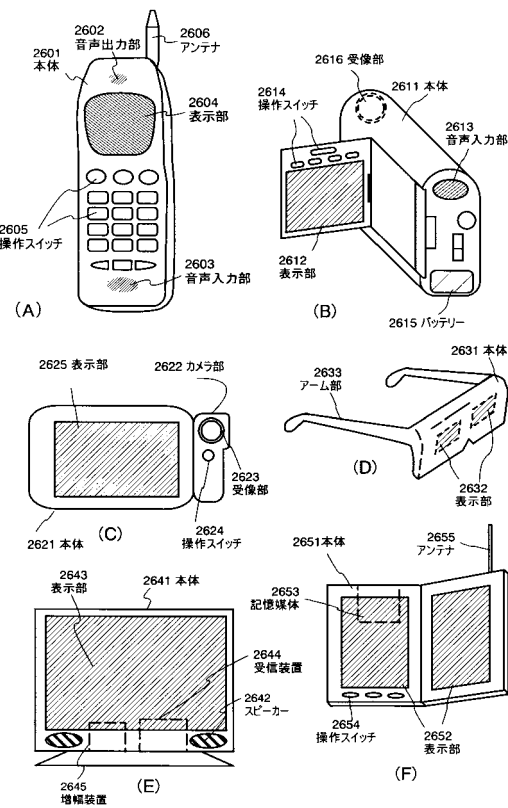
【図 12】



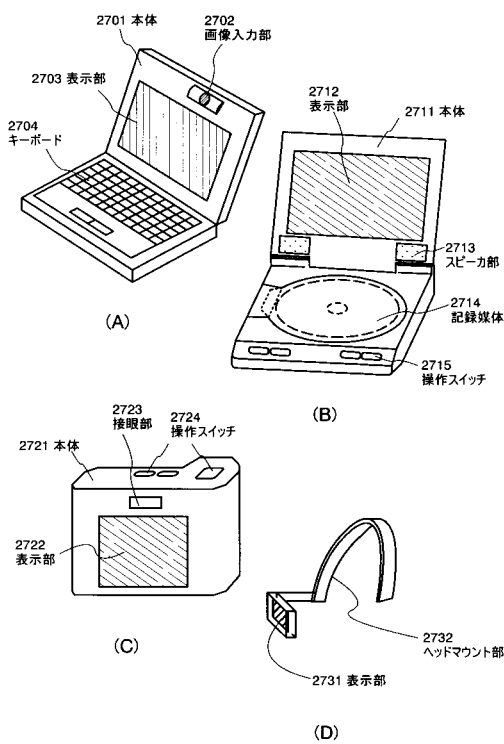
【図 13】



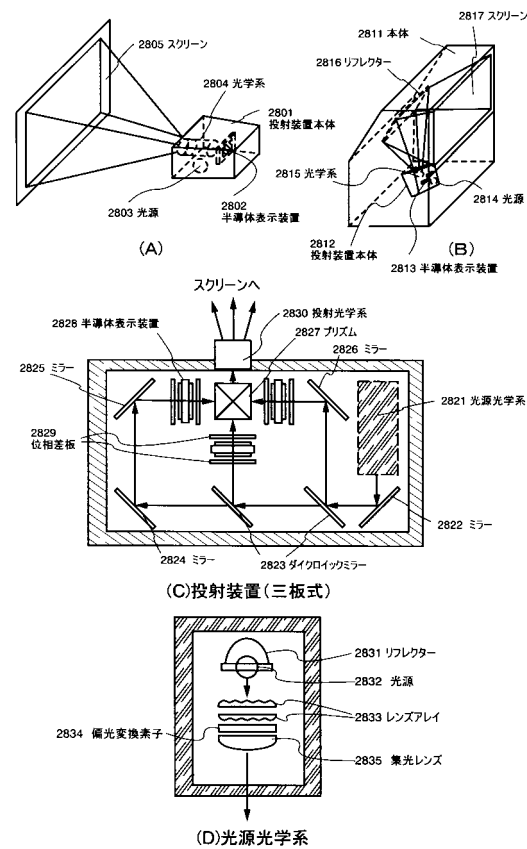
【図 14】



【図 15】

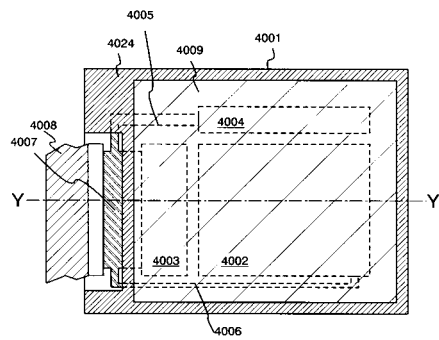


【図 16】

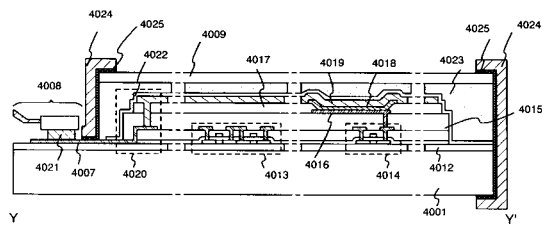


【図 17】

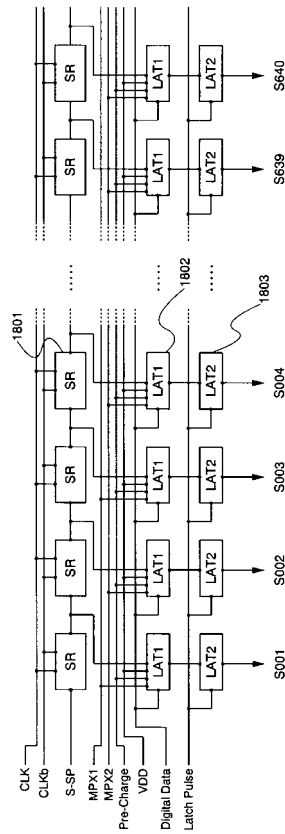
(A)



(B)

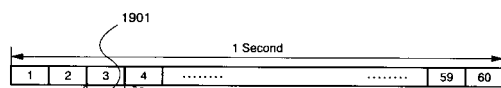


【図 18】

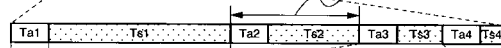


【図 19】

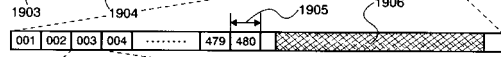
(A)



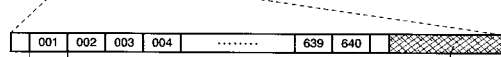
(B)



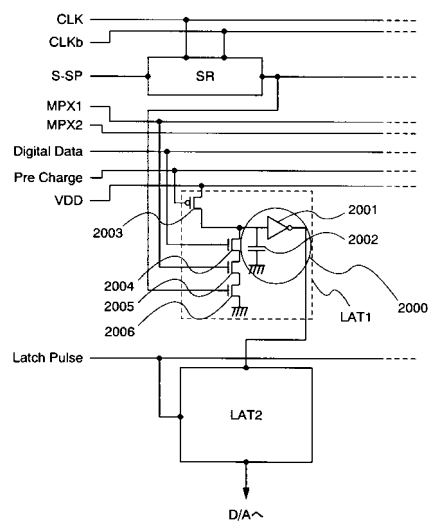
(C)



(D)

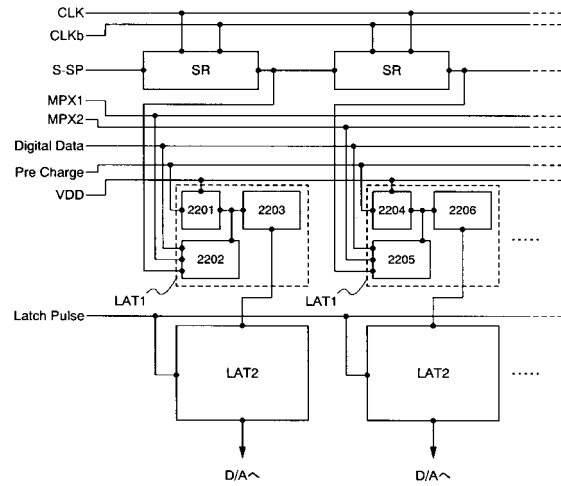


【図 20】



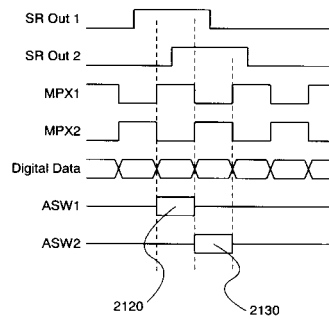
【 図 2 2 】

CLK—



2201, 2204 : プリチャージ回路
2202, 2205 : 保持動作選択回路
2203, 2206 : 保持回路

2201, 2204 : プリチャージ回路
2202, 2205 : 保持動作選択回路
2203, 2206 : 保持回路



フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/00 - 3/38