

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-99630

(P2014-99630A)

(43) 公開日 平成26年5月29日(2014.5.29)

| (51) Int.Cl.            | F I          | テーマコード (参考) |
|-------------------------|--------------|-------------|
| HO 1 L 21/66 (2006.01)  | HO 1 L 21/66 | F 2G132     |
| GO 1 R 31/28 (2006.01)  | GO 1 R 31/28 | V 4M106     |
| HO 1 L 27/04 (2006.01)  | HO 1 L 27/04 | T 5F038     |
| HO 1 L 21/822 (2006.01) |              |             |

審査請求 有 請求項の数 12 O L (全 11 頁)

(21) 出願番号 特願2013-267265 (P2013-267265)  
 (22) 出願日 平成25年12月25日(2013.12.25)  
 (62) 分割の表示 特願2008-99664 (P2008-99664)の分割  
 原出願日 平成20年4月7日(2008.4.7)

(71) 出願人 513192281  
 ピーエスフォー ルクスコ エスエイアールエル  
 PS4 Luxco S. a. r. l.  
 ルクセンブルク大公国エルー 2 1 2 1、ルクセンブルク、ヴァル デ ボン マラデス 2 0 8  
 (74) 代理人 110001195  
 特許業務法人深見特許事務所  
 (72) 発明者 宮崎 学  
 東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内  
 Fターム(参考) 2G132 AA00 AB01 AK07 AK29  
 4M106 AA01 AA08 AC02 AC05 AD02  
 AD07 BA01

最終頁に続く

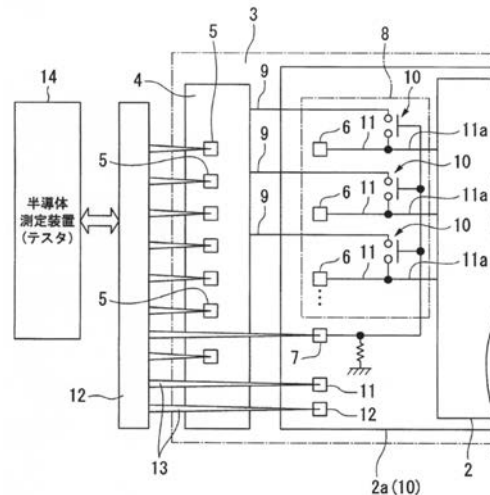
(54) 【発明の名称】 半導体集積回路ウエハ、半導体集積回路チップ及び半導体集積回路ウエハのテスト方法

(57) 【要約】

【課題】ボンディングパッドに傷跡を残さず、かつボンディングの不良の削減や接続の信頼性を向上することが可能な半導体集積回路ウエハを提供する。

【解決手段】半導体集積回路領域 2 a と、スクライブ領域 3 と、前記スクライブ領域内に備えられた B I S T 回路 4 と、半導体集積回路 2 と B I S T 回路 4 とを接続する接続配線 9 と、B I S T 切替信号入力パッド 7 と、B I S T 切替信号入力パッド 7 からの駆動信号により駆動される B I S T 切替回路 8 とを備え、B I S T 切替回路 8 は、半導体集積回路用の入出力パッド 6 と、入出力パッド 6 と半導体集積回路 2 とを接続する回路配線 1 1 と、回路配線 1 1 の途中に設けられて、B I S T 切替信号入力パッド 7 からの駆動信号によって駆動するスイッチ素子 1 0 とを具備してなる半導体集積回路ウエハを採用する。

【選択図】 図 3



## 【特許請求の範囲】

## 【請求項 1】

半導体集積回路が形成されてなる複数の半導体集積回路領域と、  
互いに隣接する前記半導体集積回路領域間を分離するスクライプ領域と、  
前記スクライプ領域内に備えられて、前記半導体集積回路のテストに用いられる B I S T 回路と、  
前記半導体集積回路と前記 B I S T 回路とを接続するために前記スクライプ領域と前記半導体集積回路領域とに跨って形成された接続配線と、  
前記半導体集積回路領域内に設けられた B I S T 切替信号入力パッドと、  
前記半導体集積回路領域内に備えられて、前記 B I S T 切替信号入力パッドからの駆動信号により駆動される B I S T 切替回路とを備え、  
前記 B I S T 切替回路は、前記半導体集積回路用の入出力パッドと、前記入出力パッドと前記半導体集積回路とを接続する回路配線と、前記回路配線の途中に設けられて、前記 B I S T 切替信号入力パッドからの駆動信号によって駆動するスイッチ素子とを具備してなることを特徴とする半導体集積回路ウエハ。

10

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、B I S T (組込型自己テスト)回路を用いて半導体集積回路の不良検出を行う際に好適な半導体集積回路ウエハ、半導体集積回路チップ及び半導体集積回路ウエハのテスト方法に関する。

20

## 【背景技術】

## 【0002】

半導体集積回路ウエハのテストは、メモリ等の半導体集積回路内の入出力パッド(外部電極)にプローブピン(探針)を接触させ、テストから供給するテストパターン信号をプローブピンを経由してパッドに入力し、電気的特性を測定し、不良か否かを判定する。プローブピンを入出力パッドに接触させると、入出力パッドにプローブピン接触による傷跡が残る場合がある。入出力パッドに傷跡が残ると、後工程で入出力パッドにワイヤをボンディングする作業やパンプ構築作業の際に不良の増大や接続の信頼性低下につながる。そのため、傷跡を少なくして安定したテストができるように入出力パッド構造の改善やプローブピン接触圧の調整が必要となっている。

30

## 【0003】

一方、半導体集積回路のテストを効率化する技術として B I S T (Built in Self Test : 組込型自己テスト)回路を利用する方法があるが、B I S T 回路を半導体集積回路の回路領域に内蔵すると、半導体集積回路全体のチップサイズが増大しチップコストが高くなる。また、製品後に不要な B I S T 回路が残ることにより、消費電力が増加するなどの課題がある。

## 【0004】

チップサイズの増大や消費電力の増加の課題を解決するために、スクライプ領域に B I S T 回路およびテスト用パッドを備える構造が提案されている(特許文献1)。特許文献1では、スクライプ領域内の B I S T 回路のテスト用パッドと集積回路領域の入出力パッドの両方にプローブピンを接触させ、プローブピンを介した伝達経路で電気的に接続する必要がある。このため、(i)プローブ本数が増加し検査治工具(プローブカード)が複雑、高価格になる。(ii)検査治工具の電気的特性が半導体集積回路のテストに影響を与える。等の課題がある。

40

## 【0005】

また、スクライプ領域に B I S T 回路およびテスト用パッドを備え、半導体集積回路領域の入出力パッドとの間を配線により電気的に接続する別の提案がある(特許文献2)。特許文献2では、半導体チップを1個1個に切り離すと同時にスクライプ領域及び接続用

50

の配線を切断するが、切断面の仕上がり状態によっては、接続用の配線がショートなどの電氣的不良を及ぼす可能性がある。

【0006】

さらに、試験回路を機能回路と接続する配線と、配線を電氣的に切断するスイッチング素子を形成する技術がある（特許文献3）。特許文献3では、試験回路（BIST回路）と機能回路（半導体集積回路）のパッドの有無及び利用効果についての記載が無く、本発明が課題解決しようとしている入出力パッドの傷跡の改善方法を示唆していない。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2002-176140号公報

【特許文献2】特開2003-124275号公報

【特許文献3】特開2001-085479号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明は、ボンディングパッドに傷跡が残らないで、かつボンディングの不良の削減や接続の信頼性を向上し、かつ半導体チップのサイズを小さくできると共に消費電力の増加を防止することが可能な半導体集積回路ウエハ、半導体集積回路チップ及び半導体集積回路ウエハのテスト方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記の目的を達成するために、本発明は以下の構成を採用した。

本発明の半導体集積回路ウエハは、半導体集積回路が形成されてなる複数の半導体集積回路領域と、互いに隣接する前記半導体集積回路領域間を分離するスクライブ領域と、前記スクライブ領域内に備えられて、前記半導体集積回路のテストに用いられるBIST回路と、前記半導体集積回路と前記BIST回路とを接続するために前記スクライブ領域と前記半導体集積回路領域とに跨って形成された接続配線と、前記半導体集積回路領域内に設けられたBIST切替信号入力パッドと、前記半導体集積回路領域内に備えられて、前記BIST切替信号入力パッドからの駆動信号により駆動されるBIST切替回路とを備え、前記BIST切替回路は、前記半導体集積回路用の入出力パッドと、前記入出力パッドと前記半導体集積回路とを接続する回路配線と、前記回路配線の途中に設けられて、前記BIST切替信号入力パッドからの駆動信号によって駆動するスイッチ素子とを具備してなることを特徴とする。

【0010】

上記の構成によれば、BIST回路をスクライブ領域に設置することで、半導体集積回路領域内にBIST回路を内蔵する場合と比較して半導体集積回路領域の面積を縮小し、製造原価の低減とパッケージ実装の小型化を実現することが可能になる。

【0011】

また、半導体集積回路領域内にBIST切替信号入力パッドとBIST切替回路とが備えられ、BIST切替回路にはBIST切替信号入力パッドからの駆動信号によって駆動するスイッチ素子が備えられている。この構成によってBIST切替回路は、BIST切替信号入力パッドからの駆動信号によって切替動作を行うことが可能になる。BIST切替回路は、スイッチ素子を用いることによって、半導体集積回路と入出力パッドを接続するか、または接続配線を介して半導体集積回路とBIST回路を接続するかの切替動作を行う。従って、プローブピンをBIST回路とBIST切替信号入力パッドに接続して切替動作を行い、これによりBIST回路と半導体集積回路とを接続することで、BIST回路を用いた半導体集積回路のテストを実行することが可能になり、プローブピンによって入出力パッドに傷跡を残すことなく、ボンディングの不良の削減や接続の信頼性を向上できる。

10

20

30

40

50

## 【 0 0 1 2 】

また、B I S T回路の使用により、半導体集積回路内の外部端子数を削減することができる。更に、プローブピン数を削減でき、テストのための治工具(プローブカード)の費用を抑制することが可能になる。

## 【 0 0 1 3 】

また、本発明の半導体集積回路ウエハは、先に記載の半導体集積回路ウエハにおいて、前記スイッチ素子が、オフ状態で前記回路配線を介して前記入出力パッドと前記半導体集積回路とを接続させ、前記駆動信号によってオン状態にされたときに前記回路配線を遮断するとともに前記接続配線を介して前記B I S T回路と前記半導体集積回路とを接続させることを特徴とする。

10

## 【 0 0 1 4 】

上記の構成によれば、スイッチ素子がオン状態の時にのみ、接続配線を介して前記B I S T回路と前記半導体集積回路とを接続させる一方、スイッチ素子がオフの時には回路配線を介して入出力パッドと半導体集積回路とを接続させることで、接続配線が回路配線及び半導体集積回路から遮断される。これにより、スイッチ素子がオフの時には接続配線に電流が流れないため、消費電流の低減を図ることができる。

## 【 0 0 1 5 】

次に、本発明の半導体集積回路チップは、先に記載の半導体集積回路ウエハを前記スクライブ領域に沿って分割することによって得られる半導体集積回路チップであり、半導体集積回路と、B I S T切替信号入力パッドと、前記B I S T切替信号入力パッドからの駆動信号により駆動されるB I S T切替回路とを備え、前記B I S T切替回路は、前記半導体集積回路用の入出力パッドと、前記入出力パッドと前記半導体集積回路とを接続する回路配線と、前記回路配線の途中に設けられて、前記B I S T切替信号入力パッドからの駆動信号によって駆動するスイッチ素子とを具備してなることを特徴とする。

20

## 【 0 0 1 6 】

上記の構成によれば、プローブピンによる入出力パッドの傷跡が少なくなり、ボンディングの不良の削減や接続の信頼性を向上できる。

## 【 0 0 1 7 】

次に、本発明の半導体集積回路のテスト方法は、先に記載の半導体集積回路ウエハを用いた半導体集積回路のテスト方法であり、プローブカードのプローブピンを前記B I S T回路及び前記B I S T切替信号入力パッドに接続する工程と、前記B I S T切替信号入力パッドに駆動信号を入力して前記B I S T切替回路内の前記スイッチ素子をオンにして、前記回路配線を遮断するとともに前記接続配線を介して前記B I S T回路と前記半導体集積回路とを接続する工程と、テストから前記プローブピンを経由して前記B I S T回路にテスト用情報信号を入力し、入力された前記テスト用情報信号を更に前記接続配線を介してテスト用情報信号に入力することによって、前記半導体集積回路のテストを実行する工程と、を備えることを特徴とする。

30

## 【 0 0 1 8 】

上記の構成によれば、B I S T切替回路が、スイッチ素子を用いることによって、半導体集積回路と入出力パッドを接続するか、または接続配線を介して半導体集積回路とB I S T回路を接続するかを切替動作を行う。従って、プローブピンをB I S T回路とB I S T切替信号入力パッドに接続して切替動作を行い、これによりB I S T回路と半導体集積回路とを接続することで、B I S T回路を用いた半導体集積回路のテストを実行することが可能になり、プローブピンによって入出力パッドに傷跡を残すことなく、ボンディングの不良の削減や接続の信頼性を向上できる。

40

## 【 発明の効果 】

## 【 0 0 1 9 】

本発明によれば、ボンディングパッドに傷跡が残らないで、かつボンディングの不良の削減や接続の信頼性を向上し、かつ半導体チップのサイズを小さくできると共に消費電力の増加を防止することが可能な半導体集積回路ウエハ、半導体集積回路チップ及び半導体

50

集積回路ウエハのテスト方法を提供できる。

【図面の簡単な説明】

【0020】

【図1】図1は、本発明の実施形態である半導体集積回路ウエハを示す平面模式図である。

【図2】図2は、図1の部分拡大図であって、本発明の実施形態である半導体集積回路ウエハの要部を示す平面模式図である。

【図3】図3は、本発明の実施形態である半導体集積回路ウエハの回路構成及び半導体集積回路のテスト方法を説明する模式図である。

【発明を実施するための形態】

10

【0021】

以下、本発明の実施形態について、図面を参照して説明する。図1は、本発明の実施形態である半導体集積回路ウエハを示す平面模式図であり、図2は、図1の部分拡大図であって、本発明の実施形態である半導体集積回路ウエハの要部を示す平面模式図であり、図3は、本発明の実施形態である半導体集積回路ウエハの回路構成及び半導体集積回路のテスト方法を説明する模式図である。

【0022】

図1～図2に示すように、本実施形態の半導体集積回路ウエハ1は、半導体集積回路2をテストするためのBIST回路パッド5を備えたBIST回路4をウエハ1上のスクライプ領域3内に設け、スクライプ領域3内のBIST回路4と半導体集積回路2とを電気的に接続させる接続配線9を半導体集積回路領域2aからスクライプ領域3に延出して形成する。半導体集積回路2内にはBIST切替信号入力パッド7を設けて、BIST切替信号入力パッド7からの駆動信号によりBIST切替回路8を駆動して、スイッチ素子10の電気的接続をオンにする。これにより、半導体集積回路2とBIST回路4とを接続させる。

20

【0023】

BIST回路4を利用して半導体集積回路2をテストする時は、プローブピン13をスクライプ領域3内に形成したBIST回路4のBIST回路パッド5及び半導体集積回路2内のBIST切替信号入力パッド6に接触させ、プローブカード13を介して半導体測定装置14(テスト)と電気的に接続し、テスト14からの信号によりBIST回路4を駆動して半導体集積回路2のテストを行う。テスト時に、プローブピン13をBIST切替信号入力パッド7に加えて、さらに半導体集積回路2内の電源パッド及びGNDパッドに接触させ、プローブカード12を介してテスト14と電気的に接続し、テスト14からのテスト情報信号によりBIST回路4を駆動して半導体集積回路2のテストを行う。

30

【0024】

以下、図面を参照して詳細に説明する。

図1及び図2において、符号1は、半導体集積回路ウエハである。半導体集積回路ウエハ1内に複数の半導体集積回路領域2aがマトリクス状に配置されている。半導体集積回路領域2aには半導体集積回路2が形成されている。個々の半導体集積回路領域2aの周囲には、隣接する半導体集積回路領域2aを1つ1つ切り離すためのスクライプ領域3が設けられている。スクライプ領域3には、BIST回路4が設けられている。BIST回路4には、テスト情報信号をBIST回路4に入力するBIST回路パッド5が設けられている。なお、BIST回路4は機能別に複数種類あってもよい。また、半導体集積回路2は、DRAMやSRAMのようなメモリ回路でもよく、ロジック回路でもよい。本実施形態では、半導体集積回路2としてメモリ回路を用いた例について説明する。

40

【0025】

半導体集積回路領域2a内の半導体集積回路2の近傍には、VDD(電源)パッド11、GNDパッド12、複数の入出力パッド6及びBIST切替信号入力パッド7が配置されている。さらに図3に示すように、半導体集積回路領域2a内には、BIST切替信号入力パッド7からの駆動信号により駆動されて半導体集積回路2のテストに使用されるB

50

I S T用切替回路 8 が設けられている。B I S T回路 4 とB I S T用切替回路 8 ( 図 3 参照 ) とは、スクライプ領域 3 及び半導体集積回路領域 2 a に跨って形成された接続配線 9 によって接続されている。

【 0 0 2 6 】

図 3 に示すように、半導体集積回路 2 は、回路配線 1 1 によって入出力パッド 6 と接続されている。半導体集積回路 2 のテストを行うために使用される B I S T用切替回路 8 は、半導体集積回路 2 用の入出力パッド 6 と、入出力パッド 6 と半導体集積回路 2 とを接続する回路配線 1 1 と、回路配線 1 1 の途中に設けられて、B I S T切替信号入力パッド 7 からの駆動信号によって駆動するスイッチ素子 1 0 とから構成されている。スイッチ素子 1 0 は、オフ状態で回路配線 1 1 を介して入出力パッド 6 と半導体集積回路 2 とを接続させる一方、駆動信号によってオン状態にされたときには、回路配線 1 1 を遮断するとともに接続配線 9 を介して B I S T回路 4 と半導体集積回路 2 とを接続させるように構成されている。スイッチ素子 1 0 のオンオフ制御は、B I S T切替信号パッド 7 からの B I S T切替信号で行われる。B I S T切替信号入力パッド 7 に駆動信号が入力されると、スイッチ素子 1 0 がオンになり、B I S T回路 4 と半導体集積回路 2 とが接続される。

10

【 0 0 2 7 】

スイッチ素子 1 0 は、例えばスイッチ素子が High アクティブの場合、High 入力でスイッチオンに、Low 入力でオフに動作する。スイッチ素子 1 0 は、例えば B I S T切替信号をプルダウン接続してなるトランスマン MOS を使用することができる。なお、B I S T用切替回路 8 を構成する入出力パッド 6 と、スイッチ素子 1 0 とは、半導体集積回路 2 のメモリアレイに応じて複数個備えられている。半導体集積回路 2 と回路配線 1 1 との接続には、トランスマン MOS に替えてヒューズなども使用できる。

20

【 0 0 2 8 】

次に、図 3 を参照して半導体集積回路のテスト方法について説明する。

テストに使用するプローブカード 1 2 は、複数個のプローブピン 1 3 を備えている。プローブピン 1 3 は、B I S T回路 4 に設けられた複数個の B I S T回路パッド 5、及び半導体集積回路領域 2 内の電源パッド 1 1、GND パッド 1 2、B I S T切替信号入力パッド 7 にそれぞれ触針させる。かくして、半導体集積回路 2 は、プローブカード 1 2 及びプローブピン 1 3 を介して B I S T回路 4 からの B I S T信号によりテスト可能となる。

30

【 0 0 2 9 】

まず、テスト開始時に、プローブピン 1 3 を、複数個の B I S T回路パッド 5、及びメモリチップ内の電源パッド 1 1、GND パッド 1 2、B I S T切替信号入力パッド 7 にそれぞれ触針する。

【 0 0 3 0 】

次に、テスト 1 4 からプローブピン 1 3 を経由して B I S T切替信号入力パッド 7 に駆動信号を入力する。B I S T切替信号入力パッド 7 に B I S T切替信号である B I S T Enabl 信号 ( 駆動信号 ) が入力されると、スイッチ素子 1 0 がオン状態になる。これにより、回路配線 1 1 がスイッチ素子 1 0 によって遮断されるとともに、接続配線 9、スイッチ素子 1 0 及び半導体集積回路側の回路配線 1 1 a を介して B I S T回路 4 と半導体集積回路 2 とが接続される。

40

【 0 0 3 1 】

次に、テスト 1 4 からプローブピン 1 3 を経由して B I S T回路 4 を制御するテスト用情報信号を B I S T回路パッド 5 に入力する。かくして、B I S T回路 4 からテスト用情報信号が、接続配線 9、スイッチ素子 1 0 を介して半導体集積回路 2 に伝達され、半導体集積回路 2 のテストが実行される。

【 0 0 3 2 】

半導体集積回路 2 に対するウエハ状態でのテストを全て終了後、半導体集積回路ウエハ 1 をスクライプ領域 3 に沿って分断する。これにより、半導体集積回路領域 2 a に区画されてなる半導体集積回路チップ 1 0 を切り出し、同時にスクライプ領域 3 にある接続配線 9 も切断する。切断面の状態によってはショートなどにより半導体集積回路 2 に電氣的悪

50

影響を及ぼす危険があるが、半導体集積回路 2 内のプルダウンされた BIST Enable 信号によりスイッチ素子 10 がオフになっているために接続配線 9 の切断面は電氣的に切断され、切断面の状態によるメモリ回路の動作には影響を及ぼさない。また、チップ形成後の接続配線 9 には電流が流れないので、半導体集積回路チップ 10 の消費電力を低減できる。

【0033】

形成された半導体集積回路チップ 10 は、半導体集積回路 2 と、BIST 切替信号入力パッド 7 と、BIST 切替回路 8 とを備え、BIST 切替回路 8 には、入出力パッド 6 と、回路配線 11 と、回路配線 11 の途中に設けられたスイッチ素子 10 と、切断された接続配線 9 a を具備するものとなる。

【0034】

以上説明したように、半導体集積回路 2 のテスト時に、半導体集積回路 2 の入出力パッド 6 にプローブピン 13 を接触させる必要がなくなり、入出力パッド 6 に傷跡を残すことが無くテストを実行することが可能になる。

【0035】

また、BIST 回路 4 をスクライプ領域 3 に設置することで、半導体集積回路 2 内に内蔵する場合と比較し、半導体集積回路領域 2 a の面積が縮小され、製造原価の低減とパッケージ実装の小型化を実現することが可能になる。また、半導体集積回路チップ 10 とした後には、BIST 回路 4 がスクライプ領域ごと除去されるので、BIST 回路 4 による不要な消費電流増加を防止できる。

【0036】

また、接続配線 9 をウェハ 1 上に構築することで、従来のようにプローブカード経由で信号を伝達する方式と比べて、信号の劣化が少なく高速テストが可能になる。さらに、BIST 回路 4 の構成により、BIST 回路パッド 5 の数を削減することができる。また、プローブピン数を削減でき、テストのための治工具(プローブカード)の費用を抑制することが可能になる。さらに、接続配線方式で発生する切断時のショート不良はスイッチ構造により防止できる。

【0037】

また、組み立て時に使用する半導体集積回路 2 の入出力パッド 6 をプローブピン 13 で傷つけるパッド数が最小限(前記動作説明例では電源パッド 11、GNDパッド 12、BIST 切替信号入力パッド 7 の 3 つのパッドのみ)なので、ボンディング不良を削減するとともにワイヤボンディング時の接続信頼性を向上できる。

【0038】

なお、上記のテスト方法では、半導体集積回路 2 でプローブピン 13 との接触を必要とするパッドを、BIST 切替信号入力パッド 7、電源パッド 11 及び GNDパッド 12 としているが、これら 3 端子に限定する必要はなく、プローブピン 13 との接触を必要とするパッドの増減は任意である。また、3 端子のみを 2 個併設設置することにより、3 端子の傷跡を確実に無くすることもでき、High 入力のチップサイズの増加が少ない対策が可能となる。

【符号の説明】

【0039】

1 ; 半導体集積回路ウェハ、 2 ; 半導体集積回路、 2 a ; 半導体集積回路領域、 3 ; スクライプ領域、 4 ; BIST 回路、 5 ; BIST 回路パッド、 6 ; 入出力パッド、 7 ; BIST 切替信号入力パッド、 8 ; BIST 切替回路、 9 ; 接続配線、 10 ; スwitch素子、 11 ; 回路配線、 12 ; プローブカード、 13 ; プローブピン、 14 ; テスタ。

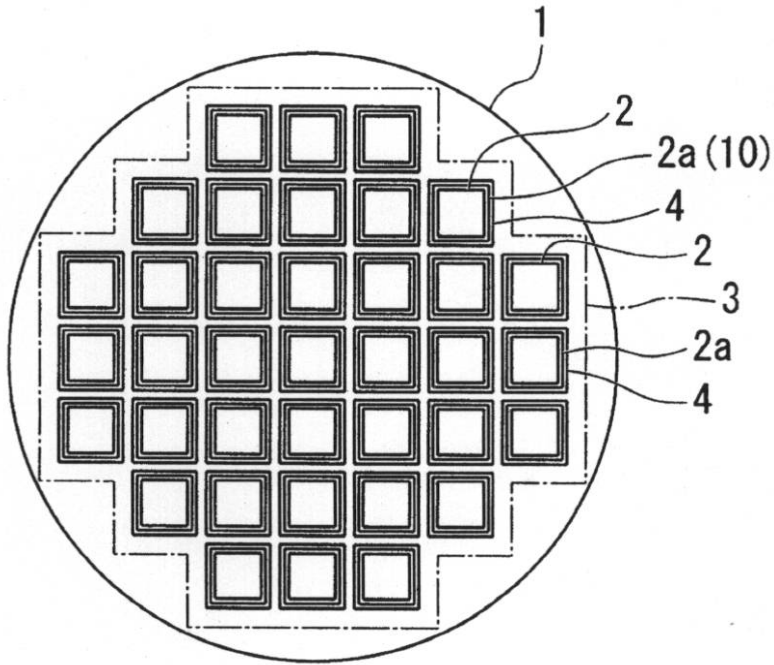
10

20

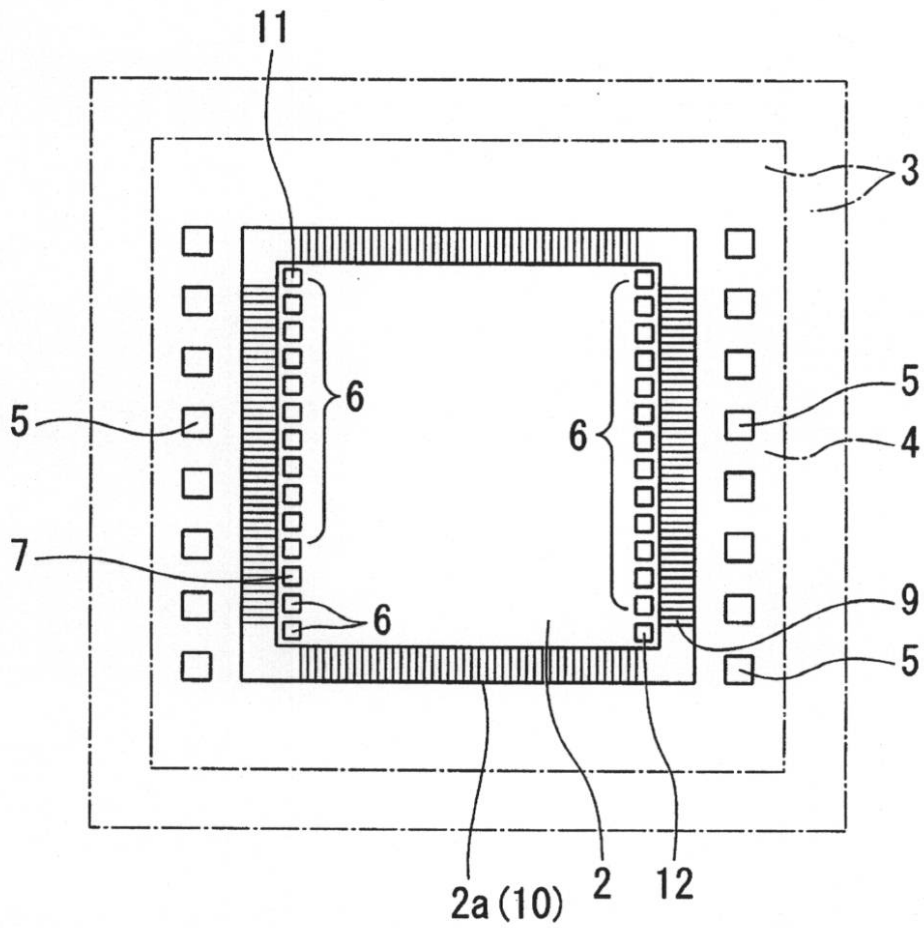
30

40

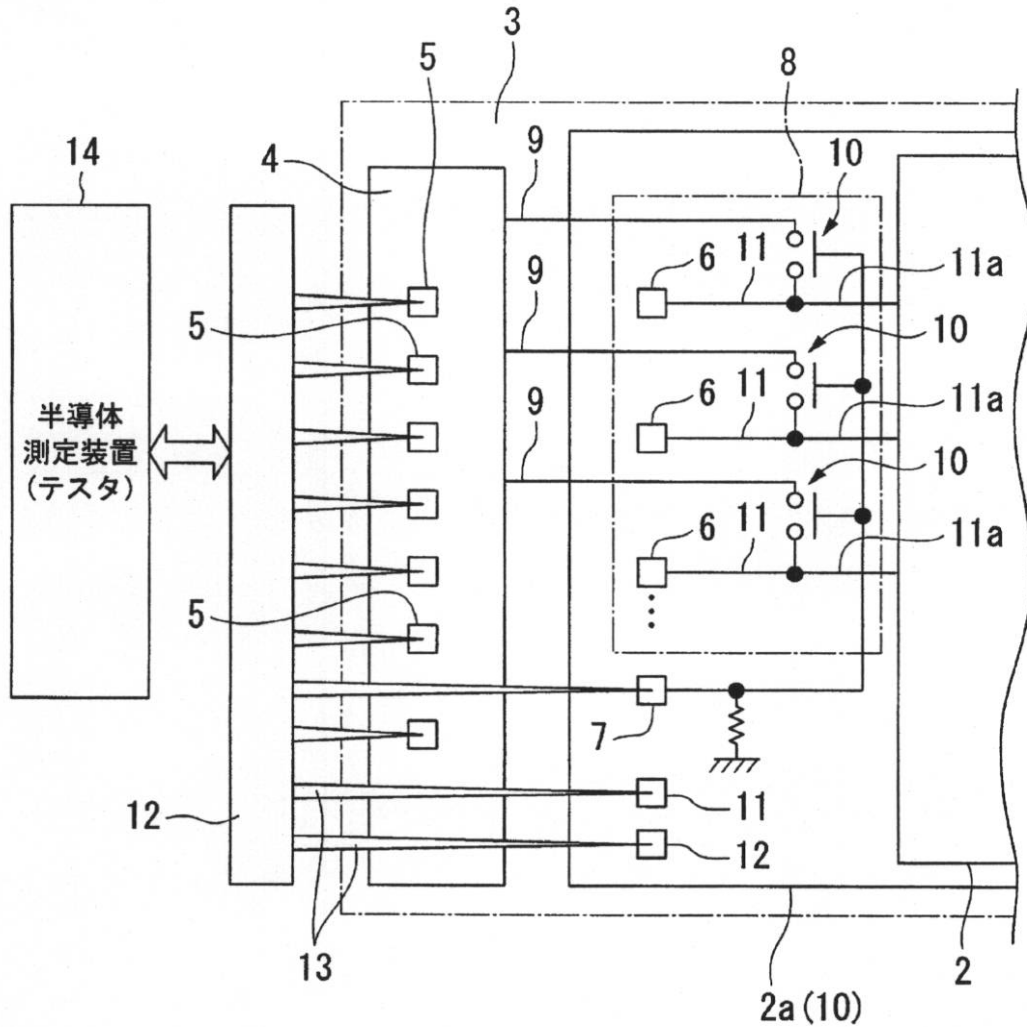
【図1】



【図2】



【図 3】



【手続補正書】

【提出日】平成26年4月14日(2014.4.14)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体集積回路と組込型自己テスト(BIST)切替回路とを有する半導体集積回路領域と、

前記半導体集積回路領域に隣接して配置されたスクライプ領域とを備え、前記スクライプ領域はBIST回路を備え、さらに、

前記BIST回路と前記BIST切替回路とを接続する接続配線を備え、

前記BIST切替回路は、前記接続配線を前記半導体集積回路に選択的に接続して前記BIST回路と前記半導体集積回路との間の通信を可能にする、半導体集積回路ウエハ。

【請求項2】

前記BIST切替回路は、前記接続配線を前記半導体集積回路に選択的に接続するために用いられる1以上のスイッチ素子を備える、請求項1に記載の半導体集積回路ウエハ。

【請求項3】

前記半導体集積回路領域は、前記1以上のスイッチ素子を駆動させるために用いられる

入力信号を受けるように構成された B I S T 切替信号入力パッドを備える、請求項 2 に記載の半導体集積回路ウエハ。

【請求項 4】

前記 B I S T 切替回路は、1 以上の入出力パッドを備え、前記 B I S T 回路は、1 以上の B I S T 回路パッドを備える、請求項 1 に記載の半導体集積回路ウエハ。

【請求項 5】

テストの間、前記 B I S T 回路パッドは、1 以上のプローブピンに接触される、請求項 4 に記載の半導体集積回路ウエハ。

【請求項 6】

半導体集積回路と、  
組込型自己テスト ( B I S T ) 切替回路と、  
前記 B I S T 切替回路に結合される接続配線とを備え、  
前記 B I S T 切替回路は、前記接続配線を前記半導体集積回路に選択的に接続して前記接続配線と前記半導体集積回路との間の電氣的接続を可能にする、半導体集積回路チップ

。

【請求項 7】

前記 B I S T 切替回路は、前記接続配線を前記半導体集積回路に選択的に接続するために用いられる 1 以上のスイッチ素子を備える、請求項 6 に記載の半導体集積回路チップ。

【請求項 8】

前記 1 以上のスイッチ素子を駆動させるために用いられる入力信号を受けるように構成された B I S T 切替信号入力パッドを備える、請求項 7 に記載の半導体集積回路チップ。

【請求項 9】

半導体集積回路ウエハに配置された半導体集積回路をテストする方法であって、  
プローブカードの第 1 のプローブピンを、前記半導体集積回路ウエハに配置された組込型自己テスト ( B I S T ) 回路に接触させるステップを備え、前記 B I S T 回路は、前記半導体集積回路ウエハのスクライブ領域に配置され、前記スクライブ領域は、前記半導体集積回路を含む半導体集積回路領域に隣接して配置され、さらに、  
前記プローブカードの第 2 のプローブピンを、B I S T 切替信号入力パッドに接触させるステップを備え、前記半導体集積回路領域は、前記 B I S T 切替信号入力パッドを備え、前記 B I S T 切替信号入力パッドは、前記第 2 のプローブピンから駆動信号を受けて、前記 B I S T 回路と前記半導体集積回路との間の通信を可能にするように構成される、方法。

【請求項 10】

前記第 2 のプローブピンを用いて、前記駆動信号を前記 B I S T 切替信号入力パッドに与えるステップを備える、請求項 9 に記載の方法。

【請求項 11】

前記第 1 のプローブピンを用いて、情報信号を前記 B I S T 回路に与えるステップを備える、請求項 9 に記載の方法。

【請求項 12】

前記駆動信号が前記 B I S T 切替信号入力パッドに与えられている間、前記情報信号を前記 B I S T 回路に与えるステップを備える、請求項 11 に記載の方法。

フロントページの続き

Fターム(参考) 5F038 BE05 BE07 BE09 CA13 DF05 DF08 DT04 DT08 EZ19 EZ20