



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETÀ INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI

UIBM

DOMANDA NUMERO	101994900391313
Data Deposito	21/09/1994
Data Pubblicazione	21/03/1996

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
G	06	F		

Titolo

ARCHITETTURA DI MEMORIA PER DISCHI A STATO SOLIDO

RM94A 600312

DESCRIZIONE

a corredo di una domanda di Brevetto d'Invenzione avente per titolo:

"ARCHITETTURA DI MEMORIA PER DISCHI A STATO SOLIDO"

a nome: TEXAS INSTRUMENTS ITALIA S.p.A. - CITTADUCALE (RI)

Inventore : DI ZENZO MAURIZIO, GRIMANI RODOLFO

La presente invenzione si riferisce in linea generale alle memorie e concerne in modo più particolare una nuova architettura di memoria che si presta in maniera ottimale alla realizzazione di dischi allo stato solido.

Come è noto agli esperti in questo settore, tra le attuali tecniche di memorizzazione di massa di dati, vanno assumendo sempre maggiore importanza i dischi allo stato solido (SSD), cioè delle strutture che utilizzano chip di memoria commerciali, normalmente utilizzati come memorie residenti, connesse in modo da emulare i dischi magnetici.

É stato, comunque, constatato che l'uso delle attuali memorie commerciali (tipicamente memorie DRAM) comporta un appesantimento della struttura globale del disco allo stato solido, da cui nasce l'esigenza di individuare una architettura di memoria specifica, tale da permettere un ottimale funzionamento di questi sistemi.

Deve anche essere tenuto presente che i dischi allo stato solido debbono essere compatibili con gli attuali sistemi di

Ing. Baranovič Romano
Roma s.p.a.

memorizzazione di massa, questi debbono quindi essere strutturati in blocchi di 512 bytes.

Fino ad oggi, le memorie sono state viste come degli oggetti da utilizzare come nodi centrali di sistemi direttamente interfacciati con un microprocessore. Ciò comporta il fatto che sia la funzionalità , sia l'interfaccia elettrica e logica, sono state progettate in modo da ottimizzare il colloquio tra l'Unità di Elaborazione Centrale (CPU) e le celle della memoria stessa. Al momento stesso, però, in cui si prendono in considerazione altre applicazioni ed altre architetture, il tipo di interfaccia ed il tipo di funzionalità non sono più quelli ottimali.

Sulla base delle esperienze fatte nel campo dei dischi allo stato solido, lo scopo generale che la presente invenzione si è proposto è stato di mettere a punto una architettura ottimale tale da permettere la semplificazione di tutto il disegno di un sistema di memoria di massa basato su memorie al silicio

In questo quadro ed in particolare sotto l'aspetto del costo, diventa importante che la memoria ottenuta abbia un livello ottimale di "fault tolerance" e, nella presente invenzione, rilevanza speciale è stata posta nella incorporazione nella stessa memoria di opportuni meccanismi di correzione degli errori. L'intento è quello di fare in modo che l'utente esterno generico che richieda i dati dalla memoria debba occuparsi dell'architettura della memoria soltanto in un momento ben preciso, in particolare il momento della inizializzazione, e non debba preoccuparsene ad ogni estrazione di dati. Ciò vuol dire che, se l'utente richiede un blocco di dati memorizzati nell'indirizzo nominale

Ing. Barrano & Barardo
Roma s.p.a.

xxx, sia la memoria stessa ad estrarre il blocco di dati richiesto, anche se esso era stato memorizzato non nell'indirizzo effettivo xxx, ma in un diverso indirizzo dove era stato fisicamente possibile inserirlo.

In altre parole, l'intento è stato quello di costruire, al livello di multi-probe, cioè ancor prima che la memoria venga assemblata, una mappa dei bit fallenti e di inserirla stabilmente nella memoria e farvela permanere fino a che non intervenga la necessità o convenienza di modificarla. Da ciò deriva un vantaggio sostanziale in termini di flusso di produzione, grazie al fatto che una tale memoria utilizzata per applicazione di memorizzazione di massa non viene collaudata o "testata" come una memoria per calcolatore, ma viene invece collaudata utilizzando algoritmi specifici e sfruttando un programma di collaudo specifico.

Sotto l'aspetto strutturale, innanzi tutto, la memoria della presente invenzione, rispetto ad una memoria convenzionale, è realizzata in maniera tale che la matrice delle celle non contenga solo il posto per le memorizzazione dei dati, ma anche il posto per un codice di correzione degli errori, in modo tale che tutta l'informazione sia contenuta all'interno del chip e non vi sia bisogno di ricorrere a circuiteria esterna. In questa maniera viene snellito anche lo scambio di informazioni con il mondo esterno.

Esprimendo quanto sopra in termini più rigorosi, i chip utilizzati possono presentare difetti di varia natura e quindi dar luogo ad errori sui bit memorizzati: tutto ciò crea il bisogno di inserire nell'interno stesso del disco allo stato solido (SSD) un meccanismo capace di

Ing. Barrano & Barardo
Roma s.p.a.

realizzare un algoritmo di codice di correzione di errore (ECC). Se si considera l'uso di un codice di correzione di errore del tipo Reed Salomon Code, si ha una ridondanza di 12.5% e quindi si necessita di uno spazio di memoria maggiore dei tradizionali 512 byte per settore: più precisamente, occorre aggiungere 64 byte di verifica ogni 512 byte di dati.

Il codice di correzione di errore realizzerà un algoritmo di correzione dei dati memorizzati, eliminando così gli effetti deleteri delle difettosità delle memorie. Ovviamente, il codice di correzione di errore avrà un limite funzionale ed esisteranno degli errori non correggibili.

Per far fronte alla circostanza degli errori non correggibili, l'architettura secondo la presente invenzione prevede un'area di ridondanza necessaria per rimpiazzare eventuali zone "troppo difettose". Come sopra accennato, la soluzione adottata consiste, in aggiunta alla capacità di generare automaticamente l'algoritmo di ECC, nell'introdurre una mappatura dei bit fallenti che permetterà di rimpiazzare le righe affette da errori.

Nella eventualità in cui l'array di memoria sia realizzato con tecniche volatili, il chip secondo la presente invenzione prevede una circuiteria addizionale facoltativa per la esecuzione di operazioni di rinfresco interne.

Riassumendo, il chip secondo la presente invenzione è in grado di:

- memorizzare i dati ed il codice di correzione di errore,
- riallocare la matrice di celle in caso di difettosità delle righe,

Ing. Barzani & Barzani
Roma s.p.a.

- realizzare l'algoritmo di correzione di errore,
- generare le operazioni di rinfresco delle memorie volatili,
- consentire l'accesso dall'esterno tramite opportuni buffers.

Ulteriori dettagli, particolarità e vantaggi della presente invenzione appariranno evidenti dal seguito della descrizione con riferimento ai disegni allegati, in cui sono rappresentate a titolo illustrativo e non restrittivo le preferite forme di realizzazione.

Nei disegni, lo schema rappresentato nella Figura 1 costituisce il "block design" della memoria proposta secondo la presente invenzione.

DESCRIZIONE DEI BLOCCHI

SCRAMBLE RAM (SCRAM) : questa è la memoria di transcodifica contenente la tabella che permette la riallocazione degli indirizzi della matrice dati; le righe ridondanti vengono utilizzate quando occorre sostituire le righe difettose.

SCRAM DEC: questo blocco permette la decodifica degli indirizzi della tabella di riallocazione.

DATA ARRAY : questa è la memoria vera e propria nella quale sono scritti i bytes di dati ed i bytes di verifica o di check. In questa forma di realizzazione, la memoria è formata da 500 righe e ciascuna riga è formata da $512 + 64$ bytes. Le 500 righe sono state calcolate volendo ottenere un chip di 15 Mbit.

FUSE LOGIC: questa logica permette l'operazione di individuazione delle righe non utilizzabili e la loro sostituzione con le righe ridondanti.

Ing. Barzano G. Barando
Roma s.p.a.

ECC : questo blocco implementa l'algoritmo di correzione degli errore: Reed Salomon Code.

LOGICAL ROW ADDRESS BUFFER : questa è una memoria tampone (buffer) di ingresso che immagazzina l'indirizzo di riga proveniente dal bus esterno;

FAIL MAP : è il cuore del chip, si tratta di una zona di memoria non volatile, programmata durante il collaudo e disponibile ad un eventuale processore per la gestione della memoria SCRAM, attraverso un apposito bus;

WORD COUNTER: questo blocco, attraverso il segnale di cadenzamento o di clock esterno esegue il conteggio delle parole che sono state indirizzate e genera, inoltre, gli indirizzi delle parole;

DATA IN / DATA OUT : si tratta di buffers di ingresso (o di scrittura) e di uscita (o di lettura) dei dati, i quali cooperano direttamente con il blocco MUX;

MUX : questo blocco è formato da un multiplexer il quale è controllato da un segnale SCRAM_EN per commutare il transito dai dati alla memoria dei dati vera e propria oppure alla memoria di transcodifica SCRAM;

ARBITER : questo blocco, agendo sul blocco REFRESH COUNTER comanda l'operazione di rinfresco. Inoltre, esso risolve il conflitto tra l'operazione di accesso alla memoria e di rinfresco della memoria.

Ing. Barrano & Zanardo
Roma spa

REFRESH COUNTER (REFRESH CNT): questo blocco genera gli indirizzi per il rinfresco delle due memorie volatili presenti nel sistema, la memoria di matrice dei dati e la memoria di transcodifica.

OSC : si tratta di un oscillatore interno che provvede alla temporizzazione del blocco ARBITER. Solo tramite l'oscillatore interno si riesce a rendere la memoria quasi statica (rinfresco interno).

Prima di passare all'esame del funzionamento, è da notare che, avendo la possibilità di una piccola elaborazione locale, anche se limitata alla correzione dell'errore, la memoria secondo la presente invenzione ha anche un comportamento attivo. Ciò significa che, quando la procedura di correzione dell'errore non viene positivamente conclusa, allora la memoria stessa fornisce all'elaboratore centrale un segnale di interruzione (INT).

Inoltre, è da sottolineare il fatto che, grazie all'uso della SCRAMBLE RAM la suddivisione in settori della memoria di dati non è più determinante, come nella tecnica anteriore, perchè, attraverso una decodifica degli indirizzi della SCRAMBLE RAM, una qualsiasi delle righe ridondanti previste può rimpiazzare una qualsiasi delle righe difettose.

MODO DI FUNZIONAMENTO

I blocchi rappresentati nella Figura 1 sono sufficienti per il corretto funzionamento della memoria. Verranno ora analizzati alcuni modi di funzionamento.

ACCESSO : è necessario innanzi tutto abilitare il chip, cosa che viene fatta ponendo il segnale CE = attivo, poi occorre inviare gli

Ing. Parrano & Parrano
Roma s.p.a.

indirizzi, caricando gli appositi buffers DATA IN / DATA OUT. Il segnale W (lettura / scrittura) determina la direzione dei dati.

SCRITTURA : una volta applicato l'indirizzo logico, la memoria di transcodifica lo traduce in un indirizzo fisico, provvedendo, nella generazione dell'indirizzo reale, a saltare eventuali righe difettose. Il blocco di correzione dell'errore (ECC) aggiunge ai dati i byte di ridondanza, caricato sul buffer di ingresso, i quali, attraverso il multiplexer MUX, raggiungono la matrice di celle che li memorizza tutti insieme su una sola riga. Contemporaneamente, dall'esterno, per ogni byte entrato, il segnale di cadenzamento (clock) permette al contatore di parole di contare il numero di indirizzi realizzati e quindi in bytes trasferiti.

LETTURA : dopo aver abilitato il chip tramite il segnale CE attivo e dopo averlo commutato in lettura tramite disabilitazione del segnale W, viene fornito l'indirizzo del settore e, attraverso la tabella di transcodifica, viene generato l'indirizzo fisico che permette l'accesso alla riga desiderata. I dati attraverso il multiplexer raggiungeranno i buffers e verranno elaborati dal blocco di correzione dell'errore ECC, il quale, tramite i bit di ridondanza, individua e corregge eventuali errori di memorizzazione. Nel caso in cui questa operazione non riesca, esso manifesterà all'elaboratore centrale lo stato di "errore non correggibile" tramite il segnale INT.

La struttura secondo la presente invenzione permette anche l'accesso diretto alla memoria di SCRAMBLE necessario nella fase

Ing. Barrano & Ranardo
Roma s.p.a.

diagnostica del disco allo stato solido: questa operazione avviene attraverso la attivazione del segnale SCRAMBLE_EN.

Come sopra accennato, la memoria secondo la presente invenzione è una memoria di tipo quasi statico; infatti, il chip gestisce automaticamente sia il rinfresco della memoria di dati, sia il rinfresco della memoria SCRAMBLE. Tutto ciò è garantito dai blocchi REFRESH, che realizza il rinfresco vero e proprio, ARBITER, che risolve eventuali conflitti tra acceso e rinfresco, e OSC, che permette il sincronismo delle operazioni tra i due blocchi.

DESCRIZIONE DEI SEGNALI E DEI BUS

CE : segnale attivo basso che permette la attivazione del chip di memoria,

A0 - A11 : bus di 12 bit utilizzato per fornire al chip i 12 indirizzi,

CLK : viene abilitato ogni volta che arriva un byte e permette al contatore di parole di contare i byte indirizzati,

INT : tramite questo segnale di interruzione, il blocco di ECC manifesta la presenza di un errore non correggibile,

FAIL_MAP : permette l'accesso alla zona di memoria,

I / O : è il bus dei dati, bidirezionale, a 16 bit,

W : segnale attivo basso che permette di controllare la direzione del flusso di dati : lettura / scrittura,

SCRAM_EN : permette la connessione del bus di dati o con la matrice di celle o con la memoria di mappatura.

Ing. Barzani & Barzani
Roma s.p.a.

L'uso della memoria rappresentata nella Figura 1 presenterebbe diversi tipi di vantaggi. Innanzi tutto, essa semplificherebbe le operazioni e la complessità del modulo di controllo, cioè del circuito di interfaccia tra il microprocessore e le memorie del disco a stato solido SSD. Tale modulo di controllo avrà allora solo la funzione di by-passare gli indirizzi rendendoli compatibili con la memoria, riducendo così sia le dimensioni del modulo stesso di controllo, sia la complessità dell'algoritmo di connessione logica tra dati e byte di controllo realizzata dallo stesso modulo di controllo.

Rispetto alle memorie DRAM, la memoria secondo la presente invenzione (ASM : Application Specific Memory), come già accennato, garantisce un grande vantaggio in fase di produzione, in particolare durante la fase di collaudo dei chip di memoria. Sarà sufficiente una sola passata di collaudo : infatti, poichè i bytes di dati sono tutti immagazzinati sequenzialmente in una sola riga, l'indirizzamento non può che avvenire in "page mode" e la connessione logica tra area di memoria riservata ai dati e area di memoria destinata ai byte di verifica è immediata e quindi i due diversi tipi di analisi delle difettosità delle memorie DRAM attualmente necessari si semplificherebbero in una sola operazione di collaudo, con evidente miglioramento in termini di velocità di produzione.

Inoltre, non esiste più il bisogno di restringimento delle ipotesi ad un solo "fault byte" per blocco, come invece si ha nelle memorie convenzionali. Infatti, poichè tutti i 576 bytes sono consecutivi, sarà sufficiente verificare che il numero massimo di bytes difettosi nella

Ing. Barrano & Ranardo
Roma s.p.a.

stringa sia minore od uguale alla massima difettosità ammissibile. Nelle memorie DRAM convenzionali, invece, non essendo possibile connettere logicamente, in fase di collaudo, le aree di memoria dati ed ECC, si è costretti ad utilizzare criteri più restrittivi, per evitare che la somma dei difetti nelle due zone ecceda la capacità di correzione del codice prescelto.

Infine, il flusso produttivo delle memorie ASM è più economico di quello delle memorie DRAM. Il numero delle fasi di produzione è diminuito: analizzando i dati riguardanti gli effetti sugli errori di invecchiamento del chip, si nota, infatti, che tutti i tipi di errori che si manifestano non creano problemi al disco a stato solido SSD realizzato con incorporato ECC ("on-chip"), per cui la procedura di collaudo della nuova memoria non necessiterà più della fase di "burn-in" e, ovviamente, delle ripetizione di tutto il collaudo a temperatura ambiente.

In quel che precede è stata descritta la preferita forma di realizzazione della presente invenzione e sono state suggerite delle varianti, ma deve essere chiaro che gli esperti nel ramo potranno apportare altre varianti, modificazioni e cambiamenti nei dettagli e nei particolari costruttivi, senza con ciò uscire dall'ambito di protezione della presente privativa industriale.

UN MANDATARIO
per sé e per gli altri
Antonio Talliercio
(N° d'iscr. 171)

Talliercio



Ing. Barzani G. Barzani
Roma s.p.a.

RIVENDICAZIONI

1.- Memoria per disco a stato solido (SSD), caratterizzata dal fatto di comprendere i seguenti blocchi funzionali:

- un blocco di memoria (DATA ARRAY) nel quale sono scritti i bytes di dati ed i bytes di verifica,

- un blocco di memoria di transcodifica (SCRAMBLE RAM) contenente la tabella che permette la riallocazione degli indirizzi della matrice dati, contenente righe ridondanti,

- un blocco (SCRAM DEC) per la decodifica degli indirizzi della tabella di decodificazione,

- un blocco logico (FUSE LOGIC) che permette l'operazione di individuazione delle righe non utilizzabili e la loro sostituzione con le dette righe ridondanti,

- un blocco di codice di correzione di errore (ECC) che implementa l'algoritmo di correzione degli errori,

- un blocco di buffer di ingresso (LOGICAL ROW ADDRESS BUFFER) che immagazzina l'indirizzo di riga proveniente dal bus esterno,

- un blocco di memoria non volatile (FAIL MAP), programmata durante il collaudo e disponibile ad un eventuale processore per la gestione del contenuto della memoria di transcodifica (SCRAMBLE RAM),

- un blocco contatore di parole (WORD COUNTER) che, pilotato dal segnale di cadenzamento (clock) esterno, conta il numero di parole che sono state indirizzate e genera gli indirizzi delle parole,

Ing. Barzani & Barzani
Roma s.p.a.

- due blocchi di buffer di ingresso e di uscita (DATA IN/OUT) per i dati in scrittura ed in lettura,

- un blocco di multiplexer (MUX) che pilota il flusso dei dati o alla memoria dei dati (DATA ARRAY) o alla memoria di transcodifica (SCRAMBLE RAM).

2.- Memoria per disco a stato solido secondo la rivendicazione 1, caratterizzata dal fatto che comprende ulteriormente

- un blocco contatore di rinfresco (REFRESH COUNTER) che genera gli indirizzi delle due memorie volatili presente: la memoria di matrice e la memoria di transcodifica.

- un blocco di arbitraggio (ARBITER) che, agendo sul contatore di rinfresco, comanda l'operazione di rinfresco e risolve il conflitto tra l'operazione di accesso alla memoria e l'operazione di rinfresco della stessa,

- un blocco di oscillatore locale (OSC) che provvede alla temporizzazione di detto blocco di arbitraggio (ARBITER).

3.- Memoria per disco a stato solido secondo le rivendicazioni 1 e 2, caratterizzata dal fatto che sulla memoria agiscono i seguenti segnali:

- CE: segnale attivo basso che permette la attivazione del chip di memoria,

- CLK : segnale di cadenzamento (CLOCK) il quale viene abilitato ogni volta che arriva un byte e permette al contatore di parole (WORD COUNTER) di contare i bytes indirizzati,

Ing. Barzani & Barzani
Roma s.p.a.

- INT: segnale di interruzione con il quale il blocco di codice di correzione di errori (ECC) manifesta la presenza di un errore non correggibile,

FAIL_MAP: segnale che permette l'accesso alla zona di memoria (FAIL MAP),

- W : segnale attivo basso che permette di controllare la direzione del flusso dei dati, lettura / scrittura,

- SCRAM_EN : segnale che permette la connessione del bus di dati o con la matrice di celle (DATA ARRAY) o con la memoria di mappatura (SCRAMBLE RAM).

4.- Memoria per disco a stato solido secondo le rivendicazioni 1 e 2, caratterizzata dal fatto che alla memoria sono collegati i seguenti bus

A0 - A11 : bus da 12 bit per fornire al chip i 12 indirizzi,

I / O : bus di dati, bidirezionale, a 16 bit,

essendo anche previsto un bus per l'accesso da un processore esterno al blocco di FAIL MAP.

5.- Memoria per disco a stato solido secondo una qualsiasi delle precedenti rivendicazioni e sostanzialmente come descritta e rappresentata.

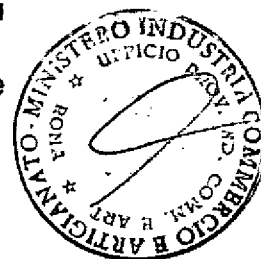
Roma, 21 SET. 1994

p.p.: TEXAS INSTRUMENTS ITALIA S.p.A.

ING. BARZANO' & ZANARDO ROMA S.p.A.

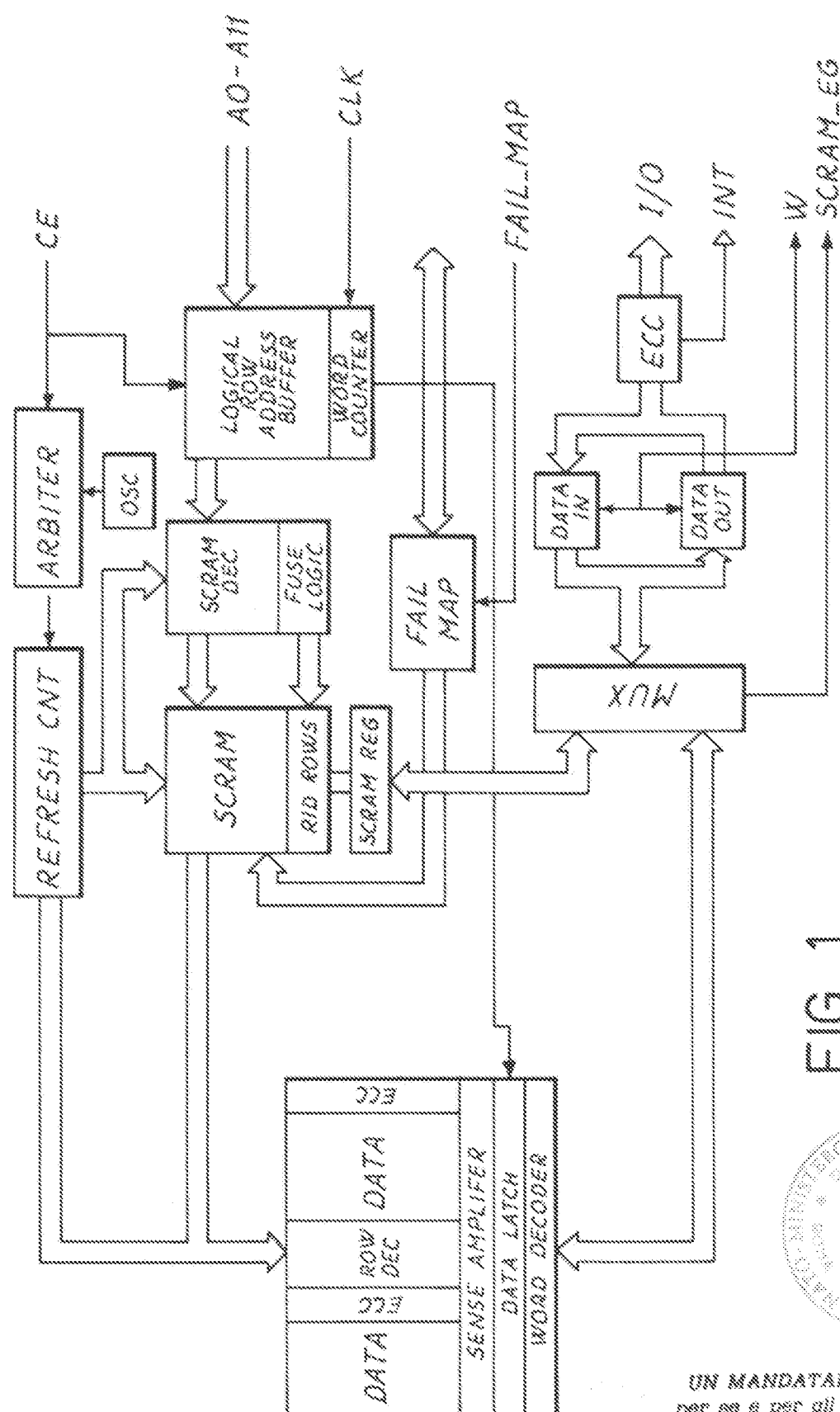
TA

Ing. Barzano & Zanardo
Roma s.p.a.



UN MANDATARIO
per se e per gli altri
Antonio Talierecio
(N° d'iscr. 171)

Talierecio



p.p.: TEXAS INSTRUMENTS ITALIA S.p.A.
ING. BARZANO¹ & ZANARDO ROMA S.p.A.

UN MANDATARIO
per se e per gli altri
Antonio Tallero
(N° d'iscr. 171)

100-443631-100