

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0114626

(43) 공개일자 2024년07월24일

(51) 국제특허분류(Int. Cl.)

H01L 29/49 (2006.01) H01L 21/02 (2006.01)

H01L 23/528 (2006.01) H01L 23/532 (2006.01)

H01L 27/146 (2006.01)

(52) CPC특허분류

H01L 29/4983 (2013.01)

H01L 21/0206 (2013.01)

(21) 출원번호 10-2023-0006984

(22) 출원일자 2023년01월17일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

울산과학기술원

울산광역시 울주군 언양읍 유니스트길 50

(72) 발명자

최태진

경기도 수원시 팔달구 권광로196번길 43-20 (인계동) 포인 1305호

김민수

울산광역시 울주군 언양읍 유니스트길 50

(뒷면에 계속)

(74) 대리인

리엔목특허법인

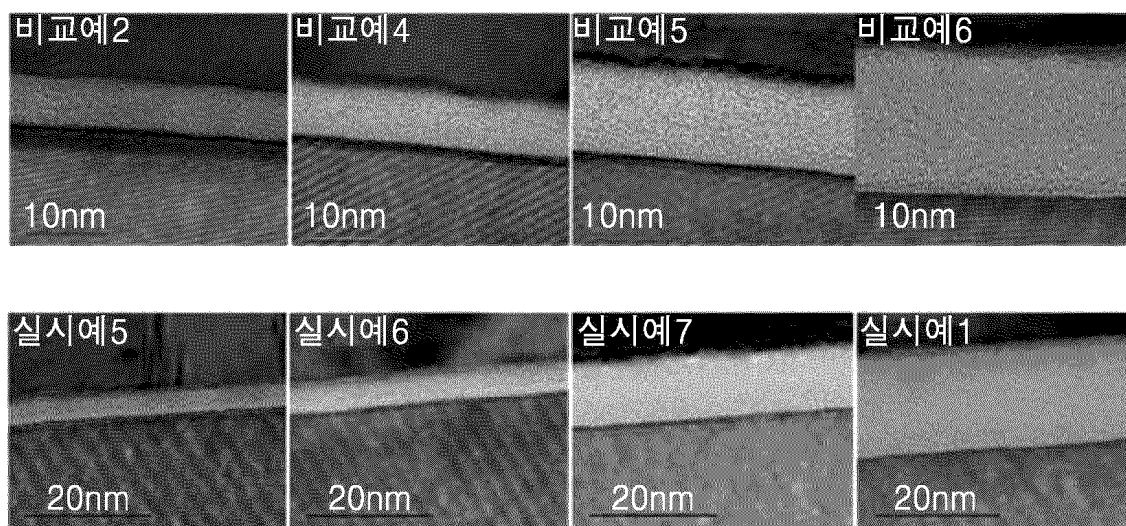
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 비정질 질화붕소막, 이를 포함하는 반도체 장치 및 전계 효과 트랜지스터 및 상기 질화붕소막의 제조방법

(57) 요약

본 발명은 탄소 원자가 도핑된 비정질의 질화붕소 화합물을 포함하고, 상기 질화 붕소막 내에는 sp^2 BN 결합 구조와 sp^3 BN 결합 구조를 포함하고, sp^2/sp^3 공액 -C=C-C=C- 도판트 구조가 전체 비정질막 내 60% 이하로 분포하는 비정질 질화붕소막, 이를 포함하는 반도체 장치, 전계 효과 트랜지스터, 및 이미지 센서, 및 상기 비정질 질화붕소막의 제조방법에 관한 것이다.

대표도 - 도1



(52) CPC특허분류

H01L 21/02112 (2013.01)
H01L 21/02274 (2013.01)
H01L 21/02315 (2013.01)
H01L 23/5283 (2013.01)
H01L 23/53223 (2013.01)
H01L 23/53238 (2013.01)
H01L 23/53252 (2013.01)
H01L 23/53266 (2013.01)
H01L 27/1462 (2013.01)

(72) 발명자

신현석

울산광역시 울주군 언양읍 유니스트길 50

김재원

경기도 수원시 영통구 광교호수공원로 20, 101동
3902호 (원천동, 더샵 광교레이크시티)

김태훈

서울특별시 송파구 올림픽로 99, 119동 502호 (잠
실동, 잠실엘스)

신현진

광주광역시 북구 첨단과기로 123, A동 302호 (오룡
동)

원 반 루안

경기도 수원시 영통구 삼성로 130(매탄동)

명세서

청구범위

청구항 1

탄소 원자가 도핑된 비정질의 질화붕소 화합물을 포함하고,

상기 질화 붕소막 내에는 sp^2 BN 결합 구조와 sp^3 BN 결합 구조를 포함하고, sp^2/sp^3 공액 $-C=C-C=C-$ 도판트 구조가 전체 비정질막 내 60% 이하로 분포하는, 비정질 질화붕소막.

청구항 2

제1항에 있어서,

상기 비정질 질화 붕소막은 유전율이 2.0 내지 4.0인, 비정질 질화붕소막.

청구항 3

제1항에 있어서,

상기 비정질 질화 붕소막은 60 원자% 이하의 탄소 함량을 갖는, 비정질 질화붕소막.

청구항 4

제1항에 있어서,

상기 비정질 질화 붕소막 내에 B 원자 및 N 원자 비율(B:N 비율)은 1.2:1 내지 2:1인, 비정질 질화붕소막.

청구항 5

제1항에 있어서,

상기 탄소 원자는 메탄, 트리메틸보라진, 트리에틸보라진, 트리프로필보라진, 트리부틸보라진, 에틸렌, 아세틸렌, 프로필렌, 부틸렌, 또는 이들의 조합으로부터 유래한 것인, 비정질 질화붕소막.

청구항 6

제1항에 있어서,

상기 비정질 질화붕소막은 10 nm 내지 20 nm의 두께에서 비정질상을 유지하는, 비정질 질화붕소막.

청구항 7

제1항에 있어서,

상기 비정질 질화 붕소막은 탄소, 붕소, 및 질소 원자를 포함하고,

상기 붕소 원자의 함량이 질소 원자의 함량보다 높은, 비정질 질화붕소막.

청구항 8

제1항에 있어서,

상기 비정질 질화 붕소막은 FT-IR 스펙트럼의 $1400\sim1600\text{ cm}^{-1}$ 파장대역에서 흡수 피크를 갖지 않는, 비정질 질화붕소막.

청구항 9

제1항에 있어서,

상기 비정질 질화 붕소막은 라만 스펙트럼의 $1300\sim1400\text{ cm}^{-1}$ 파장대역에서 포논 산란 신호(phonon scattering

signal)을 갖지 않는, 비정질 질화 붕소막.

청구항 10

기관, 및

기관에 마련된 배선 구조체를 포함하고,

상기 배선 구조체는 유전체층, 도전성 배선 및 확산 배리어층을 포함하고,

상기 확산 배리어층은 비정질 질화붕소막을 포함하고,

상기 비정질 질화붕소막은 탄소 원자가 도핑된 비정질의 질화붕소 화합물을 포함하고,

상기 질화 붕소막 내에는 sp^2 BN 결합 구조와 sp^3 BN 결합 구조를 포함하고, sp^2/sp^3 공액 $-C=C-C=C-$ 도판트 구조가 전체 비정질막 내 60% 이하로 분포하는, 반도체 장치.

청구항 11

제10항에 있어서,

상기 확산 배리어층은 상기 유전체층 및 상기 도전성 배선 사이에 개재된, 반도체 장치.

청구항 12

소스;

드레인;

상기 소스와 상기 드레인 사이의 채널;

상기 채널과 마주하여 배치된 게이트;

상기 게이트와 상기 채널 사이에 배치된 게이트 절연막; 및

상기 소스와 상기 게이트 사이 및 상기 드레인과 상기 게이트 사이에 배치된 스페이서;를 포함하며,

상기 스페이서는 비정질 질화붕소막을 포함하고,

상기 비정질 질화붕소막은 탄소 원자가 도핑된 비정질의 질화붕소 화합물을 포함하고,

상기 질화 붕소막 내에는 sp^2 BN 결합 구조와 sp^3 BN 결합 구조를 포함하고, sp^2/sp^3 공액 $-C=C-C=C-$ 도판트 구조가 전체 비정질막 내 60% 이하로 분포하는, 전계 효과 트랜지스터.

청구항 13

기관;

상기 기관 상에 마련된 복수의 포토다이오드; 및

상기 복수의 포토다이오드 상에 마련된 비정질 질화붕소막;을 포함하며,

상기 비정질 질화붕소막은 탄소 원자가 도핑된 비정질의 질화붕소 화합물을 포함하고,

상기 질화 붕소막 내에는 sp^2 BN 결합 구조와 sp^3 BN 결합 구조를 포함하고, sp^2/sp^3 공액 $-C=C-C=C-$ 도판트 구조가 전체 비정질막 내 60% 이하로 분포하는, 이미지 센서.

청구항 14

기관을 마련하는 단계; 및

23℃ 상온 내지 500℃ 이하의 온도에서 기관 상에 질소 원자 및 붕소 원자를 함유하는 제1전구체 및 탄소 원자를 함유하는 제2전구체를 플라즈마를 이용하여 상기 기관 상에 비정질의 질화붕소막을 성장시키는 단계;를 포함하고,

상기 비정질의 질화붕소막은 탄소 원자가 도핑된 비정질의 질화붕소 화합물을 포함하고,

상기 질화 붕소막 내에는 sp^2 BN 결합 구조와 sp^3 BN 결합 구조를 포함하고, sp^2/sp^3 공액 $-C=C-C-$ 도판트 구조가 전체 비정질막 내 60% 이하로 분포하는, 비정질 질화붕소막의 제조 방법.

청구항 15

제14항에 있어서,

상기 기판을 마련하는 단계는:

상기 기판을 세정하는 단계; 및

100℃ 내지 600℃의 온도에서 상기 기판의 표면을 H_2 플라즈마 처리하는 단계;를 포함하는, 비정질 질화붕소막의 제조 방법.

청구항 16

제15항에 있어서,

상기 기판의 표면을 H_2 플라즈마 처리하는 단계는 H_2 의 유량을 20 sccm 내지 200 sccm으로 제어하고 플라즈마 파워를 20 W 내지 100 W으로 유지하는 단계를 포함하는, 비정질 질화붕소막의 제조 방법.

청구항 17

제14항에 있어서,

상기 기판 상에 상기 비정질 질화붕소막을 성장시키는 단계는 Ar/H_2 혼합 플라즈마를 유지하면서 제1 전구체의 반응 가스를 0.03 sccm 내지 1 sccm으로 제어하고, 제2 전구체의 반응 가스를 0.03 sccm 내지 1 sccm으로 제어하는 단계를 포함하는, 비정질 질화붕소막의 제조 방법.

청구항 18

제17항에 있어서,

상기 제2전구체의 반응가스는 비정질 질화붕소막 중 탄소 함유량이 60 원자% 이하가 되도록 제어된, 비정질 질화붕소막의 제조방법.

청구항 19

제14항에 있어서,

상기 제1전구체는 보라진 화합물을 포함하고,

상기 제2전구체는 메탄, 트리메틸보라진, 트리에틸보라진, 트리프로필보라진, 트리부틸보라진, 에틸렌, 아세틸렌, 프로필렌, 부틸렌, 또는 이들의 조합을 포함하는, 비정질 질화붕소막의 제조 방법.

청구항 20

제14항에 있어서,

상기 비정질 질화붕소막은 플라즈마 CVD 증착에 의하여 기판 상에서 성장하는, 비정질 질화붕소막의 제조방법.

발명의 설명

기술 분야

탄소 원소 도핑된 비정질 질화붕소막, 이를 포함하는 반도체 장치 및 전계 효과 트랜지스터 및 상기 질화붕소막의 제조방법이 제시된다.

배경 기술

[0001]

[0002] 디스플레이 장치, 이미지 센서, 전계 효과 트랜지스터, 메모리 소자 등을 포함하는 다양한 전자 장치들의 집적 회로들은 반도체, 도전체, 및 절연체를 조합하고 연결함으로써 제조될 수 있다. 예를 들어, 기판 상에 복수의 단위 소자를 형성한 후, 그 위에 층간 절연막과 배선을 적층하는 방식으로 다양한 전자 장치들의 집적 회로들을 제조할 수 있다.

[0003] 집적 회로의 집적도가 크게 증가함에 따라 도전체 패턴들 사이의 간격이 점차 감소하고 있다. 이에 따라 도전체 패턴들 사이의 기생 정전용량이 증가하여 전자 장치의 성능 저하를 초래할 수 있다. 예를 들어, 기생 정전용량은 반도체 소자들의 신호 전달을 지연시킬 수 있다. 이러한 기생 정전용량을 감소시키기 위해 층간 절연막으로서 유전율이 비교적 낮은 절연체 재료들이 제안되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 두께의 증가에도 저유전율을 유지하는 비정질의 질화붕소막을 제공하는 것이다.

과제의 해결 수단

[0005] 일 측면에 따르면, 탄소 원자가 도핑된 비정질의 질화붕소 화합물을 포함하고, 상기 질화 붕소막 내에는 sp^2 BN 결합 구조와 sp^3 BN 결합 구조를 포함하고, sp^2/sp^3 공액 $-C=C-C=C-$ 도판트 구조가 전체 비정질막 내 60% 이하로 분포하는, 비정질 질화붕소막이 제공된다.

[0006] 일 구현예에 따르면, 상기 비정질 질화 붕소막은 유전율이 2.0 내지 4.0일 수 있다.

[0007] 일 구현예에 따르면, 상기 비정질 질화 붕소막은 60 원자% 이하의 탄소 함량을 가질 수 있다.

[0008] 일 구현예에 따르면, 상기 비정질 질화 붕소막 내에 B 원자 및 N 원자 비율(B:N 비율)은 1.2:1 내지 2:1일 수 있다.

[0009] 일 구현예에 따르면, 상기 탄소 원자는 메탄, 트리메틸보라진, 트리에틸보라진, 트리프로필보라진, 트리부틸보라진, 에틸렌, 아세틸렌, 프로필렌, 부틸렌, 또는 이들의 조합으로부터 유래한 것일 수 있다.

[0010] 일 구현예에 따르면, 상기 비정질 질화붕소막은 10 nm 내지 20 nm의 두께에서 비정질상을 유지할 수 있다.

[0011] 일 구현예에 따르면, 상기 비정질 질화 붕소막은 탄소, 붕소, 및 질소 원자를 포함하고, 상기 붕소 원자의 함량이 질소 원자의 함량보다 높을 수 있다.

[0012] 일 구현예에 따르면, 상기 비정질 질화 붕소막은 FT-IR 스펙트럼의 $1400\sim1600\text{ cm}^{-1}$ 파장대역에서 흡수 피크를 갖지 않을 수 있다.

[0013] 일 구현예에 따르면, 상기 비정질 질화 붕소막은 라만 스펙트럼의 $1300\sim1400\text{ cm}^{-1}$ 파장대역에서 포논 산란 신호(phonon scattering signal)를 갖지 않을 수 있다.

[0014] 일 측면에 따르면, 기판, 및 기판에 마련된 배선 구조체를 포함하고, 상기 배선 구조체는 유전체층, 도전성 배선 및 확산 배리어층을 포함하고, 상기 확산 배리어층은 비정질 질화붕소막을 포함하고, 상기 비정질 질화붕소막은 탄소 원자가 도핑된 비정질의 질화붕소 화합물을 포함하고, 상기 질화 붕소막 내에는 sp^2 BN 결합 구조와 sp^3 BN 결합 구조를 포함하고, sp^2/sp^3 공액 $-C=C-C=C-$ 도판트 구조가 전체 비정질막 내 60% 이하로 분포하는, 반도체 장치가 제공된다.

[0015] 일 구현예에 따르면, 상기 확산 배리어층은 상기 유전체층 및 상기 도전성 배선 사이에 개재될 수 있다.

[0016] 일 구현예에 따르면, 상기 확산 배리어층에 포함된 비정질 질화붕소막은 본 명세서에 기술한 질화붕소막에 관한 내용을 참고한다.

[0017] 일 측면에 따르면, 소스; 드레인; 상기 소스와 상기 드레인 사이의 채널; 상기 채널과 마주하여 배치된 게이트; 상기 게이트와 상기 채널 사이에 배치된 게이트 절연막; 및 상기 소스와 상기 게이트 사이 및 상기 드레인과 상기 게이트 사이에 배치된 스페이서;를 포함하며, 상기 스페이서는 비정질 질화붕소막을 포함하고, 상기 비정질

질화붕소막은 탄소 원자가 도핑된 비정질의 질화붕소 화합물을 포함하고, 상기 질화 붕소막 내에는 sp^2 BN 결합 구조와 sp^3 BN 결합 구조를 포함하고, sp^2/sp^3 공액 $-C=C-C=C-$ 도판트 구조가 전체 비정질막 내 60% 이하로 분포하는, 전계 효과 트랜지스터가 제공된다.

[0018] 일 구현예에 따르면, 상기 스페이서에 포함된 비정질 질화 붕소막은 본 명세서에 기술한 비정질 질화붕소막에 관한 내용을 참고한다.

[0019] 일 측면에 따르면, 기판; 상기 기판 상에 마련된 복수의 포토다이오드; 및 상기 복수의 포토다이오드 상에 마련된 비정질 질화붕소막;을 포함하며, 상기 비정질 질화붕소막은 탄소 원자가 도핑된 비정질의 질화붕소 화합물을 포함하고, 상기 질화 붕소막 내에는 sp^2 BN 결합 구조와 sp^3 BN 결합 구조를 포함하고, sp^2/sp^3 공액 $-C=C-C=C-$ 도판트 구조가 전체 비정질막 내 60% 이하로 분포하는, 이미지 센서가 제공된다.

[0020] 일 구현예에 따르면, 상기 포토다이오드 상에 마련된 비정질 질화 붕소막은 본 명세서에 기술한 비정질 질화붕소막에 관한 내용을 참고한다.

[0021] 일 측면에 따르면, 기판을 마련하는 단계; 및 23°C 상온 내지 500°C 이하의 온도에서 기판 상에 질소 원자 및 붕소 원자를 함유하는 제1전구체 및 탄소 원자를 함유하는 2전구체를 플라즈마를 이용하여 상기 기판 상에 비정질의 질화붕소막을 성장시키는 단계;를 포함하고, 상기 비정질의 질화붕소막은 탄소 원자가 도핑된 비정질의 질화붕소 화합물을 포함하고, 상기 질화 붕소막 내에는 sp^2 BN 결합 구조와 sp^3 BN 결합 구조를 포함하고, sp^2/sp^3 공액 $-C=C-C=C-$ 도판트 구조가 전체 비정질막 내 60% 이하로 분포하는, 비정질 질화붕소막의 제조 방법이 제공된다.

[0022] 일 구현예에 따르면, 상기 기판을 마련하는 단계는: 상기 기판을 세정하는 단계; 및 100°C 내지 600°C 의 온도에서 상기 기판의 표면을 H_2 플라즈마 처리하는 단계;를 포함할 수 있다.

[0023] 일 구현예에 따르면, 상기 기판의 표면을 H_2 플라즈마 처리하는 단계는 H_2 의 유량을 20 sccm 내지 200 sccm으로 제어하고 플라즈마 파워를 20 W 내지 100 W로 유지하는 단계를 포함할 수 있다.

[0024] 일 구현예에 따르면, 상기 기판 상에 상기 비정질 질화붕소막을 성장시키는 단계는 Ar/H_2 혼합 플라즈마를 유지하면서 제1 전구체의 반응 가스를 0.03 sccm 내지 1 sccm으로 제어하고, 제2 전구체의 반응 가스를 0.03 sccm 내지 1 sccm으로 제어하는 단계를 포함할 수 있다.

[0025] 일 구현예에 따르면, 상기 제2전구체의 반응가스는 비정질 질화붕소막 중 탄소 함유량이 60 원자% 이하가 되도록 제어될 수 있다.

[0026] 일 구현예에 따르면, 상기 제1전구체는 보라진 화합물을 포함하고, 상기 제2전구체는 메탄, 트리메틸보라진, 트리에틸보라진, 트리프로필보라진, 트리부틸보라진, 에틸렌, 아세틸렌, 프로필렌, 부틸렌, 또는 이들의 조합을 포함할 수 있다.

[0027] 일 구현예에 따르면, 상기 비정질 질화붕소막은 플라즈마 CVD 증착에 의하여 기판 상에서 성장할 수 있다.

발명의 효과

[0028] 일 측면에 따른 비정질 질화붕소막은 탄소 도핑된 비정질의 질화 붕소 화합물을 포함하고, 상기 질화 붕소막 내에는 sp^2 BN 결합 구조와 sp^3 BN 결합 구조를 포함하고, sp^2/sp^3 공액 $-C=C-C=C-$ 도판트 구조가 전체 비정질막 내 60% 이하로 분포하는 것에 의하여, 질화붕소막의 두께 방향 성장 과정에서 헥사고날-질화붕소(h-BN) 결정이 형성하지 않고 비정질 상태를 유지하고, 이에 의하여 유전율의 상승이 억제되었다.

도면의 간단한 설명

[0029] 도 1(a)는 탄소 도핑되지 않은 질화붕소막(비교예2, 4 내지 6)의 두께 증가에 따른 두께 방향에서의 단면의 변화를 보여주는 SEM 사진이고, 도 1(b)는 탄소 도핑된 질화붕소막(실시예 1, 5 내지 7)의 두께 증가에 따른 두께 방향에서의 단면의 변화를 보여주는 SEM 사진이다.

도 2는 탄소 도핑되지 않은 질화붕소막 및 탄소 도핑된 질화붕소막의 두께 증가에 따른 유전율의 변화를 보여주는 그래프이다.

도 3은 비교예 2, 실시예 1 내지 4의 질화붕소막의 FT-IR 스펙트럼을 보여주는 그래프이다.

도 4는 일 실시예에 따른 이미지 센서의 구조를 개략적으로 보여주는 단면도이다.

도 5은 일 실시예에 따른 배선 구조체를 포함하는 반도체 장치의 구조를 개략적으로 보여주는 단면도이다.

도 6는 일 실시예에 따른 전계 효과 트랜지스터의 구조를 개략적으로 보여주는 단면도이다.

도 7은 다른 실시예에 따른 전계 효과 트랜지스터의 구조를 개략적으로 보여주는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 이하에서 설명되는 본 창의적 사상(present inventive concept)은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고, 상세한 설명에 상세하게 설명한다. 그러나, 이는 본 창의적 사상을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 창의적 사상의 기술 범위에 포함되는 모든 변환, 균등물 또는 대체물을 포함하는 것으로 이해되어야 한다.
- [0031] 이하에서 사용되는 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 창의적 사상을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 이하에서, "포함한다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부품, 성분, 재료 또는 이들을 조합한 것이 존재함을 나타내려는 것이지, 하나 또는 그 이상의 다른 특징들이나, 숫자, 단계, 동작, 구성 요소, 부품, 성분, 재료 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0032] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하거나 축소하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 명세서 전체에서 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 또는 "위에" 있다고 할 때, 이는 다른 부분의 바로 위에 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 명세서 전체에서 제1, 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의하여 한정되어서는 안 된다. 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다.
- [0033] 또한, 이하에서는 첨부된 도면들을 참조하여, 본 발명의 일 구현예의 장치에 대해 상세하게 설명한다. 이하의 도면들에서 동일한 참조부호는 동일한 구성요소를 지칭하며, 도면상에서 각 구성요소의 크기는 설명의 명료성과 편의상 과장되어 있을 수 있다. 또한, 이하에 설명되는 실시예는 단지 예시적인 것에 불과하며, 이러한 실시예들로부터 다양한 변형이 가능하다.
- [0034] 이하에서, "상부" 나 "상"이라고 기재된 것은 접촉하여 바로 위에 있는 것뿐만 아니라 비접촉으로 위에 있는 것도 포함할 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 다수의 표현을 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0035] "상기"의 용어 및 이와 유사한 지시 용어의 사용은 단수 및 다수 모두에 해당하는 것일 수 있다. 방법을 구성하는 단계들에 대하여 명백하게 순서를 기재하거나 반하는 기재가 없다면, 이러한 단계들은 적당한 순서로 행해질 수 있으며, 반드시 기재된 순서에 한정되는 것은 아니다.
- [0036] 또한, 명세서에 기재된 "...부", "모듈" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어 또는 소프트웨어로 구현되거나 하드웨어와 소프트웨어의 결합으로 구현될 수 있다.
- [0037] 도면에 도시된 구성 요소들 간의 선들의 연결 또는 연결 부재들은 기능적인 연결 및/또는 물리적 또는 회로적 연결들을 예시적으로 나타낸 것으로서, 실제 장치에서는 대체 가능하거나 추가의 다양한 기능적인 연결, 물리적인 연결, 또는 회로 연결들로서 나타내어질 수 있다.
- [0038] 모든 예들 또는 예시적인 용어의 사용은 단순히 기술적 사상을 상세히 설명하기 위한 것으로서 청구범위에 의해 한정되지 않는 이상 이런 예들 또는 예시적인 용어로 인해 범위가 한정되는 것은 아니다.
- [0039] 일 측면에 따른 비정질 질화붕소막은 탄소 원자가 도핑된 비정질질의 질화붕소 화합물을 포함하고, 상기 질화 붕소막 내에는 sp^2 BN 결합 구조와 sp^3 BN 결합 구조를 포함하고, sp^2/sp^3 공액 $-C=C-C-$ 도판트 구조가 전체 비정질막 내 60% 이하로 분포할 수 있다.

- [0040] 종래의 질화붕소막은 보라진과 같은 붕소 및 질소 원자로 이루어진 화합물의 기상 증착에 따른 박막성장을 통해 제조하였으나, 이러한 질화붕소막은 두께가 증가함에 따라 준안정화(metastable) 내부 필름 스트레스(internal film stress)에 의하여 에너지적으로 안정한 육방정 결정질(예를 들어, h-BN 구조)이 발생하여 유전상수가 증가하는 한계점이 존재하였다.
- [0041] 이와 대조적으로, 일 측면에 따른 비정질 질화붕소막은 탄소 원자가 도핑된 비정질의 질화붕소 화합물을 포함하는 것에 의하여, 박막 두께 증가에도 불구하고 BN 결합 주변에 sp^2/sp^3 공액 -C=C-C=C- 도판트 구조가 개입하여 내부 필름 스트레스가 완화되어 결정화가 억제되어 비정질을 유지할 수 있다. 따라서, 일 측면에 따른 비정질 질화붕소막은 두께가 증가하는 경우에도 결정화가 발생하지 않아 저유전율을 유지할 수 있게되어, 저유전율을 요구하는 다양한 전자장치에 적용이 가능하다.
- [0042] 일 측면에 따른 비정질 질화붕소막은 sp^2/sp^3 공액 -C=C-C=C- 도판트 구조가 전체 비정질막 내 60% 이하로 분포하는 경우에 유전율의 증가를 억제할 수 있으며, 상기 범위를 초과하는 경우에는 탄소 원자들이 응집하여 도전성을 나타내게 되어 유전율이 증가할 수 있다.
- [0043] 일 구현예에 따르면, 상기 비정질 질화 붕소막은 유전율이 2.0 내지 4.0일 수 있다. 예를 들어, 상기 비정질 질화 붕소막은 유전율이 2.0 내지 3.5, 또는 2.0 내지 3.0일 수 있다.
- [0044] 일 구현예에 따르면, 상기 비정질 질화 붕소막은 60 원자% 이하의 탄소 함량을 가질 수 있다. 예를 들어, 상기 비정질 질화 붕소막은 59 원자% 이하, 58 원자% 이하, 57 원자% 이하, 56 원자% 이하, 55 원자% 이하, 54 원자% 이하, 53 원자% 이하, 52 원자% 이하, 51 원자% 이하, 50 원자% 이하, 49 원자% 이하, 48 원자% 이하, 47 원자% 이하, 46 원자% 이하, 45 원자% 이하, 44 원자% 이하, 43 원자% 이하, 42 원자% 이하, 41 원자% 이하, 40 원자% 이하, 39 원자% 이하, 38 원자% 이하, 37 원자% 이하, 36 원자% 이하, 35 원자% 이하, 34 원자% 이하, 33 원자% 이하, 32 원자% 이하, 31 원자% 이하, 30 원자% 이하, 29 원자% 이하, 28 원자% 이하, 27 원자% 이하, 26 원자% 이하, 25 원자% 이하, 24 원자% 이하, 23 원자% 이하, 22 원자% 이하, 21 원자% 이하, 20 원자% 이하, 19 원자% 이하, 18 원자% 이하, 17 원자% 이하, 16 원자% 이하, 또는 15 원자% 이하일 수 있다. 예를 들어, 상기 비정질 질화 붕소막은 1 원자% 이상, 2 원자% 이상, 3 원자% 이상, 4 원자% 이상, 5 원자% 이상, 6 원자% 이상, 7 원자% 이상, 8 원자% 이상, 9 원자% 이상, 또는 10 원자% 이상의 탄소 함량을 가질 수 있다. 상기 비정질 질화 붕소막의 탄소 함량은 전술한 탄소 함량의 상한값 및 하한값의 조합 범위를 가질 수 있다.
- [0045] 상기 비정질 질화붕소막이 전술한 탄소 함량 범위를 만족하는 탄소 함량을 갖는 경우, 막 두께 증가에도 비정질을 유지하여, 막 유전율의 증가를 억제할 수 있다.
- [0046] 일 구현예에 따르면, 상기 비정질 질화 붕소막 내에 B 원자 및 N 원자 비율(B:N 비율)은 1.2:1 내지 2:1일 수 있다. 예를 들어, 상기 비정질 질화 붕소막 내에 B 원자 및 N 원자 비율(B:N 비율)은 1.3:1 내지 1.9:1, 1.3:1 내지 1.8:1, 1.4:1 내지 1.7:1, 또는 1.4:1 내지 1.6:1일 수 있다.
- [0047] 상기 비정질 질화 붕소막 내에 B 원자 및 N 원자 비율(B:N 비율)이 상기 범위를 만족하는 경우 저유전율의 박막의 형성이 가능하다.
- [0048] 일 구현예에 따르면, 상기 탄소 원자는 메탄, 트리메틸보라진, 트리에틸보라진, 트리프로필보라진, 트리부틸보라진, 에틸렌, 아세틸렌, 프로필렌, 부틸렌, 또는 이들의 조합으로부터 유래한 것일 수 있다. 예를 들어, 탄소 원자는 메탄, 트리메틸 보라진, 또는 이들의 조합으로부터 유래한 것일 수 있다.
- [0049] 일 구현예에 따르면, 상기 비정질 질화붕소막은 10 nm 내지 20 nm의 두께에서 비정질상을 유지할 수 있다. 종래 탄소 도핑되지 않은 질화붕소막은 10 nm 초과 두께로 성장시키는 경우는 결정화가 이루어진 반면, 본 발명의 일 구현예에 따른 상기 비정질 질화붕소막은 탄소 도핑에 의하여 10 nm를 초과하는 두께로 성장시키는 경우에도 결정 형성이 억제되어 비정질을 유지할 수 있다.
- [0050] 일 구현예에 따르면, 상기 비정질 질화 붕소막은 탄소, 붕소, 및 질소 원자를 포함하고, 상기 붕소 원자의 함량이 질소 원자의 함량보다 높을 수 있다.
- [0051] 다른 구현예에 따르면, 상기 비정질 질화 붕소막은 탄소, 붕소, 및 질소 원자를 포함하고, 상기 붕소 및 질소 원자 함량의 합은 탄소 원자 함량보다 높을 수 있다.
- [0052] 상기 비정질 질화 붕소막은 붕소 원자의 함량이 질소 원자의 함량보다 높음으로써, 박막의 비정질화를 유도할 수 있으며, 탄소 원자 함량을 도핑량으로 첨가함으로써 박막 두께 증가에도 비정질성을 유지할 뿐만 아니라 탄

소 문침에 따른 유전율 증가도 억제할 수 있다.

- [0053] 일 구현예에 따르면, 상기 비정질 질화 붕소막은 FT-IR 스펙트럼의 $1400\sim1600\text{ cm}^{-1}$ 파장대역에서 흡수 피크를 갖지 않는다. FT-IR 스펙트럼의 $1400\sim1600\text{ cm}^{-1}$ 파장대역에서의 흡수 피크는 B=N 결정질 결합을 나타내며, 본 발명의 일 구현예에 따른 비정질 질화 붕소막은 해당 흡수 피크를 갖지 않는다.
- [0054] 일 구현예에 따르면, 상기 비정질 질화 붕소막은 라만 스펙트럼의 $1300\sim1400\text{ cm}^{-1}$ 파장대역에서 포논 산란 신호(phonon scattering signal)를 갖지 않는다. 상기 비정질 질화 붕소막은 라만 스펙트럼의 $1300\sim1400\text{ cm}^{-1}$ 파장대역에서의 흡수 피크는 sp^2 BN (hexagonal BN) 구조의 포논 산란 신호로 알려져 있으며, 본 발명의 일 구현예에 따른 비정질 질화 붕소막은 해당 흡수 피크를 갖지 않으므로, 결정을 포함하지 않음을 알 수 있다.
- [0055] 일 측면에 따른 비정질 질화붕소막의 제조방법은 기판을 마련하는 단계; 및 23°C 상온 내지 500°C 이하의 온도에서 기판 상에 질소 원자 및 붕소 원자를 함유하는 제1전구체 및 탄소 원자를 함유하는 제2전구체를 플라즈마를 이용하여 상기 기판 상에 비정질의 질화붕소막을 성장시키는 단계;를 포함하고, 상기 비정질의 질화붕소막은 탄소 원자가 도핑된 비정질의 질화붕소 화합물을 포함하고, 상기 질화 붕소막 내에는 sp^2 BN 결합 구조와 sp^3 BN 결합 구조를 포함하고, sp^2/sp^3 공액 $-\text{C}=\text{C}-\text{C}-$ 도판트 구조가 전체 비정질막 내 60% 이하로 분포할 수 있다.
- [0056] 예를 들어, 상기 질화붕소막의 성장은 실온 23°C 내지 30°C , 또는 23°C 내지 25°C 에서 수행될 수 있다.
- [0057] 일 구현예에 따르면, 상기 기판은 비정질 질화붕소막을 형성하기 위한 성장 기판일 수도 있다. 이 경우, 기판은, 예를 들어, 반도체 재료, 절연성 재료 및 금속 재료 중 적어도 하나를 포함할 수 있다. 반도체 재료는 IV족 반도체 또는 화합물 반도체를 포함할 수 있다. IV족 반도체는, 예를 들어, Si, Ge 또는 Sn 등을 포함할 수 있지만 이에 한정되는 것은 아니다. 화합물 반도체는, 예를 들어, Si, Ge, C, Zn, Cd, Al, Ga, In, B, C, N, P, S, Se, As, Sb 및 Te 중에서 적어도 2개의 원소가 결합된 반도체 재료, III-V족 화합물 반도체 등을 포함할 수 있다. 절연성 재료는, 예를 들어, Si, Ni, Al, W, Ru, Co, Mn, Ti, Ta, Au, Hf, Zr, Zn, Y, Cr, Cu, Mo 및 Gd 중 적어도 하나의 산화물, 질화물, 탄화물 및 이들의 유도체 중 적어도 하나를 포함할 수 있다.
- [0058] 일 구현예에 따르면, 상기 기판을 마련하는 단계는: 상기 기판을 세정하는 단계; 및 100°C 내지 600°C 의 온도에서 상기 기판의 표면을 H_2 플라즈마 처리하는 단계;를 포함할 수 있다.
- [0059] 상기 기판을 세정하는 단계는 상기 기판을 아세톤과 같은 유기 용매에 침지시켜 초음파 처리한 후, 이소프로페닐 알코올과 같은 알코올과 질소 가스로 세정할 수 있다. 다르게는, 상기 기판은 불화수소와 같은 산 용액에 침지시켜 자연 산화물을 제거한 후, 무수 에탄올과 질소 가스를 사용하여 잔류 산 용액을 제거할 수 있다.
- [0060] 상기 기판을 세정하는 단계 이후에, 기판의 표면을 H_2 플라즈마 처리하여 표면에 남아 있는 불순물, 예를 들어 탄소 불순물을 제거할 수 있다.
- [0061] 일 구현예에 따르면, 상기 기판의 표면을 H_2 플라즈마 처리하는 단계는 H_2 의 유량을 20 sccm 내지 200 sccm으로 제어하고 플라즈마 파워를 약 20 W 내지 약 100 W, 또는 약 30 W 내지 약 100 W으로 유지할 수 있다.
- [0062] 일 구현예에 따르면, 상기 기판 상에 비정질의 질화붕소막을 성장시키는 단계는 Ar/ H_2 혼합 플라즈마를 유지하면서 제1 전구체의 반응 가스를 0.03 sccm 내지 1 sccm으로 제어하고, 제2 전구체의 반응 가스를 0.03 sccm 내지 1 sccm으로 제어하는 단계를 포함할 수 있다.
- [0063] 상기 비정질 질화붕소막을 성장시키는 단계에서 공정 압력은 10 mTorr 이상이 될 수 있다. 예를 들어, 상기 비정질 질화붕소막을 성장시키기 위한 공정 압력은 약 10 mTorr 내지 약 1 Torr의 범위 내에 있을 수 있다.
- [0064] 이어서, Ar/ H_2 혼합 플라즈마 분위기를 유지한 상태에서, 비정질 질화붕소막의 성장을 위한 반응 가스를 챔버 내부에 주입한다. 반응 가스는 비정질 질화붕소막의 성장을 위한 제1 전구체 및 제2전구체를 포함할 수 있다. 상기 반응 가스는 주입된 혼합되어 주입되거나, 별도의 가스로 주입될 수 있다. 또한 상기 반응 가스는 동시에 또는 순차적으로 주입될 수 있다.
- [0065] 상기 제1전구체는, 예를 들어, 보라진(borazine, $\text{B}_3\text{N}_3\text{H}_6$) 또는 암모니아-보란($\text{NH}_3\text{-BH}_3$) 등과 같은 질소와 붕소 모두를 함유하는 소스일 수 있으며, 이들 중 1종 이상을 사용할 수 있다.

- [0066] 상기 제2전구체는, 예를 들어 메탄, 트리메틸보라진, 트리에틸보라진, 트리프로필보라진, 트리부틸보라진, 에틸렌, 아세틸렌, 프로필렌, 부틸렌, 등과 같은 탄소를 함유하는 소스일 수 있으며, 이들 중 1종 이상을 사용할 수 있다.
- [0067] 반응 가스는 캐리어 가스(carrier gas)를 더 포함할 수 있다. 캐리어 가스는 불활성 가스(inert gas)를 포함할 수 있다. 불활성 가스는, 예를 들어, 아르곤 가스, 네온 가스, 질소 가스, 헬륨 가스, 크립톤 가스 및 크세논 가스 중 적어도 하나를 포함할 수 있다. 또한, 반응 가스는 플라즈마에 의한 활성화(activation)를 촉진시키기 위해 수소 가스를 더 포함할 수 있다.
- [0068] 챔버 내부로 주입되는 반응 가스의 혼합비는 챔버 내에 유입되는 제1전구체 반응 가스, 제2전구체 반응 가스, 불활성 가스 및 수소 가스의 유량을 제어함으로써 조절될 수 있다. 비정질 질화붕소막을 형성하기 위해서는 반응 가스 내에서 제1전구체 가스의 함량이 제2전구체 가스의 함량과 동일하거나 큰 것이 바람직하다. 예를 들어, 제1 전구체의 반응 가스의 유량은 0.03 sccm 내지 1 sccm으로 제어되고, 제2 전구체의 반응 가스의 유량은 0.03 sccm 내지 1 sccm로 제어될 수 있다.
- [0069] 일 구현예에 따르면, 상기 제2전구체의 반응가스는 비정질 질화붕소막 중 탄소 함유량이 60 원자% 이하가 되도록 유량이 제어될 수 있다.
- [0070] 일 구현예에 따르면, 상기 제1전구체는 보라진 화합물을 포함하고, 상기 제2전구체는 메탄, 트리메틸보라진, 트리에틸보라진, 트리프로필보라진, 트리부틸보라진, 에틸렌, 아세틸렌, 프로필렌, 부틸렌, 또는 이들의 조합을 포함할 수 있다.
- [0071] 챔버 내로 반응 가스가 유입되는 동안, 플라즈마 파워를 약 10 W 내지 약 30 W의 범위, 또는 약 10 W 내지 약 20 W의 범위 내에서 유지하고, 공정 온도를 23℃ 내지 500℃ 내에서 유지할 수 있다. 플라즈마 장치는 유도결합 플라즈마(inductively coupled plasma), 마이크로웨이브 플라즈마(microwave plasma), 축전결합 방전 플라즈마(capacitively coupled discharge plasma), 전자 사이클로트론 공명 플라즈마(electron cyclotron resonance plasma), 헬리콘 플라즈마(helicon plasam) 등을 포함하는 플라즈마를 제공하는 장치일 수 있으나, 이에 한정되지 않는다. 플라즈마 장치의 챔버 내부에서 전기장이 유도되면, 유도된 전기장에 의해 비정질 질화붕소막의 성장을 위한 플라즈마가 생성될 수 있다.
- [0072] 일 구현예에 따르면, 상기 비정질 질화붕소막은 제1전구체 반응 가스 및 제2전구체 반응 가스의 플라즈마 화학 기상증착(CVD) 증착에 의하여 기판 상에서 성장할 수 있다.
- [0073] 예를 들어, 질소 및 붕소 원자 함유 제1 전구체 반응 가스, 탄소 함유 제2 전구체 반응 가스, 캐리어 가스 및 수소 가스가 혼합된 반응 가스의 플라즈마에 의해 질소 원자, 붕소 원자, 탄소 원자가 활성화되고, 이렇게 활성화된 질소 원자(N*), 붕소 원자(B*), 탄소 원자(C*)는 기판의 표면에 흡착될 수 있다. 그리고, 캐리어 가스의 플라즈마가 기판의 활성화를 지속적으로 유도함으로써 기판의 표면에는 활성화된 질소(N*), 활성화된 붕소(B*), 활성화된 탄소 원자(C*)의 흡착이 가속화될 수 있다.
- [0074] 이에 의하여, 기판의 표면에는 탄소 도핑된 비정질 질화붕소막이 성장될 수 있으며, 상기 비정질 질화 붕소막 내에는 sp^2 BN 결합 구조와 sp^3 BN 결합 구조를 포함하고, sp^2/sp^3 공액 -C=C-C- 도판트 구조가 전체 비정질막 내 60% 이하로 포함될 수 있다.
- [0075] 기판에 형성된 비정질 질화붕소막은 기판으로부터 분리되어 다른 기판이나 소자에 전사될 수 있다. 또는, 이미지 센서, 디스플레이 장치, 전계 효과 트랜지스터, 태양전지, 디스플레이 장치 등과 같은 다양한 전자 장치들을 제조하기 위한 중간 구조물 위에 비정질 질화붕소막을 직접 성장시킬 수도 있다.
- [0076] 상술한 바와 같이, 본 발명의 일 구현예에 따른 비정질 질화붕소막은 낮은 유전율을 갖기 때문에, 다양한 전자 장치들에 적용될 수 있다. 예를 들어, 본 발명의 일 구현예에 따른 비정질 질화붕소막은 이미지 센서, 전계 효과 트랜지스터, 메모리 소자, 디스플레이 장치 등을 포함하는 다양한 전자 장치들의 집적 회로들에서 층간 절연막, 스페이서, 소자 분리막 등으로 사용될 수 있다.
- [0077] 도 4은 일 실시예에 따른 이미지 센서의 구조를 개략적으로 보이는 단면도이다. 도 4을 참조하면, 이미지 센서(200)는 기판(210), 기판(210)에 마련되는 복수의 포토다이오드(250), 복수의 포토다이오드(250)에 마련되는 비정질 질화붕소막(220), 및 비정질 질화붕소막(220)에 마련되는 컬러 필터층(260)을 포함할 수 있다.
- [0078] 기판(210)에는 복수의 포토다이오드(250)가 2차원 어레이 형태로 배열될 수 있다. 인접한 2개의 포토다이오드

(250) 사이에는 블랙 매트릭스(255)가 마련될 수 있다. 포토다이오드(250)는 입사광을 전기에너지로 변환시켜 주는 역할을 하며, 기관(210)에는 포토다이오드(250)로부터 발생된 전기에너지를 검출하기 위한 금속 배선(미도시)이 마련될 수 있다.

[0079] 컬러 필터층(260)은 복수의 포토다이오드(250)에 대응하여 마련된 복수의 컬러필터(260R, 260G, 260B)를 포함할 수 있다. 복수의 컬러 필터(260R, 260G, 260B)는, 예컨대, 적색 컬러필터(260R), 녹색 컬러필터(260G) 및 청색 컬러필터(260B)를 포함할 수 있다. 그러나, 이에 한정되는 것은 아니다. 컬러 필터층(260)에는 복수의 컬러 필터(260R, 260G, 260B)에 대응하는 복수의 마이크로 렌즈(270)가 더 마련될 수 있다.

[0080] 비정질 질화붕소막(220)은 컬러 필터층(260)과 포토다이오드들(250) 사이에 마련될 수 있다. 여기서, 비정질 질화붕소막(220)은 컬러 필터층(260)을 통해 입사되는 광의 반사를 방지하는 역할을 하는 것으로, 낮은 굴절률 및 높은 경도를 가질 수 있다. 비정질 질화붕소막(220)에 대해서는 전술하였으므로, 이에 대한 설명은 생략한다. 이러한 비정질 질화붕소막(220)이 이미지 센서(200)에 반사 방지막으로 적용됨으로써 화소들 각각의 집광도가 향상될 수 있으며, 또한 화소들 사이에 발생될 수 있는 빛 간섭 현상도 방지할 수 있다.

[0081] 도 5은 일 실시예에 따른 배선 구조체를 포함하는 반도체 장치의 구조를 개략적으로 보이는 단면도이다. 도 5을 참조하면, 반도체 장치(600)는 기관(610) 및 기관(610)에 마련된 배선 구조체(620)를 포함할 수 있다. 배선 구조체(620)는 유전체층(622), 도전성 배선(624) 및 확산 배리어층(626)을 포함할 수 있다.

[0082] 기관(610)은 반도체 기관이 될 수 있다. 예를 들어, 기관(610)은 IV족 반도체 재료, III-V족 화합물 반도체 재료, 또는 II-VI족 화합물 반도체 재료를 포함할 수 있다. 예를 들어, 기관(610)은 Si, Ge, SiC, SiGe, SiGeC, Ge Alloy, GaAs, InAs, InP 중에서 적어도 하나의 반도체 재료를 포함할 수 있다. 이는 단지 예시적인 것으로, 이외에도 다른 다양한 반도체 물질이 기관으로 사용될 수 있다. 또한, 기관(610)은 단일층 또는 서로 다른 재료들이 적층된 복수의 층을 포함할 수 있다. 예를 들어, 기관(610)은 SOI(silicon-on-insulator) 기관 또는 SGOI(silicon germanium-on-insulator) 기관을 포함할 수 있다. 또한, 기관(610)에는 적어도 하나의 반도체 소자(미도시)가 포함될 수 있다. 반도체 소자는, 예를 들어, 트랜지스터, 커패시터, 다이오드 및 저항기 중 적어도 하나를 포함할 수 있다.

[0083] 기관(610)에는 유전체층(622)이 형성되어 있다. 유전체층(622)은 단일층 구조 또는 서로 다른 유전체 재료들이 적층된 다층 구조를 가질 수 있다. 유전체층(622)은 일반적인 반도체 제조 공정에서 사용되는 유전체 재료를 포함할 수 있다. 예를 들어, 유전체층(622)은 실리콘 산화물, 실리콘 질화물, 실리콘 카바이드 등을 포함할 수 있다. 그러나, 이는 단지 예시적인 것으로, 이외에도 다른 다양한 유전체 재료가 유전체층(622)으로 사용될 수 있다. 또한, 유전체층(622)은 SiCOH계 유기 하이브리드 유전체 재료를 포함할 수도 있다. 또한, 유전체층(622)은 실시예들에 따른 비정질 질화붕소막을 포함할 수도 있다. 유전체층(622)이 비정질 질화붕소막을 포함하는 경우, 후술하는 확산 배리어층(626)의 기능도 수행할 수 있다. 이 경우, 후술하는 확산 배리어층(626)이 생략될 수도 있다.

[0084] 유전체층(622)에는 적어도 하나의 트렌치(622a)가 소정 깊이로 형성될 수 있다. 여기서, 적어도 하나의 트렌치(622a)는 기관(610)에 접촉하지 않도록 형성되거나 또는 기관(610)에 접촉하도록 형성될 수 있다. 도 5에는 유전체층(622)에 2개의 트렌치(622a)가 형성되어 있으며, 이 중에서 하나의 트렌치(622a)는 기관(610)에 접촉하지 않도록 형성되고 다른 하나의 트렌치(622a)는 기관(610)에 접촉하도록 형성된 경우가 도시되어 있다.

[0085] 도전성 배선(624)은 트렌치(622a)의 내부를 채우도록 마련되어 있다. 도전성 배선(624)은 도전성이 우수한 금속 또는 금속 합금을 포함할 수 있다. 예를 들어, 도전성 배선(624)은 Cu, Ru, Al, Co, W, Mo, Ti, Ta, Ni, Pt, Cr, Rh, Ir 또는 이들의 합금을 포함할 수 있다. 그러나, 이에 한정되는 것은 아니며, 다른 다양한 금속이 도전성 배선(624)으로 사용될 수 있다.

[0086] 트렌치(622a)의 내벽에는 확산 배리어층(626)이 마련되어 있다. 여기서, 확산 배리어층(626)은 유전체층(622)과 도전성 배선(624) 사이에서 도전성 배선(624)을 덮도록 마련될 수 있다. 구체적으로, 확산 배리어층(626)은 도전성 배선(624)의 측면 및 하면을 덮도록 트렌치(622a)의 내벽에 마련될 수 있다. 도전성 배선(624)의 상면은 확산 배리어층(626)에 의해 노출될 수 있다. 이러한 확산 배리어층(626)은 도전성 배선(624)을 이루는 물질의 확산을 방지하는 역할을 할 수 있다. 한편, 확산 배리어층(626)은 유전체층(622)과 도전성 배선(624) 사이의 접착층 역할을 추가적으로 할 수 있다. 확산 배리어층(626)은 실시예들에 따른 비정질 질화붕소막을 포함할 수 있다.

[0087] 도 6은 일 실시예에 따른 전계 효과 트랜지스터의 구조를 개략적으로 보이는 단면도이다. 도 6을 참조하면, 전

계 효과 트랜지스터(700)는 기판(710), 기판(710) 상에 배치된 복수의 채널(720), 채널(720)과 접하는 각각 소스(732)와 드레인(734), 및 복수의 채널(720)과 이격하여 배치된 복수의 게이트(740)를 포함할 수 있다. 소스(732)와 드레인(734)은 제1 방향(즉, X 방향)을 따라 이격하여 배치되고, 소스(732)와 드레인(734) 사이에 복수의 채널(720)이 제2 방향(Y 방향)을 따라 이격하여 배치될 수 있다.

[0088] 복수의 게이트(740)는 채널(720) 각각과 이격하여 마주하도록 배치되며, 게이트(740)와 채널(720) 사이에는 게이트 절연막(750)이 배치될 수 있다. 예를 들어, 게이트 절연막(750)은 게이트(740)의 적어도 일부를 감싸도록 마련될 수 있다. 예를 들어, 제2 방향을 따라 게이트(740)와 채널(720)이 번갈아 배열되고, 게이트 절연막(750)은 게이트(740)를 둘러싸는 형태일 수 있다. 게이트 절연막(750)은 채널(720)과 게이트(740) 사이를 절연하며, 누설 전류를 억제할 수 있다.

[0089] 채널(720) 각각과 소스(732) 간의 컨택(contact) 및 채널(720) 각각과 드레인(734) 간의 컨택은 엣지 컨택 형태를 가질 수 있다. 예를 들어, 채널(720)의 양단 각각은 소스(732) 및 드레인(734)과 접촉할 수 있다.

[0090] 게이트(740) 각각은 소스(732) 및 드레인(734)과 이격하여 배치되며, 게이트(740)와 소스(732) 사이 및 게이트(740)와 드레인(734) 사이에는 스페이서(760)가 더 배치될 수 있다. 제1 방향으로 소스(732), 게이트(740) 및 드레인(734)이 배열되기 때문에 소스(732)와 게이트(740) 사이 및 게이트(740)와 드레인(734) 사이에 기생 정전용량이 발생할 수 있다.

[0091] 기생 정전용량을 줄이기 위해, 스페이서(760)는 실시예들에 따른 비정질 질화붕소막을 포함할 수 있다. 실시예들에 따른 비정질 질화붕소막은 100kHz 동작 주파수에서 약 2.0 내지 약 4.0의 비교적 낮은 유전율을 갖기 때문에, 기생 정전용량을 효과적으로 줄일 수 있다. 또한, 실시예들에 따른 비정질 질화붕소막은 우수한 기계적 특성을 갖기 때문에, 스페이서(760)는 그 위에 배치되는 채널(720)을 지지할 수 있다.

[0092] 전계 효과 트랜지스터(700)는 복수의 채널(720) 각각이 소스(732) 및 드레인(734)에 양단이 접하며 기판(710)으로부터 멀어지는 방향을 따라 이격되게 적층된 멀티 브릿지(multi-bridge) 형태를 가질 수 있다. 이러한 멀티 브릿지 형태의 채널은 쇼트 채널 효과(short channel effect)를 줄일 수 있고, 소스/드레인이 차지하는 면적을 줄일 수가 있기 때문에 고집적화에 유리할 수 있다. 또한, 채널의 위치에 관계없이 균일한 소스/드레인 접합 커패시턴스를 유지할 수 있기 때문에 고속 및 고신뢰성 소자로 적용될 수 있다.

[0093] 게이트 절연막(750)은 비교적 고유전율을 갖는 유전체 재료를 포함할 수 있다. 게이트 절연막(750)은, 예를 들어, 알루미늄 산화물, 하프늄 산화물, 지르코늄 하프늄 산화물, 탄타늄 산화물 등을 포함할 수 있다. 다만, 이에 한정되지는 않는다. 또는, 게이트 절연막(750)은 강유전체 재료(ferroelectric material)를 포함할 수 있다. 게이트 절연막(750)이 강유전체 재료를 포함하는 경우, 전계 효과 트랜지스터(700)는, 예를 들어, 로직 소자 또는 메모리 소자 등으로 적용될 수 있다. 또는, 게이트 절연막(750)은 고유전율 재료 및 강유전체 재료를 포함하는 복층 구조를 가질 수도 있다.

[0094] 도 7는 다른 실시예에 따른 전계 효과 트랜지스터의 구조를 개략적으로 보이는 단면도이다. 도 7를 참조하면, 전계 효과 트랜지스터(800)는 기판(810) 상에 돌출된 핀 구조물(fin structure)을 가지는 FinFET이다. 이러한 전계 효과 트랜지스터(800)는 돌출된 핀 구조물(822, 824)을 채널(820)로 이용할 수 있기 때문에 채널 길이를 충분히 확보할 수 있다. 따라서, 쇼트 채널 효과(short channel effect)를 방지 또는 최소화할 수 있으며, 누설 전류의 발생 및 면적 문제를 개선할 수 있다.

[0095] 전계 효과 트랜지스터(800)는 기판(810), 활성 핀(822), 더미 핀(824), 게이트(840), 게이트 절연막(850) 및 스페이서(860)를 포함할 수 있다. 도면에는 도시되어 있지 않지만, 활성 핀(822)의 양단 각각은 소스 및 드레인에 전기적으로 연결되어 있다. 채널으로서 2개의 활성 핀(822)을 도시하였으나, 활성 핀(822)의 개수는 이에 한정되지 않는다. 활성 핀(822) 및 더미 핀(824)은 기판(810)과 연결되게 배치될 수 있다. 일 실시예에서, 활성 핀(822)은 기판(810)에서 수직 부분으로 돌출된 부분을 n+ 또는 p+로 도핑한 활성 영역일 수 있고, 더미 핀(824)은 기판(810)에서 수직 부분으로 돌출된 부분을 도핑하지 않은 영역일 수 있다. 다른 실시예에서, 활성 핀(822) 및 더미 핀(824) 모두 n+ 또는 p+로 도핑한 활성 영역일 수도 있다. 활성 핀(822)의 각각은 너비 및 높이를 가질 수 있으며, 활성 핀(822)들의 너비 및 높이가 채널(820)의 너비 및 높이를 결정할 수 있다. 채널(820)의 너비 및 높이는 활성 핀(822)의 개수에 의해 증가할 수 있다.

[0096] 게이트 절연막(850)은 활성 핀(822) 및 더미 핀(824) 상에 배치될 수 있다. 게이트 절연막(850)은 산화막, 질화막 또는 산질화막 중 어느 하나를 포함할 수 있다.

[0097] 스페이서(860)는 활성 핀(822) 및 더미 핀(824) 사이의 공간에서 소정 높이를 가지도록 배치될 수 있다. 스페이

서(860)는 실시예들에 따른 비정질 질화붕소막을 포함할 수 있다. 스페이서(860)는 활성 핀(822) 및 더미 핀(824) 사이에 배치됨으로써, 소자 분리막으로 이용될 뿐만 아니라 기생 정전용량을 줄일 수 있다.

[0098] 게이트(840)는 게이트 절연막(850) 및 스페이서(860)의 상부에 배치될 수 있다. 게이트(840)는 활성 핀(822), 더미 핀(824) 및 스페이서(860)를 둘러싸는 구조를 가질 수 있다. 다시 말해, 활성 핀(822) 및 더미 핀(824)은 게이트(840)의 내부에 배치되는 구조를 가질 수 있다.

[0099] 상술한 반도체 장치, 전계 효과 트랜지스터, 이미지 센서는 도면에 도시된 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다.

[0100] 이하의 실시예 및 비교예를 통하여 본 창의적 사상이 더욱 상세하게 설명된다. 단, 실시예는 본 창의적 사상을 예시하기 위한 것으로서 이들만으로 본 창의적 사상의 범위가 한정되는 것이 아니다.

[0101] 실시예

[0102] [실시예 1] (탄소원 - 0.05sccm CH₄; 박막 두께 - 16.2 nm)

[0103] 상온 (23℃)에서 실리콘 기판 상에 보라진 0.1sccm 과 CH₄ 가스 0.05sccm을 유량을 수소 10sccm 분위기 120mTorr 압력으로 투입하여 10W 플라즈마로 30분 동안 반응시켜 두께 18.8nm의 함량 21.9 중량% 탄소 도핑된 비정질 질화붕소막을 제조하였다.

[0104] 반응 시간에 따른 두께 조절이 가능하며 각각 30분 반응 시, 16.2 nm 두께로 성장되었으며, 이때 탄소 함량은 동등 수준이으로서 25 중량%를 초과하지 않았다.

[0105] [실시예 2] (탄소원 - TMB(0.3sccm), 박막 두께 - 28.4 nm)

[0106] 상온 (23℃)에서 실리콘 기판 상에 보라진 0.1sccm 과 트리메틸보라진(TMB) 0.3sccm을 유량을 수소 10sccm 분위기 120mTorr 압력으로 투입하여 20W 플라즈마로 60분 동안 반응시켜 두께 28.4nm의 함량 14.5% 탄소 도핑된 비정질 질화붕소막을 제조함.

[0107] [실시예 3] (탄소원 - TMB(0.5sccm), 박막 두께 - 32.9 nm)

[0108] 트리메틸보라진의 유량을 0.5 sccm으로 제어한 것을 제외하고는 실시예 2와 동일한 방법으로 탄소 도핑된 비정질 질화붕소막을 얻었다. 60분 동안 반응시켜 두께 32.9nm의 함량 16.2% 탄소 도핑된 비정질 질화붕소막을 제조함.

[0109] [실시예 4] (탄소원 - TMB(1 sccm), 박막 두께 - 51.9 nm)

[0110] 트리메틸보라진의 유량을 1 sccm으로 제어한 것을 제외하고는 실시예 2와 동일한 방법으로 탄소 도핑된 비정질 질화붕소막을 얻었다. 60분 동안 반응시켜 두께 51.9nm의 함량 23.1% 탄소 도핑된 비정질 질화붕소막을 제조함.

[0111] [실시예 5] (탄소원 - CH₄; 박막 두께 - 3.7 nm)

[0112] 메탄 가스의 증착시간을 5분으로 수정한 것을 제외하고는 실시예 1과 동일한 방법으로 3.7 nm 두께로 성장된 탄소 도핑된 비정질 질화붕소막을 얻었다.

[0113] [실시예 6] (탄소원 - CH₄; 박막 두께 - 4.7 nm)

[0114] 메탄 가스의 증착시간을 10분으로 수정한 것을 제외하고는 실시예 1과 동일한 방법으로 4.7 nm 두께로 성장된 탄소 도핑된 비정질 질화붕소막을 얻었다.

[0115] [실시예 7] (탄소원 - CH₄; 박막 두께 - 10.1 nm)

[0116] 메탄 가스의 증착시간을 20분으로 수정한 것을 제외하고는 실시예 1과 동일한 방법으로 10.1 nm 두께로 성장된 탄소 도핑된 비정질 질화붕소막을 얻었다.

[0117] [비교예 1] (반응 가스 - 보라진; 박막 두께 - 17.3 nm)

[0118] 400℃에서 실리콘 기판 상에 보라진 0.1sccm 유량을 수소 10sccm 분위기 120mTorr 압력으로 투입하여 30W 플라즈마로 90분 동안 반응시켜 두께 17.3nm의 함량 9.9% 탄소 도핑된 비정질 질화붕소막을 제조함.

- [0119] [비교예 2] (반응 가스 - 보라진; 박막 두께 - 3.9 nm)
- [0120] 플라즈마 파워를 10W로 수정하고, 증착시간을 60분한 것을 제외하고는 비교예 1과 동일한 방법으로 질화붕소막을 얻었다.
- [0121] [비교예 3] (반응 가스 - TMB; 박막 두께 - 16.2 nm)
- [0122] 상온 (23℃)에서 실리콘 기판 상에 TMB 2sccm을 유량을 수소 10sccm 분위기 120mTorr 압력으로 투입하여 10W 플라즈마로 90분 동안 반응시켜 두께 16.2nm의 함량 14.1% 탄소 도핑된 비정질 질화붕소막을 제조함.
- [0123] [비교예 4] (반응 가스 - 보라진; 박막 두께 - 7.1 nm)
- [0124] 플라즈마 파워를 10W로 수정하고, 증착시간을 90분한 것을 제외하고는 비교예 1과 동일한 방법으로 질화붕소막을 얻었다.
- [0125] [비교예 5] (반응 가스 - 보라진; 박막 두께 - 11.5 nm)
- [0126] 플라즈마 파워를 10W로 수정하고, 증착시간을 120분한 것을 제외하고는 비교예 1과 동일한 방법으로 질화붕소막을 얻었다.
- [0127] [비교예 6] (반응 가스 - 보라진; 박막 두께 - 16.7 nm)
- [0128] 플라즈마 파워를 10W로 수정하고, 증착시간을 270분한 것을 제외하고는 비교예 1과 동일한 방법으로 질화붕소막을 얻었다.
- [0129] 평가예 1: 박막 두께에 따른 질화붕소막 단면 외관 평가
- [0130] 실시예 1, 5-7에서 얻은 질화붕소막과 비교예 2, 4-6에서 얻은 질화붕소막을 두께 방향으로 절단하여 단면을 SEM으로 관찰하여, 도 1에 나타내었다.
- [0131] 도 1을 참고하면, 탄소 도핑된 질화붕소막(실시예 1, 5-7)은 두께가 증가하여도 비정질이 잘 유지됨을 알 수 있으나, 탄소 도핑되지 않은 질화붕소막(비교예 2, 4-6)은 두께가 10nm를 초과하면서 육방정계 BN 결정 구조(h-BN)가 나타남을 확인할 수 있다.
- [0132] 평가예 2: 박막 두께에 따른 질화붕소막의 유전율 평가
- [0133] 실시예 5-8에서 얻은 질화붕소막과 비교예 2와 동일한 방법으로 증착시간을 늘려가면서 질화붕소막의 두께를 증가시켜가면서 전기적 캐패시터 소자 측정 방법으로 각각의 두께를 갖는 질화붕소막의 유전율을 측정하였으며, 그 결과를 도 2에 나타내었다.
- [0134] 도 2의 네모 점을 참고하면, 탄소 도핑된 질화붕소막(실시예 5-8)은 두께가 증가하는 경우에도 유전율이 크게 증가하지 않음을 확인할 수 있으나, 도 2의 원형 점을 참고하면, 탄소 도핑되지 않은 질화붕소막은 두께가 2nm 부터 증가함에 따라 유전율이 증가하고, 8nm를 초과하는 경우 유전율이 5에 이르는 것을 확인할 수 있다.
- [0135] 평가예 3: FT-IR 분석
- [0136] 비교예 2, 실시예 1 내지 4의 질화붕소막에 대하여 FT-IR 분석기를 이용하여 스펙트럼을 얻었고, 그 결과를 각각 도 3에 나타내었다.
- [0137] 도 3을 참고하면, 탄소 도핑된 질화붕소막(실시예 1~4)는 1400~1600 cm^{-1} 파장대역에서 흡수 피크를 갖지 않으며, 1300~1400 cm^{-1} 파장대역에서 포논 산란 신호(phonon scattering signal)을 갖지 않는 것을 확인할 수 있다.
- [0138] 평가예 4: 질화붕소막 내 원자 비율
- [0139] 비교예 2, 실시예 1 내지 4의 질화붕소막 내 원자의 비율을 XPS 분석 기법을 이용하여 분석하였고, 그 결과는 하기 표 1에서 보는 바와 같다.

표 1

	붕소(원자%)	질소(원자%)	탄소(원자%)
비교예 2	42.1	39.4	8.8
실시예 1	45.5	31.9	22.6

실시예 2	50.5	35.0	14.5
실시예 3	48.7	35.0	16.2
실시예 4	44.6	32.2	23.1

[0141] 평가예 5: 질화붕소막 물성 평가

[0142] 비교예 1 내지 3 및 실시예 1 내지 4에서 얻은 질화붕소막에 대하여 유전율, B/N ratio, C 함량(원자%)를 측정하여, 하기 표 2에 나타내었다.

[0143] <측정방법>

[0144] 유전율: 과도핑 N형 Si (metallic) 기판 상에 성장시킨 박막을 Shadow mask를 사용하여 상부 전극을 Metal Evaporator 공정을 이용하여 증착함. MIM (metal-insulator-metal) 모사 구조를 이용하여 Capacitance-Voltage Sweep으로 측정 후, 유전막 두께와 상부 전극 면적 수치를 토대로 유전율을 추출함.

[0145] B/N ratio: X-ray photoelectron spectroscopy (XPS) 방법으로 Boron 1s, Nitrogen 1s 신호 스펙트럼의 면적비와 각 결합 원소별 sensitivity factor 상수값을 이용하여, 성분비를 추출함.

[0146] C 함량: 상기 B/N 성분비와 동일한 XPS 측정법으로 Carbon 1s 성분 스펙트럼의 면적을 전체 성분 면적비로 나누어 함량을 계산함.

[0147] 두께: Ellipsometry 측정으로 증착 직후 광학적 분석법으로 두께를 1차적으로 측정하고, 단면 샘플링 후 투과전자현미경 (transmission electron microscopy; TEM) 병행하여 두께를 보정함.

표 2

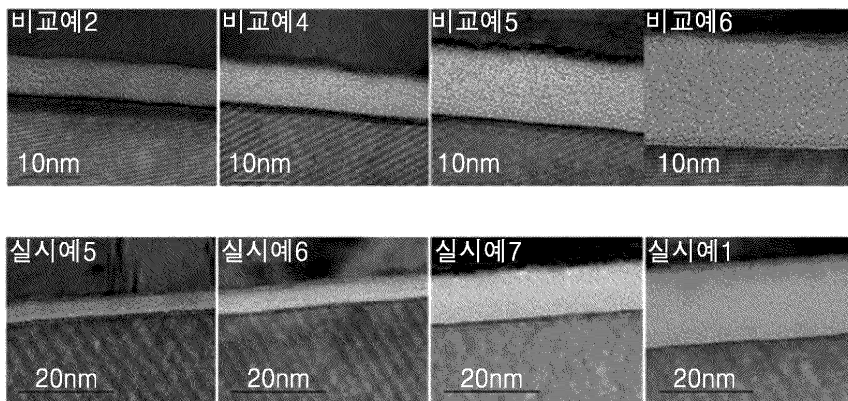
[0148]

	유전율	B/N 비율	C 함량(원자%)	두께(nm)	결정
비교예 1	4.2	1.35 : 1	9.9	17.3	나노결정
비교예 2	1.9	1.06 : 1	8.8	3.9	비정질
비교예 3	2.9	1.17 : 1	14.1	16.2	비정질
실시예 1	2.8	1.42 : 1	21.9	16.2	비정질
실시예 2	3.0	1.44 : 1	14.5	28.4	비정질
실시예 3	3.3	1.39 : 1	16.2	32.9	비정질
실시예 4	3.7	1.38 : 1	23.1	51.9	비정질

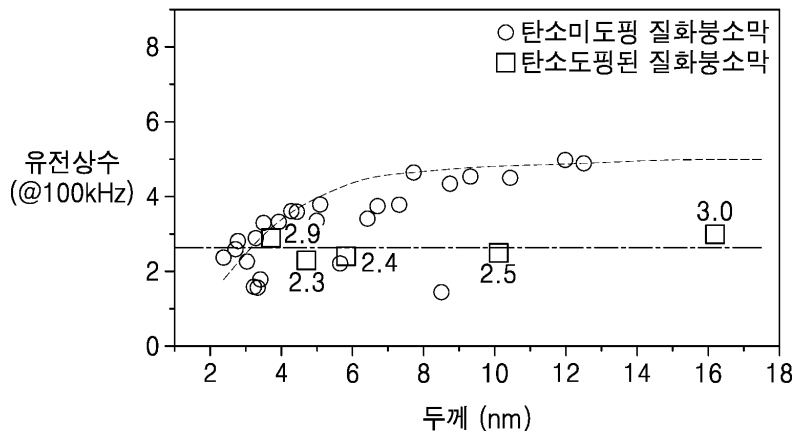
[0149] 상기 표 2에서 보는 바와 같이, 본 발명의 일 구현예에 따른 탄소 도핑된 비정질 질화붕소막은 두께가 증가함에도 불구하고, 탄소 도핑에 의하여 결정화가 억제되어 비정질을 유지하여 저유전율 특성을 가질 수 있다.

도면

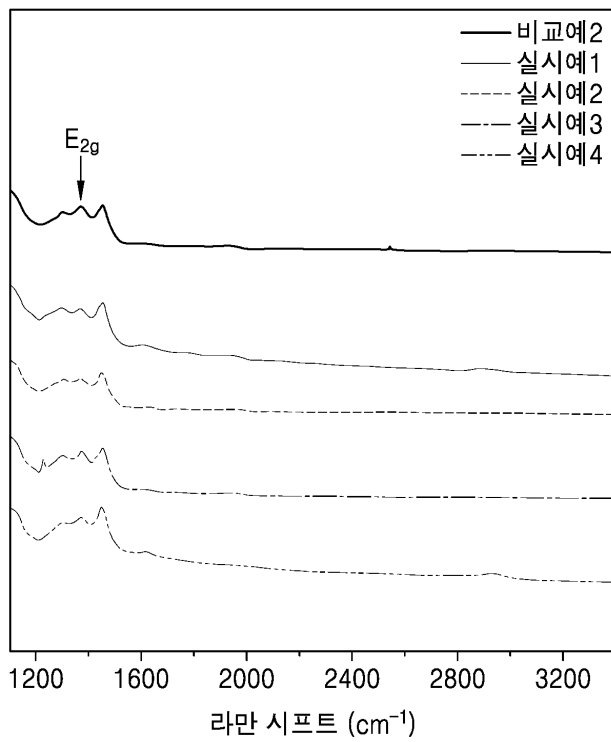
도면1



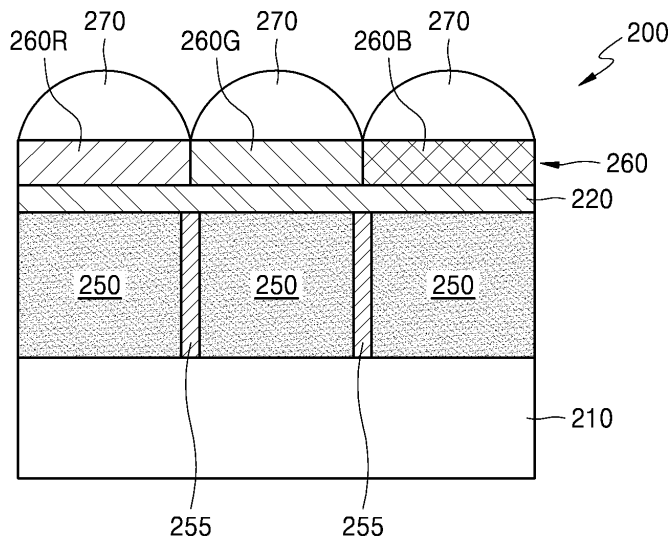
도면2



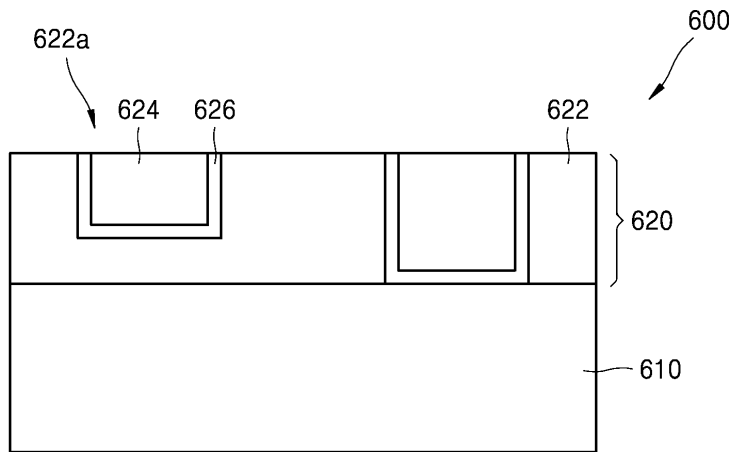
도면3



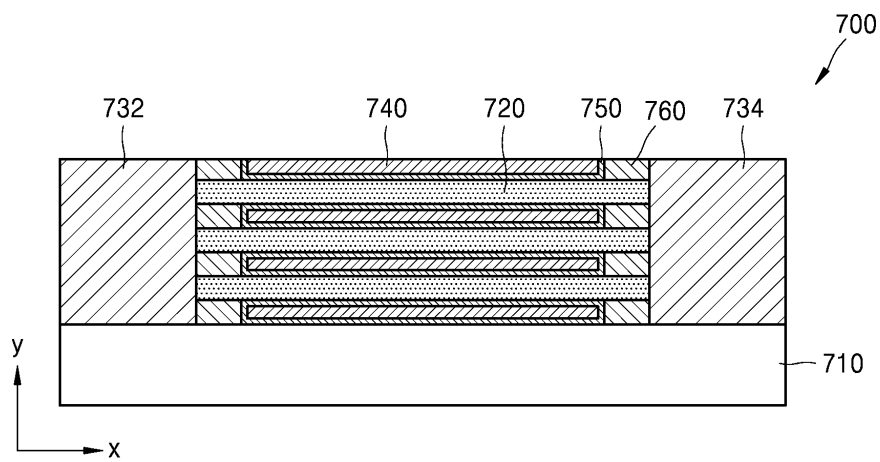
도면4



도면5



도면6



도면7

