

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4157189号
(P4157189)

(45) 発行日 平成20年9月24日 (2008. 9. 24)

(24) 登録日 平成20年7月18日 (2008. 7. 18)

(51) Int. Cl.

F I

G 1 1 C 16/02 (2006. 01)

G 1 1 C 17/00 6 1 1 G

G 1 1 C 16/04 (2006. 01)

G 1 1 C 17/00 6 2 2 E

G 1 1 C 17/00 6 4 1

請求項の数 8 (全 46 頁)

(21) 出願番号	特願平10-104652	(73) 特許権者	000003078
(22) 出願日	平成10年4月15日 (1998. 4. 15)		株式会社東芝
(65) 公開番号	特開平11-31392		東京都港区芝浦一丁目1番1号
(43) 公開日	平成11年2月2日 (1999. 2. 2)	(74) 代理人	100058479
審査請求日	平成16年11月9日 (2004. 11. 9)		弁理士 鈴江 武彦
(31) 優先権主張番号	特願平9-124493	(74) 代理人	100084618
(32) 優先日	平成9年5月14日 (1997. 5. 14)		弁理士 村松 貞男
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100070437
			弁理士 河井 将次

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

n 値 (n は、3 以上の自然数) のデータを記憶できる複数の不揮発性半導体メモリセルと、

前記複数の不揮発性半導体メモリセルに対して書き込み電圧を同時に印加する書き込み動作と前記書き込み動作後に十分に書き込みが行われたか否かを確認する書き込みベリファイ動作を繰り返し行うデータ書き込み手段と、

1 回の書き込み動作時に前記書き込み電圧を各不揮発性半導体メモリセルに与える時間を、各不揮発性半導体メモリセルに書き込むデータの値によって異ならしめる時間設定手段と、

を具備することを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記複数の不揮発性半導体メモリセルのうち前記書き込みベリファイ動作で十分に書き込みが行われたことが確認されたメモリセルについては、前記確認が行われた後の前記書き込み動作で前記書き込み電圧が印加されないことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

前記複数の不揮発性半導体メモリセルの全てに対して、前記書き込みベリファイ動作で十分に書き込みが行われたことが確認された場合には、前記複数の不揮発性半導体メモリセルに対する前記書き込み動作を終了させることを特徴とする請求項 1 記載の不揮発性半

導体記憶装置。

【請求項 4】

前記書き込み動作と前記書き込みベリファイ動作の繰り返し回数が所定の回数に達したときに、前記複数の不揮発性半導体メモリセルのうち十分に書き込みが行われていないメモリセルが 1 つでも存在する場合には、前記書き込み動作を終了させる制御回路をさらに具備することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 5】

前記複数の不揮発性半導体メモリセルは、同一のワード線に接続されるものであることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 6】

直列接続された複数の不揮発性半導体メモリから構成される NAND セルユニットを具備し、

前記データ書き込み手段は、前記 NAND セルユニット内の選択された不揮発性半導体メモリセルに前記書き込み電圧を印加し、前記選択された不揮発性半導体メモリセルの隣に存在する不揮発性半導体メモリセルに第 1 の電圧を印加し、残りの不揮発性半導体メモリセルの制御ゲートに第 2 の電圧を印加することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 7】

前記書き込み電圧は、第 1 及び第 2 の電圧よりも高く、前記第 2 の電圧は、前記第 1 の電圧よりも高いことを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 8】

前記第 1 の電圧は、0 V であることを特徴とする請求項 7 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置に関し、特に、電氣的書き込み可能な EEPROM、フラッシュメモリに関する。

【0002】

【従来の技術】

フラッシュメモリのメモリセルの 1 つとして、半導体基板上に電荷蓄積層（浮遊ゲート）と制御ゲートが積層形成された MOSFET 構造を有するものが知られている。通常、浮遊ゲートに蓄えられた電荷量によって、データ“0”または“1”を記憶し 1 つのセルに 1 ビットのデータを記憶する。

【0003】

これに対して、より高密度なフラッシュメモリを実現させるため、1 つのセルに多ビット分のデータを記憶させる多値記憶方式も知られている。例えば、4 値記憶方式では、データ“0”、“1”、“2”、“3”を 1 つのセルに記憶させるため、データに対応した 4 つの電荷量を浮遊ゲートに蓄える。

【0004】

4 値方式を例にデータの記憶状態の一例を説明する。

【0005】

浮遊ゲートの電荷量が零の状態を中性状態とし、中性状態より正の電荷を蓄えた状態を消去状態とする。また、消去状態をデータ“0”に対応させる。例えば、基板に高電圧（～20 V）を印加し、制御ゲートを 0 V とすることで消去が行われる。しかし、セルのしきい値のバラツキ等により、印加電圧が高すぎて浮遊ゲートの電荷量が高か過ぎる正レベルの電荷量になることがある（これを、過消去と称する）。この過消去状態のセルは、通常の書き込みパルス電圧を印加しても、浮遊ゲートの電荷が所定の負のレベルにならず、書き込み、特に“0”データの書き込みが失敗するおそれがある。

【0006】

10

20

30

40

50

中性状態より負の電荷を蓄えた状態をデータ“ 1 ”の状態とする。データ“ 2 ”の状態も中性状態より負の電荷を蓄えた状態であるが、負の電荷量がデータ“ 1 ”の状態の負の電荷量より多くされる。データ“ 3 ”の状態はさらに負の電荷量が多くされる。

【 0 0 0 7 】

例えば、書き込み動作中、基板、ソース、ドレインを 0 V、制御ゲートを高電圧（～ 2 0 V）として、負の電荷を浮遊ゲートに蓄え、データ“ 1 ”、“ 2 ”、“ 3 ”を書き込む。また、書き込み動作中、制御ゲートを高電圧（～ 2 0 V）、基板を 0 V、ソース、ドレイン、チャンネルを正の電位として、浮遊ゲート中の電荷を保持し、データ“ 0 ”をメモリセルに記憶する。

【 0 0 0 8 】

これによって、4つの書き込み状態（“ 0 ”、“ 1 ”、“ 2 ”、“ 3 ”）がメモリセルにおいて実現される。

【 0 0 0 9 】

フラッシュメモリの中で、高集積度を実現するために、複数のメモリセルが直列に接続され、一端が第 1 の選択トランジスタを介してビット線に接続され、他端がもう 1 つの選択トランジスタを介して共通ソース線に接続されて、NAND型メモリセルユニットを構成するものが知られている。

【 0 0 1 0 】

このNAND型セルユニットでは、“ 0 ”書き込み時に、ビット線を電源電圧 VCC（例えば 3 V）、第 1 の選択トランジスタのゲートを VCC、選択メモリセルの制御ゲートを 2 0 V、選択されたメモリセルの両隣のメモリセルの制御ゲートを 0 V、残りの非選択メモリセルの制御ゲートを 1 1 Vとする。

【 0 0 1 1 】

第 1 の選択トランジスタを介してNAND型メモリセルユニット内のメモリセルのチャンネルに転送される電圧はVCC以下である。しかし、第 1 の選択トランジスタが非導通となつて以降、メモリセルの制御ゲートとメモリセルのチャンネルの静電容量結合によってチャンネル電圧は上昇する。

【 0 0 1 2 】

これによって、選択されたメモリセルの両隣のメモリセルも非導通になる。例えば、結合比が 5 0 %であれば、選択されたメモリセルのチャンネル電位は、単純計算で 1 0 Vとなる。また、非選択メモリセルのチャンネル電位は、5 . 5 Vになる。

【 0 0 1 3 】

非選択メモリセルのチャンネル電位が 5 . 5 Vになれば、選択されたメモリセルの両隣のメモリセルのしきい値が - 5 . 5 V以上の場合、選択されたメモリセルの両隣のメモリセルは非導通になる。逆にいえば、- 5 . 5 V以上にデータ“ 0 ”の状態を制御しなければならない。

【 0 0 1 4 】

“ 1 ”、“ 2 ”、“ 3 ”書き込み時は、ビット線を 0 Vとする。書き込み後、メモリセルの状態を確認（書き込みベリファイ）するが、もし、書き込みが完全に行われてないメモリセルがあれば、その書き込み不完全のメモリセルについてのみ再書き込みを行う。

【 0 0 1 5 】

これによって、メモリセルのしきい値が精度よく制御される。全ての選択されたメモリセルがベリファイされれば、書き込みを終了する。1回の“ 1 ”、“ 2 ”、“ 3 ”書き込み時間は同じに設定される。このため、書き込み時間を浮遊ゲートに貯める電荷が最も少ない“ 1 ”書き込みに合せ、書き込み回数により全てのデータ“ 1 ”、“ 2 ”、“ 3 ”の書き込みを可能にする。

【 0 0 1 6 】

このような場合、まず、“ 1 ”書き込みするメモリセルに“ 1 ”が書けて、次に、“ 2 ”書き込みするメモリセルに“ 2 ”が書けて、最後に、“ 3 ”書き込みするメモリセルに“ 3 ”が書ける。

10

20

30

40

50

【 0 0 1 7 】

また、フラッシュメモリの書き込み方法として、“ 1 ”、“ 2 ”、“ 3 ”書き込み時間を同じに、つまり、書き込み速度を等しくするように、ビット線電圧を書き込みデータに応じて変える方法がある。

【 0 0 1 8 】

しかし、この方法の場合、上述のようなNAND型メモリセルユニットでは、選択されたメモリセルの両隣のメモリセルのしきい値が0Vに近いため、制御ゲートが0Vであると、ビット線の0Vより大きい電圧を、選択されたメモリセルに転送することができない。

【 0 0 1 9 】

また、多値記憶するためには、2値記憶に比べ、より多くの量の電荷を浮遊ゲートに蓄える必要がある。しかし、浮遊ゲートに蓄えた電荷量が多いほど、浮遊ゲートから自己電界によって単位時間あたりに浮遊ゲートから抜ける電荷の量は増加する。よって、多値記憶システムでは、データ保持時間が2値記憶システムに比べて短くなる。

【 0 0 2 0 】

【 発明が解決しようとする課題 】

このように従来の多値記憶システムの不揮発性半導体記憶装置においては、“ 0 ”データ書き込み時の選択メモリセルのチャネル電位が、他のメモリセルのチャネル電圧と分離されているので、選択メモリセルのチャネル電圧は十分に上昇する。ところが、過消去などでメモリセルのしきい値が負の方向へ深くなりすぎると、選択されたメモリセルの両隣のメモリセルが非導通にならず、選択されたメモリセルのチャネル電位が十分に上昇せず、“ 0 ”データを正しく書き込めないという問題がある。過消去は、何回も消去を実行したり、消去電圧が高すぎると起こる。

【 0 0 2 1 】

また、“ 1 ”、“ 2 ”、“ 3 ”書き込み時に、1回の書き込み時間を示す書き込みパルスの長さが“ 1 ”、“ 2 ”、“ 3 ”書き込みにかかわらず全て等しいため、“ 1 ”、“ 2 ”、“ 3 ”書き込みの書き込み速度が等しくならない。即ち、1回の書き込み時間を“ 1 ”書き込みに合せ、“ 1 ”、“ 2 ”、“ 3 ”書き込みは、書き込み回数により制御しているため、小刻みに書き込みパルスを印加しなければならず、データ書き換えが遅くなるという問題がある。

【 0 0 2 2 】

また、データ保持時間が2値記憶システムに比べて短くなるという問題があった。

【 0 0 2 3 】

本発明は、上記事情を考慮してなされたもので、その目的とするところは、“ 0 ”データ書き込み時において、選択されたメモリセルに印加される電圧を十分に低くし、過消去があったとしても確実に“ 0 ”書き込みができる不揮発性半導体記憶装置を提供することである。

【 0 0 2 4 】

本発明の他の目的は、高速にメモリセルに多値レベルのデータを書き込むことができる不揮発性半導体記憶装置を提供することである。

【 0 0 2 5 】

本発明の別の目的は、データ保持時間が短くなることを補償し、高信頼性を実現できる多値記憶の不揮発性半導体メモリシステムを提供することである。

【 0 0 2 6 】

【 課題を解決するための手段 】

前記課題を解決し目的を達成するために、本発明は以下に示す手段を用いている。

【 0 0 2 7 】

(1) 本発明の一態様による不揮発性半導体記憶装置は、 n 値 (n は、3以上の自然数) のデータを記憶できる複数の不揮発性半導体メモリセルと、前記複数の不揮発性半導体メモリセルに対して書き込み電圧を同時に印加する書き込み動作と前記書き込み動作後に十分に書き込みが行われたか否かを確認する書き込みベリファイ動作を繰り返し行うデー

10

20

30

40

50

タ書き込み手段と、1回の書き込み動作時に前記書き込み電圧を各不揮発性半導体メモリセルに与える時間を、各不揮発性半導体メモリセルに書き込むデータの値によって異ならしめる時間設定手段と、を具備するものである。

ことを特徴とする不揮発性半導体記憶装置。

(2) 本発明の一態様による不揮発性半導体記憶装置は、上記(1)に記載した不揮発性半導体記憶装置であって、前記複数の不揮発性半導体メモリセルのうち前記書き込みベリファイ動作で十分に書き込みが行われたことが確認されたメモリセルについては、前記確認が行われた後の前記書き込み動作で前記書き込み電圧が印加されないものである。

(3) 本発明の一態様による不揮発性半導体記憶装置は、上記(1)に記載した不揮発性半導体記憶装置であって、前記複数の不揮発性半導体メモリセルの全てに対して、前記書き込みベリファイ動作で十分に書き込みが行われたことが確認された場合には、前記複数の不揮発性半導体メモリセルに対する前記書き込み動作を終了させるものである。

10

(4) 本発明の一態様による不揮発性半導体記憶装置は、上記(1)に記載した不揮発性半導体記憶装置であって、前記書き込み動作と前記書き込みベリファイ動作の繰り返し回数が所定の回数に達したときに、前記複数の不揮発性半導体メモリセルのうち十分に書き込みが行われていないメモリセルが1つでも存在する場合には、前記書き込み動作を終了させる制御回路をさらに具備するものである。

(5) 本発明の一態様による不揮発性半導体記憶装置は、上記(1)に記載した不揮発性半導体記憶装置であって、前記複数の不揮発性半導体メモリセルは、同一のワード線に接続されるものである。

20

(6) 本発明の一態様による不揮発性半導体記憶装置は、上記(1)に記載した不揮発性半導体記憶装置であって、直列接続された複数の不揮発性半導体メモリから構成されるNANDセルユニットを具備し、前記データ書き込み手段は、前記NANDセルユニット内の選択された不揮発性半導体メモリセルに前記書き込み電圧を印加し、前記選択された不揮発性半導体メモリセルの隣に存在する不揮発性半導体メモリセルに第1の電圧を印加し、残りの不揮発性半導体メモリセルの制御ゲートに第2の電圧を印加するものである。

(7) 本発明の一態様による不揮発性半導体記憶装置は、上記(6)に記載した不揮発性半導体記憶装置であって、前記書き込み電圧は、第1及び第2の電圧よりも高く、前記第2の電圧は、前記第1の電圧よりも高いものである。

(8) 本発明の一態様による不揮発性半導体記憶装置は、上記(7)に記載した不揮発性半導体記憶装置であって、前記第1の電圧は、0Vであるものである。

30

【0043】

上記構成の不揮発性半導体記憶装置では、書き込みデータが“1”か“2”か“3”かによって、1回の書き込みパルス長を制御する。これによって、“1”、“2”、“3”書き込みそれぞれの書き込み速度の差を補償でき、“1”書き込みにあわせて、小刻みに書き込みパルスを印加しなければならないということがなくなり、データの書き換えが高速に行える。

【0056】

【発明の実施の形態】

(第1実施形態)

40

以下、図面を参照して本発明による不揮発性半導体記憶装置の第1の実施形態を説明する。

【0057】

図1は、本発明の第1実施形態に関わる不揮発性半導体記憶装置、具体的には、4値記憶式NANDフラッシュメモリの構成を示している。

【0058】

複数のビット線と複数のワード線と共通ソース線を含み、電氣的にデータの書き換えが可能なメモリセルがマトリクス状に配置されたメモリセルアレイ1に対して、ビット線を制御するためのビット線制御回路2とワード線制御回路6が設けられる。

【0059】

50

ビット線制御回路 2 は、ビット線を介してメモリセルアレイ 1 中のメモリセルのデータを読み出したり、ビット線を介してメモリセルアレイ 1 中のメモリセルの状態を検出したり、ビット線を介してメモリセルアレイ 1 中のメモリセルに書き込み制御電圧を印加して、メモリセルに対し書き込みを行う。

【 0 0 6 0 】

ビット線制御回路 2 は、複数のデータ記憶回路を含み、カラムデコーダ 3 によって選択されたデータ記憶回路によって読み出されたメモリセルのデータは、データ入出力バッファ 4 を介してデータ入出力端子 5 から外部へ出力される。また、外部からデータ入出力端子 5 に入力された書き込みデータは、データ入出力バッファ 4 を介して、カラムデコーダ 3 によって選択されたデータ記憶回路に初期的な制御データとして入力される。

10

【 0 0 6 1 】

ワード線制御回路 6 は、メモリセルアレイ 1 中のワード線を選択し、読み出しあるいは書き込みあるいは消去に必要な電圧を与える。

【 0 0 6 2 】

メモリセルアレイ 1、ビット線制御回路 2、カラムデコーダ 3、データ入出力バッファ 4、およびワード線制御回路 6 は、制御信号および制御電圧発生回路 7 によって制御される。制御信号および制御電圧発生回路 7 は、外部から制御信号入力端子 8 に入力される制御信号によって制御される。

【 0 0 6 3 】

図 2 は、図 1 のメモリセルアレイ 1 及びビット線制御回路 2 の構成を示している。

20

【 0 0 6 4 】

メモリセル M が 4 個直列接続された N A N D 型セルユニットの一端が選択トランジスタ S を介してビット線 B L に接続され、他端が選択トランジスタ S を介して共通ソース線 S R C に接続される。メモリセル M の制御ゲート電極はワード線 W L に接続され、2 つの選択トランジスタ S はそれぞれ選択ゲート線 S G 1、S G 2 に接続される。

【 0 0 6 5 】

1 本のワード線 W L を共有するメモリセル M はページと言う単位を形成し、4 ページで 1 ブロックを構成する。ここでは、2 ブロック分が示されているが、任意の整数、例えば 1 0 2 4 ブロックなどでもよい。ビット線 B L は B L 0 ~ B L 4 2 2 3 の 4、2 2 4 本が示されているが、任意の整数、例えば 2 1 1 2 本などでもよい。

30

【 0 0 6 6 】

ビット線制御回路 2 は、複数のデータ記憶回路 1 0 を含む。ここでは、2 本のビット線 B L に対して 1 つ設けられているが、任意の整数本、例えば 1 本や 4 本や 6 本や 9 本などでもよい。

【 0 0 6 7 】

カラム選択信号 C S L は、カラムデコーダ 3 の出力信号であり、例えば、ビット線 B L 0 と B L 1 に接続されるデータ記憶回路 1 0 は、カラム選択信号 C S L 0、C S L 1 によって選択され、メモリセルのデータはデータ入出力バッファ 4 に出力される。

【 0 0 6 8 】

また、例えば、カラム選択信号 C S L 2、C L S 3 によって選択されたビット線 B L 2、B L 3 に接続されるデータ記憶回路 1 0 には、データ入出力バッファ 4 から制御データが初期的に転送される。

40

【 0 0 6 9 】

データ記憶回路 1 0 は、読み出し時、2 本のビット線のうちいずれか一方のビット線に接続されるメモリセルのデータを読み出す。また、データ記憶回路 1 0 は、書き込み時も、2 本のビット線のうちいずれか一方のビット線に接続されるメモリセルに対し、制御データに従って書き込み制御電圧を印加する。

【 0 0 7 0 】

また、データ記憶回路 1 0 は、書き込み状態を検出（ベリファイ）する際にも、2 本のビット線のうちいずれか一方のビット線に接続されるメモリセルの書き込み状態を検出する

50

。

【0071】

図3は、図2に示されたメモリセルMと選択トランジスタSの構造を示している。

【0072】

p型の半導体基板11（あるいはp型ウェル）の表面にn型の拡散層12が形成され、1方がドレイン、もう1方がソースとなる。

【0073】

メモリセルMでは、半導体基板11（あるいはp型ウェル）上に絶縁膜13を介して浮遊ゲート14が形成され、さらにその上に絶縁膜15を介してワード線WLとなる制御ゲート16が形成される。

10

【0074】

選択トランジスタSでは、半導体基板11（あるいはp型ウェル）上に絶縁膜17を介して選択ゲート線SGとなる選択ゲート18が形成される。

【0075】

メモリセルMの制御ゲート16にしきい値以上の電圧を印加すると、浮遊ゲート14下にチャンネルが形成される。

【0076】

例えば、制御ゲート16と浮遊ゲート14間の容量が1fF、浮遊ゲート14とチャンネルの容量が1fF、チャンネルと基板11間の容量が0.25fF、n型拡散層12と基板11間の容量が計0.25fFとすると、制御ゲート16とチャンネル（またはn型拡散層12）との容量結合比は、50%である。チャンネルおよびn型拡散層12が浮遊状態の時、制御ゲート16が1V上昇すると、チャンネルあるいはn型拡散層12の電位は、0.5V上昇する。

20

【0077】

図4は、図2に示されるNAND型セルユニットと2つの選択トランジスタの構造を示している。

【0078】

メモリセルMは、4つが直列接続され、NANDセル列を構成する。NANDセル列の一端は、選択トランジスタSを介して共通ソース線SRCに接続され、その他端は、選択トランジスタSを介してビット線BLに接続される。

30

【0079】

消去は、基板の電圧 V_{sub} を消去電圧20Vにする。また、選択ゲート線SG1、SG2、ソース線SRC、ビット線BLも20Vにする。消去するブロックのワード線WL1～WL4を0Vにすると、電子が浮遊ゲートから基板へ放出され、しきい値が負になる（データ“0”の状態）。消去しないブロックのワード線WL1～WL4を20Vにすると、そのブロックのメモリセルでは、電子が浮遊ゲートから基板へ放出されない。

【0080】

選択されたブロックの選択されたワード線を例えばWL2とすると、書き込み時は、選択されたワード線WL2に書き込み電圧20Vが印加される。選択されたワード線WL2の両隣の非選択ワード線WL1、WL3には、0Vが与えられる。残りの非選択ワード線WL4には11Vが与えられる。

40

【0081】

また、選択ゲート線SG1には、電源電圧VCCが与えられる。選択ゲート線SG2は0Vである。非選択ブロックの全ワード線WLと全選択ゲート線SGは、0Vである。書き込みを行うメモリセルは、ワード線WL4に繋がるメモリセルからワード線WL1に繋がるメモリセルへ向かって順番に選択される。

【0082】

図4の例では、4つのメモリセルでNAND型メモリセルユニットを構成しているが、例えば、8個や16個のメモリセルから構成してもよい。16個のメモリセルにより1つのユニットを構成する場合、書き込み時に、例えば、ビット線側から4つ目のメモリセルが

50

選択されると、その制御ゲートに繋がるワード線には、書き込み電圧 20 V が与えられる。

【0083】

選択されたメモリセルの両隣に存在するビット線側から 3 番目と 5 番目のメモリセルの制御ゲートに繋がる 2 本のワード線には、0 V が与えられる。残りの 13 個のメモリセルの制御ゲートに繋がる 13 本のワード線には、11 V が与えられる。

【0084】

また、書き込み時に、ビット線側から 2 つ目のメモリセルが選択されると、その制御ゲートに繋がるワード線に書き込み電圧 20 V が与えられる。選択されたメモリセルの両隣に存在するビット線側から 1 番目と 3 番目のメモリセルの制御ゲートに繋がる 2 本のワード線には、0 V が与えられる。残りの 13 個のメモリセルの制御ゲートに繋がる 13 本のワード線には、11 V が与えられる。

10

【0085】

また、書き込み時に、ビット線側から 1 つ目のメモリセルが選択されると、その制御ゲートに繋がるワード線に書き込み電圧 20 V が与えられる。選択されたメモリセルの隣に存在するビット線側から 2 番目のメモリセルの制御ゲートに繋がるワード線には、0 V が与えられる。残りの 14 個のメモリセルの制御ゲートに繋がる 14 本のワード線には、11 V が与えられる。

【0086】

書き込みは、選択ブロックについてメモリセルのデータの一括消去を行い、各メモリセルがデータ “0” を記憶している状態に揃えた後に例えばページ単位で行われる。

20

【0087】

例えば、4 値記憶の場合、データ “1”、“2”、“3” を書き込むときは、ビット線 BL を 0 V の書き込み制御電圧にする。メモリセルは、ワード線 WL 4 に繋がるものからワード線 WL 1 に繋がるものへ順番に選択されるため、選択されたメモリセルよりもビット線側に存在するメモリセルは、常に消去状態にあることになる。

【0088】

よって、選択されたメモリセルよりもビット線側に存在するメモリセルのワード線が 0 V に設定されていても、ビット線の書き込み制御電圧 (0 V) は、選択されたメモリセルに転送される。

30

【0089】

これによって、選択メモリセルでは、基板から浮遊ゲートへ電子が移動し、選択メモリセルのしきい値が正になる。

【0090】

また、データ “0” を書き込む場合は、ビット線 BL を電源電圧 VCC の書き込み制御電圧にする。選択ゲート SG 1 が電源電圧 VCC であるため、“0” 書き込み時はビット線側の選択ゲート S が非導通になり、各メモリセルのチャネルと n 型拡散層 12 は浮遊状態となる。

【0091】

その結果、ワード線に書き込み電圧 20 V が与えられた選択メモリセルのチャネルの電位及びワード線に 11 V が与えられた非選択メモリセルのチャネルの電位は、それぞれ上昇する。そして、選択されたメモリセルの両隣に存在するメモリセルは、ワード線に 0 V が与えられているため、チャネルの電位が所定値になると、非導通となる。

40

【0092】

選択されたメモリセルのチャネル電位は、容量結合比が 50 % の場合、書き込み電圧 20 V によって約 10 V まで上昇する。この場合、選択されたメモリセルの制御ゲートとチャネルの電位差が小さいため、選択メモリセルの浮遊ゲートには電子が注入されず、データ “0” 書き込みが行える。

【0093】

但し、選択されたメモリセルの両隣のメモリセルのしきい値が過度に負の方に深いと、書

50

き込み時に、その制御ゲートに 0 V を与えても非導通にならない。このため、後に詳しく説明するように、メモリセルのデータを一括消去（選択ブロックのみ）した後、いわゆる事前書き込みを行って、各メモリセルのしきい値を制御している。

【 0 0 9 4 】

また、データ “ 1 ”、“ 2 ”、“ 3 ” を書くときのビット線 B L の書き込み制御電圧は 0 V であるが、後に詳しく説明するように、その 0 V の書き込み制御電圧が印加される時間をデータに応じて調整する。

【 0 0 9 5 】

例えば、データ “ 1 ” 書き込み時は、データ、“ 2 ”、“ 3 ” 書き込み時よりも 0 V の書き込み制御電圧がビット線に印加される時間を短くする。これは、データ “ 1 ” を記憶させるためにメモリセル M の浮遊ゲートに注入する電子量は、データ、“ 2 ”、“ 3 ” を記憶させるために注入する電子より少なくてよいためである。

10

【 0 0 9 6 】

さらに、データ “ 1 ”、“ 2 ”、“ 3 ” をそれぞれ書き込むために、書き込みデータに応じてビット線に 0 V の書き込み制御電圧を印加する時間を異ならしめてもよい。具体的には、データ “ 1 ”、“ 2 ”、“ 3 ” 書き込みのための書き込み制御電圧の印加時間は、それぞれ 1 μ s e c、5 μ s e c、25 μ s e c となる。

【 0 0 9 7 】

例えば、4 値記憶の場合、データ “ 0 ” に対応するメモリセルのしきい値は、0 V 以下に、データ “ 1 ” に対応するメモリセルのしきい値は、0 . 3 V ~ 0 . 7 V の範囲に、データ “ 2 ” に対応するメモリセルのしきい値は、1 . 5 V ~ 1 . 9 V の範囲に、データ “ 3 ” に対応するメモリセルのしきい値は、2 . 7 V ~ 3 . 1 V の範囲に設定される。

20

【 0 0 9 8 】

読み出し時は、例えば、ワード線 W L 2 に繋がるメモリセルが選択されているとすると、選択されたブロックの選択ワード線 W L 2 を V c g にする。選択されたブロックの非選択ワード線 W L 1、W L 3 と W L 4 は、例えば、V r e a d = 4 . 5 V にする。選択されたブロックの選択ゲート線 S G 1 と S G 2 も、V r e a d = 4 . 5 V にする。非選択ブロックの全ワード線 W L 及び選択ゲート線 S G 1 は、0 V である。ソース線 S R C は、寄生抵抗を介して 0 V に接地される。

【 0 0 9 9 】

共通ソース線の電位が寄生抵抗によって上昇しなければ、

30

(1) V c g を 0 V にして、選択メモリセルがデータ “ 1 ” か “ 2 ” か “ 3 ” を記憶していれば、1 V に充電された浮遊状態のビット線の電圧は、1 V のままである。一方、選択メモリセルがデータ “ 0 ” を記憶していれば、1 V に充電された浮遊状態のビット線の電圧は、0 . 5 V に下がる。

【 0 1 0 0 】

(2) V c g を 1 . 1 V にして、選択メモリセルがデータ “ 2 ” か “ 3 ” を記憶していれば、1 V に充電された浮遊状態のビット線の電圧は、1 V のままである。選択メモリセルがデータ “ 0 ” か “ 1 ” を記憶していれば、1 V に充電された浮遊状態のビット線の電圧は、0 . 5 V に下がる。

40

【 0 1 0 1 】

(3) V c g を 2 . 3 V にして、選択メモリセルがデータ “ 3 ” を記憶していれば、1 V に充電された浮遊状態のビット線の電圧は、1 V のままである。選択メモリセルがデータ “ 0 ” か “ 1 ” か “ 2 ” を記憶していれば、1 V に充電された浮遊状態のビット線の電圧は、0 . 5 V に下がる。

【 0 1 0 2 】

以上の (1) ~ (3) より、メモリセル M に記憶されているデータを判定することができる。

【 0 1 0 3 】

図 5 は、図 2 のデータ記憶回路 1 0 の具体的な構成例を示している。

50

【 0 1 0 4 】

クロック同期式インバータ $C I 1$, $C I 2$ 及び n チャンネル $M O S$ トランジスタ $Q n 3$, $Q n 4$, $Q n 5$ で第 1 のサブデータ回路を構成する。また、クロック同期式インバータ $C I 3$, $C I 4$ 及び n チャンネル $M O S$ トランジスタの $Q n 1 0$, $Q n 1 1$, $Q n 1 2$ で第 2 のサブデータ回路を構成する。

【 0 1 0 5 】

第 1 及び第 2 のサブデータ回路は、それぞれ書き込み時に、第 1 及び第 2 のサブデータを記憶する。第 1 及び第 2 のサブデータ回路は、それぞれ読み出し時に、第 1 及び第 2 の読み出しサブデータを記憶する。

【 0 1 0 6 】

第 1 のサブデータ回路内のノード $N a i$ が “ H ” レベルである状態は、第 1 のサブデータ回路が “ 1 ” の第 1 の読み出しサブデータあるいは “ 1 ” の第 1 のサブデータを記憶している状態である。また、第 2 のサブデータ回路内のノード $N a i + 1$ が “ H ” レベルである状態は、第 2 のサブデータ回路が “ 1 ” の第 2 の読み出しサブデータあるいは “ 1 ” の第 2 のサブデータを記憶している状態である。

10

【 0 1 0 7 】

第 1 のサブデータ回路内のノード $N a i$ が “ L ” レベルの状態は、第 1 のサブデータ回路が “ 0 ” の第 1 の読み出しサブデータあるいは “ 0 ” の第 1 のサブデータを記憶している状態である。第 2 のサブデータ回路内のノード $N a i + 1$ が “ L ” レベルの状態は、第 2 のサブデータ回路が “ 0 ” の第 2 の読み出しサブデータあるいは “ 0 ” の第 2 のサブデータを記憶している状態である。

20

【 0 1 0 8 】

p チャンネル $M O S$ トランジスタ $Q p 1$ 及び $Q p 2$ は、信号 $P R S T B 1$ 及び $P R S T B 2$ が “ L ” となって第 1 及び第 2 のサブデータ回路に “ 0 ” のサブデータを設定するものである。

【 0 1 0 9 】

n チャンネル $M O S$ トランジスタ $Q n 1$, $Q n 8$ は、第 1 及び第 2 のサブデータ回路とそれぞれ入出力線 $I O L$, $I O U$ を電氣的に接続するためのものである。それぞれのゲート電極には、カラムデコーダ 3 からの出力 $C S L i$ 及び $C S L i + 1$ がそれぞれ与えられる。

【 0 1 1 0 】

例えば、 $C S L i$ が “ H ” になると、ビット線 $B L i$ と $B L i + 1$ に設けられたデータ記憶回路 10 の第 1 のサブデータ回路とデータ入出力線 $I O L$ が電氣的に接続される。データ入出力線 $I O L$, $I O U$ は、データ入出力バッファ 4 に接続されていて、この第 1 あるいは第 2 のサブデータ回路にサブデータを設定することができる。あるいは、この第 1 あるいは第 2 のサブデータ回路の読み出しサブデータをデータ入出力バッファ 4 に出力することができる。

30

【 0 1 1 1 】

n チャンネル $M O S$ トランジスタ $Q n 2$ 及び $Q n 9$ は、第 1 のサブデータ回路及び第 2 のサブデータ回路のサブデータが全て “ 0 ” か否かを検出する。データ記憶回路 10 は、この例では 2 1 1 2 個あるので、2 1 1 2 個の第 1 のサブデータと 2 1 1 2 個の第 2 のサブデータが全て “ 0 ” であれば、共通信号線 $P T$ と接地線が非導通となって検出される。

40

【 0 1 1 2 】

n チャンネル $M O S$ トランジスタ $Q n 6$, $Q n 7$ は、第 1 のサブデータ回路に記憶されているサブデータに応じて、ビット線 $B L$ の電圧を下げるためのものである。また、 n チャンネル $M O S$ トランジスタ $Q n 1 3$, $Q n 1 4$ は、第 2 のサブデータ回路に記憶されているサブデータに応じて、ビット線 $B L$ の電圧を下げるためのものである。 n チャンネル $M O S$ トランジスタ $Q n 1 5$ は、ビット線 $B L$ を充電するためのものである。

【 0 1 1 3 】

n チャンネル $M O S$ トランジスタ $Q n 1 6$, $Q n 1 8$ は、第 1 及び第 2 のサブデータ回路とビット線 $B L i$ あるいは $B L i + 1$ の電氣的接続を制御する。信号 $B L C 1$ が “ H ” で B

50

ＬＣ２が“Ｌ”であれば、第１及び第２のサブデータ回路とビット線ＢＬ_iが電氣的に接続される。

【０１１４】

信号ＢＬＣ１が“Ｌ”でＢＬＣ２が“Ｈ”であれば、第１及び第２のサブデータ回路とビット線ＢＬ_{i+1}が電氣的に接続される。ｎチャネルＭＯＳトランジスタＱ_{n17}及びＱ_{n19}は、ビット線ＢＬ_iと電圧ＶＢＬ１の電氣的接続、ビット線ＢＬ_{i+1}と電圧ＢＬ２の電氣的接続を制御する。

【０１１５】

信号ＰＲＥ１が“Ｈ”であれば、ビット線ＢＬ_iと電圧ＶＢＬ１が電氣的に接続される。信号ＰＲＥ２が“Ｈ”であれば、ビット線ＢＬ_{i+1}と電圧ＶＢＬ２が電氣的に接続される。

10

【０１１６】

ビット線ＢＬ_iあるいはビット線ＢＬ_{i+1}を介してメモリセルＭのデータあるいは書き込み状態を示す信号が転送される。第１のサブデータ回路ではクロック同期式インバータＣＩ１が、第２のサブデータ回路ではクロック同期式インバータＣＩ３が、ビット線ＢＬの信号の論理レベルをセンスするセンスアンプとしても働く。

【０１１７】

クロック同期式インバータＣＩの具体的な構成は、図６に示されている。

【０１１８】

ｎチャネルＭＯＳトランジスタＱ_{n20}とｐチャネルＭＯＳトランジスタＱ_{p4}で構成されるインバータ回路の入力端子がＩＮで出力端子ＯＵＴである。このインバータ回路を信号ＣＬＯＣＫとその反転信号ＣＬＯＣＫＢによって活性化したり非活性化するためｎチャネルＭＯＳトランジスタＱ_{n21}とｐチャネルＭＯＳトランジスタＱ_{p3}が設けられている。信号ＣＬＯＣＫが“Ｈ”、ＣＬＯＣＫＢが“Ｌ”で活性化され、信号ＣＬＯＣＫが“Ｌ”、ＣＬＯＣＫＢが“Ｈ”で非活性化される。

20

【０１１９】

信号ＳＥＮ１、ＬＡＴ１、ＳＥＮ２、ＬＡＴ２、ＰＲＯ１、ＰＲＯ２、ＢＬＣ１、ＢＬＣ２、ＰＲＥ１、ＰＲＥ２、ＶＲＦＹ１、ＶＲＦＹ２、ＶＲＦＹ３、ＰＲＯ１０、ＰＲＳＴＢ１、ＰＲＳＴＢ２、ＢＩＡＳ、ＶＢＬ１、ＶＢＬ２、ＶＲＥＧは、制御信号及び制御電圧発生回路７の出力信号で、図２にみられるデータ記憶回路１０の全てに共通である。信号

30

信号ＰＴも制御信号及び制御電圧発生回路７に入力される。電圧ＶＣＣは電源電圧で例えば３Ｖである。

【０１２０】

第１及び第２のサブデータ回路は、“０”あるいは“１”のサブデータを記憶し、各々、ビット線信号の“Ｈ”レベルに应答して記憶されている“１”のサブデータを“０”のサブデータに変更し、“０”のサブデータを保持するよう構成されている。

【０１２１】

図５の回路の動作を説明する。信号ＰＲＯ１あるいはＰＲＯ２が“Ｈ”となってビット線ＢＬの電圧レベルがクロック同期式インバータＣＩ１あるいはＣＩ３でセンスされる前に、第１あるいは第２のサブデータに応じて、ビット線ＢＬの電圧レベルがｎチャネルＭＯ

40

ＳトランジスタＱ_{n4}、５あるいはＱ_{n11}、１２によって調整される。

【０１２２】

第１あるいは第２のサブデータが“０”の場合のみ、ビット線ＢＬの電圧レベルは“Ｈ”にされる。信号ＰＲＯ１あるいはＰＲＯ２が“Ｈ”となって、このときビット線の“Ｈ”レベルがクロック同期式インバータＣＩ１あるいはＣＩ３の入力端子に転送されると、ノードＮ_{a i}あるいはＮ_{a i+1}が“Ｌ”レベルにされる。

【０１２３】

さらに、クロック同期式インバータＣＩ２あるいはＣＩ４によって、“０”のサブデータが記憶される。よって、もともと記憶されている“０”のサブデータは変更されない。もともと記憶されているサブデータが“１”の場合は、ビット線ＢＬのレベルが“Ｈ”の時

50

“ 0 ” のサブデータに変更され記憶され、ビット線 B L のレベルが “ L ” の時 “ 1 ” のサブデータを保持する。

【 0 1 2 4 】

なお、データ記憶回路 1 0 の具体的な構成は図 5 に示した例に限定されず、種々様々な構成により実現できる。

【 0 1 2 5 】

図 7 は、ワード線制御回路 6 の具体的な構成の一例を示している。なお、図 2 に示されるブロックごとに、図 7 に示される回路が設けられることになる。

【 0 1 2 6 】

信号 P_i ($i = 0 \sim N_p$)、 Q_i ($i = 0 \sim N_q$)、 R_i ($i = 0 \sim N_r$) は、ブロック
アドレス信号である。 P_i のうち選択された 1 つだけが V C C となる。 Q_i のうち選択
された 1 つだけが V C C となる。 R_i のうち選択された 1 つだけが V C C となる。 $N_p = 7$
、 $N_q = 7$ 、 $N_r = 15$ で、 $N_p \times N_q \times N_r = 1024$ ブロックが選択可能である。

【 0 1 2 7 】

ブロックに対応する信号 P_i 、 Q_i 、 R_i の組み合わせが全て “ H ” になると、そのブ
ロックは選択される。信号 P_i は、 n チャンネル M O S トランジスタ Q_{n25} と p チャンネル M
O S トランジスタ Q_{p5} に入力される。信号 Q_i は、 n チャンネル M O S トランジスタ Q_{n26}
と p チャンネル M O S トランジスタ Q_{p6} に入力される。

【 0 1 2 8 】

信号 R_i は、 n チャンネル M O S トランジスタ Q_{n27} と p チャンネル M O S トランジスタ Q_{p7}
に入力される。信号 P_i 、 Q_i 、 R_i の組み合わせが全て “ H ” になると、インバ
ータ I 2 の入力 “ L ” となってこのブロックは選択される。このブロックが不良の場合、
フューズ F 1 は切断される。

【 0 1 2 9 】

フューズ F 1 が切断されると、信号 P_i 、 Q_i 、 R_i の組み合わせが全て “ H ” になっ
ても、インバータ I 2 の入力は “ H ” のままである。インバータ I 2 と p チャンネル M O S ト
ランジスタ Q_{p8} で、インバータ I 2 の入力は “ H ” に固定されている。

【 0 1 3 0 】

このブロックが選択されると、ディプレッションタイプ n チャンネル M O S トランジスタ Q_{nd1}
を介して、 n チャンネル M O S トランジスタ $Q_{n28} \sim Q_{n31}$ のゲートが “ H ” にな
る。また、信号 S G D 1、W L D 1 ~ 4、S G D 2 がそれぞれ選択ゲート線 S G 1、ワ
ード線 W L 1 ~ W L 4、選択ゲート線 S G 2 に転送される。

【 0 1 3 1 】

このブロックが選択されてない場合、信号 W L G N D B が “ L ” であれば、N O R 論理
回路 G 2 の出力が “ H ” となり、 n チャンネル M O S トランジスタ $Q_{n32} \sim Q_{n34}$ が導通
して、選択ゲート線 S G 1 とワード線 W L 1 ~ W L 4 は接地される。

【 0 1 3 2 】

n チャンネル M O S トランジスタ $Q_{n22} \sim 24$ 、キャパシタ C 1、C 2、インバータ I 1
、N A N D 論理回路 G 1 は、電源電圧 V C C より高い電圧 V P P R W を、選択されたブ
ロックの n チャンネル M O S トランジスタ $Q_{n28} \sim Q_{n31}$ のゲートに転送するための回路
である。

【 0 1 3 3 】

信号 O S C は、一定の周期で “ L ” と “ H ” となる信号である。電圧 V P P R W を転送す
る場合、信号 B W L H B を 0 V にする。なぜなら、ディプレッションタイプ n チャンネル M
O S トランジスタ Q_{nd1} は、そのゲートが電源電圧 V C C のとき、ドレインからソース
へ電源電圧 V C C を転送できるようにされていて、そのゲートが 0 V のとき、ドレイン
からソースへ電源電圧 V C C を転送できないようにされているからである。

【 0 1 3 4 】

信号 O S C、B W L H B、W L G N D B、S G D 1、W L D 1 ~ 4、S G D 2、V P P R W
は、制御信号及び制御電圧発生回路 7 の出力信号で、各ブロックのワード線制御回路 6

10

20

30

40

50

全てに共通である。

【0135】

図8は、メモリセルに記憶されている4値データの読み出し動作を示す。

【0136】

ここでは、ビット線 BL_0 、 BL_2 、...、 BL_i 、...、 BL_{4222} が選択され(代表として BL_i を示す)、ワード線 WL_2 が選択されている場合を示す。また、信号 VBL_1 、 VBL_2 の電圧は0V、信号 BLC_2 の電圧は0V、信号 PRE_2 の電圧は VCC 、ビット線 BL_{i+1} の電圧は0V、信号 $VRFY_1$ の電圧は0V、信号 $VRFY_3$ の電圧は0V、信号 PRO_10 の電圧は0V、信号 CSL_i 、 CSL_{i+1} の電圧は0V、信号 $VREG$ の電圧は0Vのままなので、図8への表示を省略している。

10

【0137】

まず、選択されたブロックの選択ゲート線 SG_1 が4.5Vになる。同時に、信号 PRE_1 が VCC から0V、 BLC_1 が0Vから7Vとなってビット線 BL_i が選択される。信号 $BIAS$ が0Vから1.8Vとなってビット線 BL_i が0.8Vに充電される。

【0138】

n チャネルMOSトランジスタ Q_n のしきい値は、断らない限り1Vとする。信号 $BIAS$ が0Vとなってビット線 BL_i の充電は終了する。続いて、選択されたブロックの選択ゲート線 SG_2 及び非選択ワード線 WL_1 、 WL_3 、 WL_4 が0Vから4.5Vにされ、選択ワード線 WL_2 が0Vから2.3Vにされる。

20

【0139】

なお、表1は、メモリセル M に記憶されているデータと、そのメモリセルのしきい値の関係を示している。

【0140】

【表1】

メモリセルのデータ	メモリセルのしきい値
0	0V以下
1	0.3V~0.7V
2	1.5V~1.9V
3	2.7V~3.1V

30

【0141】

選択ワード線 WL_2 が2.3Vになると、メモリセルが“3”データを記憶している場合のみビット線 BL_i は、0.8Vのままである。それ以外の場合は、ビット線 BL_i は、0.5V以下となる。一定期間経った後、選択ゲート線 SG_2 及び非選択ワード線 WL_1 ~ WL_4 が0.0Vにされる。

【0142】

選択ゲート線 SG_2 が0Vにリセットされた後、信号 SEN_2 、 LAT_2 を VCC から0Vにする。信号 $PRSTB_2$ を VCC から0Vにすると、ノード Nb_{i+1} が VCC となる。信号 $PRSTB_2$ を VCC に戻した後、信号 PRO_2 を0Vから1.6Vにする。

40

【0143】

メモリセルが“3”データを記憶している場合、ビット線 BL_i は0.8Vを維持しているので、 n チャネルMOSトランジスタ Q_{n10} は、非導通で、ノード Nb_{i+1} は、 VCC を維持する。

【0144】

メモリセルが“3”以外のデータを記憶している場合、ビット線 BL_i は、0.5V以下で、 n チャネルMOSトランジスタ Q_{n10} は、導通し、ノード Nb_{i+1} の電位は、電源電圧 VCC から下がる。

【0145】

50

例えば、1本のビット線BLの容量が5 pFで、ノードNbi + 1の寄生容量が0.1 pFとすると、VCC = 3Vのとき、ノードNbi + 1は、約0.55V以下に下がる。

【0146】

信号SEN2がVCCに戻りクロック同期式インバータCI3が活性化され、ノードNbi + 1の電圧がセンスされる。信号LAT2がVCCに戻ると、クロック同期式インバータCI4が活性化され、センスされた信号の論理レベルが第2のサブデータ回路にラッチされる。

【0147】

再び、信号PRO2が0Vとなって、ビット線BLiとノードNbi + 1が切り離された後、信号PRE1がVCCに戻って、ビット線BLiは、0Vにリセットされ、メモリセルMのしきい値が2.3V以上かどうかを検出する動作が終わる。

10

【0148】

メモリセルが“3”データを記憶している場合のみ、第2のサブデータ回路の第2の読み出しサブデータは“0”となる。それ以外の場合は、第2の読み出しサブデータは“1”である。

【0149】

次に、メモリセルMのしきい値が0.0V以上かどうかを検出する動作に入る。信号PRE1がVCCから0Vにされ、信号BIASが0Vから1.8Vとなってビット線BLiが0.8Vに充電される。信号BIASが0Vとなってビット線BLiの充電は終了する。

20

【0150】

続いて、選択されたブロックの選択ゲート線SG2及び非選択ワード線WL1, WL3, WL4が、0Vから4.5Vにされる。同時に、信号VRFY2が0VからVCCにされ、第2のサブデータ回路の読み出しサブデータが“0”の場合（すなわちメモリセルMが“3”のデータを記憶しているとき）、nチャネルMOSトランジスタQn12が導通し、ビット線BLiの電位は0Vに下がる。

【0151】

選択ワード線WL2が0.0Vのままなので、メモリセルが“1”あるいは“2”のデータを記憶している場合は、ビット線BLiは、0.8Vのままである。メモリセルが“0”あるいは“3”のデータを記憶している場合は、ビット線BLiは、0.5V以下となる。

30

【0152】

一定期間経った後、選択ゲート線SG2及び非選択ワード線WL1, WL3, WL4が0.0Vにされる。また、信号VRFY2も、0Vに戻される。

【0153】

選択ゲート線SG2が0Vにリセットされた後、信号SEN1、LAT1をVCCから0Vにする。信号PRSTB1をVCCから0Vにすると、ノードNbiがVCCとなる。信号PRSTB1をVCCに戻した後、信号PRO1が0Vから1.6Vにする。

【0154】

メモリセルが“1”あるいは“2”データを記憶している場合、ビット線BLiは、0.8Vを維持しているので、nチャネルMOSトランジスタQn3は非導通で、ノードNbiはVCCを維持する。

40

【0155】

メモリセルが“0”あるいは“3”のデータを記憶している場合、ビット線BLiは、0.5V以下で、nチャネルMOSトランジスタQn3は、導通し、ノードNbiの電位は、電源電圧VCCから下がる。

【0156】

例えば、1本のビット線BLの容量が5 pFで、ノードNbiの寄生容量が0.1 pFとすると、VCC = 3Vのとき、ノードNbiは、約0.55V以下に下がる。

【0157】

50

信号SEN1がVCCに戻りクロック同期式インバータCI1が活性化され、ノードNbiの電圧がセンスされる。信号LAT1がVCCに戻るとクロック同期式インバータCI2が活性化され、センスされた信号の論理レベルが第1のサブデータ回路にラッチされる。

【0158】

再び、信号PRO1が0Vとなってビット線BLiとNbiが切り離された後、信号PRE1がVCCに戻って、ビット線BLiは0Vにリセットされ、メモリセルMのしきい値が0.0V以上かどうかを検出する動作が終わる。

【0159】

メモリセルが“1”あるいは“2”データを記憶している場合、第1のサブデータ回路の第1の読み出しサブデータは“0”となる。メモリセルが“0”あるいは“3”データを記憶している場合は、第1の読み出しサブデータは“1”である。

10

【0160】

次に、メモリセルMのしきい値が1.1V以上かどうかを検出する動作に入る。信号PRE1がVCCから0Vにされ、信号BIASが0Vから1.8Vとなってビット線BLiが0.8Vに充電される。信号BIASが0Vとなってビット線BLiの充電は終了する。

【0161】

続いて、選択されたブロックの選択ゲート線SG2及び非選択ワード線WL1, WL3, WL4が0Vから4.5Vにされ、選択ワード線WL2が0Vから1.1Vにされる。

20

【0162】

選択ワード線WL2が1.1Vになると、メモリセルが“2”あるいは“3”データを記憶している場合、ビット線BLiは0.8Vのままである。メモリセルが“0”あるいは“1”データを記憶している場合、ビット線BLiは0.5V以下となる。一定期間経った後、選択ゲート線SG2及び非選択ワード線WL1~WL4が0.0Vにされる。

【0163】

選択ゲート線SG2が0Vにリセットされた後、信号SEN2、LAT2をVCCから0Vにすると、信号PRSTB2をVCCから0Vにすると、ノードNbi+1がVCCとなる。信号PRSTB2をVCCに戻した後、信号PRO2を0Vから1.6Vにする。

【0164】

メモリセルが“2”あるいは“3”データを記憶している場合、ビット線BLiは0.8Vを維持しているので、nチャンネルMOSトランジスタQn10は、非導通で、ノードNbi+1は、VCCを維持する。

30

【0165】

メモリセルが“0”あるいは“1”のデータを記憶している場合、ビット線BLiは、0.5V以下で、nチャンネルMOSトランジスタQn10は、導通し、ノードNbi+1の電位は、VCCから約0.55V以下に下がる。信号SEN2がVCCに戻りクロック同期式インバータCI3が活性化され、ノードNbi+1の電圧がセンスされる。

【0166】

信号LAT2がVCCに戻るとクロック同期式インバータCI4が活性化され、センスされた信号の論理レベルが第2のサブデータ回路にラッチされる。再び、信号PRO2が0Vとなってビット線BLiとNbi+1が切り離された後、信号PRE1がVCCに戻って、ビット線BLiは0Vにリセットされ、メモリセルMのしきい値が1.1V以上かどうかを検出する動作が終わる。

40

【0167】

メモリセルが“2”あるいは“3”データを記憶している場合、第2のサブデータ回路の第2の読み出しデータは“0”となる。メモリセルが“0”あるいは“1”データを記憶している場合、第2の読み出しサブデータは“1”である。最後に、選択ゲート線SG1が0Vに、信号BLC1が0Vに戻り、読み出し動作が終了する。

【0168】

50

このように図 8 に示すように、メモリセル M のデータが読み出しデータとしてデータ記憶回路 10 へ記憶される動作が終わる。この後、信号 $CSLi$ 、 $CSLi + 1$ が 0 V から V_{CC} になると、第 1 の読み出しサブデータは、データ入出力線 IOL に出力され、第 2 の読み出しサブデータは、データ入出力線 IOL に出力され、これらのデータは、データ出力バッファ 4 を介してデータ入出力端子 5 から LSI 外部へ出力される。

【0169】

表 2 は、メモリセルの 4 値データと第 1 及び第 2 の読み出しサブデータの関係を示している。

【0170】

【表 2】

メモリセルのデータ	第 1 の読み出しサブデータ	第 2 の読み出しサブデータ
0	1	1
1	0	1
2	0	0
3	1	0

【0171】

図 9 は、図 8 に示した読み出し時におけるワード線制御回路 6 の動作を示す。

【0172】

選択されたブロックアドレス信号 Pi 、 Qi 、 Ri が 0 V から V_{CC} となって、信号 $BWLHB$ が V_{CC} から 0 V に、信号 $VPPRW$ が V_{CC} から 4.5 V となり、信号 OSC が 0 V と V_{CC} の間で振動し始めると、選択されたブロックの n チャンネル MOS トランジスタ $Qn28 \sim Qn31$ のゲートが 5.5 V になる。

【0173】

n チャンネル MOS トランジスタ $Qn28 \sim Qn31$ のゲートの電圧は、信号 $VPPRW$ に n チャンネル MOS トランジスタ $Qn24$ のしきい値を加えたものになる。また、信号 $WLGND B$ は 0 V のままなので、選択されたブロックの n チャンネル MOS トランジスタ $Qn32 \sim Qn34$ のゲートは 0 V で非導通である。

【0174】

逆に、非選択ブロックの n チャンネル MOS トランジスタ $Qn28 \sim Qn31$ のゲートの電圧は 0 V で、非導通である。また、非選択されたブロックの n チャンネル MOS トランジスタ $Qn32 \sim Qn34$ のゲートは V_{CC} で導通する。

【0175】

信号 $SGD1$ が V_{CC} から 4.5 V に、 $WLD2$ が 0 V から 2.3 V に、 $WLD1$ 、 $WLD3$ 、 $WLD4$ が 0 V から 4.5 V に、 $SGD2$ が 0 V から 4.5 V になって、選択されたブロックの選択ゲート線 $SG1$ が 0 V から 4.5 V に、ワード線 $WL2$ が 0 V から 2.3 V に、ワード線 $WL1$ 、 $WL3$ 、 $WL4$ が 0 V から 4.5 V に、 $SG2$ が 0 V から 4.5 V になる。

【0176】

一定期間経った後、信号 $WLD2$ が 2.3 V から 0 V に、信号 $WLD1$ 、 $WLD3$ 、 $WLD4$ が 4.5 V から 0 V に、 $SGD2$ が 4.5 V から 0 V になって、選択されたブロックのワード線 $WL2$ が 2.3 V から 0 V に、ワード線 $WL1$ 、 $WL3$ 、 $WL4$ が 4.5 V から 0 V に、 $SG2$ が 4.5 V から 0 V にリセットされる。

【0177】

同様に、信号 $WLD1$ 、 $WLD3$ 、 $WLD4$ が 0 V から 4.5 V に、 $SGD2$ が 0 V から 4.5 V になって、選択されたブロックのワード線 $WL1$ 、 $WL3$ 、 $WL4$ が 0 V から 4.5 V に、 $SG2$ が 0 V から 4.5 V になる。

【0178】

10

20

30

40

50

一定期間経った後、信号WLD1, WLD3, WLD4が4.5Vから0Vに、SGD2が4.5Vから0Vになって、選択されたブロックのワード線WL1, WL3, WL4が4.5Vから0Vに、SG2が4.5Vから0Vにリセットされる。

【0179】

再度、同様に、信号WLD2が0Vから1.1Vに、信号WLD1, WLD3, WLD4が0Vから4.5Vに、SGD2が0Vから4.5Vになって、選択されたブロックのワード線WL2が0Vから1.1Vに、ワード線WL1, WL3, WL4が0Vから4.5Vに、SG2が0Vから4.5Vになる。

【0180】

一定期間経った後、信号WLD2が1.1Vから0Vに、信号WLD1, WLD3, WLD4が4.5Vから0Vに、SGD2が4.5Vから0Vになって、選択されたブロックのワード線WL2が1.1Vから0Vに、ワード線WL1, WL3, WL4が4.5Vから0Vに、SG2が4.5Vから0Vにリセットされる。

【0181】

非選択ブロックの選択ゲート線SG1とワード線WL1~WL4は、nチャネルMOSトランジスタQn32~Qn34によって0Vである。選択されたブロックアドレス信号Pi、Qi、PiがVCCから0Vとなって、信号BWLHBが0VからVCCに、信号VPPRWが4.5VからVCCとなり、信号OSCが0Vとなって、選択されたブロックのnチャネルMOSトランジスタQn28~Qn31のゲートは、0Vにリセットされる。

【0182】

また、選択されたブロックのnチャネルMOSトランジスタQn32~Qn34のゲートは、VCCにもどされ、導通する。これで非選択状態に戻り、選択ゲート線SG1が0Vに戻る。

【0183】

図10は、書き込み（ページ書き込み）動作を示している。

【0184】

ここでは、ビット線BL0、BL2、...、BLi、...、BL4222が選択され（代表としてBLiを示す）、ワード線WL2が選択されている場合を示す。

【0185】

書き込みに先だって、データ記憶回路10への制御データの初期設定が行われる。ビット線BLiに備えられたデータ記憶回路10への制御データの初期設定は次のように行われる。

【0186】

第1のサブデータ回路の初期サブデータが入出力線IOL、第2のサブデータ回路の初期サブデータが入出力線IOUに転送され、信号CSLiとCSLi+1が0VからVCCになって、第1及び第2のサブデータ回路に初期サブデータが記憶される。信号CSLの選択を変えて、任意の数の任意データ記憶回路10に初期制御データは設定される。

【0187】

このとき、初期制御データと初期サブデータの関係は、以下の表3に示すようになる。

【0188】

【表3】

初期制御データ	第1のサブデータ回路の初期サブデータ	第2のサブデータ回路の初期サブデータ
0	0	0
1	1	0
2	1	1
3	0	1

10

20

30

40

50

【 0 1 8 9 】

ここで、全ての初期制御データ設定以前に、信号 P R S T B 1 と P R S T B 2 を V C C から 0 V にし、再度 V C C に戻して、全てのデータ記憶回路 1 0 の制御データを “ 0 ” にリセットしておくことが望ましい。

【 0 1 9 0 】

後で説明するように、制御データ “ 0 ” によってメモリセル M の状態は変化させられないので、2 1 1 2 個のデータ記憶回路 1 0 の内、所望のデータ記憶回路 1 0 のみに外部から初期制御データを設定すればよい。もちろん 2 1 1 2 個全部のデータ記憶回路 1 0 の初期制御データを外部から設定してもよい。

【 0 1 9 1 】

信号 B L C 2 は 0 V、B I A S は 0 V、V R F Y 1 ~ 3 は 0 V、P R O 1 は 0 V、S E N 1 は V C C、L A T 1 は V C C、S E N 2 は V C C、L A T 2 は V C C、P R S T B 1 と P R S T B 2 は V C C、C S L i と C S L i + 1 は 0 V、信号 V B L 1 と V R E G は 0 V のままなので図 1 0 への表示は省略してある。

【 0 1 9 2 】

書き込み動作では、まず、選択されたブロックの選択ゲート線 S G 1 が V C C になる。同時に、信号 P R E 1 が V C C から 0 V、B L C 1 が 0 V から 7 V となってビット線 B L i が選択される。信号 P R O 2 が 7 V となって、第 2 のサブデータが “ 0 ” の場合、ビット線 B L i は V C C の書き込み制御電圧にされる。

【 0 1 9 3 】

第 2 のサブデータが “ 1 ” の場合、ビット線 B L i は 0 V のままで、0 V の書き込み制御電圧にされる。信号 P R E 2 が V C C から 7 V となり、信号 V B L 2 が 0 V から V C C になって、非選択のビット線 B L i + 1 は V C C の書き込み制御電圧にされる。共通ソース線 S R C も V C C にされる。これは、選択されたブロックの選択ゲート線 S G 2 のパンチスル - を防ぐためである。

【 0 1 9 4 】

その後、選択されたブロックのワード線 W L 2 が書き込み電圧 V p g m (1 6 V ~ 2 0 V) となる。両隣のワード線 W L 1 , W L 3 は 0 V である。残りのワード線 W L 4 は 1 1 V にされる。これで、“ 2 ” あるいは “ 3 ” の制御データを記憶しているデータ記憶回路 1 0 に対応するメモリセル M では、そのしきい値が上昇していく。“ 0 ” あるいは “ 1 ” の制御データを記憶しているデータ記憶回路 1 0 に対応するメモリセル M では、その状態は保持される。非選択ビット線 B L i + 1 に繋がるメモリセル M の状態も保持される。

【 0 1 9 5 】

例えば、8 μ s e c 後に選択されたワード線 W L 2 が V p g m から 0 V に、ワード線 W L 4 が 1 1 V から 0 V にリセットされる。同時に、信号 P R O 2 が 7 V から 0 V にリセットされる。

【 0 1 9 6 】

この時点では、ビット線上の書き込み制御電圧は変化しない。信号 P R O 1 0 が 0 V から V C C となって、第 1 のサブデータ回路のサブデータが “ 1 ” の場合、ビット線 B L i は 0 V の書き込み制御電圧となる。この時点で、ビット線 B L i の書き込み制御電圧は、対応するデータ記憶回路 1 0 に記憶されている制御データが “ 0 ” の場合に V C C、制御データが “ 1 ” あるいは “ 2 ” あるいは “ 3 ” の場合に 0 V である。

【 0 1 9 7 】

再度、選択されたブロックのワード線 W L 2 が書き込み電圧 V p g m (1 6 V ~ 2 0 V) となり、ワード線 W L 4 は 1 1 V にされる。

【 0 1 9 8 】

例えば、2 μ s e c 後に、再度、選択されたワード線 W L 2 が V p g m から 0 V に、ワード線 W L 4 が 1 1 V から 0 V にリセットされる。その後、信号 P R O 1 0 は V C C から 0 V に、B L C 1 は 7 V から 0 V に、P R E 1 は 0 V から V C C にリセットされ、ビット線 B L i は 0 V にリセットされる。

10

20

30

40

50

【 0 1 9 9 】

また、信号 $VBL2$ が VCC から $0V$ となって、ビット線 $BLi+1$ も $0V$ にリセットされる。信号 $PRE2$ は $7V$ から VCC に、共通ソース線 SRC は VCC から $0V$ に、選択ゲート線 $SG1$ は VCC から $0V$ にリセットされて、書き込みが終了する。

【 0 2 0 0 】

書き込み後、データがメモリセルに書き込めているか否かを確認する書き込みベリファイが後述のように行われる。全ての選択されたメモリセルに書き込めていると確認されるまで、書き込みと書き込みベリファイは繰り返される。

【 0 2 0 1 】

図 10 に示したように、“1”書き込み時のビット線上に $0V$ の書き込み制御電圧が与えられている時間は、“2”あるいは“3”書き込み時のビット線上に $0V$ の書き込み制御電圧が与えられている時間より短くされる。これによって、例えば、メモリセルに“1”を書き込むのに必要な書き込み回数と、“2”を書き込むのに必要な回数をほぼ等しくできる。1回の書き込み動作でメモリセルの浮遊ゲートに注入される電荷量が、“1”、“2”、“3”の順に少ないからである。

10

【 0 2 0 2 】

例えば、一定の書き込み電圧を制御ゲートに印加して、ソースとドレインを $0V$ に固定する。メモリセルのしきい値の変化分 Vt は書き込み時間を t_p とすると、

$$Vt \propto \log(t_p)$$

なので、書き込み時間を 2 倍にしたメモリセルとのしきい値差 ΔVt は、

20

$$\Delta Vt \propto \log(2t_p) - \log(t_p) = \log(2)$$

となり、常に一定である。

【 0 2 0 3 】

“1”書き込み状態にメモリセルが到達するまでの書き込み動作回数と、“2”書き込み状態にメモリセルが到達するまでの書き込み動作回数は、“1”書き込み時の一回の書き込み時間を“2”書き込み時の一回の書き込み時間より短くすることで、等しくできる。書き込み動作回数が等しければ、“1”書き込み終了時点で、“2”書き込みも同時に終了する。

【 0 2 0 4 】

もし、1回の書き込み動作で注入される電荷量が等しいと、“1”書き込みが終了した時点で“2”書き込みや“3”書き込みはまだ終わってない。よって、複数の $NAND$ 型セルユニットに対して同時に書き込む場合は、書き込み時間が長くなる。

30

【 0 2 0 5 】

図 11 は、図 10 に示した書き込み時におけるワード線制御回路 6 の動作を示す。

【 0 2 0 6 】

選択されたブロックアドレス信号 Pi 、 Qi 、 Ri が $0V$ から VCC となって、信号 $BWLHB$ が VCC から $0V$ に、信号 $VPPRW$ が VCC から V_{pgm} となり、信号 OSC が $0V$ と VCC の間で振動し始めると、選択されたブロックの n チャネル MOS トランジスタ $Q_{n28} \sim Q_{n31}$ のゲートが $V_{pgm} + 1V$ になる。

【 0 2 0 7 】

40

n チャネル MOS トランジスタ $Q_{n28} \sim Q_{n31}$ のゲートの電圧は、信号 $VPPRW$ に n チャネル MOS トランジスタ Q_{n24} のしきい値を加えたものになる。また、信号 $WLGND$ は $0V$ のままなので、選択されたブロックの n チャネル MOS トランジスタ $Q_{n32} \sim Q_{n34}$ のゲートは $0V$ で非導通である。

【 0 2 0 8 】

よって、選択ブロックの選択ゲート線 $SG1$ は VCC となる。逆に、非選択ブロックの n チャネル MOS トランジスタ $Q_{n28} \sim Q_{n31}$ のゲートの電圧は $0V$ で、非導通である。また、非選択されたブロックの n チャネル MOS トランジスタ $Q_{n32} \sim Q_{n34}$ のゲートは VCC で導通する。

【 0 2 0 9 】

50

信号WLD2が0VからVpgmに、WLD4が0Vから1.1Vになって、選択されたブロックのワード線WL2が0VからVpgmに、WL4が0Vから1.1Vになる。

【0210】

続いて、信号WLD2がVpgmから0Vに、WLD4が1.1Vから0Vになって、選択されたブロックのワード線WL2がVpgmから0Vに、WL4が1.1Vから0Vにリセットされる。

【0211】

再度、信号WLD2が0VからVpgmに、WLD2が0Vから1.1Vになって、選択されたブロックのワード線WL2が0VからVpgmに、WL4が0Vから1.1Vになる。

【0212】

続いて、信号WLD2がVpgmから0Vに、WLD4が1.1Vから0Vになって、選択されたブロックのワード線WL2がVpgmから0Vに、WL4が1.1Vから0Vにリセットされる。

【0213】

非選択ブロックの選択ゲート線SG1とワード線WL1～WL4はnチャネルMOSトランジスタQn32～Qn34によって0Vである。選択されたブロックアドレス信号Pi、Qi、RiがVCCから0Vとなって、信号BWLHBが0VからVCCに、信号VPPRWがVpgmからVCCとなり、信号OSCが0Vとなって、選択されたブロックのnチャネルMOSトランジスタQn28～Qn31のゲートは0Vにリセットされる。

【0214】

また、選択されたブロックのnチャネルMOSトランジスタQn32～Qn34のゲートはVCCにもどされ、導通する。これで非選択状態に戻り、選択ゲート線SG1が0Vに戻る。

【0215】

図12は、図10あるいは図11の書き込み動作後におけるメモリセルの書き込み状態を検出する書き込みベリファイ動作を示す。

【0216】

ここでは、ビット線BL0、BL2、...、BLi、...、BL4222が選択され（代表としてBLiを示す）、ワード線WL2が選択されている場合を示す。また、ここでは、信号VBL1、VBL2は0V、信号BLC2は0V、PRE2はVCCのままで、ビット線BLi+1が0Vのままなので、図12への表示を省略している。また、信号PRO10が0V、CSLiが0V、CSLi+1が0Vのままなので、図12への表示を省略している。

【0217】

まず、選択されたブロックの選択ゲート線SG1が4.5Vになる。同時に、信号PRE1がVCCから0V、BLC1が0Vから7Vとなってビット線BLiが選択される。信号BIASが0Vから1.8Vとなってビット線BLiが0.8Vに充電される。信号BIASが0Vとなってビット線BLiの充電は終了する。つづいて、選択されたブロックの選択ゲート線SG2、及び非選択ワード線WL1、WL3、WL4が0Vから4.5Vにされ、選択ワード線WL2が0Vから2.7Vにされる。

【0218】

選択ワード線WL2が2.7Vになると、“3”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“3”データを記憶している状態に達していればビット線BLiは0.8Vのままである。“3”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“3”データを記憶している状態に達していなければビット線BLiは0.5V以下になる。“2”あるいは“1”の制御データを記憶しているデータ記憶回路に対応するメモリセルは、“3”データを記憶している状態に達しないのでビット線BLiは0.5V以下になる。

【0219】

一定期間経った後、選択ゲート線SG2、及び非選択ワード線WL1～WL4が0.0V

10

20

30

40

50

にされる。選択ゲート線SG2が0Vにリセットされた後、信号VREGを0VからVCCに、信号VRFY2を0Vから2.5Vにする。第2のサブデータ回路に“0”の第2のサブデータが記憶されていれば、ビット線BLiは1.5Vにされる。信号VRFY2が2.5Vから0Vに戻って、次に信号VREGが0Vに戻る。

【0220】

信号SEN2、LAT2をVCCから0Vにする。信号PRSTB2をVCCから0Vにすると、ノードNbi+1がVCCとなる。信号PRSTB2をVCCに戻した後、信号PRO2を0Vから1.6Vにする。

【0221】

“3”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“3”データを記憶している状態に達していれば、ビット線BLiは0.8Vを維持しているため、nチャンネルMOSトランジスタQn10は非導通で、ノードNbi+1はVCCを維持する。

10

【0222】

“3”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“3”データを記憶している状態に達していなければ、ビット線BLiは0.5V以下なので、nチャンネルMOSトランジスタQn10は導通で、ノードNbi+1はVCCから下がる。

【0223】

“2”の制御データを記憶しているデータ記憶回路に対応するメモリセルは“3”データを記憶している状態に達しないためビット線BLiは0.5V以下である。よって、nチャンネルMOSトランジスタQn10は導通し、ノードNbi+1の電位はVCCから下がる。

20

【0224】

データ記憶回路が“0”あるいは“1”の制御データを記憶している場合、第2のサブデータ回路の第2のサブデータは“0”なので、ビット線BLiの電圧は、1.5Vである。よって、nチャンネルMOSトランジスタQn10は非導通で、ノードNbi+1はVCCを維持する。

【0225】

信号SEN2がVCCに戻りクロック同期式インバータCI3が活性化され、ノードNbi+1の電圧がセンスされる。信号LAT2がVCCに戻るとクロック同期式インバータCI4が活性化され、センスされた信号の論理レベルが第2のサブデータ回路にラッチされる。再び、信号PRO2が0Vとなってビット線BLiとNbi+1が切り離された後、信号PRE1がVCCに戻って、ビット線BLiは0Vにリセットされる。

30

【0226】

これで、“3”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“3”データを記憶している状態に達しているか否かの検出(データ“3”のベリファイ読み出し)が終了する。

【0227】

この時点で、“3”の制御データを記憶していたデータ記憶回路に対応するメモリセルが“3”データを記憶している状態に達していると検出された場合のみ、“3”の制御データを記憶していたデータ記憶回路の制御データは“0”データに変更され、その他の場合、制御データは保持される(変更されない)。

40

【0228】

次に、“2”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“2”データを記憶している状態に達しているか否かの検出(データ“2”のベリファイ読み出し)に入る。信号PRE1がVCCから0V、BLC1が0Vから7Vとなってビット線BLiが選択される。信号BIASが0Vから1.8Vとなってビット線BLiが0.8Vに充電される。信号BIASが0Vとなってビット線BLiの充電は終了する。

【0229】

続いて、選択されたブロックの選択ゲート線SG2、及び非選択ワード線WL1、WL3

50

、WL 4が0 Vから4.5 Vにされ、選択ワード線WL 2が0 Vから1.5 Vにされる。同時に信号VRFY 1が0 VからVCCにされ、第1のサブデータ回路の第1のサブデータが“0”の場合、nチャネルMOSトランジスタQn 5が導通し、ビット線BL iの電位は0 Vに下がる。

【0230】

選択ワード線WL 2が1.5 Vになると、“2”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“2”データを記憶している状態に達していればビット線BL iは0.8 Vのままである。“2”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“2”データを記憶している状態に達していなければビット線BL iは0.5 V以下になる。

10

【0231】

“1”の制御データを記憶しているデータ記憶回路に対応するメモリセルは“2”データを記憶している状態に達しないのでビット線BL iは0.5 V以下になる。“3”あるいは“0”を記憶しているデータ記憶回路に対応するビット線BL iは0 Vである。

【0232】

一定期間経った後、選択ゲート線SG 2、及び非選択ワード線WL 1～WL 4が0.0 Vにされる。信号VRFY 1も0 Vに戻される。選択ゲート線SG 2が0 Vにリセットされた後、信号VREGを0 VからVCCに、信号VRFY 2を0 Vから2.5 Vにする。第2のサブデータ回路に“0”の第2のサブデータが記憶されていれば、ビット線BL iは1.5 Vにされる。信号VRFY 2が2.5 Vから0 Vに戻って、次に信号VREGが0 Vに戻る。

20

【0233】

信号SEN 2、LAT 2をVCCから0 Vにする。信号PRSTB 2をVCCから0 Vにすると、ノードNb i + 1がVCCとなる。信号PRSTB 2をVCCに戻した後、信号PRO 2を0 Vから1.6 Vにする。“2”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“2”データを記憶している状態に達していれば、ビット線BL iは0.8 Vを維持しているため、nチャネルMOSトランジスタQn 10は非導通で、ノードNb i + 1はVCCを維持する。

【0234】

“2”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“2”データを記憶している状態に達していなければ、ビット線BL iは0.5 V以下なので、nチャネルMOSトランジスタQn 10は導通で、ノードNb i + 1はVCCから下がる。

30

【0235】

“3”の制御データを記憶しているデータ記憶回路に対応するビット線BL iは0.5 V以下である。よって、nチャネルMOSトランジスタQn 10は導通し、ノードNb i + 1の電位はVCCから下がる。データ記憶回路が“0”あるいは“1”の制御データを記憶している場合、第2のサブデータ回路の第2のサブデータは“0”なので、ビット線BL iの電圧は、1.5 Vである。よって、nチャネルMOSトランジスタQn 10は非導通で、ノードNb i + 1はVCCを維持する。

【0236】

信号SEN 2がVCCに戻りクロック同期式インバータCI 3が活性化され、ノードNb i + 1の電圧がセンスされる。信号LAT 2がVCCに戻るとクロック同期式インバータCI 4が活性化され、センスされた信号の論理レベルが第2のサブデータ回路にラッチされる。

40

【0237】

再び、信号PRO 2が0 Vとなってビット線BL iとNb i + 1が切り離された後、信号PRE 1がVCCに戻って、ビット線BL iは0 Vにリセットされる。これで、“2”の制御データを記憶しているデータ記憶回路10に対応するメモリセルが“2”データを記憶している状態に達しているか否かの検出(データ“2”のペリファイ読み出し)が終了する。

50

【 0 2 3 8 】

この時点で、“ 3 ”の制御データを記憶していたデータ記憶回路に対応するメモリセルが“ 3 ”データを記憶している状態に達していると検出された場合、“ 3 ”の制御データを記憶していたデータ記憶回路の制御データは“ 0 ”データに変更されている。

【 0 2 3 9 】

“ 2 ”の制御データを記憶していたデータ記憶回路に対応するメモリセルが“ 2 ”データを記憶している状態に達していると検出された場合、“ 2 ”の制御データを記憶していたデータ記憶回路の制御データは“ 1 ”データに変更されている。そのほかの場合は、制御データは保持される（変更されない）。

【 0 2 4 0 】

次に、“ 1 ”の制御データを記憶しているデータ記憶回路 10 に対応するメモリセルが“ 1 ”データを記憶している状態に達しているか否かの検出（データ“ 1 ”のベリファイ読み出し）に入る。信号 P R E 1 が V C C から 0 V、B L C 1 が 0 V から 7 V となってビット線 B L i が選択される。信号 B I A S が 0 V から 1 . 8 V となってビット線 B L i が 0 . 8 V に充電される。信号 B I A S が 0 V となってビット線 B L i の充電は終了する。

【 0 2 4 1 】

続いて、選択されたブロックの選択ゲート線 S G 2、及び非選択ワード線 W L 1、W L 3、W L 4 が 0 V から 4 . 5 V にされ、選択ワード線 W L 2 が 0 V から 0 . 3 V にされる。同時に信号 V R F Y 3 が 0 V から V C C にされ、第 2 のサブデータ回路の第 2 のサブデータが“ 1 ”の場合、n チャネル M O S トランジスタ Q n 1 3 が導通し、ビット線 B L i の電位は 0 V に下がる。

【 0 2 4 2 】

選択ワード線 W L 2 が 0 . 3 V になると、“ 1 ”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“ 1 ”データを記憶している状態に達していれば、ビット線 B L i は 0 . 8 V のままである。“ 1 ”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“ 1 ”データを記憶している状態に達していなければ、ビット線 B L i は 0 . 5 V 以下になる。“ 3 ”あるいは“ 2 ”を記憶しているデータ記憶回路に対応するビット線 B L i は、0 V である。

【 0 2 4 3 】

一定期間経った後、選択ゲート線 S G 2、および非選択ワード線 W L 1 ~ W L 4 が 0 . 0 V にされる。信号 V R F Y 3 も 0 V に戻される。選択ゲート線 S G 2 が 0 V にリセットされた後、信号 V R E G が 0 V から V C C に、信号 V R F Y 1 を 0 V から 2 . 5 V にする。第 1 のサブデータ回路に“ 0 ”の第 1 のサブデータが記憶されていれば、ビット線 B L i は 1 . 5 V にされる。信号 V R F Y 1 が 2 . 5 V から 0 V に戻って、次に信号 V R E G が 0 V に戻る。

【 0 2 4 4 】

信号 S E N 1、L A T 1 を V C C から 0 V にする。信号 P R S T B 1 を V C C から 0 V にすると、ノード N b i が V C C となる。信号 P R S T B 1 を V C C に戻した後、信号 P R O 1 を 0 V から 1 . 6 V にする。“ 1 ”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“ 1 ”データを記憶している状態に達していれば、ビット線 B L i は 0 . 8 V を維持しているため、n チャネル M O S トランジスタ Q n 3 は、非導通で、ノード N b i は、V C C を維持する。

【 0 2 4 5 】

“ 1 ”の制御データを記憶しているデータ記憶回路に対応するメモリセルが“ 1 ”データを記憶している状態に達していなければ、ビット線 B L i は 0 . 5 V 以下なので、n チャネル M O S トランジスタ Q n 3 は導通で、ノード N b i は V C C から下がる。“ 2 ”の制御データを記憶しているデータ記憶回路に対応するビット線 B L i は、0 . 5 V 以下である。よって、n チャネル M O S トランジスタ Q n 3 は、導通し、ノード N b i の電位は V C C から下がる。

【 0 2 4 6 】

10

20

30

40

50

データ記憶回路が“ 0 ”あるいは“ 3 ”の制御データを記憶している場合、第 1 のサブデータ回路の第 1 のサブデータは“ 0 ”なので、ビット線 B L i の電圧は、1 . 5 V である。よって、n チャンネル M O S トランジスタ Q n 3 は非導通で、ノード N b i は V C C を維持する。

【 0 2 4 7 】

信号 S E N 1 が V C C に戻りクロック同期式インバータ C I 1 が活性化され、ノード N b i の電圧がセンスされる。信号 L A T 1 が V C C に戻るとクロック同期式インバータ C I 2 が活性化され、センスされた信号の論理レベルが第 1 のサブデータ回路のラッチされる。

【 0 2 4 8 】

再び、信号 P R O 1 が 0 V となってビット線 B L i とノード N b i が切り離された後、信号 P R E 1 が V C C に戻って、ビット線 B L i は、0 V にリセットされる。ここで、“ 1 ”の制御データを記憶しているデータ記憶回路 1 0 に対応するメモリセルが“ 1 ”データを記憶している状態に達しているか否かの検出（データ“ 1 ”のベリファイ読み出し）が終了する。

【 0 2 4 9 】

この時点で、“ 3 ”の制御データを記憶していたデータ記憶回路に対応するメモリセルが“ 3 ”データを記憶している状態に達していると検出された場合、“ 3 ”の制御データを記憶していたデータ記憶回路の制御データは“ 0 ”データに変更されている。

【 0 2 5 0 】

“ 2 ”の制御データを記憶していたデータ記憶回路に対応するメモリセルが“ 2 ”データを記憶している状態に達していると検出された場合、“ 2 ”の制御データを記憶していたデータ記憶回路の制御データは“ 0 ”データに変更されている。

【 0 2 5 1 】

“ 1 ”の制御データを記憶していたデータ記憶回路に対応するメモリセルが“ 1 ”データを記憶している状態に達していると検出された場合、“ 1 ”の制御データを記憶していたデータ記憶回路の制御データは“ 0 ”データに変更されている。そのほかの場合は、制御データは保持される（変更されない）。

【 0 2 5 2 】

最後に、選択ゲート線 S G 1 が 0 V に、信号 B L C 1 が 0 V に戻り、読み出し動作が終了する。

【 0 2 5 3 】

図 1 3 は、図 1 2 の書き込みベリファイ時におけるワード線制御回路 6 の動作を示す。

【 0 2 5 4 】

選択されたブロックアドレス信号 P i 、Q i 、R i が 0 V から V C C となって、信号 B W L H B が V C C から 0 V に、V P P R W が V C C から 4 . 5 V となり、信号 O S C が 0 V と V C C の間で振動し始めると、選択されたブロックの n チャンネル M O S トランジスタ Q n 2 8 ~ Q n 3 1 のゲートが 5 . 5 V になる。

【 0 2 5 5 】

n チャンネル M O S トランジスタ Q n 2 8 ~ Q n 3 1 のゲートの電圧は、信号 V P P R W に n チャンネル M O S トランジスタ Q n 2 4 のしきい値を加えたものになる。また、信号 W L G N D B は 0 V のままなので、選択されたブロックの n チャンネル M O S トランジスタ Q n 3 2 ~ Q n 3 4 のゲートは 0 V で非導通である。

【 0 2 5 6 】

逆に、非選択のブロックの n チャンネル M O S トランジスタ Q n 2 8 ~ Q n 3 1 のゲートの電圧は 0 V で、非導通である。また、非選択されたブロックの n チャンネル M O S トランジスタ Q n 3 2 ~ Q n 3 4 のゲートは V C C で導通する。

【 0 2 5 7 】

信号 S G D 1 が V C C から 4 . 5 V に、W L D 2 が 0 V から 2 . 7 V に、W L D 1 , W L D 3 , W L D 4 が 0 V から 4 . 5 V に、S G D 2 が 0 V から 4 . 5 V になって、選択され

10

20

30

40

50

たブロックの選択ゲート線SG1が0Vから4.5Vに、ワード線WL2が0Vから2.7Vに、ワード線WL1, WL3, WL4が0Vから4.5Vに、選択ゲート線SG2が0Vから4.5Vになる。

【0258】

一定期間経った後、信号WLD2が2.7Vから0Vに、信号WLD1, WLD3, WLD4が4.5Vから0Vに、信号SGD2が4.5Vから0Vになって、選択されたブロックのワード線WL2が2.7Vから0Vに、ワード線WL1, WL3, WL4が4.5Vから0Vに、選択ゲート線SG2が4.5Vから0Vにリセットされる。

【0259】

同様に、信号WLD2が0Vから1.5Vに、信号WLD1, WLD3, WLD4が0Vから4.5Vに、信号SGD2が0Vから4.5Vになって、選択されたブロックのワード線WL2が0Vから1.5Vに、ワード線WL1, WL3, WL4が0Vから4.5Vに、信号SG2が0Vから4.5Vになる。

10

【0260】

一定期間経った後、信号WLD2が1.5Vから0Vに、ワード線WLD1, WLD3, WLD4が4.5Vから0Vに、信号SGD2が4.5Vから0Vになって、選択されたブロックのワード線WL2が1.5Vから0Vに、ワード線WL1, WL3, WL4が4.5Vから0Vに、信号SG2が4.5Vから0Vにリセットされる。

【0261】

再度、同様に、信号WLD2が0Vから0.3Vに、信号WLD1, WLD3, WLD4が0Vから4.5Vに、SGD2が0Vから4.5Vになって、選択されたブロックのワード線WL2が0Vから0.3Vに、ワード線WL1, WL3, WL4が0Vから4.5Vに、SG2が0Vから4.5Vになる。

20

【0262】

一定期間経った後、信号WLD2が0.3Vから0Vに、WLD1, WLD3, WLD4が4.5Vから0Vに、SGD2が4.5Vから0Vになって、選択されたブロックのワード線WL2が0.3Vから0Vに、ワード線WL1, WL3, WL4が4.5Vから0Vに、SG2が4.5Vから0Vにリセットされる。

【0263】

非選択ブロックの選択ゲート線SG1とワード線WL1~WL4は、nチャネルMOSトランジスタQn32~Qn34によって0Vである。選択されたブロックアドレス信号Pi、Qi、RiがVCCから0Vとなって、信号BWLHBが0VからVCCに、信号VPPRWが4.5VからVCCとなり、信号OSCが0Vとなって、選択されたブロックのnチャネルMOSトランジスタQn28~Qn31のゲートは0Vにリセットされる。

30

【0264】

また、選択されたブロックのnチャネルMOSトランジスタQn32~Qn34のゲートは、VCCにもどされ、導通する。これで非選択状態に戻り、選択ゲート線SG1が0Vに戻る。

【0265】

書き込みベリファイ動作でメモリセルの書き込み状態に応じてデータ記憶回路10に記憶されている制御データが表4のように変更される。

40

【0266】

【表4】

メモリセル書き込み状態	書き込みベリファイ前の 制御データ	書き込みベリファイ後の 制御データ
0、1、2または3	0	0
1未達	1	1
1	1	0
2未達	2	2
2	2	0
3未達	3	3
3	3	0

10

【0267】

図10及び図11に示される書き込み動作と、図12及び図13に示される書き込みベリファイ動作を、全ての制御データが“0”になるまで繰り返し、メモリセルMへのデータ書き込みは行われる。

【0268】

全ての制御データが“0”になったか否かは、信号PTが接地レベルと導通しているか否かを検出すればわかる。接地されていれば、信号PTは“L”となり、接地されてなければPTは“H”となるように、制御信号及び制御電圧発生回路7で制御されている。

【0269】

20

図14は、この書き込みと書き込みベリファイを繰り返しながらデータ書き込みを行うアルゴリズムを示している。

【0270】

このアルゴリズムは、制御信号及び制御電圧発生回路7で制御されている。データ書き込み開始の命令が入って(ステップS1)、変数IWTが1にされる(ステップS2)。例えば、4,224ビット分のデータが入力され(ステップS3)、書き込み電圧Vp gmの用意ができるまで、10µsec待機する(ステップS4)。

【0271】

図10及び図11に示すように、書き込みが行われ(ステップS5)、その後図12、図13に示したように書き込みベリファイが行われる(ステップS6)。信号PTが“H”なら(ステップS7)、データ書き込みは正常に終了する(ステップS11)。信号PTが“L”なら(ステップS7)、IWTが20か否かが調べられる(ステップS8)。

30

【0272】

また、IWTが20より少なければ、IWTに1を加え(ステップS9)、書き込み電圧Vp gmを0.2V増加させて(ステップS10)、再度書き込みを行う(ステップS5)。このようにして、信号PTが“H”になるまで、書き込みと書き込みベリファイを繰り返す。

【0273】

ステップS8において、IWTが20となったら、データ書き込みが失敗したとして、データ書き込み異常であり、動作が終了となる(ステップS12)。

40

【0274】

図15は、消去動作を示している。

【0275】

消去は、選択されたブロックの全てのメモリセルに対して同時に行われる(ブロック消去)。信号BLC1とBLC2は0Vのままで、信号VBL1とVBL2は0Vのままである。選択されたブロックアドレス信号Pi、Qi、Riが0VからVCCとなって、信号WLGND Bが0VからVCCとなる。信号BWLHBは、VCC、VPPRWはVCC、信号OSCは0Vである。選択されたブロックのnチャネルMOSトランジスタQn28～Qn31のゲートはVCCになる。

【0276】

50

また、選択されたブロックの n チャネルMOSトランジスタ $Q_{n32} \sim Q_{n34}$ のゲートは $0V$ で非導通である。非選択ブロックの n チャネルMOSトランジスタ $Q_{n28} \sim Q_{n31}$ のゲートの電圧は $0V$ で、非導通である。また、信号 $WLGND_B$ は VCC なので、非選択されたブロックの n チャネルMOSトランジスタ $Q_{n32} \sim Q_{n34}$ のゲートも $0V$ で非導通である。

【0277】

信号 $SGD1$ は VCC 、 $WLD1 \sim 4$ は $0V$ である。信号 $SGD2$ が $0V$ から VCC となる。共通ソース線 SRC は浮遊状態にされる。信号 $PRE1$ と $PRE2$ が VCC から $0V$ にされて、全ビット線 BL も浮遊状態にされる。ここでは、メモリセルアレイ1は p 型ウェル11上に形成されているとしている。 p 型ウェル11の電位でもある信号 $CellWell$ が $0V$ から消去電圧 V_{era} となる。

10

【0278】

共通ソース線 SRC とビット線 BL の電位は、 p 型ウェル11と n 型拡散層12の順方向電流で、 $0V$ からほぼ消去電圧 V_{era} となる。メモリセルアレイ1中の全選択ゲート線 $SG1$ と $SG2$ は、 p 型ウェル11との容量結合によって消去電圧 V_{era} となる。

【0279】

また、非選択のブロックのワード線 $WL1 \sim WL4$ も、 p 型ウェル11との容量結合によって消去電圧 V_{era} となる。選択されたブロックのワード線 $WL1 \sim WL4$ は、 $0V$ のままである。

【0280】

20

よって、選択されたメモリセルでは、 p 型ウェル11と制御データ16間に印加される消去電圧によって、消去される。非選択のメモリセルでは、 p 型ウェル11も制御データ16も消去電圧となり、消去されない。

【0281】

共通ソース線 SRC が浮遊状態から $0V$ に、信号 $PRE1$ と $PRE2$ が $0V$ から VCC となってビット線 BL が $0V$ に、信号 $CellWell$ が消去電圧 V_{era} から $0V$ になる。このため、全ワード線 WL は $0V$ に戻り、非選択のブロックの選択ゲート線 $SG1$ と $SG2$ も $0V$ に戻る。選択されたブロックの選択ゲート線 $SG1$ と $SG2$ は VCC となる。信号 $WLGND_B$ が VCC から $0V$ に戻り、信号 $SGD2$ が VCC から $0V$ に戻って、選択されたブロックの $SG2$ は $0V$ にリセットされる。

30

【0282】

最後に、選択されていたブロックアドレス信号 P_i 、 Q_i 、 R_i が VCC から $0V$ となって、選択されたブロックの n チャネルMOSトランジスタ $Q_{n28} \sim Q_{n31}$ のゲートは $0V$ にリセットされる。また、選択されたブロックの n チャネルMOSトランジスタ $Q_{n32} \sim Q_{n34}$ のゲートは VCC にもどされ、導通する。これで非選択状態に戻り、選択ゲート線 $SG1$ が $0V$ に戻る。

【0283】

図16は、消去後に行われる事前書き込み動作を示している。

【0284】

事前書き込みは選択されたブロックの全てのメモリセルに対して同時に行われる。信号 $BLC1$ と $BLC2$ 、信号 $VBL1$ と $VBL2$ は $0V$ のままで、信号 $PRE1$ と $PRE2$ は VCC のままである。よって、全ビット線 BL は $0V$ のままである。選択されたブロックアドレス信号 P_i 、 Q_i 、 R_i が $0V$ から VCC となって、信号 $BWLHB$ が VCC から $0V$ に、 $VPPRW$ が VCC から事前書き込み電圧 V_{spgm} となり、信号 OSC が $0V$ と VCC の間で振動し始めると、選択されたブロックの n チャネルMOSトランジスタ $Q_{n28} \sim Q_{n31}$ のゲートが $V_{spgm} + 1V$ になる。

40

【0285】

n チャネルMOSトランジスタ $Q_{n28} \sim Q_{n31}$ のゲートの電圧は、信号 $VPPRW$ に n チャネルMOSトランジスタ Q_{n24} のしきい値を加えたものになる。また、信号 $WLGND_B$ は $0V$ のままなので、選択されたブロックの n チャネルMOSトランジスタ Q_n

50

32 ~ Qn34 のゲートは 0 V で非導通である。よって、選択ブロックの選択ゲート線 SG1 は、VCC となる。

【0286】

逆に、非選択ブロックの n チャンネル MOS トランジスタ Qn28 ~ Qn31 のゲートの電圧は 0 V で、非導通である。また、非選択されたブロックの n チャンネル MOS トランジスタ Qn32 ~ Qn34 のゲートは VCC で導通する。

【0287】

信号 WLD1 ~ WLD4 が 0 V から事前書き込み電圧 Vspgm になって、選択されたブロックのワード線 WL1 ~ WL4 が 0 V から Vspgm になる。一定期間の後、信号 WLD1 ~ WLD4 が Vspgm から 0 V 戻って、選択されたブロックのワード線 WL1 ~ WL4 が Vspgm から 0 V にリセットされる。

10

【0288】

非選択ブロックの選択ゲート線 SG1 とワード線 WL1 ~ WL4 は、n チャンネル MOS トランジスタ Qn32 ~ Qn34 によって 0 V である。選択されたブロックアドレス信号 Pi、Qi、Ri が VCC から 0 V となって、信号 BWLHB が 0 V から VCC に、VPPRW が Vspgm から VCC となり、信号 OSC が 0 V となって、選択されたブロックの n チャンネル MOS トランジスタ Qn28 ~ Qn31 のゲートは 0 V にリセットされる。

【0289】

また、選択されたブロックの n チャンネル MOS トランジスタ Qn32 ~ Qn34 のゲートは VCC にもどされ、導通する。これで非選択状態に戻り、選択ゲート線 SG1 が 0 V に戻る。

20

【0290】

図 17 は、図 16 の事前書き込み動作後におけるメモリセルの消去状態を検出する消去ベリファイ動作を示している。

【0291】

ここでは、信号 VREG は 0 V、信号 VRFY1、VRFY2、VRFY3、PRO10、BIAS は 0 V のままなので図 17 への表示を省略している。また、CSLi が 0 V、CSLi + 1 が 0 V のままなので、図 17 への表示を省略している。

【0292】

まず、選択されたブロックの選択ゲート線 SG1 が 4.5 V になる。同時に、信号 PRE2 が VCC から 7 V、信号 VBL2 が 0 V から VCC となってビット線 BLi + 1 が VCC に充電される。このとき共通ソース線 SRC も 0 V から VCC となる。信号 PRE1 が VCC から 0 V となってビット線 BLi は浮遊状態にされる。つづいて、選択されたブロックの選択ゲート線 SG2 が 0 V から 4.5 V にされ、ワード線 WL1 ~ WL4 は 0 V のままである。

30

【0293】

選択ゲート線 SG2 が 4.5 V になると、メモリセルのしきい値が -0.7 V 以上であればビット線 BLi は 0.7 V 以下である。一定期間経過後、選択ゲート線 SG2 が 0.0 V にされる。選択ゲート線 SG2 が 0 V にリセットされた後、信号 SEN1、LAT1 を VCC から 0 V にする。信号 PRSTB1 を VCC から 0 V にすると、ノード Nbi が VCC となる。

40

【0294】

信号 PRSTB1 を VCC に戻した後、信号 PRO1 を 0 V から 1.8 V にする。メモリセルのしきい値が -0.7 V 以上であればビット線 BLi は 0.7 V 以下であるので、n チャンネル MOS トランジスタ Qn3 は、導通で、ノード Nbi は VCC から下がる。ビット線 BLi の電圧が 0.8 V 以上であれば、n チャンネル MOS トランジスタ Qn3 は非導通で、ノード Nbi は VCC を維持する。信号 SEN1 が VCC に戻りクロック同期式インバータ CI1 が活性化され、ノード Nbi の電圧がセンスされる。

【0295】

信号 LAT1 が VCC に戻るとクロック同期式インバータ CI2 が活性化され、センスさ

50

れた信号の論理レベルが第1のサブデータ回路にラッチされる。再び、信号PRO1が0Vとなってビット線BLiとNbiが切り離された後、信号BLC1がVCCから0Vに、信号PRE1がVCCに戻って、ビット線BLiは0Vにリセットされる。

【0296】

また、信号PRE2が7VからVCCへ、信号VBL2がVCCから0Vへ戻って、ビット線BLi+1は0Vにリセットされる。共通ソース線SRCもVCCから0Vに戻る。これで、ビット線BLiに繋がる選択されたブロックの4つのメモリセルのうち、1つでもそのしきい値が-0.7V以上であれば、第1のサブデータ回路に“1”の読み出しサブデータが記憶される。

【0297】

続いて、信号PRE1がVCCから7V、信号VBL1が0VからVCCとなってビット線BLiがVCCに充電される。このとき共通ソース線SRCも0VからVCCとなる。信号PRE2がVCCから0Vとなってビット線BLi+1は浮遊状態にされる。つづいて、選択されたブロックの選択ゲート線SG2が0Vから4.5Vにされ、ワード線WL1~WL4は0Vのままである。

【0298】

選択ゲート線SG2が4.5Vになると、メモリセルのしきい値が-0.7V以上であればビット線BLi+1は0.7V以下である。一定期間経った後、選択ゲート線SG2が0.0Vにされる。選択ゲート線SG2が0Vにリセットされた後、信号SEN2、LAT2をVCCから0Vにする。

【0299】

信号PRSTB2をVCCから0Vにすると、ノードNbi+1がVCCとなる。信号PRSTB2をVCCに戻した後、信号PRO2を0Vから1.8Vにする。メモリセルのしきい値が-0.7V以上であればビット線BLi+1は0.7V以下であるので、nチャンネルMOSトランジスタQn10は、導通で、ノードNbi+1はVCCから下がる。ビット線BLi+1の電圧が0.8V以上であれば、nチャンネルMOSトランジスタQn10は非導通で、ノードNbi+1はVCCを維持する。

【0300】

信号SEN2がVCCに戻りクロック同期式インバータCI3が活性化され、ノードNbi+1の電圧がセンスされる。信号LAT2がVCCに戻るとクロック同期式インバータCI4が活性化され、センスされた信号の論理レベルが第2のサブデータ回路にラッチされる。

【0301】

再び、信号PRO2が0Vとなってビット線BLi+1とNbi+1が切り離された後、信号BLC2がVCCから0Vに、信号PRE2がVCCに戻って、ビット線BLi+1は0Vにリセットされる。また、信号PRE1が7VからVCCへ、信号VBL1がVCCから0Vへ戻って、ビット線BLiは0Vにリセットされる。

【0302】

共通ソース線SRCも、VCCから0Vに戻る。これで、ビット線BLi+1に繋がる選択されたブロックの4つのメモリセルのうち、1つでもそのしきい値が-0.7V以上であれば、第2のサブデータ回路に“1”の読み出しサブデータが記憶される。選択ゲート線SG1が4.5Vから0Vに戻って、消去ベリファイは終了する。

【0303】

図18は、図17の消去ベリファイ時におけるワード線制御回路6の動作を示している。

【0304】

選択されたブロックアドレス信号Pi、Qi、Riが0VからVCCになって、信号BWLHBがVCCから0Vに、VPPRWがVCCから4.5Vとなり、信号OSCが0VとVCCの間で振動し始めると、選択されたブロックのnチャンネルMOSトランジスタQn28~Qn31のゲートが5.5Vになる。

【0305】

10

20

30

40

50

nチャンネルMOSトランジスタQn28～Qn31のゲートの電圧は、信号VPPRWにnチャンネルMOSトランジスタQn24のしきい値を加えたものになる。また、信号WLGNDは0Vのままなので、選択されたブロックのnチャンネルMOSトランジスタQn32～Qn34のゲートは0Vで非導通である。逆に、非選択ブロックのnチャンネルMOSトランジスタQn28～Qn31のゲートの電圧は0Vで、非導通である。また、非選択されたブロックのnチャンネルMOSトランジスタQn32～Qn34のゲートはVCCで導通する。

【0306】

信号SGD1がVCCから4.5Vになって、選択されたブロックの選択ゲート線SG1が0Vから4.5Vになる。また、信号SGD2が0Vから4.5Vとなって、選択ゲート線SG2が0Vから4.5Vになる。一定期間経過後、信号SGD2は4.5Vから0Vに戻り、選択ゲート線SG2も4.5Vから0Vに戻る。再度、信号SGD2が0Vから4.5Vとなって、選択ゲート線SG2が0Vから4.5Vになる。一定期間経過後、信号SGD2は4.5Vから0Vに戻り、選択ゲート線SG2も4.5Vから0Vに戻る。

10

【0307】

非選択ブロックの選択ゲート線SG1とワード線WL1～WL4はnチャンネルMOSトランジスタQn32～Qn34によって0Vである。選択されたブロックアドレス信号Pi、Qi、RiがVCCから0Vとなって、信号BWLHBが0VからVCCに、VPPRWが4.5VからVCCとなり、信号OSCが0Vとなって、選択されたブロックのnチャンネルMOSトランジスタQn28～Qn31のゲートは0Vにリセットされる。また、選択されたブロックのnチャンネルMOSトランジスタQn32～Qn34のゲートはVCCにもどされ、導通する。これで非導通状態に戻り、選択ゲート線SG1が0Vに戻る。

20

【0308】

図19は、図15の消去と、図16の事前書き込みと、図17及び図18の消去ベリファイとを用いて行われるデータ消去のアルゴリズムを示している。

【0309】

このアルゴリズムは、制御信号及び制御電圧発生回路7で制御されている。データ消去の命令が入って(ステップS1)、先ず、変数jが1にされる(ステップS2)。図15に示した消去が行われ(ステップS3)、変数iが1にされる(ステップS4)。図16に示した事前書き込みが行われ(ステップS5)、その後、図17及び図18に示した消去ベリファイが行われる(ステップS6)。選択されたブロックの全てのメモリセルのしきい値が-0.7V以下であるか判断される(ステップS7)。

30

【0310】

もし、選択されたブロックの全てのメモリセルのしきい値が-0.7V以下であれば、変数iが16以下か否かが判断される(ステップS8)。変数iが16以下であれば、iに1を加えて(ステップS9)、事前書き込み電圧Vspgmを0.2V増加させ(ステップS10)、再度事前書き込みする(ステップS5)。変数iが16を越えると、データ消去が失敗したとして、データ消去異常終了となる(ステップS17)。

【0311】

消去ベリファイ(ステップS6)後、選択されたブロックのメモリセルのうち1つでもそのしきい値が-0.7V以上であると判断されると、変数iが5以上か否かが判断される(ステップS11)。変数iが5以上であると、データ消去終了となる(ステップS15)。変数iが4以下であり、変数jが2以下であると判断されると(ステップS12)、変数jに1を加え(ステップS13)、消去電圧Verを1V増加させて(ステップS14)、前回の消去が十分でなかったとして再度消去(ステップS3)が行われる。変数jが3以上になると、データ消去が失敗したとして、データ消去以上終了となる(ステップS16)。

40

【0312】

この図19に示されるデータ消去によって、過消去されたメモリセルを無くすことができ

50

る。よって、書き込みが正常に行える。

【0313】

以上説明したように、第1実施形態に関わる不揮発性半導体記憶装置によれば、消去後に少しだけ書き込みを進める（事前書き込み）ことによって、過消去したとしても、この事前書き込みにより正常なメモリセルの“0”状態に戻すことができ、“0”書き込み時に選択されたメモリセルの隣のメモリセルを確実に非導通とし、確実に“0”データを書き込むことができる。

【0314】

また、書き込みデータが“1”か“2”か“3”かによって、1回の書き込みパルス長を制御することによって、“1”、“2”、“3”書き込みそれぞれの書き込み速度の差を補償でき、“1”書き込みにあわせて、小刻みに書き込みパルスを印加しなければならないということがなくなり、データの書き換えが高速に行える。

【0315】

以下、本発明による不揮発性半導体記憶装置の他の実施形態を説明する。他の実施形態の説明において第1の実施形態と同一部分は同一参照数字を付してその詳細な説明は省略する。

【0316】

（第2実施形態）

図20は、第2実施形態に係る4値記憶式NANDフラッシュメモリの構成を示す。カラムデコーダ3は、カラム選択信号CSLを順に自動的に発生するためのCSL初期値記憶及びCSL自動発生回路31と、カラム選択信号CSLを出力するCSL出力回路32を備えている。データ入出力バッファ4は、データ入出力端子51に入力されたアドレスデータを取り込むためのアドレスデータバッファ41、ビット線制御回路2から出力される読み出しデータをデータ入出力端子5やデータ検出回路43に転送するための読み出しデータバッファ42、読み出しデータのデータに応じてフラグ信号を出力するデータ検出回路43、データ入出力端子5に入力された書き込みデータを取り込むための書き込みデータバッファ44、データ入出力端子5に入力されフラッシュメモリへの命令であるコマンドデータを取り込むためのコマンドデータバッファ45、データ入出力端子5に入力され内部で発生される電圧を制御するための電圧トリミングデータを取り込むための電圧トリミングデータバッファ46を備えている。

【0317】

制御信号および制御電圧発生回路7は、消去電圧 V_{era} 、書き込み電圧 V_{pgm} 、事前書き込み電圧 V_{spgm} の電圧値を制御するための V_{era} 設定回路71、 V_{pgm} 設定回路72、 V_{spgm} 設定回路73を備えている。これらは、図14、図19のアルゴリズムに見られる V_{era} 、 V_{pgm} 、 V_{spgm} の段階的な印加を制御する。 V_{era} 、 V_{pgm} 、 V_{spgm} の初期値を電圧トリミングデータとして電圧トリミングデータバッファ46から受け取り、自動的にアルゴリズムに従って電圧トリミングデータを変化させ、 V_{era} 、 V_{pgm} 、 V_{spgm} の電圧を増加させる。また、消去や書き込み終了後の V_{era} 、 V_{pgm} 、 V_{spgm} の電圧値を電圧トリミングデータとして電圧トリミングデータバッファ46に転送することができる。この電圧トリミングデータバッファ46に転送された電圧トリミングデータは、データ入出力端子5から外部へ出力することができる。

【0318】

図21は、段階的に印加される消去電圧 V_{era} の初期値を決めるためのテストのアルゴリズムを示している。テストが開始され（ステップS1）、先ず、消去電圧 V_{era} の初期値として十分低い電圧 $V_{era-init}$ をセットする（ステップS2）。これは、電圧 $V_{era-init}$ に対応する電圧トリミングデータを V_{era} 設定回路71に入力することで行われる。また、事前書き込み電圧 V_{spgm} として十分高い電圧 $V_{spgm-test}$ をセットする（ステップS3）。これは、 $V_{spgm-test}$ に対応する電圧トリミングデータを V_{spgm} 設定回路73に入力することで行われる。変数IPASSに

0 をセットし (ステップ S 4)、先頭のブロックを選択する (ステップ S 5)。事前書き込み電圧 $V_{spgm-test}$ で事前書き込みを行う (ステップ S 6)。これは、消去前に一定の書き込み状態にセルをしておくことで、消去後のセルのしきい値を安定させるためである。その後、消去し (ステップ S 7)、続いて消去ベリファイを行う (ステップ S 8)。

【0319】

カラムデコーダ 3 で、カラム選択信号 CSL を順に自動的に発生し、ビット線制御回路 2 から出力される読み出しデータをデータ検出回路 4 3 で検出する。16, 896 (= 4, 224 × 4 (図 2 参照)) 個のセルが消去され、消去ベリファイで 4, 224 ビットのデータに圧縮されて読み出される。セルのしきい値が - 0.7 V 以上であることを示すデータが、この 4, 224 ビットのデータの中で複数ビット (例えば 5 ビット) 以上あるか否かをデータ検出回路 4 3 が判定する (ステップ S 9)。1 ビットでもセルのしきい値が - 0.7 V 以上であれば、消去電圧 V_{era} が不足であるが、これでは、消去できない不良セルが 1 つでもあると常にセルのしきい値が - 0.7 V 以上となる場合があり、正しく消去電圧 V_{era} を求めることができなくなる。このため、複数ビット分のデータを監視する。

10

【0320】

もし、5 ビット以上であれば $LPASS$ を 1 だけ増加させる (ステップ S 10)。ブロックアドレスが最終番地か否かを判定して (ステップ S 11)、ブロックアドレスが最終番地でなければ次のブロックを選択して (ステップ S 12)、ステップ S 6 ~ ステップ S 12 を繰り返す。

20

【0321】

全てのブロックに対してステップ S 6 ~ ステップ S 12 が実行されたら、 $LPASS$ が $Npass$ より大きいか否かを判定する (ステップ S 13)。 $Npass$ はほぼ 0 に近い値、例えばブロックの数の 1 割程度にする。全ブロックが正常なブロックなら $LPASS$ が 0 か否かを判定すればよいが、ほぼ 0 に近い値にしているのは、不良ブロックがあると正しく消去電圧 V_{era} を求めることができなくなるからである。つまり、平均的なブロックで消去できたか否かをステップ S 13 で判定するのである。もし、 $LPASS$ が $Npass$ より小さければ、現在の消去電圧 V_{era} で消去できることになり、マージンを例えば 0.5 V 程度高めにとって、消去電圧の最適値として記憶し (ステップ S 16)、テスト終了となる (ステップ S 18)。もし、 $LPASS$ が $Npass$ より大きければ、現在の消去電圧 V_{era} では消去不足であることになる。よって、電圧 V_{era} が限界値 $V_{era-max}$ に達したか否かを判定し (ステップ S 14)、達していなければ、 V_{era} を例えば 0.5 V 増加させ (ステップ S 15)、ステップ S 4 ~ ステップ S 15 を繰り返す。電圧 V_{era} が限界値 $V_{era-max}$ に達していれば、消去電圧 V_{era} の最適値が見つからなかったとして、不良品の判定が行われ (ステップ S 17)、テスト終了となる (ステップ S 18)。

30

【0322】

同様に、図 2 2 は、事前書き込み電圧 V_{spgm} の初期値を決めるためのテストのアルゴリズムを示している。テストが開始され (ステップ S 1)、まず、事前書き込み電圧 V_{spgm} の初期値として十分高い電圧 $V_{spgm-test}$ をセットする (ステップ S 2)。これは、電圧 $V_{spgm-test}$ に対応する電圧トリミングデータを V_{spgm} 設定回路 7 3 に入力することで行われる。先頭のブロックを選択する (ステップ S 3)。事前書き込み電圧 $V_{spgm-test}$ で事前書き込みを行う (ステップ S 4)。これは、消去前に一定の書き込み状態にセルをしておくことで、消去後のセルのしきい値を安定させるためである。ブロックアドレスが最終番地か否かを判定して (ステップ S 5)、ブロックアドレスが最終番地でなければ次のブロックを選択して (ステップ S 6)、ステップ S 3 ~ ステップ S 6 を繰り返す。

40

【0323】

次に、消去電圧 V_{era} として、図 2 1 に示したテストで求められた電圧 V_{era} をセッ

50

とし、事前書き込み電圧 V_{spgm} の初期値として十分低い電圧 $V_{spgm-init}$ をセットする（ステップ S 7）。これは、電圧 V_{era} と電圧 $V_{spgm-init}$ に対応する電圧トリミングデータを V_{era} 設定回路 71、 V_{spgm} 設定回路 73 に入力することで行われる。変数 $Loop-sum$ と k を 0 にセットして（ステップ S 8）、先頭のブロックを選択する（ステップ S 9）。消去電圧 V_{era} で消去し（ステップ S 10）、変数 $Loop$ に 1 をセットし（ステップ S 11）、続いて、事前書き込み電圧 V_{spgm} で事前書き込みし（ステップ S 12）、消去ベリファイを行う（ステップ S 13）。

【0324】

カラムデコーダ 3 で、カラム選択信号 CSL を順に自動的に発生し、ビット線制御回路 2 から出力される読み出しデータをデータ検出回路 43 で検出する。16,896 個のセルが消去され、消去ベリファイで 4,224 ビットのデータに圧縮されて読み出される。セルのしきい値が $-0.7V$ 以上であることを示すデータが、この 4,224 ビットのデータの中で複数ビット（例えば 5 ビット）以上あるか否かをデータ検出回路 43 が判定する（ステップ S 14）。1 ビットでもセルのしきい値が $-0.7V$ 以上であれば、事前書き込み終了であるが、これでは、不良セルが 1 つでもあると常にセルのしきい値が $-0.7V$ 以上となる場合があり、正しく事前書き込み電圧 V_{spgm} を求めることができなくなる。このため、複数ビット分のデータを監視する。

【0325】

もし、5 ビットより少なければ、変数 $Loop$ が最大値 $Loop-max$ に達しているか否かを判定し（ステップ S 15）、達していなければ $Loop$ を 1 だけ増加させ（ステップ S 16）、事前書き込み電圧 V_{spgm} を例えば $0.2V$ だけ高めて（ステップ S 17）、再度事前書き込みする（ステップ S 12）。 $Loop$ が $Loop-max$ に達していれば、次のブロックを選択する（ステップ S 20）。

【0326】

もし、5 ビット以上であれば、変数 $Loop-sum$ に $Loop$ を加え（ステップ S 18）、 k を 1 だけ増加させ（ステップ S 19）、次のブロックを選択する（ステップ S 20）。

【0327】

ブロックアドレスが最終番地でなければ次のブロックを選択して（ステップ S 21）、ステップ S 10～ステップ S 21 を繰り返す。

【0328】

ブロックアドレスが最終番地であれば、平均ループ回数を求める（ステップ S 22）。ループ回数は、ステップ S 12～ステップ S 17 で構成されるループを繰り返した数である。図 19 に示したように、例えばループの数を 5 以上、かつ 16 以下となるように、事前書き込み電圧 V_{spgm} を算出し（ステップ S 23）、テスト終了となる。平均ループ数が 5 より小さければ、事前書き込み電圧 V_{spgm} の初期値を低くする。平均ループ数が 16 より大きければ、事前書き込み電圧 V_{spgm} の初期値を高くする。

【0329】

さらに、図 23 は、書き込み電圧 V_{pgm} の初期値を決めるためのテストのアルゴリズムを示している。テストが開始され（ステップ S 1）、まず、事前書き込み電圧 V_{spgm} の初期値として十分高い電圧 $V_{spgm-test}$ をセットする（ステップ S 2）。これは、電圧 $V_{spgm-test}$ に対応する電圧トリミングデータを V_{spgm} 設定回路 73 に入力することで行われる。先頭のブロックを選択する（ステップ S 3）。事前書き込み電圧 $V_{spgm-test}$ で事前書き込みを行う（ステップ S 4）。これは、消去前に一定の書き込み状態にセルをしておくことで、消去後のセルのしきい値を安定させるためである。ブロックアドレスが最終番地か否かを判定して（ステップ S 5）、ブロックアドレスが最終番地でなければ次のブロックを選択して（ステップ S 6）、ステップ S 3～ステップ S 6 を繰り返す。

【0330】

次に、消去電圧 V_{era} として、図 21 に示したテストで求められた電圧 V_{era} をセッ

10

20

30

40

50

とし、また、事前書き込み電圧 $V_{spgm-init}$ の初期値として図 22 に示したテストで求められた電圧 V_{spgm} をセットする (ステップ S7)。これは、電圧 V_{era} と電圧 V_{spgm} に対応する電圧トリミングデータを V_{era} 設定回路 71、 V_{spgm} 設定回路 73 に入力することで行われる。変数 $Loop-sum$ と k を 0 にセットして (ステップ S8)、先頭のブロックを選択する (ステップ S9)。消去電圧 V_{era} で消去し (ステップ S10)、変数 $Loop$ に 1 をセットし (ステップ S11)、続いて、事前書き込み電圧 V_{spgm} で事前書き込みし (ステップ S12)、外部電圧制御消去ベリファイを行う (ステップ S13)。

【0331】

事前書き込み動作後におけるメモリセルの消去状態を検出する外部電圧制御消去ベリファイ動作を図 24 に、このベリファイ時におけるワード線制御回路 6 の動作を図 25 に示す。この外部電圧制御消去ベリファイは、図 17、図 18 を参照して説明した第 1 実施形態の消去ベリファイとよく似ているが、違いは、図 24、図 25 に示したように、ワード線 $WL1 \sim WL4$ の電圧が制御信号入力端子 8 から入力された V_{ext} とされることである。そのため、ここでは、セルのしきい値が $V_{ext} - 0.7V (= V_{t-ref})$ であるか否かが検出される。例えば、 $V_{ext} = 1V$ とすると、セルのしきい値が $0.3V$ であるか否かが検出される。

【0332】

カラムデコーダ 3 で、カラム選択信号 CSL を順に自動的に発生し、ビット線制御回路 2 から出力される読み出しデータをデータ検出回路 43 で検出する。16,896 個のセルが消去され、消去ベリファイで 4,224 ビットのデータに圧縮されて読み出される。セルのしきい値が V_{t-ref} 以上であることを示すデータが、この 4,224 ビットのデータの中で複数ビット (例えば 5 ビット) 以上あるか否かをデータ検出回路 43 が判定する (ステップ S14)。1 ビットでもセルのしきい値が V_{t-ref} 以上であれば、事前書き込み終了であるが、これでは、不良セルが 1 つでもあると常にセルのしきい値が V_{t-ref} 以上となる場合があり、正しく書き込み電圧 V_{pgm} を求めることができなくなる。このため、複数ビット分のデータを監視する。

【0333】

もし、5 ビットより少なければ、変数 $Loop$ が最大値 $Loop-max$ に達しているか否かを判定して (ステップ S15)、達していなければ $Loop$ を 1 だけ増加させ (ステップ S16)、事前書き込み電圧 V_{spgm} を例えば $0.2V$ だけ高めて (ステップ S17)、再度事前書き込みする (ステップ S12)。 $Loop$ が最大値 $Loop-max$ に達していれば、次のブロックを選択する (ステップ S20)。

【0334】

もし、5 ビット以上であれば、変数 $Loop-sum$ に $Loop$ を加え (ステップ S18)、 k を 1 だけ増加させ (ステップ S19)、次のブロックを選択する (ステップ S20)。

【0335】

ブロックアドレスが最終番地でなければ次のブロックを選択して (ステップ S21)、ステップ S10 ~ ステップ S21 を繰り返す。

【0336】

ブロックアドレスが最終番地であれば、平均ループ回数を求める (ステップ S22)。ループ回数は、ステップ S12 ~ ステップ S17 で構成されるループを繰り返した数である。図 14 に示したように、書き込み時にループの数が 20 以下となるように、書き込み電圧 V_{pgm} を算出し (ステップ S23)、テスト終了となる。

【0337】

このように、事前書き込み動作を用いて書き込み電圧 V_{pgm} を算出するのは、テスト時間が短いからである。事前書き込み動作と消去ベリファイ動作はブロック一括で行われるので、書き込み動作や書き込みベリファイ動作のように 1 ページの半分ずつ行うのに比べ、図 2 に示したアレイの場合、8 分の 1 で済む。

10

20

30

40

50

【0338】

第2実施形態によれば、段階的に印加される消去電圧、事前書き込み電圧、書き込み電圧の適切な初期値を求めることができ、消去、事前書き込み、書き込みを短時間に終わらせることができる。

【0339】

(第3実施形態)

図26は、第3実施形態に係る4値記憶式NANDフラッシュメモリの構成を示す。第3実施形態は第2実施形態の改良に関するものであり、消去電圧V_{era}、書き込み電圧V_{pgm}、事前書き込み電圧V_{spgm}の初期値を記憶するためのROM19をさらに備えている。そして、外部より電圧トリミングデータが入力されない場合は、ROM19に記憶されている電圧トリミングデータが自動的にV_{era}設定回路71、V_{pgm}設定回路72、V_{spgm}設定回路73に転送される。

10

【0340】

第3実施形態によれば、一度、消去電圧V_{era}、書き込み電圧V_{pgm}、事前書き込み電圧V_{spgm}の初期値を求めて、それを記憶しておくことができるので、毎回、初期値を求め直さなくても済む。

【0341】

(第4実施形態)

図27は本発明の第4実施形態としてのフラッシュメモリシステムの構成図である。ここでは、フラッシュメモリ20としては、図20に示した第2実施形態の4値記憶式NANDフラッシュメモリでもよいし、図26に示した第3実施形態の4値記憶式NANDフラッシュメモリでもよい。

20

【0342】

本メモリシステムでは、例えば図20に示す4個のフラッシュメモリ20をフラッシュシステムコントローラ21が制御する。フラッシュシステムコントローラ21は電圧トリミングデータROM24を備えていて、各フラッシュメモリ20に最適な電圧トリミングデータを各フラッシュメモリ20に入力する。また、フラッシュシステムコントローラ21はファイル管理用メモリ22を備え、フラッシュメモリ20に書き込まれたデータファイルに関するデータ(書き込みを行った時刻など)を記憶する。ファイル管理用メモリ22は、例えばSRAMである。さらに、フラッシュシステムコントローラ21はタイマー23を備え、各データファイルが書き込まれてからどのくらいの時間が経過したかを監視する。フラッシュシステムコントローラ21はフラッシュメモリシステムインターフェイス25と外部端子26を介して外部と信号のやり取りをする。外部端子26からは、信号のみならず、このフラッシュメモリシステムの電源電圧も供給される。本システムは、外部からの電源供給がない場合に備え、バックアップ用の電池27を備えている。バックアップ電池27はフラッシュシステムコントローラ21の(タイマー23の)電源となる。もし、あるデータファイルを書き込んでから所定の時間が経過したら、データ破壊の危険性があるとして、フラッシュシステムコントローラ21はインジケータ28に警告信号を出す。インジケータ28はフラッシュメモリシステムの外部へこの警告信号を出す。インジケータ28にもバックアップ電池27から電源が供給される。例えば、フラッシュシステムコントローラ21が、あるデータファイルを書き込んでから所定の時間が経過したことを検出し、データ破壊の危険性があると判断した場合は、自動的にそのデータファイルのデータのリフレッシュをする。これにより、より信頼性が向上する。

30

40

【0343】

外部からの電源供給がない場合、バックアップ電池27からの電源供給はフラッシュシステムコントローラ21に対して行われるが、フラッシュシステムコントローラ21によってフラッシュメモリ20には供給されず遮断される。データのリフレッシュをする場合のみ、フラッシュシステムコントローラ21はフラッシュメモリ20に電源を供給する。

【0344】

バックアップ電池27は再充電可能で、外部より電源供給がある場合に、再充電される。

50

外部より電源供給がある場合は、フラッシュシステムコントローラ 21 は外部から供給される電源を優先的に使う。

【0345】

図 28 は、図 27 に示したフラッシュメモリシステムをメモリカード状に構成した例である。インジケータ 28 は一部が外部に接している。例えば、もし、あるデータファイルを書き込んでから所定の時間が経過したら、データ破壊の危険性があるとして、フラッシュシステムコントローラ 21 はインジケータ 28 に警告信号を出す。インジケータはたとえばその色を変えて、外部にデータ破壊の危険性を知らせる。

【0346】

第 4 実施形態によれば、データ書き換え後、どれだけの時間が経ったかを監視し続け、データ保持が危ういことを検出すると、データリフレッシュなどを行い、データの消失を防ぎ、高信頼性を実現することができる。

10

【0347】

なお、本発明は、上述した実施形態に限定されるものではない。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。メモリセルは N A N D 型メモリセルについて説明したが、N O R 型メモリセル等の他の型のメモリセルにも同様に適用可能である。また、多値記憶は 4 値記憶に限らず、3 値、5 値等でもよい。

【0348】

【発明の効果】

以上説明したように、本発明の不揮発性半導体記憶装置によれば、消去後に少しだけ書き込みを進める。これによって、過消去しても正常なメモリセルの“0”状態に戻すことができ、“0”書き込み時に選択されたメモリセルの隣のメモリセルが非導通となり、メモリセルのデータが書き変わらないようにさせることが実現できる。

20

【0349】

また、本発明の不揮発性半導体記憶装置によれば、書き込みデータが“1”か“2”か“3”かによって、1 回の書き込みパルス長を制御する。これによって、“1”、“2”、“3”書き込みそれぞれの書き込み速度の差を補償でき、“1”書き込みにあわせて、小刻みに書き込みパルスを印加しなければならないということがなくなり、データの書き換えが高速に行える。

【0350】

30

また、本発明による不揮発性半導体メモリシステムによれば、データ書き換え後、どれだけの時間が経ったかを監視し続けるので、データ保持が危うい場合を検出することができる。この検出に応じて、データリフレッシュ等を行い、データの消失を防ぎ、高信頼性を実現する。

【図面の簡単な説明】

【図 1】本発明による不揮発性半導体記憶装置の第 1 実施形態の構成を示す図。

【図 2】メモリセルアレイとデータ記憶回路の構成を示す図。

【図 3】メモリセル及び選択トランジスタの構造を示す図。

【図 4】N A N D セルの構造を示す図。

【図 5】図 2 に示すデータ記憶回路の具体的な構成を示す図。

40

【図 6】図 5 に示すクロック同期式インバータの具体的な構成を示す図。

【図 7】図 1 に示すワード線制御回路の具体的な構成を示す図。

【図 8】第 1 実施形態の不揮発性半導体記憶装置の読み出し動作を示す図。

【図 9】第 1 実施形態の不揮発性半導体記憶装置の読み出し時のワード線制御回路の動作を示す図。

【図 10】第 1 実施形態の不揮発性半導体記憶装置の書き込み動作を示す図。

【図 11】第 1 実施形態の不揮発性半導体記憶装置の書き込み時のワード線制御回路の動作を示す図。

【図 12】第 1 実施形態の不揮発性半導体記憶装置の書き込みベリファイ動作を示す図。

【図 13】第 1 実施形態の不揮発性半導体記憶装置の書き込みベリファイ時のワード線制

50

御回路の動作を示す図。

【図 1 4】第 1 実施形態の不揮発性半導体記憶装置の書き込みアルゴリズムを示す図。

【図 1 5】第 1 実施形態の不揮発性半導体記憶装置の消去動作を示す図。

【図 1 6】第 1 実施形態の不揮発性半導体記憶装置の事前書き込み動作を示す図。

【図 1 7】第 1 実施形態の不揮発性半導体記憶装置の消去ベリファイ動作を示す図。

【図 1 8】第 1 実施形態の不揮発性半導体記憶装置の消去ベリファイ時のワード線制御回路の動作を示す図。

【図 1 9】本発明の不揮発性半導体記憶装置のデータ消去アルゴリズムを示す図。

【図 2 0】本発明の不揮発性半導体記憶装置の第 2 実施形態の構成を示す図。

【図 2 1】第 2 実施形態の消去電圧テストアルゴリズムを示す図。

10

【図 2 2】第 2 実施形態の事前書き込み電圧テストアルゴリズムを示す図。

【図 2 3】第 2 実施形態の書き込み電圧テストアルゴリズムを示す図。

【図 2 4】第 2 実施形態の外部電圧制御消去ベリファイ動作を示す図。

【図 2 5】第 2 実施形態の外部電圧制御消去ベリファイ時のワード線制御回路の動作を示す図。

【図 2 6】本発明の不揮発性半導体記憶装置の第 3 実施形態の構成を示す図。

【図 2 7】本発明の不揮発性半導体記憶装置の第 4 実施形態の構成を示す図。

【図 2 8】第 4 実施形態の変形例としてのカード状に構成したフラッシュメモリシステムを示す図。

【符号の説明】

20

1 ... メモリセルアレイ

2 ... ビット線制御回路

3 ... カラムデコーダ

4 ... データ入出力バッファ

5 ... データ入出力端子

6 ... ワード線制御回路

7 ... 制御信号および制御電圧発生回路

8 ... 制御信号入出力端子

1 0 ... データ記憶回路

1 1 ... p 型半導体基板

30

1 2 ... n 型の拡散層

1 3 ... 絶縁膜

1 4 ... 浮遊ゲート

1 5 ... 絶縁膜

1 6 ... 制御ゲート

1 7 ... 絶縁膜

1 8 ... 選択ゲート

1 9 ... R O M

2 0 ... フラッシュメモリ

2 1 ... フラッシュメモリコントローラ

40

2 2 ... ファイル管理メモリ

2 3 ... タイマー

2 4 ... 電圧トリミングデータ R O M

2 5 ... フラッシュメモリシステムインターフェース

2 6 ... 外部端子

2 7 ... バックアップ電池

2 8 ... インジケータ

2 9 ... フラッシュメモリーカード

3 1 ... C S L 初期値記憶及び C S L 自動発生回路発

3 2 ... C S L 出力回路

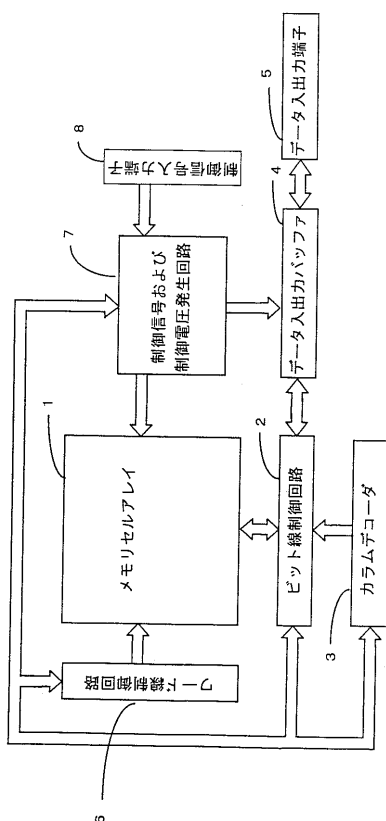
50

4 1 ... アドレスデータバッファ
4 2 ... 読出しデータバッファ
4 3 ... データ検出かいり
4 4 ... 書き込みデータバッファ
4 5 ... コマンドデータバッファ、
4 6 ... 電圧トリミングデータ
7 1 ... V e r a 設定回路
7 2 ... V p g m 設定回路
7 3 ... V s p g m 設定回路
M ... メモリセル
S ... 選択トランジスタ
W L ... ワード線
B L ... ビット線
S G ... 選択ゲート線
S R C ... ソース線
Q n ... n チャンネル M O S トランジスタ
Q n d ... ディプレッション型 n チャンネル M O S トランジスタ
Q p ... p チャンネル M O S トランジスタ
V C C ... 電源電圧
C I ... クロック同期式インバータ。

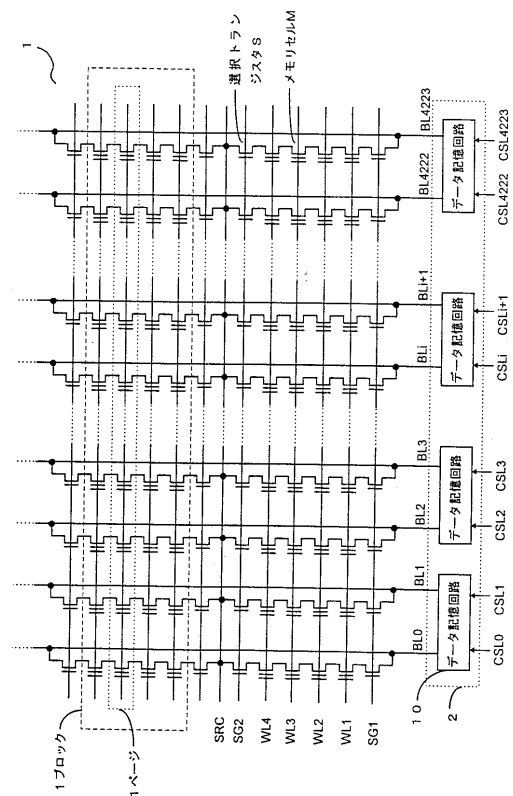
10

20

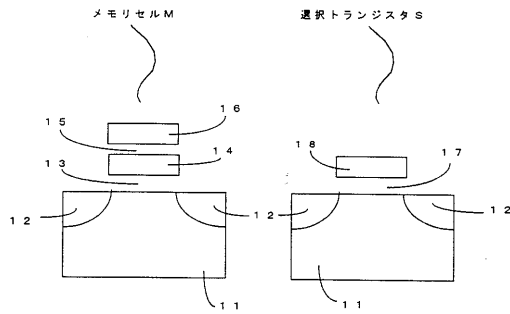
【 図 1 】



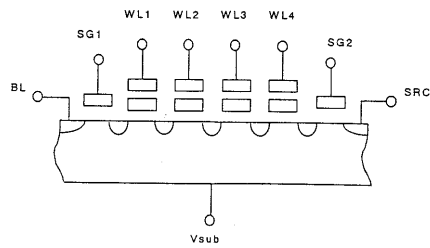
【圖 2】



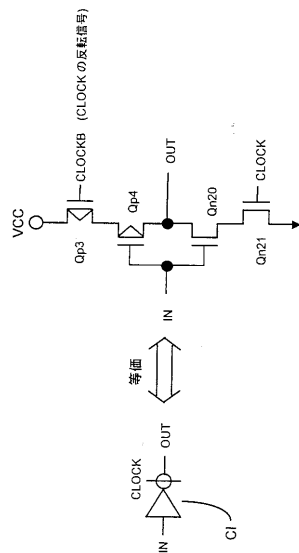
【図 3】



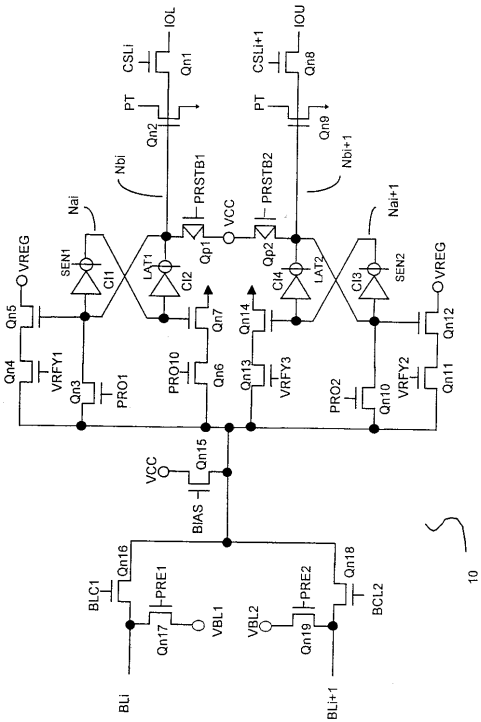
【図 4】



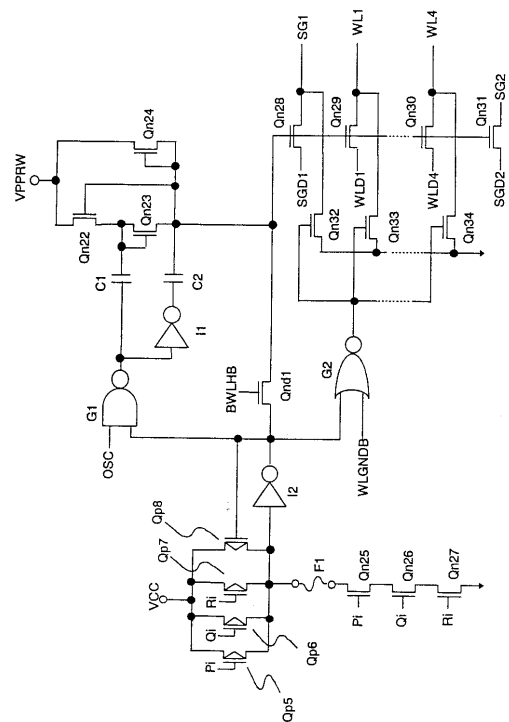
【図 6】



【図 5】

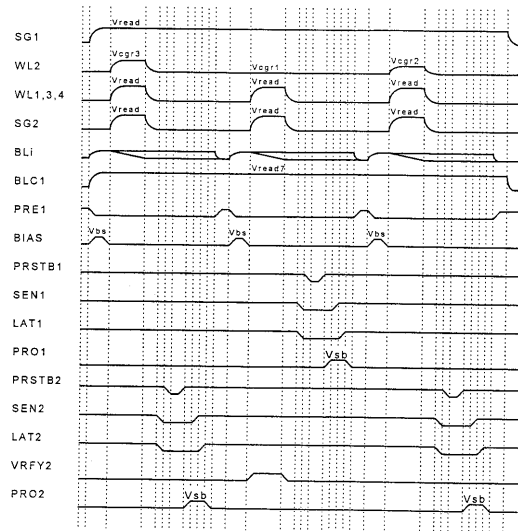


【図 7】



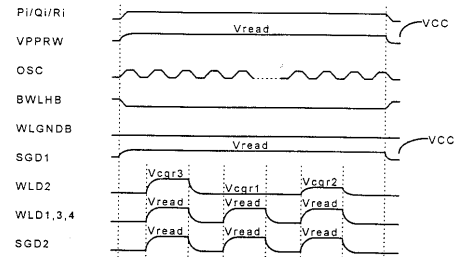
【図 8】

Vread=4.5V, Vcgr1=0.0V, Vcgr2=1.1V, Vcgr3=2.3V, Vread7=7V, Vbs=1.8V, Vsb=1.6V



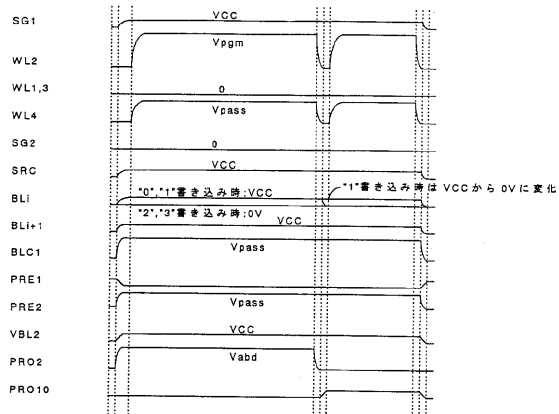
【図 9】

Vread=4.5V, Vcgr1=0.0V, Vcgr2=1.1V, Vcgr3=2.3V



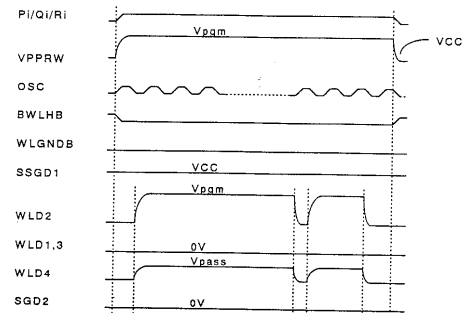
【図 10】

Vpgm=16~20V, Vpass=11V, Vabd=7V



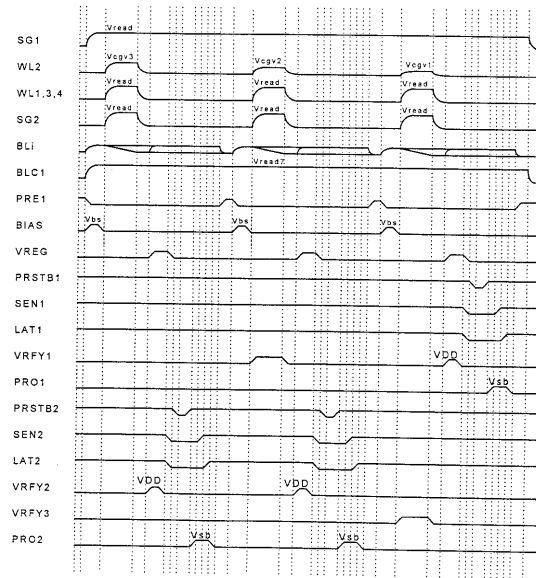
【図 11】

Vpgm=16V~20V, Vpass=11V



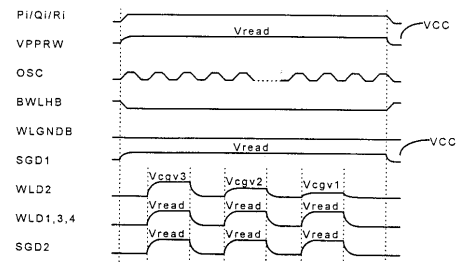
【図 12】

Vread=4.5V, Vcgv1=0.3V, Vcgv2=1.5V, Vcgv3=2.7V, Vread7=7V
Vbs=1.6V, Vsb=1.6V, VDD=2.4V.

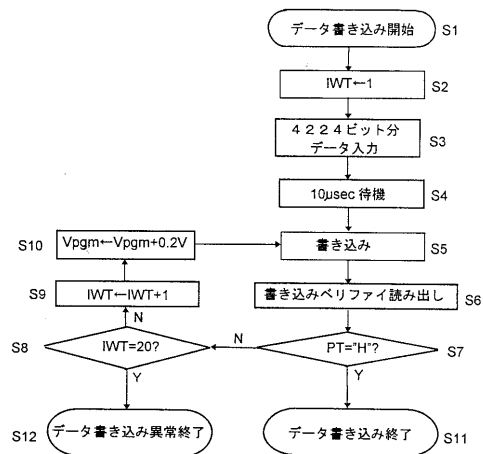


【図 13】

Vread=4.5V, Vcgv1=0.3V, Vcgv2=1.5V, Vcgv3=2.7V

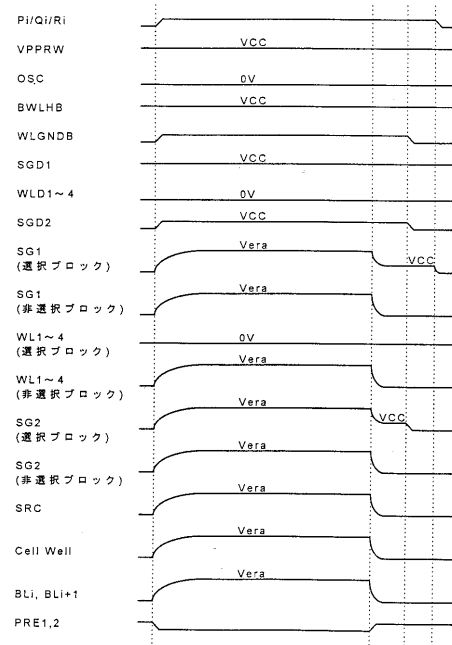


【図 14】



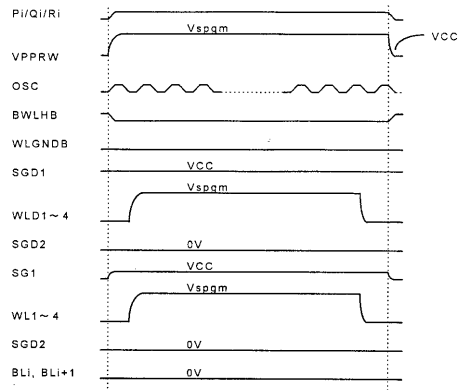
【図 15】

Vera=19~20V



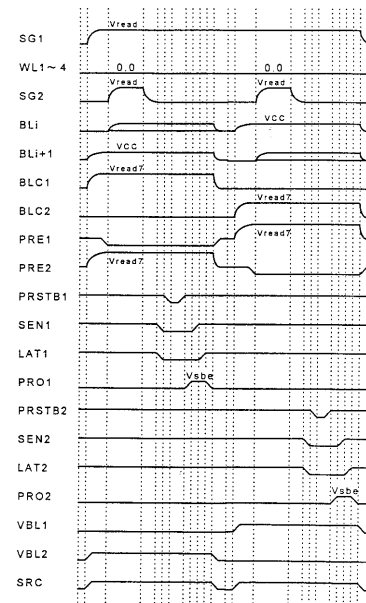
【図16】

Vspgm=9V~12.2V



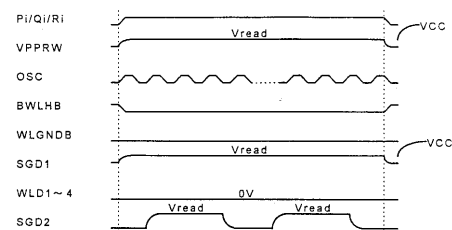
【図17】

Vread=4.5V, Vread7=7V, Vsbe=1.8V

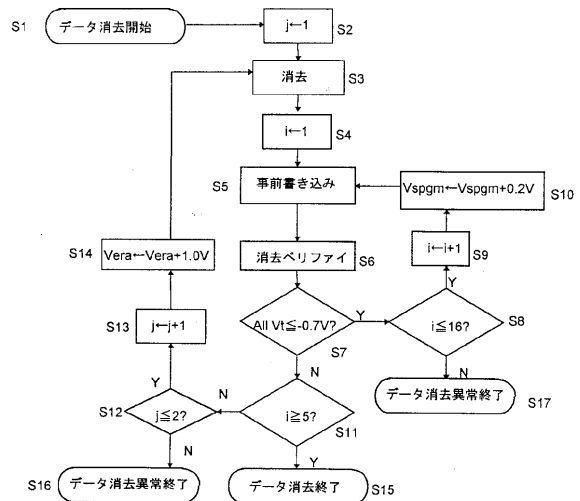


【図18】

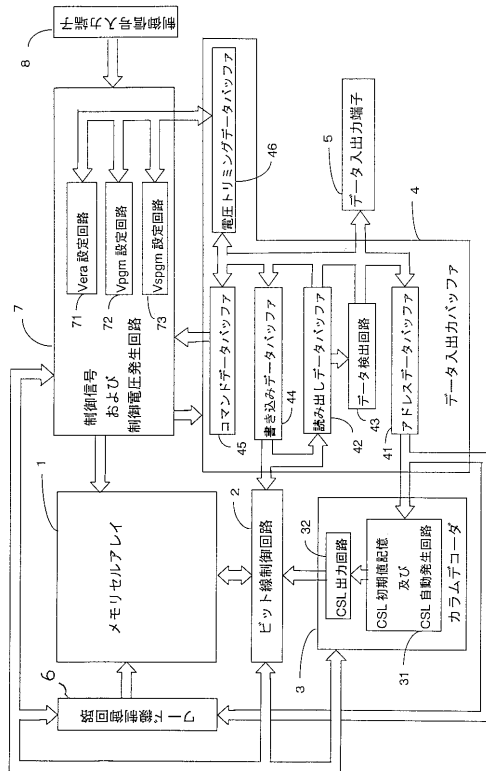
Vread=4.5V



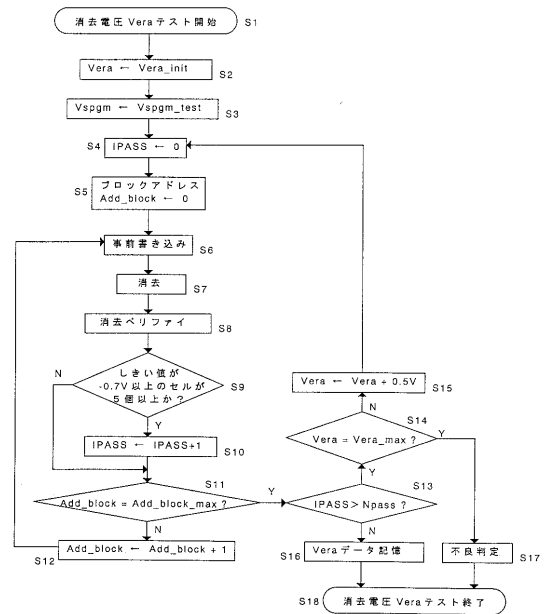
【図19】



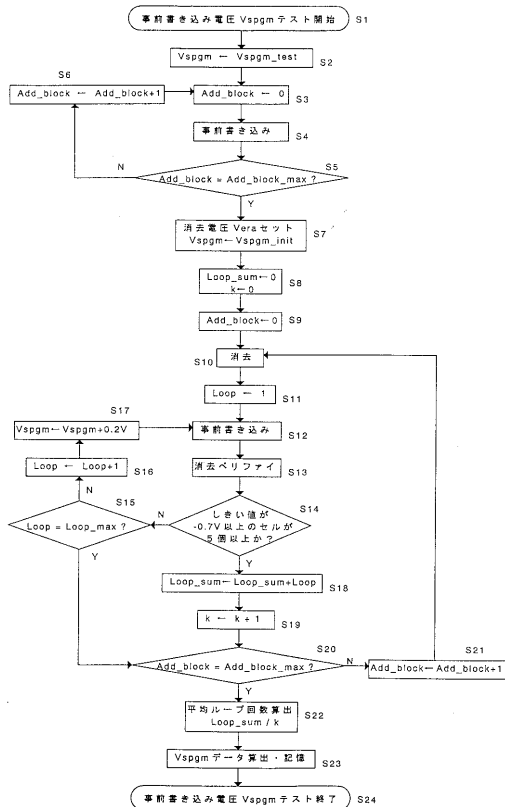
【図 20】



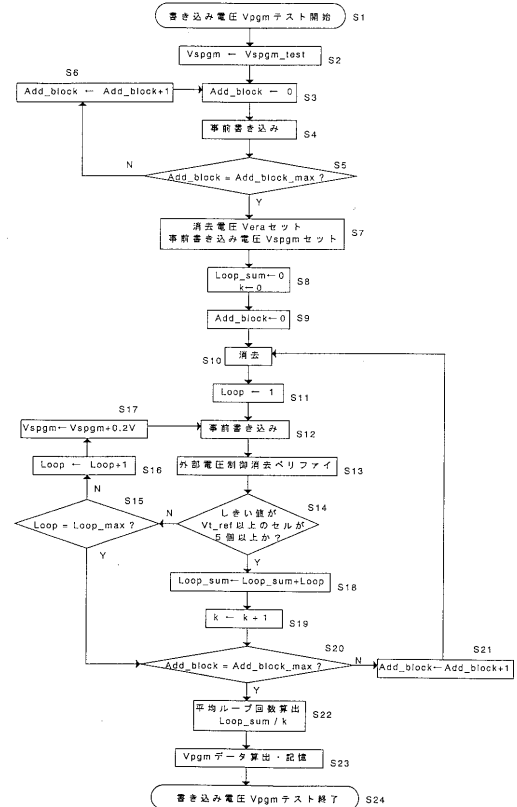
【図 21】



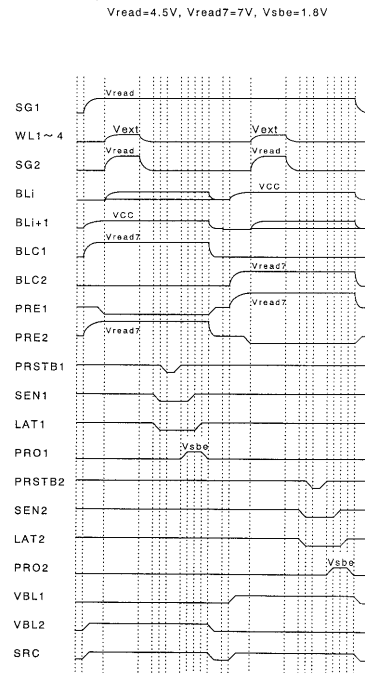
【図 22】



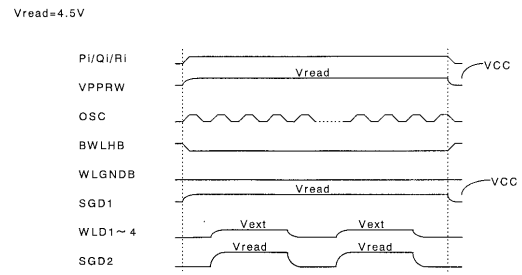
【図 23】



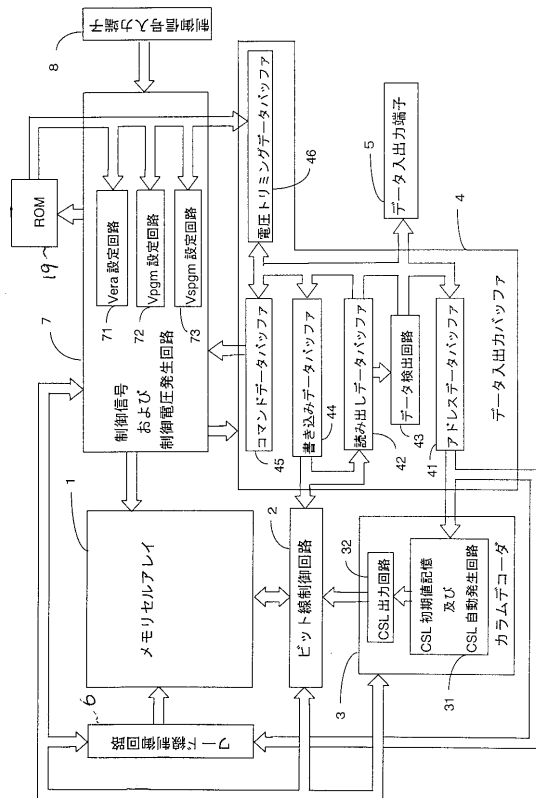
【 図 2 4 】



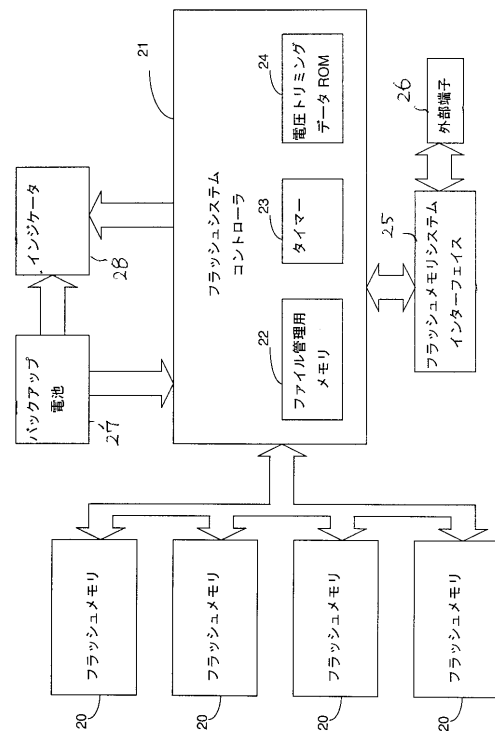
【 図 2 5 】



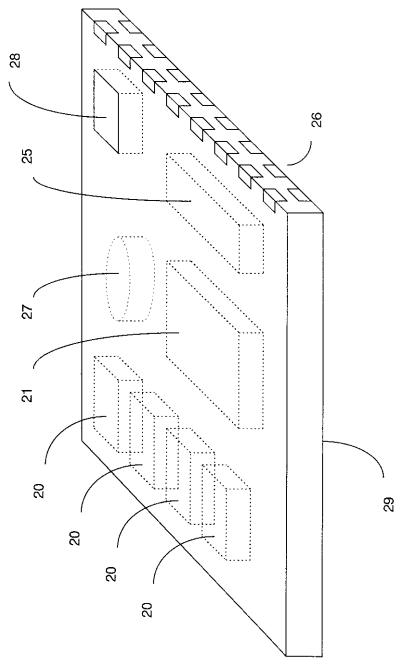
【 図 2 6 】



【 図 2 7 】



【図 28】



フロントページの続き

(72)発明者 田中 智晴

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72)発明者 中村 寛

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72)発明者 竹内 健

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

審査官 滝谷 亮一

(56)参考文献 特開平08-087895(JP,A)

特開平08-279297(JP,A)

特開平08-250609(JP,A)

特開平05-218357(JP,A)

特開2001-067884(JP,A)

Tae-Sung Jung et al., A 117-mm² 3.3V Only 128-Mb Multilevel NAND Flash Memory for Mass Storage Applications, IEEE Journal of Solid-State Circuits, 米国, IEEE, 1996年1月, Vol.31, No.11, P.1575-1583

Tae-Sung Jung et al., A 3.3V 128Mb Multi-Level NAND Flash Memory for Mass Storage Applications, 1996 IEEE International Solid-State Circuits Conference Digest of Technical Papers, 米国, IEEE, 1996年2月, P.32, 33, 412

(58)調査した分野(Int.Cl., DB名)

G11C16/02-16/06