

(19) 日本国特許庁(JP)

## (12) 特 許 公 報(B2)

(11) 特許番号

特許第6278633号  
(P6278633)

(45) 発行日 平成30年2月14日(2018.2.14)

(24) 登録日 平成30年1月26日(2018.1.26)

(51) Int.Cl.

G02F 1/1368 (2006.01)  
G09F 9/30 (2006.01)

F 1

G02F 1/1368  
G09F 9/30 338

請求項の数 12 (全 24 頁)

(21) 出願番号	特願2013-155544 (P2013-155544)
(22) 出願日	平成25年7月26日 (2013.7.26)
(65) 公開番号	特開2015-25955 (P2015-25955A)
(43) 公開日	平成27年2月5日 (2015.2.5)
審査請求日	平成28年7月21日 (2016.7.21)

(73) 特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(74) 代理人	100088672 弁理士 吉竹 英俊
(74) 代理人	100088845 弁理士 有田 貴弘
(72) 発明者	岩坂 利彦 熊本県合志市御代志997番地 メルコ・ディスプレイ・テクノロジー株式会社内
(72) 発明者	平川 誠 熊本県合志市御代志997番地 メルコ・ディスプレイ・テクノロジー株式会社内

審査官 岸 智史

最終頁に続く

(54) 【発明の名称】薄膜トランジスタアレイ基板およびその製造方法、並びに、液晶表示装置およびその製造方法

## (57) 【特許請求の範囲】

## 【請求項 1】

薄膜トランジスタを有する薄膜トランジスタアレイ基板であって、  
基板上に形成された、前記薄膜トランジスタのゲート電極および前記ゲート電極に接続  
するゲート配線と、

前記ゲート電極および前記ゲート配線を覆うゲート絶縁膜と、  
前記ゲート絶縁膜上に形成された半導体膜と、  
前記ゲート電極の上方において、前記半導体膜上に形成された前記薄膜トランジスタの  
ソース電極およびドレイン電極と、

前記ゲート絶縁膜上に形成され、前記ソース電極に接続するソース配線と、  
前記ドレイン電極上に一部が直接重ねて形成された画素電極と、  
前記ソース電極、前記ドレイン電極、前記ソース配線および前記画素電極を覆う層間絶  
縁膜と、

前記層間絶縁膜を介して前記画素電極に対向配置された対向電極とを備え、  
前記半導体膜は、前記ドレイン電極、前記ソース電極および前記ソース配線それぞれの  
下、並びに、前記ソース電極とドレイン電極との間の領域に配設されており、

前記画素電極に隣接する前記ソース配線の下の前記半導体膜は、前記ソース配線の両側  
に 1 μm 以上張り出している

ことを特徴とする薄膜トランジスタアレイ基板。

## 【請求項 2】

10

20

前記対向電極の一部は、前記ソース配線上を覆い、前記ソース配線を挟んで隣接する画素の対向電極と接続している

請求項 1 記載の薄膜トランジスタアレイ基板。

**【請求項 3】**

前記対向電極の一部は、前記ゲート電極上を覆い、前記ゲート配線を挟んで隣接する画素の対向電極と接続している

請求項 1 または請求項 2 記載の薄膜トランジスタアレイ基板。

**【請求項 4】**

前記ゲート配線と同じ層に形成された共通配線をさらに備え、

前記対向電極は、前記ゲート絶縁膜および前記層間絶縁膜を貫通するコンタクトホールを介して前記共通配線と電気的に接続する

10

請求項 1 から請求項 3 のいずれか一項記載の薄膜トランジスタアレイ基板。

**【請求項 5】**

前記ソース電極と前記半導体膜との間、前記ドレイン電極と前記半導体膜との間、および前記ソース配線と前記半導体膜との間のそれぞれに形成されたオーミックコンタクト膜をさらに有し、

前記ソース電極および前記ドレイン電極は、前記オーミックコンタクト膜を介して前記半導体膜が電気的に接続している

請求項 1 から請求項 4 のいずれか一項記載の薄膜トランジスタアレイ基板。

**【請求項 6】**

前記ソース電極、前記ドレイン電極および前記ソース配線は、A<sub>1</sub> または A<sub>1</sub> を主成分とする合金、もしくは、A<sub>g</sub> または A<sub>g</sub> を主成分とする合金により形成されている

請求項 1 から請求項 5 のいずれか一項記載の薄膜トランジスタアレイ基板。

20

**【請求項 7】**

請求項 1 から請求項 6 のいずれか一項記載の薄膜トランジスタアレイ基板を備える液晶表示装置。

**【請求項 8】**

薄膜トランジスタを有する薄膜トランジスタアレイ基板の製造方法であって、

( a ) 基板上に第 1 の金属膜を成膜してパターニングすることで、前記薄膜トランジスタのゲート電極および前記ゲート電極に接続するゲート配線を形成する工程と、

30

( b ) 前記ゲート電極および前記ゲート配線を覆うゲート絶縁膜を形成する工程と、

( c ) 前記ゲート絶縁膜上に、半導体膜、オーミックコンタクト膜および第 2 の金属膜をこの順に成膜する工程と、

( d ) 前記半導体膜、前記オーミックコンタクト膜および前記第 2 の金属膜をパターニングして、前記薄膜トランジスタのチャネル領域となる領域上で互いに接続した状態のソース電極およびドレイン電極と、前記ソース電極に接続するソース配線とを形成する工程と、

( e ) 前記互いに接続した状態の前記ソース電極および前記ドレイン電極並びに前記ソース配線の上に、第 1 の透明導電膜を成膜する工程と、

( f ) 少なくとも前記チャネル領域となる領域上および前記画素電極に隣接する前記ソース配線のエッジ部を含む領域上が開口されたレジストパターンを用いるエッチングにより、前記第 1 の透明導電膜をパターニングして画素電極を形成すると共に、前記画素電極に隣接する前記ソース配線のエッジ部上の前記第 1 の透明導電膜を除去する工程と、

40

( g ) 前記工程 ( f ) 同じレジストパターン、または前記工程 ( f ) でパターニングされた前記第 1 の透明導電膜をマスクにして、前記第 1 の透明導電膜をパターニングしたことで露出した前記第 2 の金属膜をエッチングすることで、前記ソース電極および前記ドレイン電極とを分離すると共に、前記画素電極に隣接する前記ソース配線のエッジ部を除去する工程と、

( h ) 前記工程 ( f ) 同じレジストパターン、または前記工程 ( f ) でパターニングされた前記第 1 の透明導電膜をマスクにして、前記オーミックコンタクト膜を除去するこ

50

とで、前記チャネル領域となる領域および前記画素電極に隣接する前記ソース配線のエッジ部の下に位置していた前記半導体膜を露出させる工程と、

( i ) 前記画素電極、前記ソース配線および前記薄膜トランジスタを覆う層間絶縁膜を形成する工程と、

( j ) 前記層間絶縁膜上に、第 2 の透明導電膜を成膜してパターニングすることで、前記画素電極と対向する位置に対向電極を形成する工程と、

を備える

ることを特徴とする薄膜トランジスタアレイ基板の製造方法。

#### 【請求項 9】

前記工程 ( d ) で形成される前記ソース電極の幅と、前記工程 ( f ) で形成される画素電極間の距離はほぼ同じである 10

請求項 8 記載の薄膜トランジスタアレイ基板の製造方法。

#### 【請求項 10】

前記第 2 の金属膜は、A 1 または A 1 を主成分とする合金、もしくは、A g または A g を主成分とする合金により形成される

請求項 8 または請求項 9 記載の薄膜トランジスタアレイ基板の製造方法。

#### 【請求項 11】

前記レジストパターンの形成後且つ前記第 1 の透明導電膜をパターニング前、または、前記レジストパターンの除去後且つ前記層間絶縁膜の形成前に、前記第 2 の金属膜の反射光を利用したパターン欠陥検査が行われる 20

請求項 8 から請求項 10 のいずれか一項記載の薄膜トランジスタアレイ基板の製造方法。

#### 【請求項 12】

請求項 8 から請求項 11 のいずれか一項記載の薄膜トランジスタアレイ基板の製造方法を含む液晶表示装置の製造方法。

#### 【発明の詳細な説明】

##### 【技術分野】

##### 【0001】

本発明は、例えば液晶表示装置に用いられる薄膜トランジスタアレイ基板に関し、特に、フリンジフィールドスイッチングモードの液晶表示装置に用いられる薄膜トランジスタアレイ基板およびその製造方法に関する。 30

##### 【背景技術】

##### 【0002】

フリンジフィールドスイッチング (Fringe Field Switching : FFS) モードの液晶表示装置は、対向する 2 枚の基板間に狭持された液晶にフリンジ電界を印加して表示を行う表示装置である。 FFS モードの液晶表示装置では、画素電極と対向電極 (共通電極) とを透明導電膜で形成しているため、インプレーンスイッチング (In-Plane Switching : IPS) モードの液晶表示装置よりも開口率および透過率を高くすることができる。

##### 【0003】

従来の FFS モードの液晶表示装置では、薄膜トランジスタ (Thin Film Transistor : TFT) アレイ基板を製造するのに、(1) 対向電極、(2) ゲート電極、(3) 半導体膜、(4) ソース / ドレイン電極、(5) コンタクトホール、(6) 画素電極、の各パターンを転写する少なくとも 6 回の写真製版 (フォトリソグラフィ) 工程が必要とされており、5 回のフォトリソグラフィ工程で TFT アレイ基板を製造可能な TN (Twisted Nematic) モードと比較して製造コストが高くなるという問題があった。一方、例えば下記の特許文献 1 には、5 回のフォトリソグラフィ工程で FFS モードの液晶表示装置を形成する技術が提案されている。

##### 【先行技術文献】

##### 【特許文献】

##### 【0004】

##### 【特許文献 1】特開 2010 - 191410 号公報

10

20

30

40

50

**【発明の概要】****【発明が解決しようとする課題】****【0005】**

特許文献1の液晶表示装置の製造方法では、FFSモードのTFTアレイ基板の写真製版工程数を一般的なTNモードのTFTアレイ基板と同数(5回)にするために、ソース配線となる金属膜パターン上に絶縁膜を介さずに透明導電膜を配置する構成を採用している。

**【0006】**

特許文献1の製造方法で形成したTFTアレイ基板は、画素電極となる透明導電膜が、画素電極の形成領域だけでなくそれと隣り合うソース配線上にも残存する構造となる。そのため、透明導電膜のパターン欠陥により画素電極とソース配線が繋がることによるクロストーク点欠陥が生じやすいという問題がある。

10

**【0007】**

クロストーク点欠陥の修復(リペア)は、画素電極のバーニング後に、ソース配線と画素電極とを接続するように残存した透明導電膜のパターン欠陥をレーザーリペア装置で切断または除去(レーザーリペアカット)することにより行われる。あるいは、画素電極をバーニングするためのマスクとなるレジストパターンの形成後に、ソース配線と画素電極の形成領域とに跨るように形成されたレジストパターンのパターン欠陥をレーザーリペア装置で切断または除去することによって行われることもある。レジストパターンのパターン欠陥が切断または除去されることにより、透明導電膜のパターン欠陥の発生を回避できる。なお、レジストパターンのパターン欠陥は、レジスト材以外の異物により形成される場合もある。

20

**【0008】**

レーザーリペア装置では、クロストーク点欠陥の位置(透明電極またはレジストパターンのパターン欠陥の位置)を特定することはできない。そのため、クロストーク点欠陥の位置は、パターン欠陥検査装置または光学検査装置を用いて行う検査(パターン欠陥検査)によって特定する必要がある。パターン欠陥検査の方法としては、周期的に配置された画素パターンに光を照射し、その反射光を3つ以上の画素パターンの同一箇所で比較して、他の画素パターンとは輝度が異なる箇所をパターン欠陥の位置として検出する方法が一般的である。

30

**【0009】**

上記のパターン欠陥検査では、正常なパターンの箇所とパターン欠陥の箇所とで反射光の輝度差が大きく現れるほど、パターン欠陥を検出しやすい。しかし、特許文献1のTFTアレイ基板では、ソース配線と画素電極部の間の正常なパターンの箇所は、基板上に絶縁膜のみが形成された構造となり、クロストーク点欠陥が生じた箇所は、基板上に絶縁膜と透明導電膜が形成された構造となる。そのため、正常なパターンの箇所とクロストーク点欠陥の箇所とで反射光に大きな輝度差ができず、パターン欠陥の検出が難しい。パターン欠陥が検出されずに残ると、クロストーク点欠陥が生じる結果となる。

**【0010】**

本発明は以上のような課題を解決するためになされたものであり、FFSモードの液晶表示装置において、製造時のリソグラフィー工程の回数を抑えつつ、ソース配線と画素電極部との間に発生したクロストーク点欠陥をより確実に検出可能にすることを目的とする。

40

**【課題を解決するための手段】****【0011】**

本発明に係る薄膜トランジスタアレイ基板は、薄膜トランジスタを有する薄膜トランジスタアレイ基板であって、基板上に形成された、前記薄膜トランジスタのゲート電極および前記ゲート電極に接続するゲート配線と、前記ゲート電極および前記ゲート配線を覆うゲート絶縁膜と、前記ゲート絶縁膜上に形成された半導体膜と、前記ゲート電極の上方において、前記半導体膜上に形成された前記薄膜トランジスタのソース電極およびドレイン

50

電極と、前記ゲート絶縁膜上に形成され、前記ソース電極に接続するソース配線と、前記ドレイン電極上に一部が直接重ねて形成された画素電極と、前記ソース電極、前記ドレイン電極、前記ソース配線および前記画素電極を覆う層間絶縁膜と、前記層間絶縁膜を介して前記画素電極に対向配置された対向電極とを備え、前記半導体膜は、前記ドレイン電極、前記ソース電極および前記ソース配線それぞれの下、並びに、前記ソース電極とドレイン電極との間の領域に配設されており、前記画素電極に隣接する前記ソース配線の下の前記半導体膜は、前記ソース配線の両側に1 μm以上張り出しているものである。

#### 【発明の効果】

#### 【0012】

本発明に係るTFTアレイ基板は、5回のフォトリソグラフィ工程を用いて形成可能である。さらに、TFTアレイ基板の製造工程における画素電極のパターニングの際、レジストパターンの開口部にソース配線のエッジ部が露出されることになる。そのため、レジストパターンのパターン欠陥検査を行うと、レジストパターンの開口部の箇所の輝度が、パターン欠陥により開口部が形成されなかった箇所の輝度よりも大幅に高くなり、パターン欠陥箇所の検出が容易になる。

10

#### 【0013】

また、TFTアレイ基板の製造工程において、レジストパターンの開口部に露出したソース配線のエッジ部は除去されて、その下の半導体膜がソース配線の両側に張り出した構造となる。それに対し、パターン欠陥により開口部が形成されず画素電極のパターン欠陥が生じた箇所では、ソース配線が残存したままとなる。そのため、レジストパターンの除去後にパターン欠陥検査を行うと、画素電極のパターン欠陥が生じた箇所の輝度が、正常なパターンの箇所の輝度よりも大幅に高くなり、パターン欠陥箇所の検出が容易になる。

20

#### 【図面の簡単な説明】

#### 【0014】

【図1】本発明の実施の形態に係る液晶表示装置に用いられるTFTアレイ基板の構成を示す正面図である。

【図2】本発明の実施の形態に係るTFTアレイ基板の画素構成を示した平面図である。

【図3】本発明の実施の形態に係るTFTアレイ基板におけるTFT部の断面図である。

【図4】本発明の実施の形態に係るTFTアレイ基板におけるソース配線・画素電極部の断面図である。

30

【図5】本発明の実施の形態に係るTFTアレイ基板のコンタクト部の断面図である。

【図6】本発明の実施の形態に係るTFTアレイ基板の製造工程図である。

【図7】本発明の実施の形態に係るTFTアレイ基板の製造工程図である。

【図8】本発明の実施の形態に係るTFTアレイ基板の製造工程図である。

【図9】本発明の実施の形態に係るTFTアレイ基板の製造工程図である。

【図10】本発明の実施の形態に係るTFTアレイ基板の製造工程図である。

【図11】本発明の実施の形態に係るTFTアレイ基板の製造工程図である。

【図12】本発明の実施の形態に係るTFTアレイ基板の製造工程図である。

【図13】本発明の実施の形態に係るTFTアレイ基板の製造工程図である。

【図14】本発明の実施の形態に係るTFTアレイ基板の製造工程図である。

40

【図15】本発明の実施の形態に係るTFTアレイ基板の製造工程図である。

【図16】本発明の実施の形態に係るTFTアレイ基板の製造工程図である。

【図17】本発明の実施の形態に係るTFTアレイ基板の製造工程図である。

【図18】本発明の実施の形態に係るTFTアレイ基板に対するパターン欠陥検査を説明するための図である。

【図19】本発明の実施の形態に係るTFTアレイ基板に対するパターン欠陥検査を説明するための図である。

【図20】本発明の実施の形態に係るTFTアレイ基板に対するパターン欠陥検査を説明するための図である。

【図21】従来のTFTアレイ基板の製造工程図である。

50

【図22】従来のTFTアレイ基板の構成を示す断面図である。

【図23】従来のTFTアレイ基板に対するパターン欠陥検査を説明するための図である。

【図24】従来のTFTアレイ基板に対するパターン欠陥検査を説明するための図である。

【図25】従来のTFTアレイ基板に対するパターン欠陥検査を説明するための図である。

**【発明を実施するための形態】**

**【0015】**

以下の説明は、本発明の実施の形態を説明するものであり、本発明が以下の実施形態に 10  
限定されるものではない。説明の明確化のため、以下の記載および図面は、適宜、省略および簡略化がなされている。また、説明の明確化のため、必要に応じて重複説明は省略され  
れている。尚、各図において同一の符号を付されたものは同様の要素を示しており、適宜、説明が省略されている。

**【0016】**

始めに、液晶表示装置について説明する。画素電極と対向電極（共通電極）の両方が TFTアレイ基板に形成されたFFSモードの液晶表示装置である。

**【0017】**

図1は、当該液晶表示装置に用いられるTFTアレイ基板の構成を示す正面図である。このTFTアレイ基板は、ガラス等の基板1を用いて形成されている。基板1には、表示領域41と、それを囲む額縁領域42とに区分される。 20

**【0018】**

表示領域41には、複数のゲート配線（走査信号線）43と、複数のソース配線（表示信号線）44とが形成されている。複数のゲート配線43はそれぞれ平行に設けられ、複数のソース配線44もそれぞれ平行に設けられ、複数のゲート配線43と複数のソース配線44とは交差するように設けられる。隣り合う1組のゲート配線43と1組のソース配線44とで囲まれた領域が画素47となる。従って、表示領域41には、画素47がマトリクス状に配列することになる。

**【0019】**

基板1の額縁領域42には、走査信号駆動回路45と表示信号駆動回路46とが設けられている。ゲート配線43は、表示領域41から額縁領域42まで延設され、基板1の端部で、走査信号駆動回路45に接続される。ソース配線44も同様に、表示領域41から額縫領域42まで延設され、基板1の端部で、表示信号駆動回路46と接続される。また、基板1の走査信号駆動回路45の近傍には外部配線48が接続され、表示信号駆動回路46の近傍には外部配線49が接続されている。外部配線48、49は、例えば、FPC（Flexible Printed Circuit）等の配線基板である。 30

**【0020】**

走査信号駆動回路45および表示信号駆動回路46には、外部からの各種信号が外部配線48、49を介して供給される。走査信号駆動回路45は、外部からの制御信号に基づいて、ゲート信号（走査信号）を各ゲート配線43に供給する。これにより、ゲート配線43が順次選択される。表示信号駆動回路46は、外部からの制御信号や表示データに基づいて、表示信号を各ソース配線44に供給する。これにより、表示データに応じた表示電圧を各画素47に供給することができる。 40

**【0021】**

各画素47には、スイッチング素子であるTFT50が少なくとも1つ形成されている。TFT50は、ゲート配線43とソース配線44との交差点近傍に配置され、ゲート配線43に接続したゲート電極と、ソース配線44に接続したソース電極と、画素電極（不図示）に接続したドレイン電極とを有している。

**【0022】**

TFT50は、ゲート配線43から供給されるゲート信号に応じてオンし、このときソ 50

ース配線 4 4 に供給されている表示電圧（表示データ）を画素電極に印加する。画素電極は、スリットを有する対向電極と絶縁膜を介して対向配置されており、画素電極と対向電極との間に、表示電圧に応じたフリンジ電界が生じる。なお、図示は省略するが、基板 1 の表面（液晶との対向面）には配向膜が形成されている。画素 4 7 の詳細な構成については、後述する。

#### 【0023】

TFTアレイ基板の前面側（視認側）には、対向基板が対向配置される。対向基板は、カラーフィルタ、ブラックマトリクス（BM）および配向膜等が形成された、いわゆる「カラーフィルタ基板」である。TFTアレイ基板と対向基板との間には液晶層が挟持される。即ち、基板 1 と対向基板との間には液晶が導入されている。更に、基板 1 と対向基板との外側の面には、偏光板、および位相差板等が設けられる。また、液晶表示パネルの背面側（反視認側）には、バックライトユニット等が配設される。10

#### 【0024】

TFTアレイ基板と対向基板との間の液晶は、画素電極と対向電極との間に生じるフリンジ電界によって駆動される。つまり、フリンジ電界によって液晶の配向方向が変化し、バックライトから発せられて液晶層を通過する光の偏光状態が変化する。より具体的には、バックライトユニットからの光は、アレイ基板側（背面側）の偏光板によって直線偏光になり、この直線偏光が液晶層を通過すると、その偏光状態が変化する。

#### 【0025】

対向基板側（視認側）の偏光板を通過する光量は、液晶層を通過した光の偏光状態によって変化する。光の変更状態は液晶の配向方向によって決まり、液晶の配向方向は、画素電極に印加されてフリンジ電界を発生させる表示電圧に応じて変化する。従って、表示電圧を制御することにより、視認側の偏光板を通過する光量を変化させることができる。よって、画素ごとに表示電圧を変えることにより、所望の画像を表示できるのである。20

#### 【0026】

続いて、本実施の形態に係る液晶表示装置の画素構成について、図 2～図 5 に基づいて説明する。図 2 は、TFTアレイ基板の画素構成を示した平面図である。図 3 は、当該 TFTアレイ基板における TFT の形成領域（以下「TFT 部」）の断面図であり、図 2 の A 1 - A 2 線に沿った断面に対応している。図 4 は、当該 TFTアレイ基板におけるソース配線と画素電極および対向電極の一部（以下「ソース配線・画素電極部」）の断面図であり、図 2 の B 1 - B 2 線に沿った断面に対応している。図 5 は、当該 TFTアレイ基板における共通配線と対向電極とのコンタクトホールの形成領域（以下「共通コンタクト部」）の断面図であり、図 2 の C 1 - C 2 線に沿った断面に対応している。30

#### 【0027】

例えばガラス基板などの絶縁性材料よりなる基板 1 の上に、TFT50 のゲート電極に接続するゲート配線 4 3 が複数個形成される。本実施の形態では、ゲート配線 4 3 の一部が TFT50 のゲート電極として機能する。複数のゲート配線 4 3 は、平行にそれぞれ直線的に配設される。また基板 1 上には、ゲート配線 4 3 と同じ配線層を用いて形成された複数の共通配線 4 3 a が平行に形成されている。共通配線 4 3 a は、ゲート配線 4 3 間に、ゲート配線 4 3 とほぼ平行に配設される。40

#### 【0028】

これらゲート配線 4 3（ゲート電極）および共通配線 4 3 a を構成する第 1 の金属膜は、例えば Cr, Al, Ta, Ti, Mo, W, Ni, Cu, Au, Ag 等や、これらを主成分とする合金膜、またはこれらの積層膜によって形成される。

#### 【0029】

ゲート配線 4 3 および共通配線 4 3 a 上には、第 1 の絶縁膜であるゲート絶縁膜 1 1 が形成される。ゲート絶縁膜 1 1 は、窒化シリコン、酸化シリコン等の絶縁膜により形成されている。

#### 【0030】

ゲート絶縁膜 1 1 の上には半導体膜 2 が形成される。図 4 のように、半導体膜 2 は、ソ50

ース配線 4 4 の下にも配設され、ソース電極 4 4 の形成領域に合わせて、ゲート配線 4 3 と交差する直線状に形成される（ソース配線 4 4 下の半導体膜 2 のパターンは、ゲート配線 4 3 に直交している）。半導体膜 2 は、非晶質シリコンや多結晶シリコンなどにより形成される。

#### 【 0 0 3 1 】

この直線状の半導体膜 2 は、ソース配線 4 4 の冗長配線としても機能する。即ち、ソース配線 4 4 が断線した場合でも、半導体膜 2 がソース配線 4 4 に沿って配設されていることにより、電気信号の途絶を防止することが可能になる。

#### 【 0 0 3 2 】

本実施の形態では、図 4 のように、ソース配線 4 4 の下の半導体膜 2 は、ソース配線 4 4 よりも幅が広く形成され、ソース配線 4 4 の両側に張り出している。以下、ソース配線 4 4 の両側に張り出した半導体膜 2 の部分を「張り出し部 2 a」と称する。

#### 【 0 0 3 3 】

また、直線状の半導体膜 2 の一部は、ゲート配線 4 3 との交差部で分岐し、ゲート配線 4 3 に沿って延び、さらに画素 4 7 内へと延設される。TFT 5 0 は、ゲート配線 4 3 との交差部から分岐した半導体膜 2 の部分を用いて形成される。即ち、分岐した半導体膜 2 のうち、ゲート配線 4 3（ゲート電極）と重複する部分が、TFT 5 0 を構成する活性領域となる。半導体膜 2 は、例えば、非晶質シリコン、多結晶ポリシリコン等により形成される。

#### 【 0 0 3 4 】

半導体膜 2 の上には、導電性不純物がドーピングされたオームックコンタクト膜 3 が形成される。オームックコンタクト膜 3 は、半導体膜 2 上のほぼ全面に形成されるが、TFT 5 0 のチャネル領域となる部分（ソース電極 4 とドレイン電極 5 との間の領域）と、ソース配線 4 4 の両側に張り出した部分（張り出し部 2 a）では、半導体膜 2 の上から除去されている。オームックコンタクト膜 3 は、例えば、リン（P）などの不純物が高濃度でドーピングされたn型非晶質シリコンやn型多結晶シリコンなどにより形成される。

#### 【 0 0 3 5 】

半導体膜 2 のゲート配線 4 3 と重複する部分のうち、オームックコンタクト膜 3 が形成された領域は、ソース・ドレイン領域となる。図 3 を参照すると、半導体膜 2 において、ゲート配線 4 3 と重複する左側のオームックコンタクト膜 3 の下の領域がソース領域となり、ゲート配線 4 3 と重複する右側のオームックコンタクト膜 3 の下の領域がドレイン領域となる。そして、半導体膜 2 におけるソース領域とドレイン領域とに挟まれた領域がチャネル領域となる。

#### 【 0 0 3 6 】

オームックコンタクト膜 3 の上には、ソース配線 4 4、ソース電極 4 およびドレイン電極 5 が、同一の配線層を用いて形成される。TFT 部においては、図 3 のように、TFT 5 0 のソース領域側のオームックコンタクト膜 3 上にソース電極 4 が形成され、ドレイン領域側のオームックコンタクト膜 3 上にドレイン電極 5 が形成される。このような構成の TFT 5 0 は「チャネルエッチ型 TFT」と呼ばれる。ソース配線・画素電極部では、図 4 のように、ソース配線 4 4 が、半導体膜 2 の上にオームックコンタクト膜 3 を介して形成され、ゲート配線 4 3 と交差する方向に直線的に延在するように配設される。

#### 【 0 0 3 7 】

TFT 5 0 のソース電極 4 とドレイン電極 5 は分離しているが、ソース電極 4 はソース配線 4 4 と繋がっている。即ち、ソース配線 4 4 は、ゲート配線 4 3 との交差部で分岐してゲート配線 4 3 に沿って延設され、その延設された部分がソース電極 4 となる。ソース配線 4 4、ソース電極 4 およびドレイン電極 5 を構成する導電膜は、オームックコンタクト膜 3 と同様に、半導体膜 2 上のほぼ全面に形成されるが、TFT 5 0 のチャネル領域となる部分の上と、ソース配線 4 4 の下に配設された半導体膜 2 の張り出し部 2 a 上では除去されている。

#### 【 0 0 3 8 】

10

20

30

40

50

図4に示すように、半導体膜2の張り出し部2aは、ソース配線44の両側(ソース配線44と画素電極間部60との間の領域)に、画素電極6と繋がらないように配置されている。また、張り出し部2aは、ソース配線44の側端から1μm以上張り出している。

#### 【0039】

本実施の形態では、ソース配線44、ソース電極4およびドレイン電極5を構成する第2の導電膜は、例えばCr, Al, Ta, Ti, Mo, W, Ni, Cu, Au, Ag等や、これらを主成分とする合金膜、またはこれらの積層膜によって形成される。特に、AlまたはAlを主成分とする合金、AuまたはAuを主成分とする合金、AgまたはAgを主成分とする合金など、反射率が高い金属膜にすると好ましい。本実施の形態では、ソース配線44を反射率の高い金属膜で形成すると、後のパターン欠陥検査において正常なパターンの箇所(正常パターン箇所)とパターン欠陥が生じた箇所(パターン欠陥箇所)との輝度差が大きくなり、パターン欠陥の検出率を高めることができる。10

#### 【0040】

以上の説明から分かるように、半導体膜2は、ソース配線44、ソース電極4およびドレイン電極5の下のほぼ全領域と、ソース配線44の両側と、ゲート配線43上に位置するソース電極4とドレイン電極5の間のチャネル領域に配設されている。また、オーミックコンタクト膜3は、ソース配線44、ソース電極4およびドレイン電極5と半導体膜2との間にそれぞれ配設されている。

#### 【0041】

ドレイン電極5は、画素47の領域(ソース配線44とゲート配線43とに囲まれた領域)のほぼ全面に形成された画素電極6と電気的に接続される。画素電極6は、ITO(Indium Tin Oxide)などの透明導電膜によって形成される。20

#### 【0042】

図3に示すように、画素電極6は、ドレイン電極5上に直接重ねられた部分を有している。即ち、その部分では、画素電極6の下面が、ドレイン電極5の上面に直接接触する。また、画素電極6は、ドレイン電極5上のほぼ全面を覆っている。但し、画素電極6のチャネル領域側の端部は、ドレイン電極5のチャネル領域側の端部とほぼ同じ位置に配置される。よって、ドレイン電極5のチャネル領域側の端面は、画素電極6に覆われない。

#### 【0043】

このように、画素電極6の一部を、絶縁膜を介さずに、ドレイン電極5に直接重ねる構成をとることにより、画素電極6とドレイン電極5と電気的に接続するためのコンタクトホールが不要になり、写真製版工程を減らすことができる。また、当該コンタクトホールを配置するエリアを確保する必要がなくなるため、画素47の開口率を高くできるという利点もある。30

#### 【0044】

また、図3および図4に示すように、画素電極6と同層である第1の透明導電膜6aは、ソース電極4およびソース配線44上に直接重ねて形成される。ソース電極4およびソース配線44の端部は、第1の透明導電膜6aには覆われていない。

#### 【0045】

このように画素電極6と同層の第1の透明導電膜6aは、第1の金属膜を用いて形成したソース配線44、ソース電極4およびドレイン電極5上のほぼ全面に形成されている。特に、ソース配線44上の第1の透明導電膜6aは、ソース配線44の冗長配線としても機能する。即ち、ソース配線44が断線した場合でも、第1の透明導電膜6aがソース配線44に沿って配設されることにより、電気信号の途絶を防止することが可能になる。

#### 【0046】

画素電極6(第1の透明導電膜6a)の上は、第2の絶縁膜である層間絶縁膜12で覆われる。層間絶縁膜12は、窒化シリコン、酸化シリコン等により形成される。層間絶縁膜12上には、ITO等の第2の透明導電膜からなる対向電極8が形成される。層間絶縁膜12は、TFT50の保護膜として機能すると共に、画素電極6と対向電極8との間の4050

層間絶縁膜としても機能する。

**【0047】**

対向電極8は、層間絶縁膜12を介して画素電極6に対向配置され、画素電極6との間でフリンジ電界を発生させるためのスリットが設けられている。図2のように、対向電極8のスリットは、ソース配線44とほぼ平行に複数設けられている。

**【0048】**

図5に示すように、対向電極8は、層間絶縁膜12およびゲート絶縁膜11を貫通するコンタクトホール13を介して、共通電位が供給される共通配線43aと電気的に接続されている。

**【0049】**

また、対向電極8は、ゲート配線43を挟んで隣接する他の画素47の対向電極8に繋がるように一体的に形成されている（対向電極8の一部を、ゲート配線43上を覆うように形成し、ゲート配線43を挟んで隣接する他の画素47の対向電極8に接続させている）。つまり、ゲート配線43を挟んで隣接する画素47の対向電極8の間は、それらと同層の対向電極連結部8aにより連結されている。ここでは、対向電極連結部8aは、ソース配線44およびTFT50と重複しない領域に、ゲート配線43を跨ぐように形成されている。即ち、対向電極8は、ゲート配線43と一部が重なり合うように形成されている。

**【0050】**

対向電極8は、ソース配線44を挟んで隣接する他の画素47の対向電極8に繋がるように一体的に形成してもよい。つまり、対向電極8の一部を、ソース配線44上を覆うように形成し、ソース配線44を挟んで隣接する他の画素47の対向電極8に接続させてもよい。もちろん、対向電極8が、ゲート配線43を挟んで隣接する他の画素47の対向電極8と、ソース配線44を挟んで隣接する他の画素47の対向電極8との両方に接続する構造としてもよい。

**【0051】**

続いて、本実施の形態に係る液晶表示装置の製造方法、特にTFTアレイ基板の製造方法について説明する。

**【0052】**

図6～図17は、本実施の形態に係るTFTアレイ基板の製造工程図である。図6～図17の各図には、各工程におけるTFT部の断面（図2のA1-A2断面）およびソース配線・画素電極部の断面を示すが、本発明の効果を説明するために、ソース配線・画素電極部の断面としては、正常なパターンが形成される部分（図2のB1-B2断面）と、画素電極6の形成工程でクロストーク点欠陥を生じさせるパターン欠陥箇所100を含む部分（図2のD1-D2断面）の2つを示す。

**【0053】**

まず、ガラス等の透明な絶縁性の基板1を用意し（図6）、その全面にCr、Ag、Ta、Ti、Mo、W、Ni、Cu、Au、Agやこれらを主成分とする合金膜、またはこれらの積層膜からなる第1の金属膜を、例えばスパッタ法や蒸着法などにより成膜する。

**【0054】**

次に、第1の金属膜上にレジストを塗布し、当該レジストをフォトマスク上から露光し、レジストを感光させる。感光させたレジストを現像してパターニングし、レジストパターンを形成する。そして、このレジストパターンをマスクとするエッチングにより第1の金属膜をパターニングしてゲート配線43（ゲート電極）および共通配線43aを形成し、その後、レジストパターンを除去する（図7）。

**【0055】**

以下では、このようなパターン形成プロセスにおける、レジストパターンを形成するための一連の工程を「フォトリソグラフィ工程」と称し、レジストパターンを用いたパターニングの工程を「エッチング工程」と称し、レジストパターンを除去する工程を「レジスト除去工程」と称する。上記の第1のフォトリソグラフィ工程、第1のエッチング工程お

10

20

30

40

50

および第1のレジスト除去工程により、図7のように、第1の金属膜からなるゲート配線43(ゲート電極)および共通配線43aが、基板1上に形成される。

#### 【0056】

次に、ゲート配線43および共通配線43aを覆うように、ゲート絶縁膜11となる第1の絶縁膜を成膜し(図8)、その上に半導体膜2とオーミックコンタクト膜3とをこの順に成膜する。これらは、プラズマCVD(Chemical Vapor Deposition)、常圧CVD、減圧CVDなどにより、基板1の全面に成膜する。

#### 【0057】

ゲート絶縁膜11としては、窒化シリコン、酸化シリコン等を用いることができる。ゲート絶縁膜11は、ピンホールなどの膜欠損発生による短絡を防止する目的で、複数回に分けて成膜することが好ましい。半導体膜2としては、非晶質シリコン、多結晶ポリシリコンなどを用いることができる。また、オーミックコンタクト膜3としては、リン(P)などの不純物を高濃度に添加したn型非晶質シリコンやn型多結晶シリコンなどを用いることができる。

#### 【0058】

さらに、オーミックコンタクト膜3の上に、Cr、Ag、Ta、Ti、Mo、W、Ni、Cu、Au、Agやこれらを主成分とする合金膜、またはこれらの積層膜からなる第2の金属膜を、例えば、スパッタ法や蒸着法などで成膜する。

#### 【0059】

次に、第2のフォトリソグラフィ工程によりレジストパターンを形成し、それをマスクにする第2のエッチング工程により、第2の金属膜、オーミックコンタクト膜3、オーミックコンタクト膜3を順次エッチングする(図9)。

#### 【0060】

第2のエッチング工程では、第2の金属膜は、ソース配線44と、当該ソース配線44から分岐してTFT50の形成領域へと延在する金属膜40とからなる形状にパターニングされる。ソース配線44から分岐した金属膜40は、後の工程で2つに分離されて、ソース電極4およびドレイン電極5となる。即ち、この時点では、TFT50のチャネル領域となる部分には第2の金属膜(金属膜40)が残存しており、ソース電極4とドレイン電極5とが繋がった状態となっている。つまり、第2のエッチング工程では、互いに繋がった状態のソース電極4およびドレイン電極5と、ソース電極4に接続するソース配線44とが形成される。

#### 【0061】

このとき、ソース配線44は、後の工程で形成される画素電極6と重ならない(電気的に接触しない)範囲で、且つ、隣り合う2つの画素電極6の間隔とほぼ同じ幅で形成する。言い換えれば、ソース配線44は、透明導電膜6と重ならない範囲でなるべく大きく形成する。本実施の形態では、この工程で反射率の高い金属であるソース配線44の面積を大きくしておくと、後のパターン欠陥検査において正常パターン箇所とパターン欠陥箇所100との輝度差が大きくなり、パターン欠陥の検出率を高めることができる。

#### 【0062】

また、オーミックコンタクト膜3および半導体膜2も、第2の金属膜のパターニングと同じマスクを用いてエッチングされる(実質的には、パターニングされた第2の金属膜がマスクとなる)。これにより、オーミックコンタクト膜3および半導体膜2が、第2の金属膜と同じ形状にパターニングされる。

#### 【0063】

このように、第2の金属膜のパターニングと、オーミックコンタクト膜3および半導体膜2のパターニングは、同じマスクを用いるため、1回のエッチング工程(第2のエッチング工程)に統合できる。その後、第2のフォトリソグラフィ工程で形成したレジストパターンを除去する第2のレジスト除去工程を行う。

#### 【0064】

次に、画素電極6となる第1の透明導電膜6aを、スパッタ法などにより基板1の全面

10

20

30

40

50

に成膜する(図10)。第1の透明導電膜6aとしては、ITO等を用いることができる。

#### 【0065】

そして、第3のフォトリソグラフィ工程により、第1の透明導電膜6aを除去する領域に開口部を有するレジストパターン103を形成する(図11)。レジストパターン103の開口部は、少なくとも、TFT50のチャネル領域上と、ソース配線44と画素電極6の間の領域上に設けられる。本実施の形態では、ソース配線44と画素電極6の間の領域上に設ける開口部を、その一部がソース配線44のエッジ部に1μm以上の幅でかかるように形成する。

#### 【0066】

また図11のように、パターン欠陥箇所100には、異物等の影響によりレジストパターン103に開口部が形成されず、ソース配線44と画素電極6の形成領域に跨がるようにレジストパターン103がパターン欠陥として残るものとする。

#### 【0067】

この段階で、レジストパターン103のパターン欠陥検査を行い、ソース配線44と画素電極6の形成領域に跨がるレジストパターン103の部分(または異物)を切断または除去(レーザーリペアカット)すれば、クロストーク点欠陥の発生を防止できるが、それらの工程については後述する。ここではレジストパターン103のパターン欠陥を残したまま次の工程に進んだ状態を示す。

#### 【0068】

レジストパターン103の形成後、レジストパターン103をマスクにする第3のエッチング工程により、第1の透明導電膜6aを除去する(図12)。これにより、画素電極6が形成される。

#### 【0069】

続いて、第1の透明導電膜6aが除去されたことでレジストパターン103の開口部内に露出した、第2の金属膜(金属膜40およびソース配線44)を除去する(図13)。これにより、金属膜40が、ソース電極4とドレイン電極5とに分離される。また、ソース配線44のエッジ部が除去される。

#### 【0070】

さらに、第2の金属膜を除去することによってレジストパターン103の開口部内に露出した、オーミックコンタクト膜3を除去する(図14)。これにより、TFT50のチャネル領域となる半導体膜2の部分が露出する。また、ソース配線44の両側に半導体膜2が露出し、その部分が張り出し部2aとなる。

#### 【0071】

その後、第3のレジスト除去工程により、第3のフォトリソグラフィ工程で形成したレジストパターン103を除去する(図15)。

#### 【0072】

正常パターン箇所では、ソース配線44およびその両側の張り出し部2aが、画素電極6から分離されるため、ソース配線44と画素電極6との間は電気的に分離される。しかし、パターン欠陥箇所100の部分では、第1の透明導電膜6aのパターン欠陥がソース配線44と画素電極6とを接続するよう残るため、ソース配線44と画素電極6とが電気的に接続し、クロストーク点欠陥を生じさせる。

#### 【0073】

この段階で第1の透明導電膜6aのパターン欠陥検査を行い、ソース配線44と画素電極6とを繋ぐ第1の透明導電膜6aの部分を切断または除去(レーザーリペアカット)すれば、クロストーク点欠陥を修復することができるが、それらの工程については後述する。ここでは第1の透明導電膜6aのパターン欠陥を残したまま次の工程に進んだ状態を示す。

#### 【0074】

レジストパターン103を除去した後、層間絶縁膜12となる第2の絶縁膜を成膜する

10

20

30

40

50

(図16)。層間絶縁膜12は、例えば窒化シリコン、酸化シリコン等の無機絶縁膜を、CVD法などにより基板1全面に成膜する。これにより、画素電極6および第1の透明導電膜6aが、層間絶縁膜12に覆われる。また、半導体膜2のチャネル領域が層間絶縁膜12に覆われる。

#### 【0075】

次に、第4のフォトリソグラフィ工程および第4のエッチング工程により、層間絶縁膜12およびゲート絶縁膜11を貫通するコンタクトホール13を形成する。コンタクトホール13は、図5に示したように、共通配線43aに達するように形成される。

#### 【0076】

図示は省略するが、額縁領域42には、ゲート配線43を走査信号駆動回路45に接続させるための端子(ゲート端子)と、ソース配線44を表示信号駆動回路46に接続させるための端子(ソース端子)とが、ゲート配線43と同層の配線層(第1の金属膜)またはソース配線44と同層の配線層(第2の金属膜)を用いて形成されている。第4のフォトリソグラフィ工程および第4のエッチング工程では、それらの端子に達するコンタクトホールも形成される。

#### 【0077】

その後、第4のレジスト除去工程により、第4のフォトリソグラフィ工程で形成したレジストパターンを除去する。

#### 【0078】

次に、層間絶縁膜12の上に、対向電極8となる第2の透明導電膜をスパッタ法等により基板1全面に成膜する。第2の透明導電膜としては、ITO等を用いることができる。そして、第5のフォトリソグラフィ工程および第5のフォトリソグラフィ工程により、第2の透明導電膜をバターニングして、スリットを有する対向電極8を形成する(図17)。図5に示したように、対向電極8は、共通配線43aに接続するように、コンタクトホール13の内側にも形成される。

#### 【0079】

このとき、額縁領域42では、コンタクトホールを介してゲート端子と接続するパッド(ゲート端子パッド)と、コンタクトホールを介してソース端子と接続するパッド(ソース端子パッド)とが形成される。

#### 【0080】

その後、第5のレジスト除去工程により、第5のフォトリソグラフィ工程で形成したレジストパターンを除去する。

#### 【0081】

以上の工程を経て、TFTアレイ基板が完成する。このように、本実施の形態のTFTアレイ基板は、少なくとも5回のフォトリソグラフィ工程を用いて形成される。

#### 【0082】

このように作製したTFTアレイ基板の上に、その後のセル工程において配向膜を形成する。また、別途作製された対向基板の上にも配向膜を同様に形成する。そして、各配向膜の液晶との接触面に、ラビングなどの手法を用いて一方向にミクロな傷をつける配向処理を施す。その後、基板周縁部にシール材を塗布して、TFTアレイ基板と対向基板とを、互いの配向膜が向き合うように所定の間隔で貼り合わせる。TFTアレイ基板と対向基板とを貼り合わせた後、真空注入法等により、TFTアレイ基板と対向基板との間に液晶を注入し、その注入口を封止する。それにより、液晶セルが完成する。

#### 【0083】

そして、液晶セルの両面に偏光板を貼り付け、駆動回路を接続した後、バックライトユニットを取り付けることで、液晶表示装置が完成する。

#### 【0084】

以下、本実施の形態に係るTFTアレイ基板に対するパターン欠陥検査およびその際に得られる効果について説明する。

#### 【0085】

10

20

30

40

50

クロストーク点欠陥の発生を防止するためのパターン欠陥検査およびパターン欠陥の切断または除去（レーザーリペアカット）は、基本的に、レジストパターン103の形成後（第3のフォトリソグラフィ工程後）から、層間絶縁膜12の形成前まで可能である。本実施の形態では、レジストパターン103を形成した段階で、レジストパターン103に対するパターン欠陥検査およびレーザーリペアカットを行う方法、または、レジストパターン103を除去した段階で、第1の透明導電膜6aのパターン欠陥検査およびレーザーリペアカットを行う方法のいずれかが実施される。つまり、パターン欠陥検査は、レジストパターン103の形成直後（第1の透明導電膜6aのバーニング前）である図11の状態で行われるケースと、レジストパターン103の除去直後（層間絶縁膜12の形成前）である図15の状態で行われるケースとがある。

10

#### 【0086】

まず、パターン欠陥検査をレジストパターン103の形成直後に行うケースについて説明する。ここでは、具体的なパターン欠陥検査の方法として、パターン欠陥検査装置または光学検査装置を用いて3つの画素パターンの同一箇所における反射光の輝度を測定してそれらを比較し、他の2つとは異なる輝度の箇所をパターン欠陥として検出する方法とする。

#### 【0087】

例えば、図18に示すA～Cに対応する3箇所の反射光の輝度を比較する場合を考える（図示の便宜上、図18には画素電極6や対向電極8が描かれているが、パターン欠陥検査はそれらが形成される前に実施される）。図19は、パターン欠陥検査時における箇所A～Cのそれぞれを含むソース配線・画素電極部の断面図である。箇所A，Cは、レジストパターン103の開口部が正常に形成された正常パターン箇所であり、箇所Bは、異物などの影響によりレジストパターン103に開口部が形成されなかったパターン欠陥箇所であると仮定する。

20

#### 【0088】

正常パターン箇所A，Cでは、反射率の高い金属膜であるソース配線44が第1の透明導電膜6aで覆われた状態で露出するため、反射光の輝度は高くなる。一方、パターン欠陥箇所Bでは、ソース配線44が反射率の低いレジストパターン103で覆われた状態となっているため、反射光の輝度は低くなる。そのため、パターン欠陥箇所Bの輝度は、正常パターン箇所A，Cの輝度に対して大幅に小さくなる。

30

#### 【0089】

反射光の輝度を256階調で測定すると、例えば、箇所Aの輝度が200、箇所Bの輝度が35、箇所Cの輝度が202などとなる。この場合、正常パターン箇所A，Bとパターン欠陥箇所Bの輝度差は165～167と大きいため、パターン欠陥検査装置または光学検査装置によるパターン欠陥の検出が容易となる。

#### 【0090】

反射光の輝度は、照射光の強度や、ソース配線44の材料、レジストパターン103の材料および膜厚などにより変動する。レジストパターン103とソース配線44の反射光の輝度差（階調差）が100～200の範囲となるように、それらを決定するとよい。

#### 【0091】

このように、本実施の形態によれば、レジストパターン103の形成直後に行われるパターン欠陥検査において、正常パターン箇所とパターン欠陥箇所との輝度差が大きくなり、パターン欠陥の検出を容易に行うことができるため、パターン欠陥の検出率を向上させることができる。また、検出したレジストパターン103のパターン欠陥（レジスト材または異物）をレーザーリペアカットすることで、クロストーク点欠陥の発生を防止でき、歩留まりが向上する。

40

#### 【0092】

次に、パターン欠陥検査をレジストパターン103の除去直後に行うケースについて説明する。ここでも、図18に示すA～Cに対応する3箇所の反射光の輝度を比較する場合を考える。図20は、パターン欠陥検査時における箇所A～Cのそれぞれを含むソース配

50

線・画素電極部の断面図である。箇所 A , C は、第 1 の透明導電膜 6 a が正常に除去された正常パターン箇所であり、箇所 B は、異物などの影響によりレジストパターン 103 に開口部が形成されなかつたため第 1 の透明導電膜 6 a が残存したパターン欠陥箇所であると仮定する。

#### 【 0 0 9 3 】

正常パターン箇所 A , C には、反射率の低い半導体膜 2 (張り出し部 2 a ) が露出するため反射光の輝度が低くなる。一方、パターン欠陥箇所 B では、反射率の高い金属膜であるソース配線 4 4 が第 1 の透明導電膜 6 a で覆われた状態で露出するため反射光の輝度が高くなる。そのため、パターン欠陥箇所 B の輝度は、正常パターン箇所 A , C の輝度に対して大幅に大きくなる。

10

#### 【 0 0 9 4 】

反射光の輝度を 256 階調で測定すると、例えば、箇所 A の輝度が 20 、箇所 B の輝度が 200 、箇所 C の輝度が 22 などとなる。この場合、正常パターン箇所 A , B とパターン欠陥箇所 C の輝度差は 178 ~ 180 と大きいため、パターン欠陥の検出が容易となる。

#### 【 0 0 9 5 】

反射光の輝度は、照射光の強度や、ソース配線 4 4 および半導体膜 2 の材料によって変動する。半導体膜 2 とソース配線 4 4 の反射光の輝度差 (階調差) が 100 ~ 220 の範囲となるようにそれらを決定するとよい。

#### 【 0 0 9 6 】

このように、本実施の形態によれば、レジストパターン 103 の除去直後に行われるパターン欠陥検査においても、正常パターン箇所とパターン欠陥箇所との輝度差が大きくなり、パターン欠陥の検出を容易に行うことができるため、パターン欠陥の検出率を向上させることができる。また、検出した第 1 の透明導電膜 6 a のパターン欠陥をレーザーリペアカットすることで、クロストーク点欠陥の発生を防止でき、歩留まりが向上する。

20

#### 【 0 0 9 7 】

ここで、本発明の効果をより明確にするための比較例として、特許文献 1 の TFT アレイ基板を示す。特許文献 1 の TFT アレイ基板の製造方法では、第 3 のフォトリソグラフィ工程で形成され、第 1 の透明導電膜 6 a のパターニングに用いられるレジストパターン 103 の開口部が、図 21 のようにソース配線 4 4 にからないように配置される。また、特許文献 1 の TFT アレイ基板の最終的な構造は、図 22 のようになる。図 21 , 図 22 には、ソース配線・画素電極部の断面として、正常なパターンが形成される部分と、レジストパターン 103 のパターン欠陥箇所 100 を含む部分の 2 つを示している。

30

#### 【 0 0 9 8 】

特許文献 1 の TFT アレイ基板では、レジストパターン 103 の開口部がソース配線 4 4 にからないように配置されるので、ソース配線 4 4 下の半導体膜 2 には張り出し部 2 a が形成されない。つまり、特許文献 1 の TFT アレイ基板のソース配線 4 4 の幅は、第 2 のフォトリソグラフィ工程および第 2 のエッチング工程で決まる。そのため、ソース配線 4 4 の幅は、レジストパターン 103 のパターン欠陥の有無に影響されない。

#### 【 0 0 9 9 】

40

特許文献 1 の TFT アレイ基板に対するパターン欠陥検査を、レジストパターン 103 の形成直後に行うケースについて説明する。例えば、図 23 に示す D ~ F に対応する 3 箇所の反射光の輝度を比較する場合を考える (図示の便宜上、図 23 には画素電極 6 や対向電極 8 が描かれているが、パターン欠陥検査はそれらが形成される前に実施される)。図 24 は、パターン欠陥検査時における箇所 D ~ F のそれぞれを含むソース配線・画素電極部の断面図である。箇所 D , F は、レジストパターン 103 の開口部が正常に形成された正常パターン箇所であり、箇所 E は、異物などの影響によりレジストパターン 103 に開口部が形成されなかつたパターン欠陥箇所であると仮定する。

#### 【 0 1 0 0 】

正常パターン箇所 D , F には、第 1 の透明導電膜 6 a で覆われたゲート絶縁膜 11 が露

50

出し、パターン欠陥箇所 E は、レジストパターン 103 で覆われた状態となっている。第 1 の透明導電膜 6a およびゲート絶縁膜 11 は、レジストパターン 103 に比べると反射率が高いため、パターン欠陥箇所 E の輝度は、正常パターン箇所 D, F の輝度よりも低くなる。しかし、第 1 の透明導電膜 6a およびゲート絶縁膜 11 は透明性であり、反射率はそれほど高くない。そのため、正常パターン箇所 D, F とパターン欠陥箇所 E との輝度差は比較的小さいものとなる。

#### 【0101】

反射光の輝度を 256 階調で検出すると、例えば、箇所 D の輝度が 50、箇所 E の輝度が 35、箇所 F の輝度が 52 などとなる。この場合、正常パターン箇所 D, E とパターン欠陥箇所 E の輝度差は 15 ~ 17 となり、本発明の場合に比べて格段に小さくなる。なお、照射光の強度を上げると、各箇所の反射光の輝度を上げることができるが、それらの差はあまり大きくならない。

10

#### 【0102】

次に、特許文献 1 の TFT アレイ基板に対するパターン欠陥検査をレジストパターン 103 の除去直後に行うケースについて説明する。ここでも、図 23 に示す D ~ F に対応する 3 箇所の反射光の輝度を比較する場合を考える。図 25 は、パターン欠陥検査時ににおける箇所 D ~ F のそれぞれを含むソース配線・画素電極部の断面図である。箇所 D, F は、第 1 の透明導電膜 6a が正常に除去された正常パターン箇所であり、箇所 E は、異物などの影響によりレジストパターン 103 に開口部が形成されなかったため第 1 の透明導電膜 6a が残存したパターン欠陥箇所であると仮定する。

20

#### 【0103】

正常パターン箇所 D, F にはゲート絶縁膜 11 が露出し、パターン欠陥箇所 E にはゲート絶縁膜 11 上を覆う第 1 の透明導電膜 6a が露出する。第 1 の透明導電膜 6a はゲート絶縁膜 11 に比べると反射率が低いため、パターン欠陥箇所 E の輝度は、正常パターン箇所 D, F の輝度よりも高くなる。しかし、第 1 の透明導電膜 6a およびゲート絶縁膜 11 はいずれも透明性であり、反射率はそれほど高くない。そのため、正常パターン箇所 D, F とパターン欠陥箇所 E との輝度差は比較的小さいものとなる。

#### 【0104】

反射光の輝度を 256 階調で検出すると、例えば、箇所 D の輝度が 50、箇所 E の輝度が 60、箇所 F の輝度が 52 などとなる。この場合、正常パターン箇所 D, E とパターン欠陥箇所 F の輝度差は 10 ~ 12 となり、この場合も本発明の場合に比べて格段に小さくなる。

30

#### 【0105】

なお、上で示した反射光の輝度および輝度差の数値はあくまで一例である。

#### 【0106】

上記の実施形態では、第 3 のエッチング工程において、第 1 の透明導電膜 6a、第 2 の金属膜、オーミックコンタクト膜 3 および半導体膜 2 の全てのエッチングに、第 3 のフォトリソグラフィ工程で形成したレジストパターンがマスクとなるように説明した。しかし、第 2 の金属膜、オーミックコンタクト膜 3 および半導体膜 2 のエッチングは、パテーニング後の第 1 の透明導電膜 6a（画素電極 6 を含む）をマスクにして行われてもよい。ただし、上記の実施形態よりもレジストパターン 103 が早く除去される。そこで、その場合には、上記の実施形態でレジストパターン 103 の除去直後に実施していたパターン欠陥検査は、オーミックコンタクト膜 3 のパテーニング直後（層間絶縁膜 12 の形成前）に実施するとよい。

40

#### 【0107】

また、画素電極 6 や対向電極 8 を構成する透明電極として、ITO を用いる例を示したが、例えば IZO (Indium Zinc Oxide) を用いてもよい。IZO は、それを除去するエッチングの際にゲート絶縁膜 11 上に生じる微小残渣が少ないので、微小残渣による白濁を防止でき、液晶表示装置の表示品位が向上する。また、ゲート絶縁膜上に微小残渣がないことは、ゲート絶縁膜 11 の表面をドライエッチングする際に、微小残渣を効率的に

50

除去できるため、ゲート絶縁膜 11 と層間絶縁膜 12 との密着性向上にも有益である。同じ理由で、透明電極に I G Z O ( Indium Gallium Zinc Oxygen ) を用いてもよい。

#### 【 0 1 0 8 】

また、図 2においては、ゲート配線 43 を挟んで隣り合う画素 47 の対向電極 8 が繋がった構成を示したが、対向電極 8 の形状はこれに限定されるものではない。各画素 47 の対向電極 8 は、コンタクトホール 13 を介して共通配線 43a と電気的に接続されているので、共通配線 43a のそれぞれに同じ信号（電圧）を印加すれば、ゲート配線 43 を挟んで隣り合う画素 47 の対向電極 8 が互いに離間されていてもよい。

#### 【 0 1 0 9 】

また、図 2では、対向電極 8 のスリットの長さ方向がソース配線 44 に平行な例を示したが、対向電極 8 のスリットの方向は任意の方向でよい。さらに、各対向電極 8 ごとにスリットの長さ方向が異なっていてもよい。対向電極 8 の形状は、例えば櫛歯状など、画素電極 6 との間でフリンジ電界を発生させることができるものであればよい。

10

#### 【 0 1 1 0 】

本発明の適用は、TFT を有する TFT アレイ基板に限定されるものではなく、各画素の TFT のドレイン電極上に画素電極が直接重なり形成される構成を有する TFT アレイ基板に対して広く適用可能である。

#### 【 0 1 1 1 】

なお、本発明は、その発明の範囲内において、実施の形態を適宜、変形、省略することが可能である。

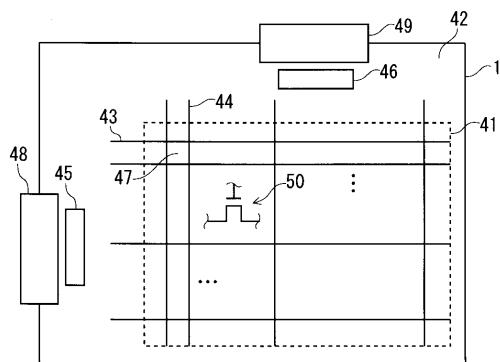
20

#### 【 符号の説明 】

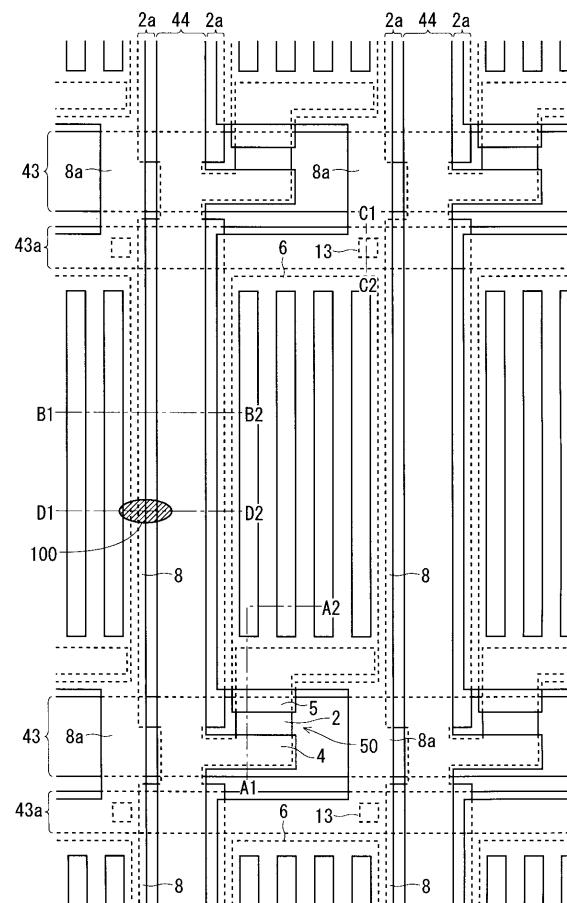
#### 【 0 1 1 2 】

1 基板、2 半導体膜、2a 張り出し部、3 オーミックコンタクト膜、4 ソース電極、5 ドレイン電極、6 画素電極、6a 第1の透明導電膜、8 対向電極、8a 対向電極連結部、11 ゲート絶縁膜、12 層間絶縁膜、13 コンタクトホール、40 金属膜、41 表示領域、42 額縁領域、43 ゲート配線、43a 共通配線、44 ソース配線、45 走査信号駆動回路、46 表示信号駆動回路、47 画素、48, 49 外部配線、50 TFT、100 パターン欠陥箇所、103 レジストパターン。

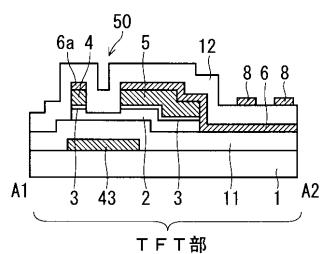
【図1】



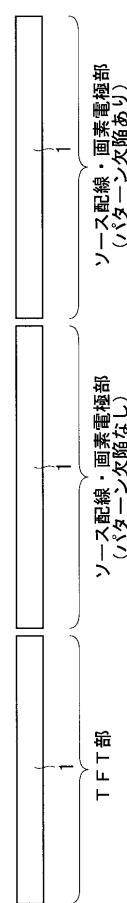
【図2】



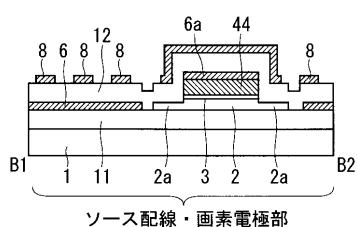
【図3】



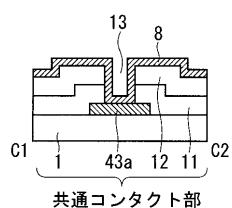
【図6】



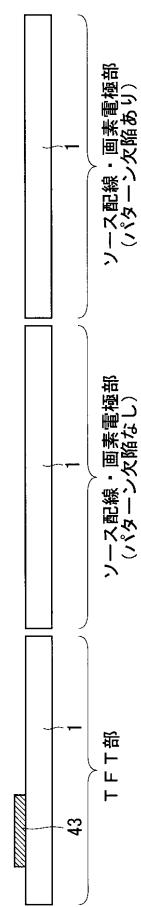
【図4】



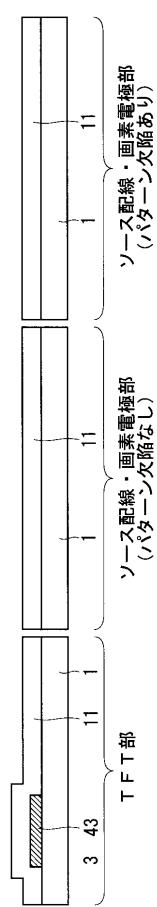
【図5】



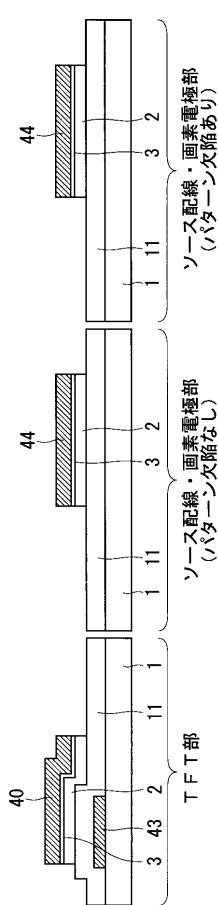
【図7】



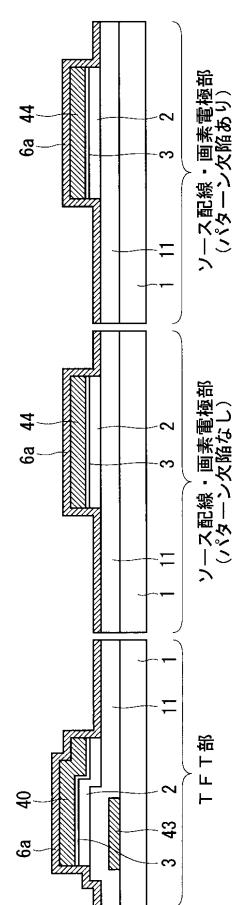
【図8】



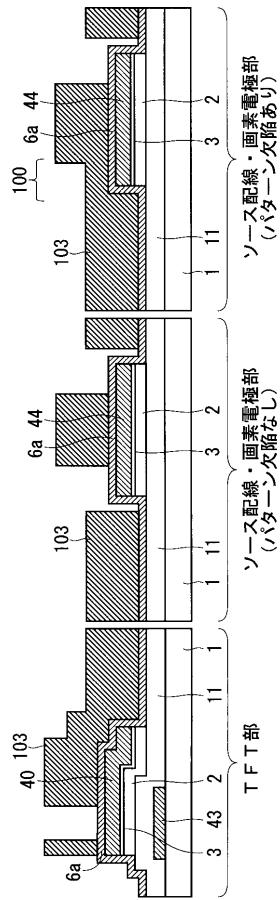
【図9】



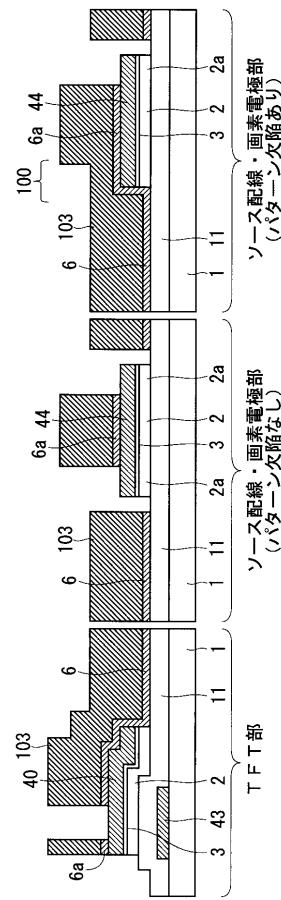
【図10】



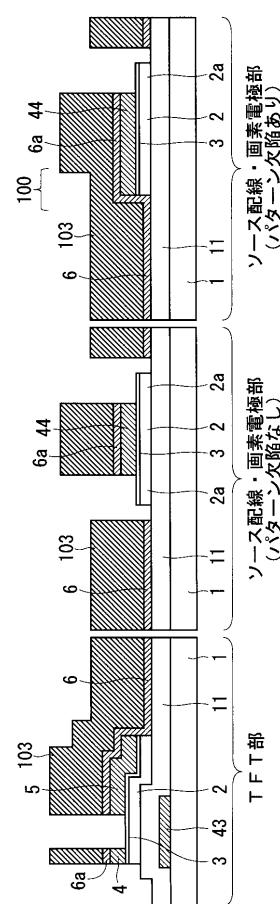
【図 1 1】



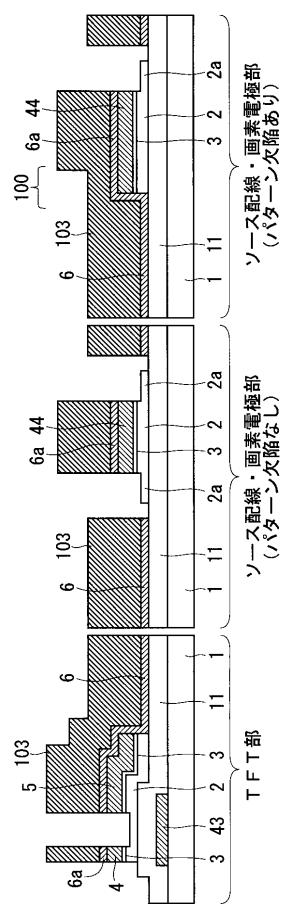
【図 1 2】



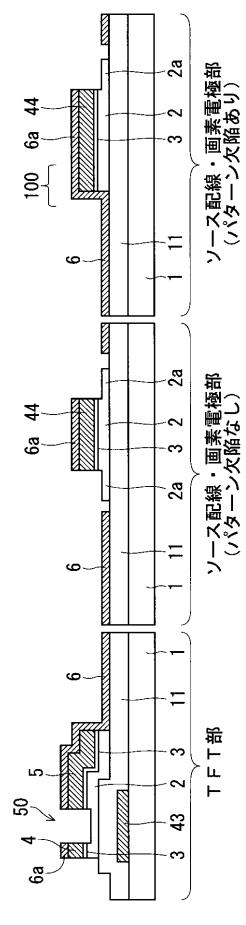
【図 1 3】



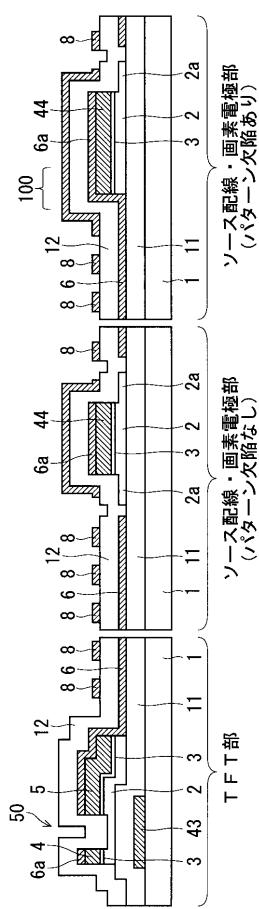
【図 1 4】



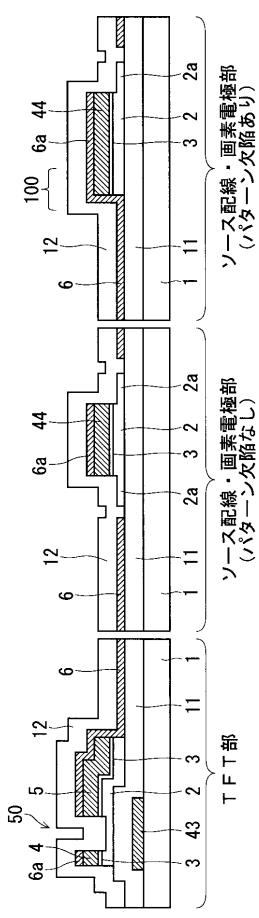
【図15】



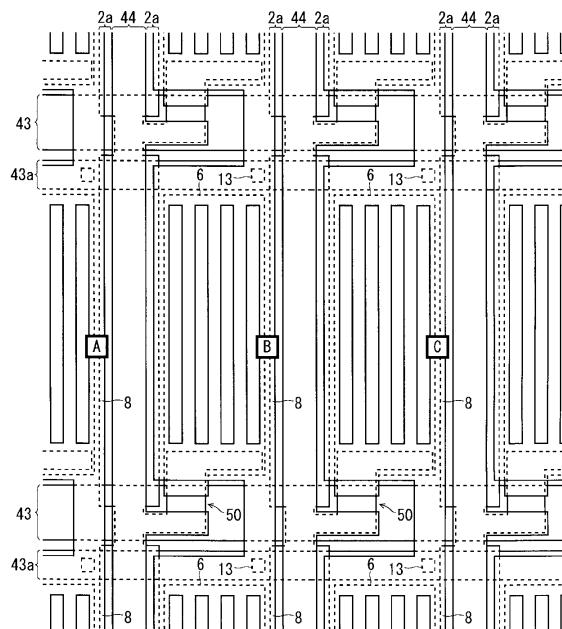
【図17】



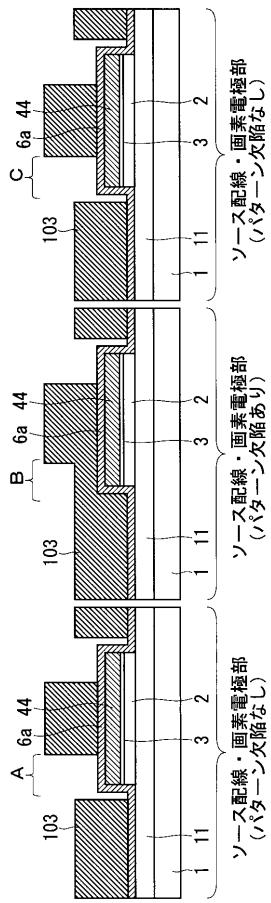
【図16】



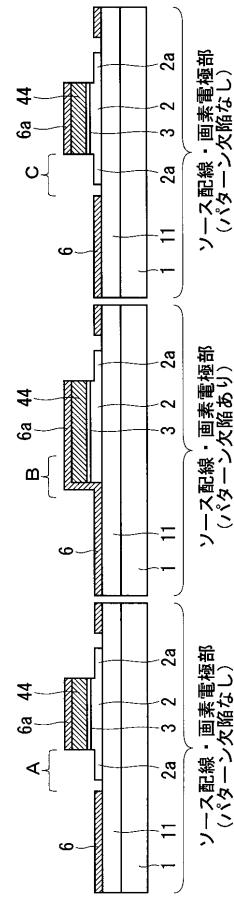
【 図 1 8 】



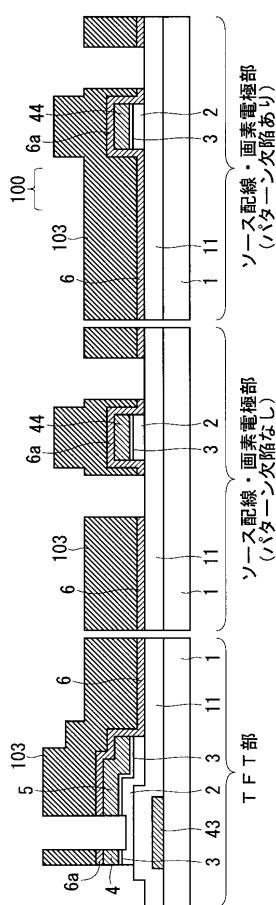
【図19】



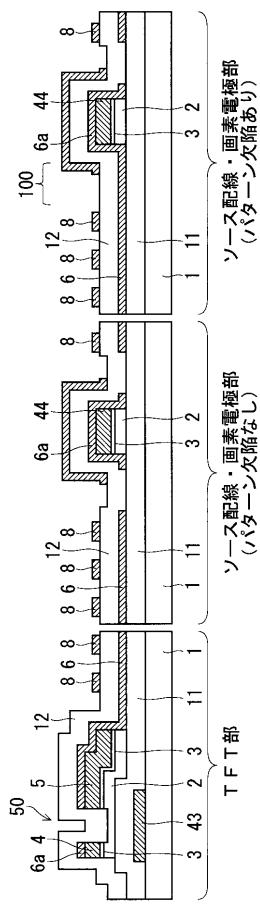
【図20】



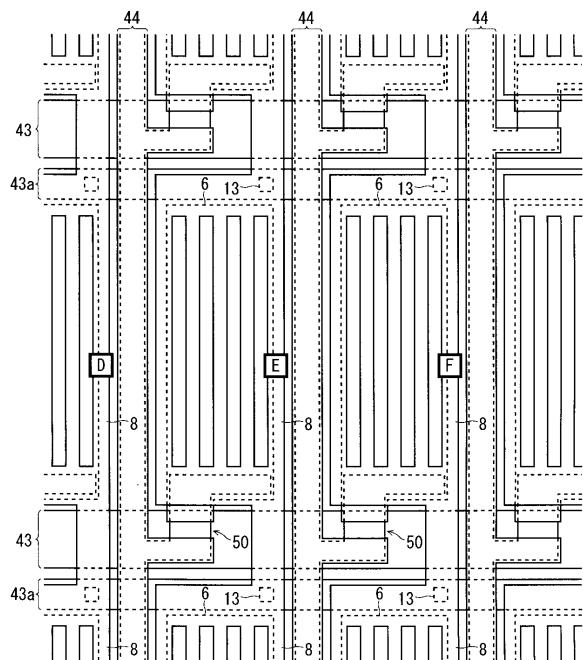
【図21】



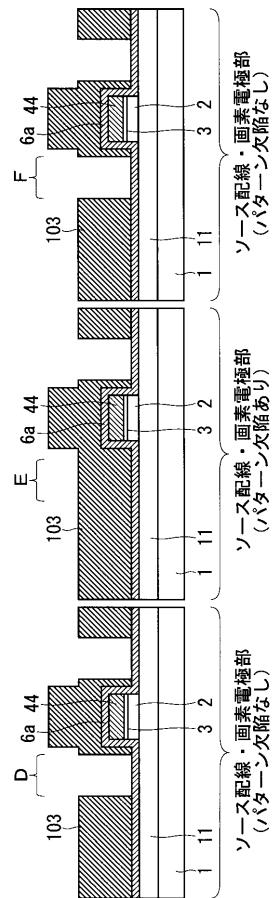
【図22】



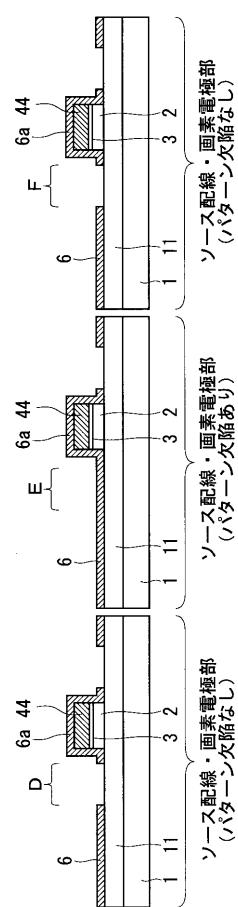
【図23】



【 図 2 4 】



【図25】



---

フロントページの続き

(56)参考文献 特開2013-101232(JP,A)  
特開2007-164197(JP,A)  
特開2013-011913(JP,A)  
特開2008-262020(JP,A)  
特開2010-008999(JP,A)  
特開2012-118531(JP,A)  
米国特許出願公開第2008/0303024(US,A1)

(58)調査した分野(Int.Cl., DB名)

G02F 1/136 - 1/1368