(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.^{7} **H04L 12/66**		**(45) 공고일자** **(11) 등록번호** **(24) 등록일자**	**2004년05월22일** **10-0432646** **2004년05월12일**

---

(21) 출원번호	10-2001-7015626	(65) 공개번호	10-2002-0044549
(22) 출원일자	2001년12월04일	(43) 공개일자	2002년06월15일
번역문 제출일자	2001년12월04일		
(86) 국제출원번호	PCT/US2000/015523	(87) 국제공개번호	WO 2000/76180
(86) 국제출원출원일자	2000년06월05일	(87) 국제공개일자	2000년12월14일

---

(81) 지정국	국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아-헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀랜드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬란드, 일본, 케냐, 키르기즈, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 라이베리아, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크메니스탄, 터어키, 트리니다드토바고, 우크라이나, 우간다, 우즈베키스탄, 베트남, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 아랍에미리트, 안티구아바부다, 코스타리카, 도미니카연방, 알제리, 모로코, 탄자니아, 남아프리카, 그레나다, 가나, 감비아, 크로아티아, 인도네시아, 인도, 시에라리온, 유고슬라비아, 짐바브웨, 모잠비크, AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 시에라리온, 가나, 감비아, 짐바브웨, 모잠비크, 탄자니아, EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르기즈, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크메니스탄, EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀랜드, 사이프러스, OA OAPI특허 : 부르키나파소, 베넹, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기네, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기네비쏘,
(30) 우선권주장	09/327,279 1999년06월04일 미국(US)
(73) 특허권자	다이얼로직 코포레이션 미합중국 뉴저지 (우편번호 07054) 파시패니 루트10 1515
(72) 발명자	키엘티유진이.쥬니어 미국14043뉴욕주데퓨제시카레인110 데니스스티븐지. 미국14052뉴욕주이스트오로라웨스트블러드로드2490 프릿징거로버트에이치. 미국14221뉴욕주윌리엄스빌노스포레스트로드355
(74) 대리인	유미특허법인

심사관 : 성백문

(54) 디지털 전화 시스템용 적응형 라인 드라이버 인터페이스

요약

본 발명은 디지털 전화 컴퓨터/전화 인터페이스가 자동으로 자신을 구성하거나 다른 PBX를 직접 수용할 수 있도록 하는 범용 라인 드라이버 인터페이스(82)에 관한 것이다. 이 인터페이스(82)는 PBX(50') 및 디지털 전화(70')에 연결되어 있으며, 또한 네트워크 인터페이스 로직(66')에 연결되어 있다. 컴퓨터 전화 시스템 내의 컴퓨터의 일부인 마이크로제어기(84)는 인터페이스(82) 및 네트워크 인터페이스 로직(66')에 연결되어 이를 제어한다. 프로그램 제어 하의 마이크로제어기(84)는 인터페이스(82)가 연결된 특정 유형의 PBX의 전기적 특성의 함수로서 인터페이스(82)에서의 연산 파라미터를 변경한다. 인터페이스(82) 연산 파라미터의 변경은 PBX의 유형에 좌우되는 네트워크 인터페이스 로직(66')을 구성하는 데 차례로 사용된다. 다른 송수신기 전압 레벨에 대한 적응성 및 전화 라인 임피던스의 범위를 일치시키는 능력으로 인터페이스(82)의 범용성을 달성한다.

대표도

도 5

색인어

인터페이스, 로직, 네트워크, 듀플렉서, 임피던스, 변압기, 컨버터, 마이크로제어기, 비교기, 연산증폭기,

명세서

기술분야

본 발명은 전화 시스템에 관한 것으로, 더욱 상세하게는 디지털 전화 컴퓨터/전화(telephony) 인터페이스를 자동으로 구성하는 새롭고 개선된 시스템 및 방법에 관한 것이다.

배경기술

기본 PBX(private branch exchange) 구성에서, PBX는 중앙 사무국의 교환기와 개별 전화국(individual telephone stations) 사이에 접속된다. 컴퓨터/전화 통신 통합에서, 컴퓨터는 개별 전화국 라인들 중 하나에 접속되어 컴퓨터 인터페이스를 통해 PBX가 제공하는 특성들의 대부분에 대한 제어 최종 결과를 갖는 전화 단말기(telephone terminal)를 에뮬레이팅(emulating) 한다. 컴퓨터/전화 인터페이스는 PBX의 특성을 충족하도록 구성되어야 한다. 지금까지 이것은 각 유형의 PBX에 대해 상이한 하드웨어 모듈을 제공하고 릴레이 시스템(relay system) 등으로 모듈을 선택함으로써 달성되었다. 이러한 접근 방법은 하드웨어에 의존하므로 바람직하지 못하며, 여러 상이한 유형의 PBX가 설치되는 경우에는 많은 수의 구성요소를 필요로 하고, 일반적으로 루프 길이(loop length), 즉 PBX로부터의 라인 거리가 일정한 범위로 제한된다.

따라서, 디지털 전화 컴퓨터/전화 인터페이스를 자동으로 구성하거나 신속하게(on the fly) 상이한 PBX들에 설치(accommodate)하는 시스템 및 방법을 제공하는 것이 매우 바람직하다. 결과적으로, 컴퓨터/전화 통신 통합에서 더 적은 구성요소가 요구되는데, 이는 기판 크기를 줄이고 비용을 절감하는 이점이 있기 때문이다. 이러한 자동 구성에 따라, 디지털 전화 시스템이 상이한 유형의 PBX와 같이 사용되는 경우에, 필요한 변경은 하드웨어 변경이나 추가를 포함한 외부 수단에 의해서가 아니라 내부적으로 수행된다.

발명의 상세한 설명

본 발명은 디지털 전화 컴퓨터/전화 인터페이스를 자동으로 자체 구성하거나 상이한 PBX들에 신속하게 설치(accommodate)하는 범용(universal) 라인 드라이버 인터페이스를 제공한다. 이 인터페이스는 PBX와 디지털 전화에 접속된다. 이 전화기는 또한 네트워크 인터페이스 로직(network interface logic)에 접속된다. 컴퓨터 전화 통신 시스템에서 컴퓨터의 일부인 마이크로제어기는 제어 관계에서 이 인터페이스 및 인터페이스 로직과 접속된다. 프로그램 제어하에서 마이크로제어기는 인터페이스가 접속된 특정 유형의 PBX의 전기적 특성의 함수로서 인터페이스의 연산 파라미터들(operational parameters)을 변경한다. 인터페이스의 연산 파라미터의 변경은 PBX의 유형에 따른 인터페이스 로직을 구성하는 데 차례로 사용된다. 이 인터페이스의 범용 특성은 상이한 송수신 전압 레벨에 대한 적응성(adaptab ility) 및 전화 라인 임피던스의 범위를 정합(match)하는 능력에 의해 달성된다.

본 발명의 전술한 이점 및 추가적인 이점과 특징은 다음의 첨부한 도면과 함께 상세한 설명을 읽음으로써 명백해 질 것이다.

도면의 간단한 설명

도 1은 기본 PBX 구성을 나타내는 도면이다.

도 2는 기본 PBX와 컴퓨터 전화 통신 인터페이스 구성을 나타낸 도면이다.

도 3은 도 2의 컴퓨터 전화 통신 시스템에 사용된 인터페이스 장치(interface arrangement)의 한 형태를 나타낸 블록도이다.

도 4a는 본 발명의 시스템 및 방법의 한 형태를 나타낸 블록도이다.

도 4b는 본 발명의 시스템 및 방법의 다른 형태를 나타낸 블록도이다.

도 4c는 본 발명의 시스템 및 방법의 또 다른 형태를 나타낸 블록도이다.

도 4d는 본 발명의 시스템 및 방법의 또 다른 형태를 나타낸 블록도이다.

도 5는 도 4의 범용 인터페이스를 더욱 상세하게 나타낸 블록도이다.

도 6은 도 5의 범용 인터페이스의 송수신 인터페이스부 중 하나를 나타낸 블록도이다.

도 7은 도 6의 송수신기 인터페이스의 수신기 및 무효화부(nulling section)의 블록도이다.

도 8은 도 6 및 도 7의 송수신기의 개략적인 회로도이다.

도 9는 도 6의 송수신기의 송신부의 블록도이다.

도 10은 도 6 및 도 9의 송신부의 개략적인 회로도이다.

도 11은 본 발명의 범용 인터페이스의 마이크로제어기 부분을 나타내는 개략 적인 블록도이다.

도 12는 인터페이스와 전화 라인 사이의 결합 형태를 개략적으로 나타낸 도면이다.

도 13은 동적 선로 임피던스 정합 방법을 나타내는 개략 블록도이다.

도 14는 본 발명의 다른 실시예에 따른 범용 인터페이스의 블록도이다.

도 15는 PBX 쪽에서의 도 14의 인터페이스의 수신기 및 무효부의 개략적인 회로도이다.

도 16은 PBX 쪽에서의 도 14의 인터페이스의 송신부의 개략적인 회로도이다.

도 17은 전화기 세트쪽에서의 도 14의 인터페이스의 수신기 및 무효부의 개략적인 회로도이다.

도 18은 전화기 세트쪽에서의 도 14의 인터페이스의 송신부의 개략적인 회로도이다.

도 19 및 도 20은 도 15 및 도 17의 회로에서 디지털 전위차계(digital potentiometer)를 조정하는 방법을 나타낸 흐름도이다.

실시예

도 1에 도시한 기본 디지털 PBX 구성에서, PBX(12)는 중앙/공중 사무국(central/public office, CO) 교환기(14)와 도 1에서 도면부호 16 및 18로 나타낸 개별 국(station) 사이에 위치한다. CO 트렁크(trunk)(20)는 CO(14)를 PBX(12)에 접속하며, 몇 가지 유형의 통신 프로토콜 및/또는 방법을 포함할 수 있다. 각 국선(station line)(22, 24)은 각각 PBX(12)와 개별 국 전화기(16, 18) 사 이의 통신 라인이다. 각 국선(station line)은 또한 여러 통신 방법 중 하나를 사용할 수 있다.

PBX(12)는 CO(14)와 전화기(16, 18) 사이에 위치하기 때문에, 이 둘 사이의 전기적 분리 및 신호 분리를 제공할 수 있다. 이 때문에 PBX(12)와 CO(14) 사이 그리고 전화기(16, 18)와 PBX(12) 사이의 통신 표준은 반드시 동일해야 하는 것은 아니다. 이러한 이유로 PBX(12)는 그들 사이에서 '번역(translate)'을 수행한다. CO(14)와 PBX(12) 사이의 통신 프로토콜은 개방 표준(open standard)이고 항상 그래왔다. 한편, 국(16, 18)에서 PBX(12)로의 통신 프로토콜은 역사적으로 전용 프로토콜(proprietary protocol) 이었다.

컴퓨터/전화 인터페이스에서, 컴퓨터(30)는 국선 중 하나에 접속되어 컴퓨터 인터페이스를 통해 PBX가 제공하는 특성들의 대부분에 대한 제어 최종 결과를 갖는 전화 단말기를 에뮬레이팅한다. 도 2에 도시한 바와 같이, 컴퓨터 인터페이스(32)는 국선(34)에 접속되고, 또 라인(38)으로 디지털 전화기(36)에 접속된다. 컴퓨터/전화 인터페이스(32)는 PBX의 전용 신호 발생 프로토콜을 최대한 개방한다(open up). 전화 단말기를 에뮬레이팅함으로써 PBX(12')가 전화 단말기에 접속되어 있는 것으로 생각하도록 PBX(12')를 속일 수 있다. 일단 이렇게 하면, 컴퓨터 인터페이스(32)를 통해 PBX(12')가 제공하는 특성의 대부분을 제어할 수 있다. 도 2에 도시한 컴퓨터/전화 통신 인터페이스(32)는 VoiceBridge PC라 명칭으로 미합중국 뉴욕주 버팔로 소재의 Voice Technologies Group으로부터 상업적으로 입수할 수 있는 유형이다.

간략하게 설명하면, 인터페이스(32)는 디지털 전화 에뮬레이션을 이용하여 PBX(12')와 컴퓨터(30) 사이의 직접적인 디지털 접속을 제공한다. 일단 인터페이스(32)가 PBX(12')에게 자신을 전용 디지털 전화로 확신시키면, 인터페이스(32)는 PBX(12')가 전해주는 모든 정보를 수락하고, 그 정보를 컴퓨터 전화 통신 시스템이 이해할 수 있는 표준 애플리케이션 프로그램 인터페이스(API) 명령 세트로 변환한다. 이것은 시스템에서 PBX(12')로부터 이용할 수 있는 호출 정보 및 신호의 양을 차례로 증가시킨다.

도 3은 컴퓨터 전화 통신 시스템에 사용하고 상이한 구성과 명세(specification)를 갖는 디지털 전화기용 개별 라인 드라이버/수신기 인터페이스 아날로그부를 포함하는 장치의 한 형태를 도시한 것이다. 도 3의 장치는 도 2에 도시한 유형의 컴퓨터 전화 통신 시스템이 서로 다른 다양한 PBX와 같이 동작할 수 있도록 한다. 도 3의 예에는, 3개의 상이

한 유형의 PBX A, B, C에 각각 대응하는 3개의 라인 드라이버/수신기 인터페이스 아날로그부, 즉 로직부(44, 46, 48)가 있다. 예를 들어, 유형 A, B 및 C는 각각 Lucent, Northern Telecom 및 Rolm일 수 있다. PBX(50)는 도 1 및 도 2의 PBX(12)와 유사하게 PBX(50)를 사용자의 전화 네트워크에 접속시키는 표준 디지털 라인(54)을 구비한다. 라인(54)은 로직부(44, 46, 48)에 접속되는 릴레이 매트릭스(60)에 표준 RJ45 커넥터(58)를 통하여 차례로 접속된다. 라인(62) 상의 제어 신호나 다른 적절한 명령은 매트릭스(60)가 PBX(50)의 유형, 즉 도 3에 도시한 유형 A, B, 또는 C에 따라 PBX(50)를 적절한 로직부(44, 46, 48) 중 하나에 접속시키도록 한다. 특정 로직부(44, 46, 48)에 대응 하는 로직은 제어기(68)로부터 도 2의 시스템에서 컴퓨터 전화 인터페이스(32)의 한 구성요소인 인터페이스(66)로 다운로딩(downloading)된다. 인터페이스(66)는 또한 전화 프로그램 가능한 게이트 어레이로 알려져 있다. 도 2의 전화기(36)와 유사한 디지털 전화기(70)는 라인(52)을 통해 표준 RJ45 커넥터(56)에 접속됨으로써 릴레이 매트릭스(60)에 접속된다. PBX 라인(54)과 유사한 방식으로 이 전화 라인(52)은 매트릭스(60)를 통하여 로직부(44, 46, 48)에 접속되고 네트워크 인터페이스 로직(66)에 접속된다. 제어기(68)는 PBX(50)에 대해 접속을 제어하는 것과 유사한 방식으로 전화기(70)로의 이 접속을 제어한다.

도 4a는 본 발명의 시스템 및 방법의 한 형태를 도시한다. 도 3의 장치의 개별 로직부(44, 46, 48) 와 릴레이 매트릭스(60)를 추가하는 대신에, 본 발명의 시스템(80)은 디지털 전화 컴퓨터/전화 인터페이스를 자체적으로 자동 구성하거나 신속하게 상이한 PBX들에 설치하는 것을 가능하게 하는 범용 라인 드라이버 인터페이스(82)를 포함한다. 인터페이스(82)는 PBX(50')에 접속되고, 또 디지털 전화기(70')에 접속된다. 인터페이스(82)는 또한 네트워크 인터페이스 로직(66')에 접속된다. 컴퓨터 전화 통신 시스템에서 컴퓨터의 일부인 마이크로제어기(84)는 제어 관계에서 인터페이스(82)와 인터페이스 로직(66')에 접속된다. 프로그램 제어하의 제어기(84)는 인터페이스(82)가 접속된 특정 유형의 PBX의 전기적 특성의 함수로서 인터페이스(82)의 연산 파라미터들을 변경한다. 프로그램 제어하에서 제어기(84)는 인터페이스(82)가 접속된 특정 유형의 PBX의 전기적 특성의 함수로서 네트워크 인터페이스 로직(66')의 연산 파라미터들을 변경한다. 인터페이스(82)의 범용 특성은 상이한 송수신 전압 레벨에 대한 적응성 및 전화 라인 임피던스의 범위를 정합(match)하는 능력에 의해 달성되며, 이 모두에 대해 상세하게 설명할 것이다.

도 3의 시스템과 비교하여, 도 4에 도시한 본 발명의 시스템은 구성요소의 수가 더 적어서 기판 크기를 줄이고 비용을 절감하는 이점이 있다. PBX(50)가 변경되면, 즉 예를 들어 Lucent에서 Rolm로 변경되면 도 4의 회로는 변경하지 않아도 되는 이점이 있다. 상이한 PBX를 설치하기 위한 재구성은 하드웨어를 변경하거나 추가하여 이루어지는 것이 아니라 마이크로제어기(84)를 통해 소프트웨어로 이루어진다. 게다가, 도 3의 시스템은 루프 길이, 즉 PBX를 따라 라인(52)의 거리가 소정 범위로 설계되므로, 도 4에 도시한 본 발명의 시스템은 상당히 상이한 루프 길이를 수용(accommodate)할 수 있다.

도 4a의 시스템은 단일 PBX(50')와 단일 전화기(set)(70')를 같이 도시하였지만, 복수의 교환기나 PBX(50), 복수의 전화기(70') 및 복수의 PBX와 복수의 전화기(70') 둘 다와 같이 도 4a의 시스템을 채용하는 것도 본 발명의 범위에 속한다. 본 발명의 시스템이 단지 교환기나 PBX(50'), 즉 도 4b에 도시한 바와 같이 하나 이상의 교환기나 PBX(50')와 같이 이용되고, 전화기와는 같이 이용되지 않는 상황도 있을 수 있다. 도 4b에서, 네트워크 인터페이스 로직(66'), 범용 라인 드라이버 인터페이스(82) 및 마이크로제어기(84)를 포함하는 본 발명의 시스템은 보통 86으로 표시된다. 유사하게, 본 발명의 시스템은 도 4c에 도시한 바와 같이 단지 하나 이상의 전화기(70')와 같이, 그리고 PBX나 교환기 없이 이용될 수 있다. 또한 도 4d에 도시한 바와 같이 하나 이상의 교환기나 PBX(50'), 하나 이상의 전화기(70') 그리고 컴퓨터(30') 대신에 제어 인터페이스 장치(88)와 함께 전술한 시스템을 채용하는 것도 본 발명의 범위에 속한다. 예를 들어, 제어 인터페이스(88)는 다른 전화기, 모뎀 또는 핸드셋(handset)일 수 있다.

인터페이스(82)를 포함하는 본 발명의 시스템(80)을 도 5에 더욱 자세하게 도시한다. 인터페이스(82)는 한 쌍의 송수신 인터페이스부(92, 94)를 포함하며, 하나는 PBX용이고 다른 한 쌍은 전화기용이다. 송수신 인터페이스부는 송수신 신호를 분리하는 특수 목적의 아날로그 듀플렉서를 포함한다. 특히, 각 송수신 인터페이스부는 수신부와 수신부에서 전송 신호를 무효로 하는 무효화 회로(nulling circuit)를 구비한 송신부를 포함한다.

마이크로제어기(84)는 경로(96, 98)를 통하여 두 인터페이스부(92, 94)의 신호를 각각 감시하고, 경로(100, 102)를 통하여 제어 신호를 인터페이스부(92, 94)로 각각 전송하여 인터페이스(82)가 접속된 특정 PBX의 특성에 따라 그 내부의 파라미터를 적절히 변경하도록 한다. 특히, 마이크로제어기(84)는 곧 상세히 설명될 최고 무효 전압(peak null voltage), 최고 신호 레벨(peak signal level), 평균 및 오프셋(offset) 전압을 포함한 인터페이스부(92, 94)의 아날로그 신호를 감시한다. 프로그램 제어하에서, 마이크로제어기(84)는 수신기 무효화부의 무효화 전압 제어, 수신부에 포함된 비교기의 임계 전압 조정 및 송신부의 전송 신호 레벨 조정하도록 명령 신호들을 인터페이스부(92, 94)로 전송하며, 이 모두에 대해 곧 상세히 설명할 것이다. 따라서, A/D 컨버터로 마이크로제어기(84)는 인터페이스부(92, 94)의 신호 레벨을 감시하고, 신호를 원하는 레벨로 변경하기 위하여 후술될 방식으로 주기적으로 인터페이스부(92, 94)의 회로 내의 디지털 전위차계 등을 조정한다.

따라서 본 발명의 시스템은 라인 임피던스의 범위에 자동으로 일치시킬 수 있어, 마이크로제어기(84)의 제어 하에서 인터페이스부(92, 94)의 무효화 회로(nulling circuit)를 이용한다. 이것은 라인 복귀 손실(line return loss) 그리고 전송 신호와 수신 신호 간의 간섭을 최소화할 수 있도록 한다. 다른 수신기 신호(receiver signal)가 존재(present)하지 않는 신호를 전송하고 피크 신호 판독기로 감지한 것과 같은 수신기 신호를 무효화함으로써 각 무효화 신호(nulling signal)를 조정한다. 다음에 피크 신호 판독기에 대하여 상세하게 기술한다.

도 6은 송수신기 인터페이스부들 중 하나, 예를 들면 PBX측의 인터페이스부(92)를 나타내는 블록도이고, 전화 셋트측의 다른 인터페이스부(94)도 동일하다는 것은 이해될 것이다. 인터페이스(92)는 수신 및 무효화부(120) 그리고 전송부(122)를 포함한다. 이들 수신 및 무효화부(120)와 전송부(122)는 안정된(balanced) 한 쌍의 라인(124, 126)에 의해 PBX(50')에 연결된다. 수신부(120)는 라인(124, 16)에 연결된 입력과 AC-결합 차동 증폭기(130)를 구비하고

있다. 다른 차동 증폭기(134)를 구비하고 있는 듀플렉서를 이용하여 전송 신호를 무효화한 후, 한 쌍의 비교기(136, 138)를 이용하여 수신 신호를 검출한다. 한쪽 비교기(136)는 조정 가능한 임계값 이상인 (+)의 수신 펄스를 검출하고, 유사하게 다른 쪽 비교기(138)는 (-)의 펄스를 검출한다. 피크 판독기(140)는 다음에 기술하는 방식으로 비교기(136, 138)와 연관되어 동작이 이루어진다. 수신기 출력(RXP, RXN)은 대응하는 전송 입력(TXP, TXN)에 따른 표준 디지털 레벨이다.

전송부(122)에서, 전송 입력 펄스(TXP, TXN)는 바이폴라 구동기(144)에 의하여 조정 가능한 진폭의 (+) 및/또는 (-)의 펄스로 변환된다. 임피던스 피드백 보상 증폭기(146)를 거친 신호는 전류 구동기(150, 152)로 보내진다. 한쪽 구동기(150)는 (+)의 전송 펄스에 해당하는 (+)의 전류($+I_o$)를 발생시키고, 다른 쪽 구동기(152)는 동일한 진폭을 갖는 (-)의 펄스($-I_o$)를 동시에 발생시킨다. 한 쌍의 ±전류원(150, 152)(+Io, -Io)은 안정된 라인(124, 126)을 위한 안정된 전송원(transmitting source)이다. 두 개의 전류 구동기(150, 152)는 개별적으로 불안정하거나(unbalanced) 접지되어 있다(ground-referenced).

전류 구동기(150, 152)는 입력 전압에 비례하는 전류(I_o)를 출력하는 정전류원이다. 이상적인 전류 구동기는 부하 임피던스나 출력 전압에 관계없이 일정한 출력 전류를 발생시킨다. 실제로, 전류 구동기는 전압 한도나 범위(예를 들면, -10V 내지 +10V)를 갖는다. 분류기 저항(shunt resistor)(예를 들면, 1K)을 갖는 전류원으로 설계된다.

이미 기술한 것처럼, 하나의 Tx/Rx 인터페이스(92)는 PBX측에 해당하고, 다른 Tx/Rx 인터페이스(94)는 전화기 셋트측에 해당하는 것이다. 그래서 인터페이스(94)는 인터페이스(92)와 동일하지만 전화기 셋트(70)에 연결된 안정된 라인(124, 126)을 구비하고 있다. 양 인터페이스(92, 94)에서, 듀플렉서나 전송 무효(null) 회로의 원리는 부록 A에 기술한 것과 유사하다. 현재 다른 수신기 신 호가 존재하지 않는 신호를 전송하고 피크 판독기(140)에 의해 감지된 것과 같은 수신기 신호를 무효화함으로써 조정된다. 이러한 접근법은 회로가 단지 명목상이기보다는 넓은 범위에 걸쳐 실제로 라인 임피던스에 적응하므로, 무효화가 효율적이라는 장점이 있다. 조정 가능한 연산 파라미터는 다음에 기술하는 방식에 따라서 마이크로 제어기(84)에 의해 제어되는 회로(92, 94)의 디지털 전위차계(digital potentiometer)와 같은 장치에서 이용한다.

인터페이스(92)의 수신 및 무효화부(120)는 도 7에 또한 도시되어 있다. 회로(120)는 입력 증폭기(130)를 포함하며, 무효화 회로는 전송 무효 증폭기(160)와 차동 증폭기(134), 임계 회로 및 비교기(136, 138)를 포함한다. LN^+ 와 LN^- 로 구분되는 라인 커플러부(line coupler section)(임피던스나 변압기로 기재됨)로부터 입력되는 입력 신호는 접지에 대하여 일반적으로 안정적이다. 통상적으로 이 입력 신호는 0.3V 내지 3V의 전압 피크 범위 내에서 그리고 0.5µs 내지 10µs 폭의 범위 내에서 양 극성을 갖는 펄스이다. 라인 임피던스는 명목상 100Ω이지만 아마도 200Ω까지 커질 수 있다. 임터페이스(94)의 수신 및 무효화부는 도 7에 도시한 것과 동일하지만 입력 신호(LN^+, LN_-)가 PBX(50')에서 입력되지 않고 전화기 셋트(70')에서 입력된다는 것이 상이하다.

인터페이스(92)의 수신 및 무효화부(120)에 대한 상세한 회로도를 도 8에 도시한다. 입력단(U1)은 안정화된 신호를 접지에 대한 싱글 엔드 신호(single-ended signal)(펄스)로 변환하는 차동 증폭기(170)이다. 후속 단을 위하여 필요할 경우, 게인이 주어질 수 있지만, 도 8에 도시한 회로에는 단일(unity) 게인이 존재한다. 선택적인 입력 커패시터(172, 174)(C1, C2)는 저항(176, 178)(R_1, R_2)과 함께 고역 통과 필터로서 작동하여 필요할 경우 저 주파수 응답이나 직류를 차단한다. 피드백 저항(182)(R_3)과 함께 피드백 커패시터(180)(C3)는 증폭기의 고 주파수 응답을 제한하는 저역 통과 응답(low pass response)을 정한다. 양호한 주파수 응답을 갖는 연산 증폭기(3㎒ 이상의 게인-대역 제품)가 요구된다. 이 단에서의 출력은 SIG이다.

다음 단(U2)은 듀플렉서의 무효화부이고, 차동 증폭기(186)를 포함한다. 이 단의 주요 목적은 라인에서 그리고 전송기부로 인한 수신기 입력에서 신호를 취소하거나 무효화하는 것이다. 이런 목적을 실현하기 위하여, 크기는 동일하지만 극성이 반대인 신호가 일측 입력 단자(NULL)에 인가되고 입력 수신기 증폭기(170)로부터 출력되는 신호(SIG)는 타측 입력 단자로 인가된다. (라인에 연결된 외부 전송기로부터 인가된) 이 단의 출력 신호(REC)는 수신기 신호이지만 그 고유의 전송된 신호(원하지 않은 간섭)는 포함하고 있지 않다. 도시한 회로에서, 증폭기(186)는 자신의 (-) 입력단자에 인가된 신호들을 합산한다. 도시한 회로에서, 게인은 양쪽 입력에서 일정(unity)하지만, 이 게인은 다음 단(비교기)을 위한 신호 레벨에 맞게 변경될 수 있다. 또한 부가적인 주파수 필터링 동작은 피드백 커패시터(190)(C4)에 의해 이루어진다.

이 회로의 두 번째 기능은 비교기용 (+)의 오프셋 전압을 제공하는 것이다. 이 기능은 선택된 비교기가 (-) 입력을 허용하지 않는 반면에 신호는 (-) 펄스를 갖고 있기 때문에 필요하다. 예를 들면, 오프셋은 -1.0V[1V의 (-) 펄스]에서 +3.0V[1V의 (+) 펄스] 사이에서 왔다 갔다 하는 신호를 갖는 +2.0V로 정해질 수 있다. 두 개의 비교기(194, 196)(U3A, U3C)가 이용되어, 한쪽 비교기는 (+) 펄스를 검출하고 다른 쪽 비교기는 (-) 펄스를 검출한다.

다른 저역 통과 필터(200, 202)(R7, C6)는 고주파 신호(high frequency signal) 이상을 제거하여, 상승 에지 과도 전류(transient)나 하강 에지 과도 전류를 제거하여 평활 펄스(smoothed pulse)만 남긴다. 고주파 성분을 제거하는 것은 전송된 신호나 무효 신호가 상이한 주파수 응답이나 관련된 증폭기 단(특히 기술하려고 하는 전송기와 변압기)의 전파 지연으로 인하여 파형이 정확하게 일치하지 않기 때문에 필요하다. 그래서 무효 증폭기(186)의 출력에서 고주파 펄스나 글리치(glitch) 속에 발생하는 에지들의 불일치는 이미 기술한 저역 통과 필터에 의하여 제거된다.

고속 비교기(194, 196)는 표준 디지털 출력(CMOS, 0V 내지 +5V)을 갖는다. 비교기(194)(U3A)는 입력 펄스가 (+)일 때 (신호 제로에 대한) (+) 펄스 출력을 생성한다. 비교기(196)(U3C)는 입력 신호가 (-)일 때 (+) 펄스 출력을 생성한다. 양쪽 출력은 신호가 (신호 제로에 대한) 제로이거나 제로에 가까울 때 로우 상태를 유지한다. 그러나 신호 제로는 비교기가 (-) 전압을 받아들이지 않는 시점에서 아날로그 접지에 대하여 도 8에 도시한 값(V_{os})(예를 들면, +V)으로 오프셋된다.

비교기 임계 전압은 마이크로제어기(84)에 연결된 디지털 전위계(210)(RP4)를 통하여 조정될 수 있다. (+) 펄스 임계 전압은 오프셋 전압(신호 제로)에 비례하여 예상된 최대 (+) 신호와 거의 동일한 좀더 큰 (+) 전압(예를 들면, 4V)으로 조정될 수 있다. (-) 펄스 임계는 (+) 펄스 임계가 오프셋 전압을 초과하는 동일한 크기만큼 오프셋 전압보다 (+)쪽에 덜 가까운 값이다. 이런 것은 입력이지만 오프셋 전압과 관련된 VTH+의 입력을 갖는 반전 증폭기(214)(U4)에 의해 행해진다. 그래서 (+) 및 (-) 펄스 임계는 따라간다, 즉 임계 전위차계(210)(RP4)가 조정됨에 따라 신호 제로에 대한 진폭을 동일하게 유지한다. 통상적으로 임계는 노이즈 레벨이나 증폭 변화가 존재함에 따라서 (신호 제로에 대한) 신호 제로의 20% 내지 80%가 되도록 조정된다. 디지털 전위차계(210)는 예로서 도시되었지만, 다른 장치가 이용될 수 있다.

TX-NULL 증폭기(218)(U5)는 위에 기술한 무효 증폭기(186)를 위한 무효 신호(TNULL)의 조건을 설정한다. 조건들은 지연된 전송 신호의 가변 게인 증폭, 무효 증폭기 입력(REC)과 비교기 입력에서 전압 오프셋을 설정하는 DC 레벨의 조정, 그리고 라인으로 전송된 신호와 입력 증폭기(170)의 출력(SIG)이 좀더 잘 일치하도록 무효 신호 파형의 형성이다. 신호는 신호 제로에 관련된 (+) 성분뿐만 아니라 (-)성분도 갖는 반면에 디지털 전위차계와 디지털 입력 장치만이 (+) 전압으로 동작하기 때문에 적어도 선택된 성분을 갖는 전압 오프셋이 필요하다.

전송 증폭기의 전파 지연과 유사한 양만큼 디지털부(프로그램 가능한 로직 장치)에서 지연(통상적으로 50ns 내지 200ns)된다는 것을 제외하면, 지연된 전송 신호(TNULL)는 전송 신호로서 동일한 회로, 즉 다음에 상세하게 기술되는 펄스 컨버터(pulse converter)에서 생성된다. 이 신호는 1/2 디지털 레벨(+2.5V)의 오프셋을 갖는다. 이 신호는 (+) 전송 펄스용으로 +5.0V가 되고, (-) 전송 펄스용으로는 0V가 된다. 그래서 이 신호는 +2.5V 오프셋을 갖고 +/-2.5V의 진폭을 갖는다. 이 신호는 각각 약 2kΩ의 크기를 갖는 저항 분배기(220, 222)(R20, R21)에 의하여 생성되고, 이 출력[테브냉(thevenin)] 저항은 1kΩ이다. 0 내지 10kΩ의 디지털 전위차계(224)(RP2)는 펄스 저항(226)((R19)과 직렬로 연결되어, 5V의 신호와 직렬로 연결된 1.8 내지 11.8kΩ의 네트 증폭기 입력 저항을 생성한다. 예를 들면 3.3kΩ의 피드백 저항(230)(R16)을 가질 때, 출력은 1.4 내지 9.2V(pp)의 무효화 전압에 대응한다. 이 신호의 파형(AC 성분)은 부호가 반대인 것을 제외하면 입력 증폭기(170)의 출력(SIG)에서 보여지는 전송 신호의 파형과 동일하다. 디지털 전위차계(224)가 예로서 도시되었지만, 다른 부품을 이용할 수 있다.

무효화 신호의 DC 레벨이나 전압 오프셋은 ZERO 전위차계(236)(RP1)를 설정함에 따라 적정 범위 위로 정해진다. 이 저항(0 내지 10kΩ)의 비(ratio)는 직렬 저항(238)(R22)을, 1.4DC 변화량을 발생하는 전압원에 연결된 저항(240)(R18)에 더한 값이다. 이 변화량은 반전 입력 단자에서의 저항(244)(R17)과 제너 다이오드(248)(Z1)에 의해 발생된 고정된 오프셋에 더해질 때, 최종적으로 비교기(194)의 입력 단자(REC)에서 원하는 신호 오프셋(예를 들면, +2.9V)을 생성하는 증폭기(186)로 무효 입력에서 DC 오프셋을 생성한다.

전위차계(236)를 통한 소프트웨어적인 ZERO 조정 특성은 이 장치의 동작에서 는 필수적인 것이 아니고, 디지털 전위차계는 제조 과정에서 조정된 트림포트(trimpot)로 교체될 수 있거나 정밀한 내구성 부품을 사용하여 제거할 수도 있다. 인터페이스(94)의 수신기와 무효화부를 위한 회로는 입력 신호(LN^{+}, LN^{-})가 PBX(50')가 아니라 전화기 셋트(70')로부터 입력된다는 것을 제외한다면 도 8에 도시한 것과 동일하다.

도 6에 도시한 Tx/Rx 인터페이스(92)의 전송기부(122)를 도 9에 추가적으로 예시하였다. 이 회로는 펄스 컨버터(144), 인버터를 구비한 아날로그 펄스 증폭기(146) 그리고 한 쌍의 정전류 구동기(150, 152)(하나는 비반전 구동기이고 다른 하나는 반전 구동기임)로 이루어지는 세 개의 주요 부품을 포함한다. 인터페이스(94)의 수신기부는 출력 신호(I^{+}, I^{-})가 PBX(50')보다 전화기 셋트(70')로 보내진다는 것을 제외하면 도 9에 도시한 것과 동일하다.

인터페이스(122)의 전송기부(122)에 대한 상세한 회로도는 도 10에 도시한다. 펄스 컨버터는 간단하게 두 개의 디지털 장치(264, 266)(본 실시예에서 0과 5V의 논리 레벨을 갖는 표준 COMS 2진 로직인 U101, U102)의 출력 단자와 연결된 동일한 값을 갖는 한 쌍의 저항(260, 262)(본 실시예에서는 각각 2kΩ인 R101, R102)이다. 신호가 존재하지 않을 때(신호 제로), 소정 신호(TXN)와 반전되기 때문에 일측 입력 단자(XP)는 하이(+5V)이고, 타측 입력 단자는 로우(0V)이다. 결과적으로 전송 신호(TX)는 제로 신호 레벨이나 1/2(half) 논리 레벨(+2.5V)의 전압 오프셋을 갖는다. (+) 펄스가 전송될 때, 원하는 폭(예를 들면 1μs)을 갖는 논리 레벨 펄스가 입력 단자인 TXP로 인가되어, 출력인 TX를 전 논리 레벨(+5.0V)로 변화시킨다. 대신에 논리 레벨 펄스가 TXN 입력 단자로 인가되고 반전될 경우, TX 출력은 0V가 된다. 그래서 제로 신호 전압에 대하여, TXP 입력 단자는 TX 출력 단자에서 1.2 논리 전압(+2.5V)을 갖는 (+) 펄스를 생성하고, TXN 입력 단자에서는 컨버터의 출력(만약 로딩되지 않을 경우)으로 (-) 펄스(-2.5V)를 생성한다. 이 망으로부터의 출력(테브냉) 임피던스는 저항값의 1/2(본 실시예에서는 1kΩ)이다.

그런 다음 전송 신호(TX)는 커패시터(270)를 통하여 다음 단(272)(U103)에 연결된다. 이 커패시터(270)는 DC 레벨을 제거하여 증폭기 출력 단자에서의 TX 신호는 접지에 대하여 (+)이고 (-)이다. 본 실시예에서 0.5의 최대 게인값은 다음 단의 과부하를 피하게 위하여 바람직한 값이고, 피드백 저항(274)(R103)이 구동 임피던스(즉, R103=0.5kΩ)의 1/2값을 갖도록 한다.

펄스 컨버터와 증폭기 사이에는 TX-LEVEL 디지털 전위차계(280)(RP3)가 존재한다. 본 실시예에서, 이 디지털 전위차계(280)는 내부 임피던스에 더해지는 0 내지 10kΩ 범위의 값을 갖는다. 저항이 증가됨에 따라 전송 신호 전압 레벨(TX)은 감소한다. TX 전압의 조정 범위는 증폭기부(264, 266)(U101, U102)에서 1.25V 피크값(2.5vpp) 내지 0.12V 피크 값이 된다. 또한 다른 형태(예를 들면, Mitel)의 신호를 외부적으로 생성하기 위한 보조적인 전송 입력이 존재한다. 또한 증폭기(272)는 필요한 반전 신호의 출력을 갖는 전류 구동기 내에서 적정 신호를 생성하는 일정한 게인을 갖는다. 이 컨버터는 최소한의 전파 지연과 넓은 주파수 응답을 가져 반전되고 비반전된 전류 구동기 출력이 반전되었다는 것을 제외하면 거의 일치된다. 디지털 전위차계(280)는 예로서 도시하였고, 다른 장치가 이용될 수 있다.

전류 구동기는 접지에 대하여 안정되게 구동(한쪽에서는 비반전된 신호와 다른 쪽에서는 반전된 신호)할 수 있도록 하는 옵션을 허용하기 위해 이용된다. 이것은 임피던스 부하 옵션용으로 필요하지만 적절한 변압기를 구비할 필요는

없다. 듀얼 구동기는 거의 소정의 인터페이스와 함께 동작하기 때문에, 가요성을 제공한다. 다른 디지털 전화기의 상이한 전압 요구에 적응할 필요가 있음에 따라 전송 전압 레벨이 조정 가능하기 때문에 아날로그 구동기가 필요하다. 반대로, 표준 디지털 구동기는 고정된 전압 출력을 갖는다. 전압이나 전류형 구동기를 이용하는 한편, 전류형 구동기는 라인 인터페이스의 변화에 적응시킬 때 보다 가요성 있다. 또한 좀 더 큰 전압, 좀 더 큰 주파수 증폭기에 대한 비용으로 인하여 직렬 출력 저항이나 라인 일치 저항, 원하는 특성이 존재하지 않기 때문에 출력 전압의 요구는 보다 적다. 또한 정전류 구동기는 동적 라인 임피던스에 대한 일치가 필요할 경우에 바람직하다.

정전류 구동기(284, 286)(U105, U106)는 동일하다. 입력 신호에 대한 전압들 중 단지 하나만이 인버터(290)(U104)에 의해 반전된다. 이 회로는 전기 공학에 관련된 문서에서 찾을 수 있는 통상적인 정전류 구동기에서 변형된 것이다. 전류원은 고의로 비이상적으로 만들어졌으므로 어떠한 DC 오프셋도 만약 사용되었다면 출력 커패시터를 변경시키지 않는다. 이것은 (-) 피드백 전압 구동 비율(294/296)(R111/R112)에 의해 이루어진다. 대안적으로 저항(300)(R118)과 커 패시터(302)(C103)에 의해 제공된 DC 피드백 보상이 이용될 수 있다. 인터페이스(94)의 전송부를 위한 회로는 출력(I^+, I^-)이 PBX(50')보다는 전화기 셋트(70')로 인가된다는 것을 제외하고는 도 10에 도시한 것과 동일하다.

도 11은 마이크로제어기(84)를 인터페이스(82)에 연결하는 방법에 대하여 더욱 상세하게 나타내고 있다. 앞서 설명한 바와 같이, 프로그램으로 제어되는 마이크로제어기(84)는 인터페이스(82)에 연결되어 있는 특수형의 PBX가 갖는 전기적 특성의 함수로서 인터페이스(82)내의 연산 파라미터를 변경한다. 특히, 마이크로제어기(84)는 도 8 및 도 10의 회로에서 PBX 측과 전화기 측의 회로 조정기를 제어한다. 마이크로제어기(84)는 외부 수신기의 진폭과 무효 신호(null signal)를 감지할 수 있는 아날로그 입력을 가진다. 마이크로제어기(84)와 아날로그 신호 감지부는 A/D 컨버터(analog/digital converter)(310), DSL(digital signal logic)(312) 아날로그 신호 평균기(analog signal averager)(314) 및 디지털 전위차계 구동기(digital potentiometer driver)(316)를 갖는 마이크로제어기/마이크로프로세서(84)를 포함하고 있다. 마이크로제어기(84)는 A/D 컨버터(310)를 통하여 신호 레벨을 탐지하고 도 8 및 도 10의 회로에서 PBX 측과 전화기 측의 디지털 전위차계 또는 그 유사 장치 등을 주기적으로 조정한다. 특히, 네 개의 인터페이스 회로를 포함하는 완전한 시스템과 함께 A/D 컨버터(310)가 여섯 개의 전압을 탐지하고 마이크로제어기(84)가 여덟 개의 디지털 전위차계 또는 그 유사 장치를 제어한다.

컴퓨터 전화 시스템에서 마이크로제어기(84)는 주로 다른 기능들과도 관련되 므로 파워-업(power-up)시나 마이크로제어기가 쉬고 있을 때 신호 레벨을 조정할 필요가 있다. 직렬 데이터 라인 통신 형태인 디지털 전위차계 구동기(316)는 택일적으로 마이크로제어기(84)에 내장될 수도 있다. 탐지되는 아날로그 신호는 평균 10 내지 1000 주기의 피크 무효 전압, 평균한 피크 신호 레벨 및 제로 오프셋 전압들이다. 신호 평균기(314)내의 다이오드(320, 322)는 피크 AC 신호로 커패시터(324, 326)를 충전시킬 수 있게 한다. 커패시터(324, 326)는 천천히 방전되며 시간 평균을 갖는다. DC 신호(제로 오프셋)를 구하기 위해서는 간단한 RC 저역 필터(330, 332)를 이용하여 AC 신호 성분을 제거하고 베이스라인 전압(baseline voltage)만 남기면 된다.

초기에 제로 포트(236, RP1)를 조정하여 원하는 오프셋값(예를 들면 +2.0V 또는 +1.6V)을 얻는다. 다음 신호 레벨을 외부 소스측으로부터만 수신한 신호와 함께 측정한다. 이는 외부 송신기를 특정하고 수신기의 임계값을 설정하고 송신기의 신호 레벨을 선정하는 데 이용될 수 있다. DSL(312)의 목적은 적당한 로직 신호를 송신기(TXP 및 TXN)에 제공하고, 테스트용 신호를 비활성화하며, 무효 조정 과정에 필요한 테스트 신호를 제공하고, 무효부를 위한 약간 지연된 전송 신호(TNULL)를 제공하는 데 있다. 여기서의 로직은 프로그램 가능한 로직 장치로 가장 잘 구현될 수 있으나 DSP(digital signal processer), 개별적인 로직 장치 또는 상용 장치를 통해서도 가능하다.

도 12는 전화기 측과 PBX 측 양측에 디지털 전화선을 연결하기 위한 변압기형 배치(transformer type arrangement)를 나타낸다. 여기에는 도 6에 도시된 아 날로그 인터페이스 회로가 두 개 있다. 이 중 하나는 전화기측을 위한 것이고 다른 하나는 PBX측을 위한 것이다. 따라서, 도 7 및 도 9의 회로를 결합시킨 것이다. 도 12의 배치 구성에서 제1 변압기(340)는 라인(346, 348)을 통하여 PBX의 (+)단자와 (-)단자에 각각 연결되는 권선(342, 344)을 가지고 있다. 제2 변압기(350)는 라인(356, 358)을 통하여 전화기의 (+)단자와 (-)단자에 각각 연결되는 권선(352, 354)을 가지고 있다. 권선(342, 352)은 라인(362)을 통하여 연결되어 있고, 권선(344, 354)은 라인(364)을 통하여 연결되어 있으며 라인(362, 364)은 커패시터(368)에 연결되어 있다. 변압기(340)는 권선(342, 344)에 연결되어 있는 권선(370)을 가지고 있다. 권선(370)은 라인(372, 374)을 통하여 저항성 전압 분리기(376)에 연결되어 있다. 또한 라인(372, 374)은 앞서 설명한 PBX 측에 제공된 도 6의 아날로그 인터페이스 회로의 라인(124, 126)에 각각 연결되어 있다. 이와 유사하게, 변압기(350)는 권선(352, 354)에 연결되어 있는 권선(380)을 가지고 있다. 권선(380)은 라인(382, 384)을 통하여 저항성 전압 분리기(386)에 연결되어 있다. 또한 라인(382, 384)은 앞서 설명한 전화기 측에 제공된 도 6의 아날로그 인터페이스 회로의 라인(124, 126)에 각각 연결되어 있다.

어떤 조건하에서는 라인 임피던스를 특정치로 조정하는 게 유리하다. 종래의 듀플렉서(duplexer)는 라인 임피던스 부정합으로 인한 두 개의 반대되는 결과를 낳고 있었다. 그 중 하나는 무효화를 방해하여 송신된 신호에 누설이 생기게 하고 외부의 수신 신호와 간섭이 발생하게 하는 것이다. 본 발명에 따른 인터페이스의 자동 무효화는 임피던스 부정합이 발생하더라도 상기한 점을 방지한다. 이러한 이 유로 공칭 정합(100 ohm)이 적당하기 때문에 정확한 임피던스 정합은 보통 필요하지 않다.

부정합의 또 다른 결과는 신호 반사 또는 에코이다. 장거리 통신선에서는, 일단에서 전송된 펄스는 라인 임피던스와 동일한 임피던스로 소멸하지 않을 경우 타단에서 부분적으로 반사한다. 반사된 신호의 진폭은 부정합 정도만큼 증가하며 신호의 시간 지연은 라인의 길이만큼 증가한다. 수신기는 그 자체에서 수신한 전송 신호만 보기 때문에 일단에서의 부정합으로 인해 타단에서도 문제가 발생한다. 시간 지연이 짧은 단거리 통신선에서는, 본 발명에 따른 인터페이스의 자동 무효화는 이러한 문제점을 해결할 수 있지만 장시간의 지연에 대해서는 무효 신호가 정합하지 않게 되고 따라서 무효화에도 영향을 미치기 못하게 된다.

도 13은 장거리 라인/장시간 지연 상황을 위한 본 발명에 따른 동적 라인 임피던스 정합 방법을 나타낸다. 수신 신호의 값(β)은 전위차계 설정시 결정하며 송신기 측, 즉 송신 증폭기(146')의 TX-AUX 입력으로 피드백한다(음의 피드백임). 표준화 시험에서 언급한 바와 같이, 이는 다음의 관계식에 따라 라인 임피던스(ZL)를 감소시킨다.

$$Z_L = \frac{Z_O}{1+\frac{1}{\beta}}$$

여기서 Zo는 피드백하지 않았을 때의 라인 임피던스다.

도 14 내지 도 18은 본 발명의 바람직한 실시예에 따른 범용 인터페이스를 나타낸다. 도 14 내지 도 18에 따른 시스템은 범용 라인 드라이버 인터페이스(400), 마이크로제어기(402) 및 네트워크 인터페이스 또는 FPGA(field programmable gate array)(404)를 포함하고 있다. 릴레이 로직부(406)는 PBX/전화기 세트 인터페이스를 제공한다. 특히, 로직부(406)는 PBX(410)와 전화기 세트(412)가 범용 라인 드라이버 인터페이스(400)에 연결되어 있는지 또는 이를 바이패스하고 있는지를 판단한다. ISA 인터페이스부(414)는 개인용 컴퓨터(PC)에 대한 호스트 인터페이스를 제공한다(도시하지 않음).

도 4 내지 도 11에 따른 실시예와 같이, 범용 라인 드라이버 인터페이스(400)는 PBX 측 및 전화기 측 송신기 인터페이스 및 수신기 인터페이스를 포함한다.

도 15는 PBX측 수신기 인터페이스를 나타낸다. 라인(420, 422)은 도 6에서 설명한 균형적 라인 쌍과 유사한 방식으로 (도 16에 나타낸) PBX 측 수신기 인터페이스에 연결되어 있다. 입력 스테이지는 도 6 및 도 7의 증폭기(130)와 도 8의 증폭기(170)에 대응하는 차동 증폭기(426)를 포함하고 있다. 무효화부는 도 6 및 도 7의 증폭기(134)와 도 8의 증폭기(186)에 대응하는 증폭기(428)를 포함하고 있다. 라인(430, 432, 434)은 도 15의 회로의 아날로그 스위치(431, 433, 435)를 각각 네트워크 인터페이스(404)에 연결하고, 라인(436, 438)은 회로의 대응 영역을 마이크로제어기(402)에 연결하고 있다.

비교기 스테이지는 도 6 및 도 7의 비교기(136, 138)와 도 8의 비교기(194, 196)에 대응하는 비교기(440, 442)를 포함하고 있다. 도 8의 회로에서의 반전 증폭기(214)에 대응하는 반전 증폭기(444)를 포함하는 도 15의 회로부에서 비교기의 임계값을 조정한다. 도 8의 회로에서와 같이 디지털 전위차계가 임계값 조정을 제어한다. 도 15에 도시된 회로에는 쿼드형(quad type) 디지털 전위차계(450)가 이용된다. 디지털 전위차계(450)는 라인(452)을 통하여 회로의 임계값 조정부에 연결되어 있다. 비교기의 출력은 라인(454, 456)을 통하여 네트워크 인터페이스(404)에 연결되어 있다. 디지털 전위차계(450)는 라인(460, 462)을 통하여 네트워크 인터페이스(404)에 연결되어 있고, 또한 라인(464)을 통하여 (도 16에 나타낸) PBX 측 송신기 인터페이스에 연결되어 있다. 도 15의 라인(468)은 디지털 전위차계(450)와 마이크로제어기(402)사이의 연결을 총괄해서 나타낸 것이다. 도 15의 회로에서 증폭기(470)는 도 8의 회로에서의 TX-NULL 증폭기(218)와 유사한 기능을 수행한다. 디지털 전위차계(450)로부터의 제어 신호는 라인(472, 474)을 통하여 증폭기(470)의 입력으로 전달된다. 증폭기(470)의 출력이 무효화부에 제공되고, 도 15의 회로에서의 제너 다이오드(476)가 도 8의 회로에서의 제너 다이오드(248)와 유사한 기능을 수행한다.

도 16은 PBX 측 송신기 인터페이스를 나타낸다. 라인(480, 482)은 송신기 인터페이스를 앞서 도 6의 연결 구성에서 설명한 것처럼 안정된 라인 쌍에서와 유사한 방법으로 도 15의 수신기 인터페이스 회로의 라인(420, 422)에 각각 연결한다. 증폭기(486)는 도 9의 증폭기(146)와 도 10의 회로에서의 증폭기(272)에 대응한다. TX-레벨은 도 15의 회로에서의 디지털 전위차계(450)로부터의 라인(464)에 연결되어 있는 라인(490)상의 신호에 의해 제어된다. 도 16의 회로에서 인버터(494)는 도 10의 회로에서의 인버터(290)에 대응하고, 전류 구동기(496, 498)는 도 10의 회로에서의 전류 구동기(284, 286)에 대응한다.

도 17은 전화기 측 수신기 인터페이스를 나타낸다. 라인(520, 522)은 수신기 인터페이스를 앞서 도 6의 연결 구성에서 설명한 것처럼 균형적 라인 쌍에서와 유사한 방법으로 도 18에 도시한 전화기 측 송신기 인터페이스에 각각 연결한다. 입력 스테이지는 도 15에서의 증폭기(426)와 유사한 차동 증폭기(526)를 포함한다. 무효화부는 도 15에서의 증폭기(428)와 유사한 증폭기(528)를 포함한다. 라인(530, 532, 534)은 도 17의 회로에서의 영역을 네트워크 인터페이스(404)에 연결하며, 라인(536)은 도 17의 회로에서의 영역을 마이크로제어기(402)에 연결한다.

비교기 스테이지는 도 15의 회로에서의 비교기(440, 442)와 유사한 비교기(540, 542)를 포함한다. 도 15의 회로에서의 반전 증폭기(440)와 유사한 반전 증폭기(544)를 포함하는 도 17의 회로에서의 영역을 통하여 비교기의 임계값 조정이 이루어진다. 도 15의 회로에서의 디지털 전위차계(450)와 유사한 쿼드형 디지털 전위차계(550)가 임계값 조정을 제어한다. 라인(552)은 전위차계(550)를 회로의 임계값 조정부에 연결하고 있다. 비교기의 출력은 라인(554, 556)을 통하여 네트워크 인터페이스(404)에 연결되어 있다. 디지털 전위차계(550)는 라인(560, 562)을 통하여 네트워크 인터페이스(404)에 연결되어 있으며 라인(564)을 통하여 (도 18에 나타낸) 전화기 측 송신기 인터페이스에 연결되어 있다. 도 17에서 라인(568)은 디지털 전위차계(550)와 마이크로제어기(402) 사이의 연결 구성을 총괄해서 나타낸다. 도 17의 회로에서 증폭기(570)는 도 15의 회로에서의 증폭기(470)와 유사한 기능을 수행한다. 디지털 전위차계(550)의 제어 신호는 라인(572, 574)을 통하여 증폭기(570)의 입력으로 전달된다. 증폭기의 출력(570)은 무효화부로 공급되고, 제너 다이오드(576)는 도 15의 회로에서의 제너 다이오드(476)와 유사하다.

도 18은 전화기 측 송신기 인터페이스를 나타낸다. 라인(580, 582)은 송신기 인터페이스를 앞서 도 6의 연결 구성에서 설명한 것처럼 균형적 라인 쌍에서와 유사한 방법으로 도 17의 수신기 인터페이스 회로의 라인(520, 522)에 각각 연결한다. 증폭기(586)는 도 16의 증폭기(486)와 유사하고, TX-레벨은 도 17의 회로에서의 디지털 전위차계(550)로부터의 라인(564)에 연결되어 있는 라인(590)상의 신호에 의해 제어된다. 도 18의 회로에서 인버터(594)는 도 16의 회로에서의 인버터(494)와 유사하고, 전류 구동기(596, 598)는 도 16의 회로에서의 전류 구동기(496, 498)와 유사하다. 물론 도 14 내지 도 18의 시스템의 회로에서의 디지털 전위차계를 이와 대체 가능한 장치로 대용할 수도 있

다.

도 14 내지 도 18의 시스템에서 디지털 전위차계(포트)를 조정하기 위한 알고리즘은 다음과 같다. 도 14 내지 도 18의 시스템은 몇몇 제조자의 PBX에 대한 인터페이스를 제공하기 위하여 설계된 것이다. 회로는 회로 조정 및 신호 측정을 위하여 여덟 개의 디지털 포트(두 개의 쿼드 450, 550로 이루어진 네 개의 포트) 및 여덟 개의 A/D 컨버터를 포함하며, 다양한 PBX 전송 프로토콜에 적용하고 성분 오차(component tolerance)를 보상할 수 있도록 임계 회로 매개변수를 조정한다. 또한, PBX와 전화기 사이에 활성화되어 있는 회로상에서 조정이 이루어지기 때문에 회로의 루프 길이도 보상할 수 있다. 이에 따라 에러가 없는 매우 강건한(robust) 방법을 제공할 수 있다.

회로는 PBX 제조자가 그들의 장치를 이용하여 PBX의 특정 부품(FPGA 등)에 제공된 미처리 디지털 스트림을 실제 디지털 비트스트림으로 디코딩하는 데 사용되는 몇몇 특정 방법으로부터 변형된, PBX 및 데스크탑 핸드셋에 대한 몇 가지 인터페이스를 제공한다.

전체 개념은, 신호의 전압 스윙을 판단하기 위해 입력신호를 약 2.5 V로 바이어스하고(2.5V 신호에 대해서는 가상 접지를 제공), 가상 접지에 대한 최대 및 최소 피크치를 분리하기 위한 임계 값을 연산하는 것이다. 이로부터 레벨을 검출하는 데 사용하기 위한 상한 및 하한 신호 임계값을 연산한다. 회로의 이 부분을 무효 캘리브레이션(NULL calibration)이라 부른다.

다음의 설명에서 용어 'SET'은 전화기 송수화기에 관한 것을 지시하는 것으로서 '설정하다'의 의미인 'Set'나 'set'와 구별된다.

도 14 내지 도 18의 회로에서 여덟 개의 디지털 포트는 다음과 같은 기능을 제공한다.

0 - PBX 제로 레벨

가상 접지를 설정하기 위하여 입력 신호에 더해진 바이어스를 조정한다.

1 - PBX 무효

신호 스트림으로부터 추출된 전송 신호의 진폭을 조정한다.

2 - PBX Tx 레벨

PBX 로의 전송 레벨을 조정한다.

3 - PBX 임계값

수신 신호를 감지하기 위하여 +/- 임계값의 가상 접지로부터의 오프셋(offset)을 조정한다.

4 - SET 제로 레벨

가상 접지를 설정하기 위하여 입력 신호에 더해진 바이어스를 조정한다.

5 - SET 무효

신호 스트림으로부터 추출된 전송 신호의 진폭을 조정한다.

6 - SET Tx 레벨

PBX 로의 전송 레벨을 조정한다.

7 - SET 임계값

수신 신호를 감지하기 위하여 +/- 임계값의 가상 접지로부터의 오프셋(offset)을 조정한다.

여덟 개의 A/D 컨버터가 회로의 다양한 신호를 측정한다. 또한, 네 개의 아날로그 스위치는 각 A/D 컨버터 채널이 하나 이상의 신호를 측정할 수 있도록 한다. A/D 컨버터는 다음과 같은 기능을 수행한다.

0-PBX 제로 레벨

포트(pot)(0)로 실제 제로 레벨 세트를 측정한다.

1-PBX 피크 탐지

PBX 수신 또는 PBX 전송 신호의 피크치를 측정한다.

2-SET 제로 레벨

포트(4)로 실제 제로 레벨 세트를 측정한다.

3-SET 피크 탐지

SET 수신 또는 SET 전송 신호의 피크값을 측정한다.

4-PBX 임계값+

포트(3)로 설정된 상한 임계값을 측정한다.

5-PBX 임계값-

포트(3)로 설정된 하한 임계값을 측정한다.

6-SET 임계값+

포트(7)로 설정된 상한 임계값을 측정한다.

7-SET 임계값-

포트(7)로 설정된 하한 임계값을 측정한다.

PBX 및 SET 피크 탐지 ADC 채널은 아날로그 스위치를 가지며, 아날로그 스위치는 이러한 채널이 전송 신호 또는 수신 신호를 측정하는 데 사용되도록 해 준다. 이는 도 15의 회로의 라인(432, 434) 및 도 17의 회로의 라인(532, 534)상에서 RS_SEL 제어 비트를 설정하거나 소거하는 데 사용한다. PBX 및 SET 피크 탐지 ADC 채널은 간격마다에 피크치를 유지하도록 이들과 관련된 회로를 가지므로 ADC로 나중에 판독할 수 있다. 이러한 피크 탐지기는 각각 도 15 및 도 17의 회로에서 라인(430, 530)상의 PV_CLR 제어 비트를 설정함으로써 소거하며, 이 PV_CLR 제어 비트는 피크 탐지기를 지면에 접지시키는 아날로그 스위치를 제어한다. 이 회로의 RC 상수는 대략 10ms이므로, PV_CLR은 적어도 탐지기를 소거할만큼 길게 높도록 유 지된다. PV_CLR은 유효 피크를 레지스터하는 데 충분한 시간 동안 낮게 유지되어야 한다.

설정 신호 탐지 특성은 성능을 최적화하기 위하여 다음과 같이 포트를 설정하기 위한 알고리즘으로 이루어진다.

1. 바이어스 전압을 2.5V에서 설정하기 위하여 제로 레벨 포트를 설정한다. 이러한 포트의 초기값을 표에 나타낸다.
2. 실제 바이어스 전압이 2.5V인 경우, 제로 레벨 ADC 채널을 판독하여 결정한다.
3. 제로 레벨 ADC에 2,5V가 나타날 때까지 제로 레벨 포트를 조정한다. 이 제로값을 VZ라고 한다.
4. 피크 탐지 ADC 채널을 판독하여 입력 신호의 최대값을 결정한다. 이 값을 $V_{\text{피크+}}$ 라고 한다.
5. 임계값 포트를 설정하여 임계값이 제로값에 대하여 피크의 60%가 되도록 한다. 이는 임계값 = $0.6 \times (V_{\text{피크+}} - V_z) + V_z$
$= 0.6 \times V_{\text{피크+}} - 0.6 \times V_z + V_z$
$= 0.6 \times V_{\text{피크+}} - 0.4 \times V_z$ 에 일치한다.
6. 임계값+ 포트를 판독한다. 이를 $V_{\text{임계값+}}$ 라고 한다.
7. 임계값+ 포트를 판독한다. 이를 $V_{\text{임계값-}}$ 라고 한다.
8. 제로 레벨 포트값을 판독하여 제로 레벨 ADC 채널로 판독한 제로 레벨 전압이 $V_{\text{임계값+}} + V_{\text{임계값-}}/2$ 가 되도록 한다.

이렇게 함으로써 실제 지면은 임계값간의 중심에 위치하고, 계산보다는 측정을 통하여 이루어지므로 성분 오차가 확실히 적당하게 보상된다.

다음은 명목상의 포트 설정과 ADC 판독을 결정하는 계산을 예시한다. 포트 설정의 의미 및 ADC 판독의 해석은 다양한 회로 파라미터에 기반을 둔다. 다음에 각 포트 및 ADC 용의 파라미터를 기재하여 소프트웨어 측면에서 수치의 의미를 제공한다.

제로 레벨 ADC 채널은 Zv ADC 채널에 연결된 저항의 접합과 함께 1M의 저항 및 100K의 저항의 일련의 조합을 포함하는 저항 네트워크와 관련된다. 여기서 1M 저항은 5V 전원과 연결되고, 1M 저항은 회로에서 전압이 2.5V인 지점에 연결된다. 이러한 네트워크는 도 15의 회로에 포함되고, 여기서 저항(620, 622)은 5V 전력 단자 및 2.5V 신호 레벨이 존재하는 회로내 지점간을 일렬로 연결한다. 여기서 저항(620, 622)의 접합은 라인(438)에 의하여 마이크로 제어기(402)로 제공된 Zv ADC 채널에 연결된다. 유사한 네트워크는 도 17의 회로에 포함되고, 저항(624, 626)의 접합은 라인(538)에 의하여 마이크로제어기(402)에 연결된다.

제로 레벨 포트는 조절되어, 제로 레벨 ADC는 2.5V를 가리킨다.

ADC에서의 전압은 $= 2.5 + (5.0 - 2.5) \times 1.0 \times 10^5 / 1.1 \times 10^6$
$= 2.5 + 2.5/11$
$= 2.5 + 0.2273$
$= 2.7273$
이다.

이 값은 16진법의 포트값인 0 ×8c의 ADC 값에 대응한다.

피크 탐지 ADC 채널은 자신에 연결된 저항의 접합과 함께 4.7K의 저항 및 820Ω의 저항의 일련의 조합을 포함하는 저항 네트워크와 관련된다. 여기서 4.7K 저항은 5V 전원과 연결되고, 820Ω저항은 피크 탐지기의 전압이 존재하는 회로의 지점에 연결된다. 도 15의 회로의 이러한 네트워크는 저항(630, 632)의 일련의 조합을 포함하며, 여기서 저항의 접합은 라인(634)에 의하여 아날로그 스위치(433)에 연결된다. 이러한 또다른 네트워크는 저항(636, 638)의 일련의 조합을 포함하고, 여기서 저항의 접합은 라인(640)에 의하여 아날로그 스위치(435)에 연결된다. 여기서 저항(644, 646)의 접합은 라인(648)에 의하여 아날로그 스위치(533)에 연결되고, 저항(652, 654)의 접합은 라인(656)에 의하여 아날로그 스위치(535)에 연결된다.

이 경우, 피크 레벨 ADC를 판독하여 V_p 값을 알기를 원한다는 가정하에, 피크 탐지기 V_p 에서의 전압을 구하는 것을 원한다.

$V_{adc} = V_p + (5.0 - V_p) \times 820/(4700 + 820)$
$V_{adc} = V_p + (5.0 - V_p) \times 820/5520$
$V_{adc} = V_p + (820 \times 5.0 - 820 \times V_p)/5520$
$V_{adc} = 4700V_p/5520 + 4100/5520$
$V_{adc} = 4100/5520 + 4700V_p/5520$
$5520V_{adc}/4700 - 4100/4700 = V_p$
$1.1744 \times V_{adc} - 0.8723 = V_p$

임계값 POT는 5K 저항의 직렬 연결을 포함하는 저항 네트워크와 관련되며, 10K 저항 및 10K 저항이 형성된 15K 저항이 상호 연결되며, 5K 저항은 5V 전원과 연결되고, 15K 저항은 접지된다. 임계 전압이 10K 저항에 걸린다. 5K 저항과 10K 저항의 접합점의 전압은 V_a 이고, 10K 저항과 15K 저항의 접합점간의 전압은 V_b 이다.

POT의 범위는 V_a 및 V_b 로 지배되며, 다음과 같이 계산된다.

$V_a = (10 + 15)/30 \times 5.0V$ $V_b = 15/30 \times 5.0V$
$V_a = 25/30 \times 5.0V$ $V_b = 2.5V$
$V_a = 4.1667V$

따라서 임계 전압용 전압 변동은 3.5V 4.1667V 이다.

표 1은 회로용 임계값을 설정하는 데 필요한 임계 POT값을 계산하기 위한 예시적인 값을 나타낸다. 이 연산은 피크 탐지기가 판독될 것을 요한다. 열에서의 수치는 '피크 탐지기 ADC 값'으로 이름을 붙인다. 다음 열은 ADC 값이 나타내는 피크 전압이다. 다음 열은 목표 임계 전압이다. 열 레이블 'POT 값'은 목표 임계값을 얻기 위하여 POT로 필요한 값을 계산하고, 다음의 열은 이를 헥스(hex)로 전환하여, 잘라서 C 소스 파일에 붙일 수 있게 한다. Vs, R1, R2 값은

회로로부터 구해지고, 임계 퍼센트는 목표 레벨에 따라 변할 수 있다.

[표 1]

임계값 60%	Vs 5.0	R1 4700	R2 820
피크 탐지기 POT 값 ADC 값 헥스내	표출 전압	목표 임계값	POT 값
0 0x00,	-0.8723	0.4766	-311
1 0x00,	-0.8494	0.4904	-309
2 0x00,	-0.8265	0.5041	-307
3 0x00,	-0.8035	0.5179	-304
4 0x00,	-0.7806	0.5316	-302
5 0x00,	-0.7576	0.5454	-300
6 0x00,	-0.7347	0.5592	-298
7 0x00,	-0.7118	0.5729	-296
8 0x00,	-0.6888	0.5867	-294
9 0x00,	-0.6659	0.6005	-292
10 0x00,	-0.6430	0.6142	-290
15 0x00,	-0.5283	0.6830	-279
20 0x00,	-0.4136	0.7519	-269
30 0x00,	-0.1842	0.8895	-247
50 0x00,	-0.2746	1.1648	-205
100 0x00,	1.4215	1.8529	-99
150 0x06,	2.5685	2.5411	6
200 0x70,	3.7154	3.2293	112
250 0xDA	4.8624	3.9174	218

도 19 및 도 20의 흐름도는 각각 도 15 및 도 17의 회로에서 PBX 디지털 포트(450) 및 SET 디지털 포트(550)를 조정하기 위한 방법을 예시한다.

따라서 본 발명은 의도한 목적을 달성하는 것이 명백하다. 본 발명의 실시예를 상세하게 기술하였지만, 이는 예시적인 목적을 위한 것이며 한정을 위한 것은 아니다.

부록 A

이중 연산식 기재

표준 전화와 일부 디지털 전화는 한 쌍의 라인 및 균형잡힌 라인을 따라 양방향으로 신호를 전송한다. 같은 회로가 도 A1에 나타나 있다. 양쪽은 전압원 V_{1T} 및 V_{2T} 으로 표시한 전송기를 지닌다. 소스 저항 R_s 는 표준용, 오디오 영역용 및 전화용으로 라인택된 라인저항(600Ω) 및 디지털 전화용으로 50Ω또는 100Ω이다. 변압기 부하 임피던스(R_L) 및 라인임피던스는 소스 임피던스와 동일하다. 이중 연산에 의하여 데이터는 동시에 양방향으로 전송(및 수신)될 수 있다는 것을 의미한다.

일방향 전송용으로 단순화된 회로를 도 A2에 나타내며, 여기서 임피던스는 변압기를 통하여 반영되고, 신호는 격리(isolation)를 무시한다.

적정 임피던스(R_L - R_S)에서 라인이 차단된다고 가정하면, 라인 양단의 전압은 생성 전압의 반 즉, $V_L = V_g/2$ 가 된다.

통상적으로 V_L 은 0.2 3V(피크간)의 범위에 있다.

듀플렉서 회로

듀플렉서 회로는 전송 및 수신된 신호를 일단에서 격리한다. 하나는 양단에 필요하다. 변압기를 수반하는 '이중' 회로는 동일한 기능을 수행하지만, 여기서는 변압기가 없는 회로를 원한다. 단순화한 표를 도 A3에 나타낸다.

$R_L = R_S$ (적정 임피던스로 정의한 라인)인 경우 $V_L = V_g/2$ 라면, 전압 분배기 포트는 또한 $V_{TN} = V_g/2$로 설정된다. 따라서 편차 증폭기(V_{REC})의 출력은 0이 될 것이다. 다른 한편으로, 포트가 채택되어, 수신 증폭기 출력에서 전송된 신호를 0으로 만든다. 각 단에 2개의 듀플렉서(도 A4)를 사용함으로써, 일단에서 전송된 데이터를 타단에

서 수신할 수 있지만, 일단에서 전송된 신호는 여기서 수신기에 의해 픽업되지 않는다.

전송 신호는 라인 임피던스가 알려진 바와 같이 대개 $R_S = R_L$ 인 경우, 자체 수신기에서 0이 될 수 있다. 신호가 특정 R_L 에서 0이 되는 경우, R_L 에서의 임의의 변화는 0을 파괴하므로 수신 및 전송된 신호는 더 이상 분리되지 않는다. 명확히 라인 정합은 이러한 유형의 듀플렉서(또한 변압기 유형)에서 중요하다.

라인 드라이버 전류 및 전압

전류원(I_S)은 부하(R_L/2)에 요구되는 피크 신호 전압(V_L/2)을 산출할 수 있어야 한다.

$I_S = 2V_L/R_L$

롬(Rolm)의 경우, I_S = 1.25/50 = 0.025A 이다. 또한 소스는 라인 신호 레벨보다 높은 전압 한계를 가져야 한다(2.5v 피크 또는 5v pp). 이것은 연산 증폭기(OP-AMP)가 ±5V의 최소 전압 및 ±25mA의 최소 전류를 구비함을 의미한다(기타 저항에도 사용됨). 전체 라인전류는 양 구동 장치가 전송하는 경우, ±50mA 피크 또는 100mA pp이다. OP-AMP는 출력시 ±6 ~ 12V 의 전압 및 ±40 ~ -80mA의 전류가 필요할 수 있다.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

삭제

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

삭제

청구항 17.

삭제

청구항 18.

삭제

청구항 19.

삭제

청구항 20.

삭제

청구항 21.

삭제

청구항 22.

삭제

청구항 23.

삭제

청구항 24.

삭제

청구항 25.

삭제

청구항 26.

삭제

청구항 27.

삭제

청구항 28.

삭제

청구항 29.

삭제

청구항 30.

삭제

청구항 31.

삭제

청구항 32.

삭제

청구항 33.

삭제

청구항 34.

삭제

청구항 35.

삭제

청구항 36.

삭제

청구항 37.

제어기를 포함하는 컴퓨터,
상기 컴퓨터에 연결되는 컴퓨터 전화 인터페이스.
상기 컴퓨터 전화 인터페이스에 연결되는 라인 드라이버 인터페이스,
상기 라인 드라이버 인터페이스에 연결되는 구내 교환기(private branch excange, PBX), 및
상기 라인 드라이버 인터페이스에 연결되는 디지털 전화 세트
를 포함하며,
상기 라인 드라이버 인터페이스는
네트워크 인터페이스 로직, 및
상기 네트워크 인터페이스 로직, 상기 PBX, 및 상기 디지털 전화 세트에 연결되고, 상기 네트워크 인터페이스 로직을 자동으로 구성하며, 상이한 송신 및 수신 전압 레벨을 적합하게 변경하고(adpat), 여러 전화 라인 임피던스를 정합하는 범용 라인 드라이버/수신기(univeral line driver/receiver, ULDR)
를 포함하고,
상기 컴퓨터의 상기 제어기는 상기 네트워크 인터페이스 로직 및 상기 ULDR에 연결되어 프로그래밍을 통해 상기 ULDR에 연결된 PBX의 유형에 따라 상기 ULDR의 연산 파라미터를 변경하며, 상기 ULDR의 신호에 대한 신호 레벨를 감시하고 조절하는
컴퓨터 전화 시스템.

청구항 38.

제37항에서,
상기 ULDR은 상기 PBX에 연결되는 제1 송수신 인터페이스부 및 상기 디지털 전화 세트에 연결되는 제2 송수신 인터페이스부를 포함하는 컴퓨터 전화 시스템.

청구항 39.

제38항에서,
상기 제1 및 제2 송수신 인터페이스부는 송신 및 수신된 신호를 분리하는 아날로그 듀플렉서(duplexer) 수단을 포함하는 컴퓨터 전화 시스템.

청구항 40.

제38항에서,
상기 제1 및 제2 송수신 인터페이스부는 수신부와 송신부를 포함하는 컴퓨터 전화 시스템.

청구항 41.

제40항에서,

상기 수신부는 상기 수신부의 송신 신호를 무효화하는 무효화 회로 수단을 포함하는 컴퓨터 전화 시스템.

청구항 42.

제38항에서,

상기 제어기는 상기 제1 및 제2 송수신 인터페이스부의 아날로그 신호를 감시하는 컴퓨터 전화 시스템.

청구항 43.

제42항에서,

상기 제1 및 제2 송수신 인터페이스부의 상기 아날로그 신호는 피크 무효 전압, 피크 신호 레벨, 그리고 평균 및 오프셋 전압을 포함하는 컴퓨터 전화 시스템.

청구항 44.

제40항에서,

상기 수신부는 상기 제어기에 의해 조절되는 임계 전압을 갖는 비교기를 포함하는 컴퓨터 전화 시스템.

청구항 45.

제40항에서,

상기 제어기는 상기 송신부의 송신 신호 레벨을 조절하는 컴퓨터 전화 시스템.

청구항 46.

제40항에서,

상기 수신부는 그 내부의 신호 레벨을 제어하는 디지털 전위차계 (potentiometer) 수단을 포함하는 컴퓨터 전화 시스템.

청구항 47.

제46항에서,

상기 제어기는 상기 디지털 전위차계 수단을 조절하는 컴퓨터 전화 시스템.

청구항 48.

제40항에서,

상기 송신부는

임피던스 피드백 보상 수단, 및

상기 임피던스 피드백 보상 수단의 출력으로 변환되어 안정된 송신 신호원을 제공하는 전류 구동 수단

을 포함하는 컴퓨터 전화 시스템.

청구항 49.

제어기를 포함하는 컴퓨터,

상기 컴퓨터에 연결되는 컴퓨터 전화 인터페이스,

상기 컴퓨터 전화 인터페이스에 연결되는 라인 드라이버 인터페이스, 및

상기 라인 드라이버 인터페이스에 연결되는 구내 교환기(PBX),

를 포함하며,

상기 라인 드라이버 인터페이스는

네트워크 인터페이스 로직, 및

상기 네트워크 인터페이스 로직 및 상기 PBX에 연결되며, 상기 네트워크 인터페이스 로직을 자동으로 구성하는 범용 라인 드라이버/수신기(ULDR)

를 포함하고,

상기 컴퓨터의 상기 제어기는 상기 네트워크 인터페이스 로직 및 상기 ULDR에 연결되어 프로그래밍을 통해 상기 ULDR에 연결된 PBX의 유형에 따라 상기 ULDR의 연산 파라미터 및 상기 ULDR에 연결된 PBX의 유형의 전기적인 특성의 함수로서 상기 네트워크 인터페이스 로직의 연산 파라미터를 변경하며, 상기 ULDR의 신호에 대한 신호 레벨를 감시하고 조절하는

컴퓨터 전화 시스템.

청구항 50.

제49항에서,

상기 ULDR은 송수신 인터페이스부를 포함하는 컴퓨터 전화 시스템.

청구항 51.

제50항에서,

상기 송수신 인터페이스부는 송신 및 수신된 신호를 분리하는 아날로그 듀플렉서 수단을 포함하는 컴퓨터 전화 시스템.

청구항 52.

제50항에서,

상기 송수신 인터페이스부는 수신부와 송신부를 포함하는 컴퓨터 전화 시스템.

청구항 53.

제52항에서,

상기 수신부는 상기 수신부의 송신 신호를 무효화하는 무효화 회로 수단을 포함하는 컴퓨터 전화 시스템.

청구항 54.

제50항에서,

상기 제어기는 상기 송수신 인터페이스부의 아날로그 신호를 감시하는 컴퓨터 전화 시스템.

청구항 55.

제54항에서,

상기 송수신 인터페이스부의 상기 아날로그 신호는 피크 무효 전압, 피크 신호 레벨, 그리고 평균 및 오프셋 전압을 포함하는 컴퓨터 전화 시스템.

청구항 56.

제52항에서,

상기 수신부는 상기 제어기에 의해 조절되는 임계 전압을 갖는 비교기를 포함하는 컴퓨터 전화 시스템.

청구항 57.

제52항에서,

상기 제어기는 상기 송신부의 송신 신호 레벨을 조절하는 컴퓨터 전화 시스템.

청구항 58.

제52항에서,

상기 수신부는 그 내부의 신호 레벨을 제어하는 디지털 전위차계 수단을 포함하는 컴퓨터 전화 시스템.

청구항 59.

제58항에서,

상기 제어기는 상기 디지털 전위차계 수단을 조절하는 컴퓨터 전화 시스템.

청구항 60.

제52항에서,

상기 송신부는

임피던스 피드백 보상 수단, 및

상기 임피던스 피드백 보상 수단의 출력으로 변환되어 안정된 송신 신호원을 제공하는 전류 구동 수단

을 포함하는 컴퓨터 전화 시스템.

청구항 61.

제어기를 포함하는 컴퓨터,

상기 컴퓨터에 연결되는 컴퓨터 전화 인터페이스,

상기 컴퓨터 전화 인터페이스에 연결되는 라인 드라이버 인터페이스, 및

상기 라인 드라이버 인터페이스에 연결되는 디지털 전화 세트

를 포함하며,

상기 라인 드라이버 인터페이스는

네트워크 인터페이스 로직, 및

상기 네트워크 인터페이스 로직 및 상기 디지털 전화 세트에 연결되고, 상기 네트워크 인터페이스 로직을 자동으로 구성하며, 상이한 송신 및 수신 전압 레벨을 적합하게 변경하고, 여러 전화 라인 임피던스를 정합하는 범용 라인 드라이버/수신기 (ULDR)

를 포함하고,

상기 컴퓨터의 상기 제어기는 상기 네트워크 인터페이스 로직 및 상기 ULDR에 연결되고, 프로그래밍을 통해 상기 ULDR에 연결된 PBX의 유형에 따라 상기 ULDR의 연산 파라미터 및 상기 ULDR에 연결된 PBX의 유형의 전기적인 특성의 함수로서 상기 네트워크 인터페이스 로직의 연산 파라미터를 변경하며, 상기 ULDR의 신호에 대한 신호 레벨를 감시하고 조절하는

컴퓨터 전화 시스템.

청구항 62.

제61항에서,

상기 ULDR은 송수신 인터페이스부를 포함하는 컴퓨터 전화 시스템.

청구항 63.

제62항에서,

상기 송수신 인터페이스부는 송신 및 수신된 신호를 분리하는 아날로그 듀플렉서 수단을 포함하는 컴퓨터 전화 시스템.

청구항 64.

제62항에서,

상기 송수신 인터페이스부는 수신부와 송신부를 포함하는 컴퓨터 전화 시스템.

청구항 65.

제64항에서,

상기 수신부는 상기 수신부의 송신 신호를 무효화하는 무효화 회로 수단을 포함하는 컴퓨터 전화 시스템.

청구항 66.

제62항에서,

상기 제어기는 상기 송수신 인터페이스부의 아날로그 신호를 감시하는 컴퓨터 전화 시스템.

청구항 67.

제66항에서,

상기 송수신 인터페이스부의 상기 아날로그 신호는 피크 무효 전압, 피크 신호 레벨, 그리고 평균 및 오프셋 전압을 포함하는 컴퓨터 전화 시스템.

청구항 68.

제64항에서,

상기 수신부는 상기 제어기에 의해 조절되는 임계 전압을 갖는 비교기를 포함하는 컴퓨터 전화 시스템.

청구항 69.

제64항에서,

상기 제어기는 상기 송신부의 송신 신호 레벨을 조절하는 컴퓨터 전화 시스템.

청구항 70.

제64항에서,

상기 수신부는 그 내부의 신호 레벨을 제어하는 디지털 전위차계 수단을 포함하는 컴퓨터 전화 시스템.

청구항 71.

제70항에서,

상기 제어기는 상기 디지털 전위차계 수단을 조절하는 컴퓨터 전화 시스템.

청구항 72.

제64항에서,

상기 송신부는

임피던스 피드백 보상 수단, 및

상기 임피던스 피드백 보상 수단의 출력으로 변환되어 안정된 송신 신호원을 제공하는 전류 구동 수단

을 포함하는 컴퓨터 전화 시스템.

청구항 73.

컴퓨터 전화 인터페이스.

상기 컴퓨터 전화 인터페이스에 연결되는 라인 드라이버 인터페이스,

상기 라인 드라이버 인터페이스에 연결되는 구내 교환기(PBX), 및

상기 라인 드라이버 인터페이스에 연결되는 디지털 전화 세트

를 포함하며,

상기 라인 드라이버 인터페이스는

네트워크 인터페이스 로직,

상기 네트워크 인터페이스 로직, 상기 PBX, 및 상기 디지털 전화 세트에 연결되고, 상기 네트워크 인터페이스 로직을 자동으로 구성하며, 상이한 송신 및 수신 전압 레벨을 적합하게 변경하고, 여러 전화 라인 임피던스를 정합하는 범용 라인 드라이버/수신기(ULDR), 및

상기 네트워크 인터페이스 로직 및 상기 ULDR에 연결되어 프로그래밍을 통해 상기 ULDR에 연결된 PBX의 유형에 따라 상기 ULDR의 연산 파라미터 및 상기 ULDR에 연결된 PBX의 유형의 전기적인 특성의 함수로서 상기 네트워크 인터페이스 로직의 연산 파라미터를 변경하며, 상기 ULDR의 신호에 대한 신호 레벨를 감시하고 조절하는 프로그램된 제어기

를 포함하는

컴퓨터 전화 시스템.

청구항 74.

제73항에서,

상기 ULDR은 상기 PBX에 연결되는 제1 송수신 인터페이스부 및 상기 디지털 전화 세트에 연결되는 제2 송수신 인터페이스부를 포함하는 컴퓨터 전화 시스템.

청구항 75.

제74항에서,

상기 제1 및 제2 송수신 인터페이스부는 송신 및 수신된 신호를 분리하는 아날로그 듀플렉서 수단을 포함하는 컴퓨터 전화 시스템.

청구항 76.

제74항에서,

상기 제1 및 제2 송수신 인터페이스부는 수신부와 송신부를 포함하는 컴퓨터 전화 시스템.

청구항 77.

제76항에서,

상기 수신부는 상기 수신부의 송신 신호를 무효화하는 무효화 회로 수단을 포함하는 컴퓨터 전화 시스템.

청구항 78.

제74항에서,

상기 프로그램된 제어기는 상기 제1 및 제2 송수신 인터페이스부의 아날로그 신호를 감시하는 컴퓨터 전화 시스템.

청구항 79.

제78항에서,

상기 제1 및 제2 송수신 인터페이스부의 상기 아날로그 신호는 피크 무효 전압, 피크 신호 레벨, 그리고 평균 및 오프셋 전압을 포함하는 컴퓨터 전화 시스템.

청구항 80.

제76항에서,
상기 수신부는 상기 프로그램된 제어기에 의해 조절되는 임계 전압을 갖는 비교기를 포함하는 컴퓨터 전화 시스템.

청구항 81.

제76항에서,
상기 프로그램된 제어기는 상기 송신부의 송신 신호 레벨을 조절하는 컴퓨터 전화 시스템.

청구항 82.

제76항에서,
상기 수신부는 그 내부의 신호 레벨을 제어하는 디지털 전위차계 수단을 포함하는 컴퓨터 전화 시스템.

청구항 83.

제82항에서,
상기 프로그램된 제어기는 상기 디지털 전위차계 수단을 조절하는 컴퓨터 전화 시스템.

청구항 84.

제76항에서,
상기 송신부는
임피던스 피드백 보상 수단, 및
상기 임피던스 피드백 보상 수단의 출력으로 변환되어 안정된 송신 신호원을 제공하는 전류 구동 수단
을 포함하는 컴퓨터 전화 시스템.

청구항 85.

제어기를 포함하는 컴퓨터,
상기 컴퓨터에 연결되는 컴퓨터 전화 인터페이스.
상기 컴퓨터 전화 인터페이스에 연결되는 구내 교환기(PBX), 및
상기 컴퓨터 전화 인터페이스에 연결되는 디지털 전화 세트
를 포함하며,
상기 컴퓨터 전화 인터페이스는
네트워크 인터페이스 로직, 및
상기 네트워크 인터페이스 로직, 상기 PBX, 및 상기 디지털 전화 세트에 연결되고, 상기 네트워크 인터페이스 로직을 자동으로 구성하며, 상이한 송신 및 수신 전압 레벨을 적합하게 변경하고, 여러 전화 라인 임피던스를 정합하는 범용 라인 드라이버/수신기(ULDR)
를 포함하고,
상기 컴퓨터의 상기 제어기는 상기 네트워크 인터페이스 로직 및 상기 ULDR에 연결되어 프로그래밍을 통해 상기 ULDR의 연산 파라미터 및 상기 ULDR에 연결된 PBX의 유형의 전기적인 특성의 함수로서 상기 네트워크 인터페이스 로직의 연산 파라미터를 변경하며, 상기 ULDR의 신호에 대한 신호 레벨를 감시하고 조절하는
컴퓨터 전화 시스템.

청구항 86.

제85항에서,
상기 ULDR은 상기 PBX에 연결되는 제1 송수신 인터페이스부 및 상기 전화 세트에 연결되는 제2 송수신 인터페이스부를 포함하고,
상기 제어기는 상기 제1 및 제2 송수신 인터페이스부의 신호에 대한 신호 레벨을 감시하며, 상기 감시된 신호 레벨에 따라 상기 ULDR의 연산 파라미터를 변경하도록 상기 제1 및 제2 송수신 인터페이스부에 제어 신호를 전송하는
컴퓨터 전화 시스템.

청구항 87.

제86항에서,
상기 제1 및 제2 송수신 인터페이스부의 신호를 감시하는 제어기는
상기 ULDR의 상기 연산 파라미터에 대한 변경 여부를 판단하기 위해 상기 제1 및 제2 송수신 인터페이스부의 피크 무효 전압 및 피크 신호 레벨의 감시를 포함하는 제어기인 컴퓨터 전화 시스템.

청구항 88.

제87항에서,
상기 제어기는 상기 제1 및 제2 송수신 인터페이스부의 평균 및 오프셋 전압을 추가로 감시하고, 상기 감시된 신호 레벨을 원하는 레벨로 조절하는 컴퓨터 전화 시스템.

청구항 89.

제86항에서,
상기 제1 및 제2 송수신 인터페이스부는 상기 제어기에 의해 조절되는 임계 전압을 갖는 비교기를 포함하는 수신부를 각각 포함하는 컴퓨터 전화 시스템.

청구항 90.

제89항에서,

상기 각 수신부는 상기 제어기에 의해 조절되어 상기 감시된 신호 레벨을 상기 원하는 신호 레벨로 변경하는 디지털 전위차계를 더 포함하는 컴퓨터 전화 시스템.

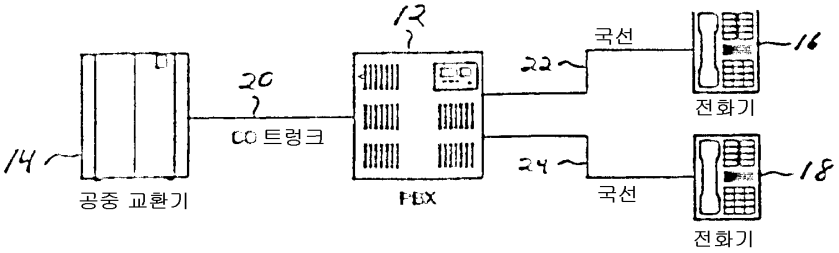
청구항 91.

제89항에서,

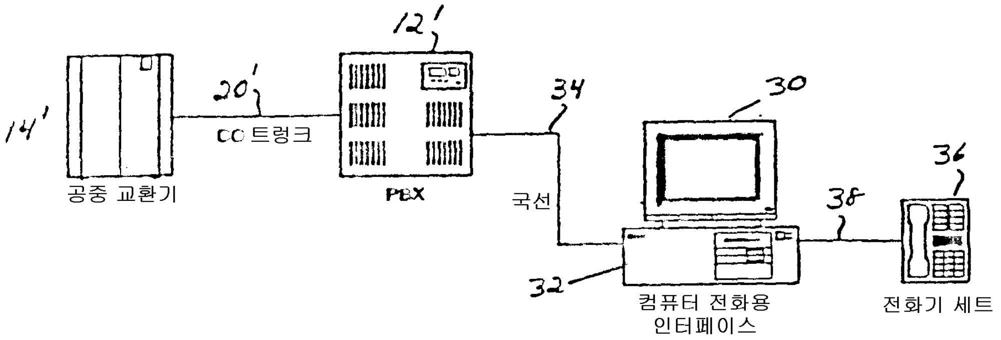
상기 제1 및 제2 송수신 인터페이스부는 상기 제어기에 의해 조절되는 송신 신호 레벨을 구비한 송신부를 각각 포함하는 컴퓨터 전화 시스템.

도면

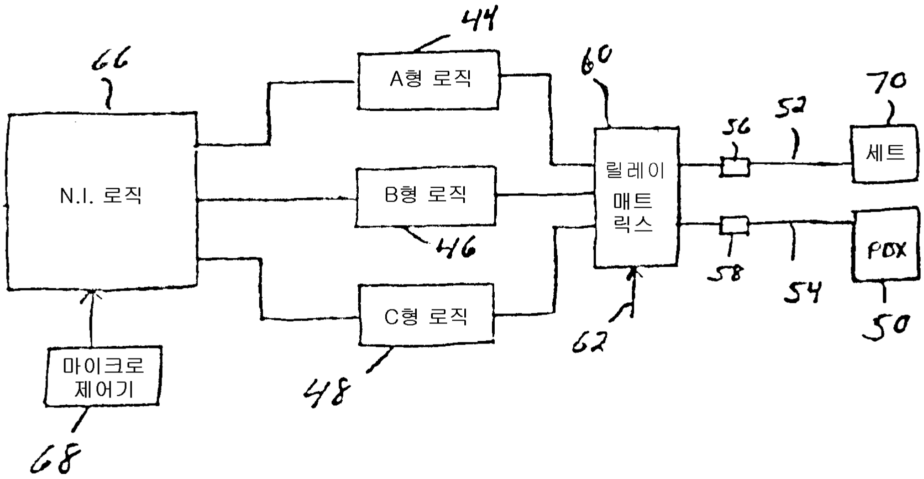
도면1


12
20
CO 트렁크
22
국선
16
전화기
14
공중 교환기
PBX
24
국선
18
전화기

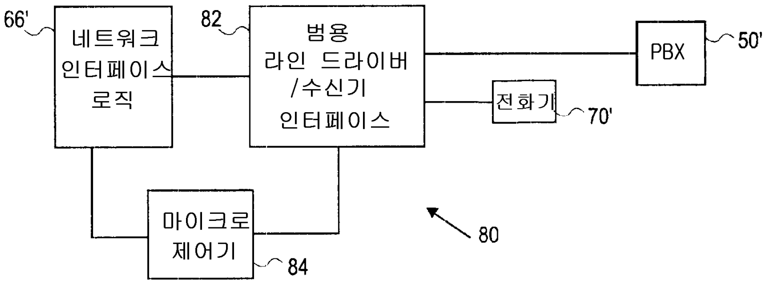
도면2


12'
20'
CO 트렁크
14'
공중 교환기
PBX
34
국선
30
38
36
32
컴퓨터 전화용
인터페이스
전화기 세트

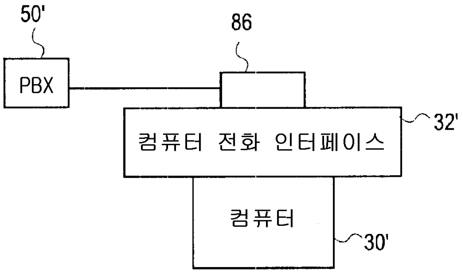
도면3


44
A형 로직
66
N.I. 로직
B형 로직
46
C형 로직
48
마이크로
제어기
68
60
릴레이
매트
릭스
62
56
52
70
세트
58
54
PBX
50

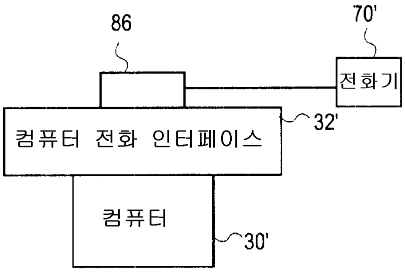
도면4a


66'
네트워크
인터페이스
로직
82
범용
라인 드라이버
/수신기
인터페이스
PBX
50'
전화기
70'
마이크로
제어기
84
80

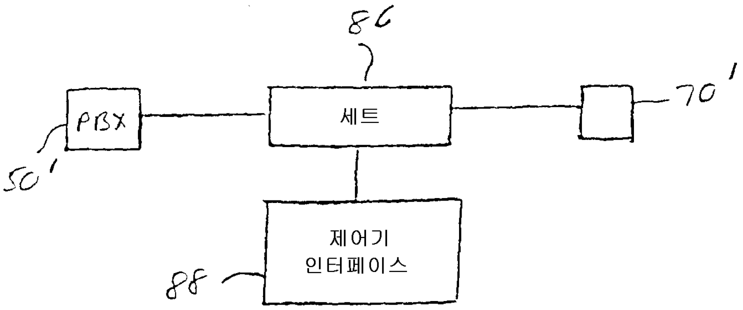
도면4b


50'
PBX
86
32'
컴퓨터 전화 인터페이스
컴퓨터
30'

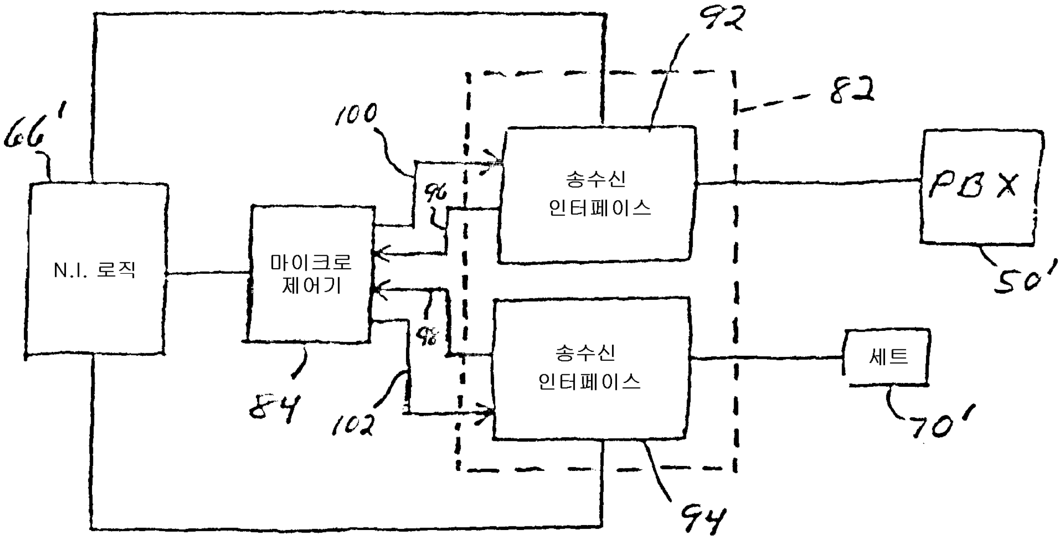
도면4c


86
70'
전화기
32'
컴퓨터 전화 인터페이스
컴퓨터
30'

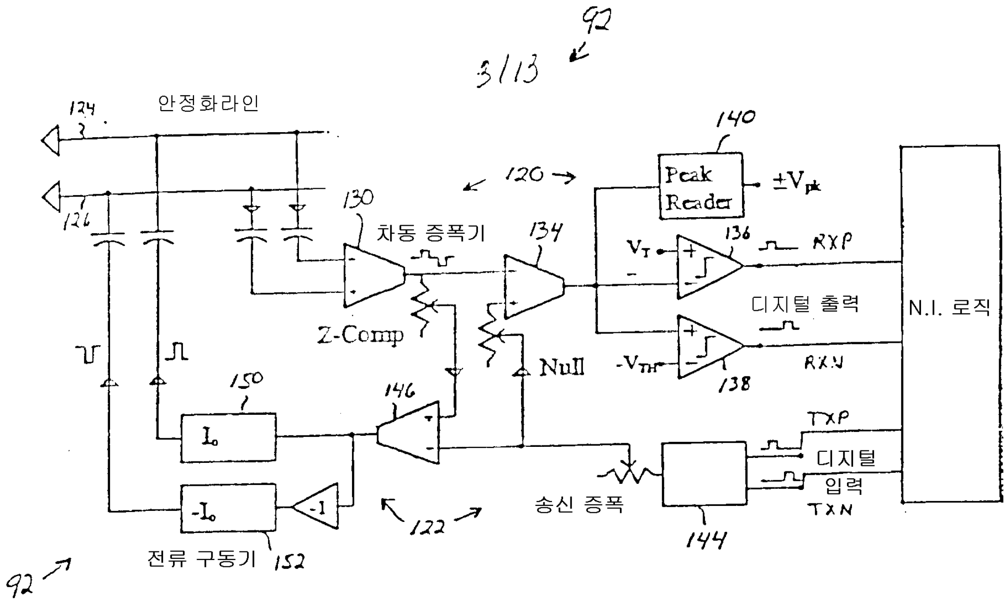
도면4d


86
PBX
50'
세트
70'
88
제어기
인터페이스

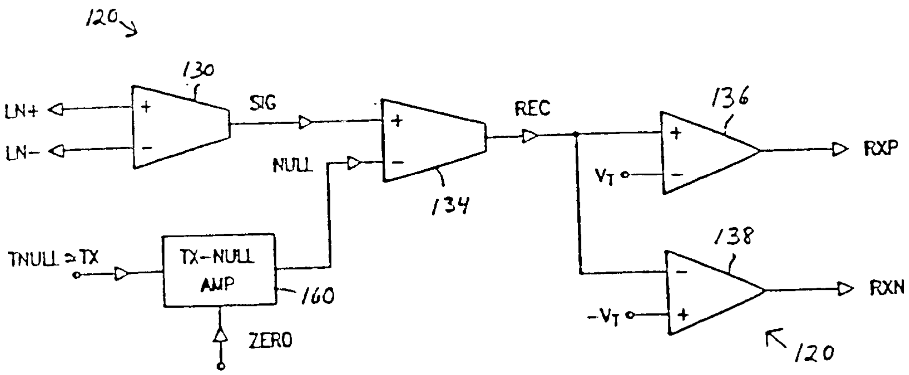
도면5


92
82
66'
100
96
송수신
인터페이스
PBX
N.I. 로직
마이크로
제어기
98
송수신
인터페이스
세트
50'
84
102
70'
94

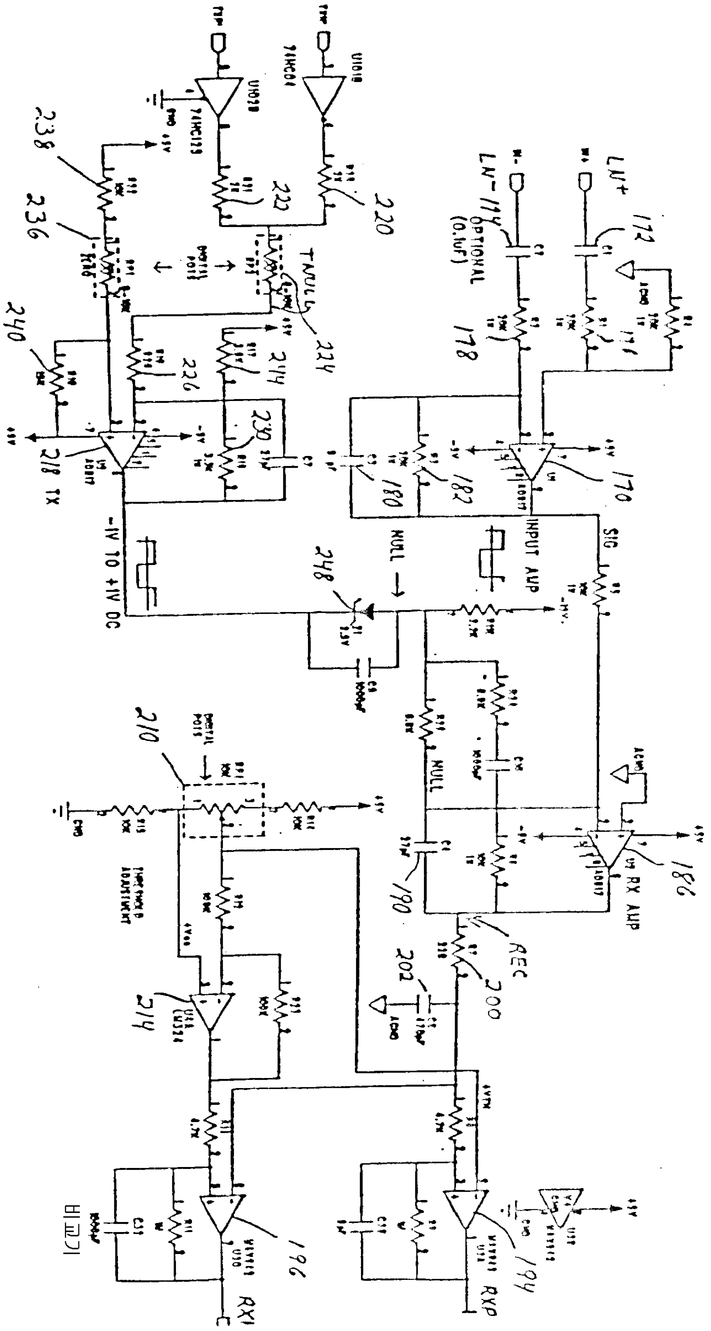
도면6


92
3/13
124
안정화라인
140
120
Peak
Reader
±V_pk
126
130
차동 증폭기
134
136
V_T
RXP
Z-Comp
디지털 출력
N.I. 로직
Null
-V_TH
RXN
138
150
146
TXP
I_o
디지털
입력
-I_o
-1
122
송신 증폭
144
TXN
전류 구동기
152
92

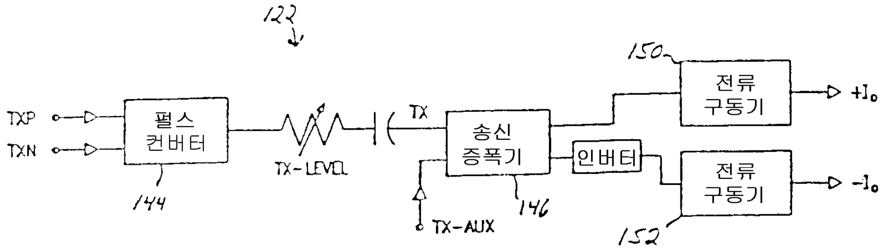
도면7


120
130
LN+
LN-
SIG
+
-
+
-
REC
136
NULL
134
V_T
RXP
TNULL ≥ TX
TX-NULL
AMP
160
138
-V_T
RXN
ZERO
120

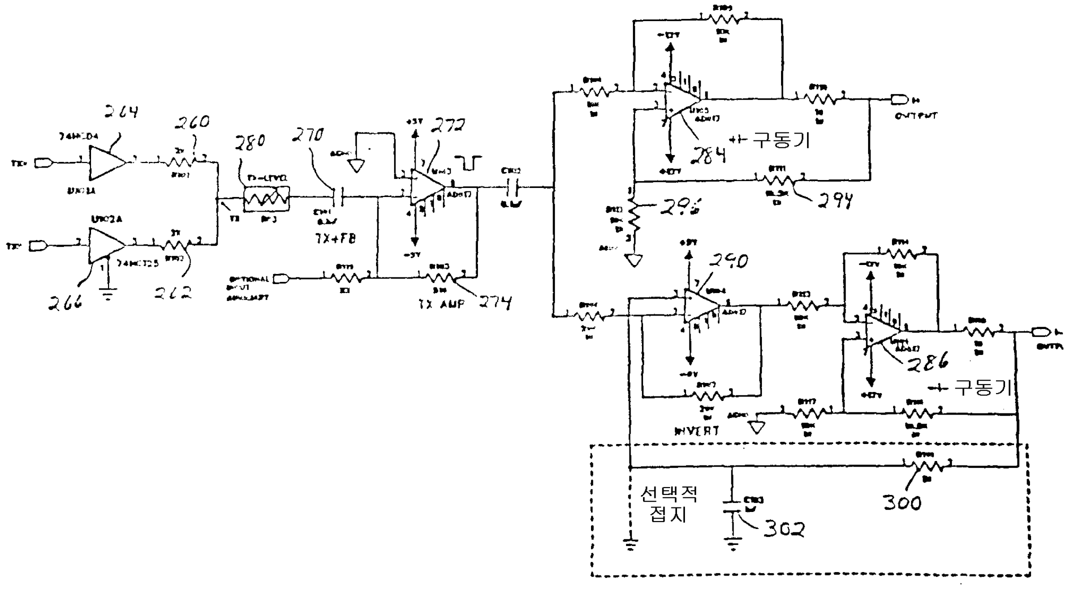
도면8


218 TX
TNULL
-1V TO +1V DC
LN-11
OPTIONAL (0.1uF)
LN+
INPUT AMP
SIG
NULL
RX AMP
REC
RXP
RXN
비교기

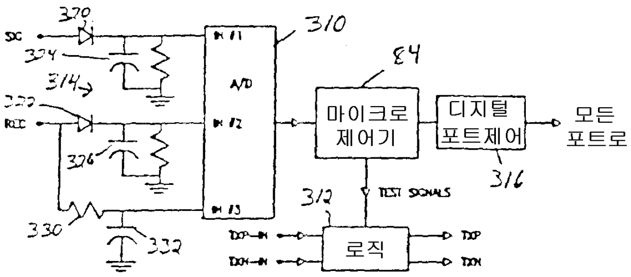
도면9


122
TXP
TXN
펄스 컨버터
144
TX-LEVEL
TX
송신 증폭기
146
TX-AUX
인버터
150
전류 구동기
+I₀
152
전류 구동기
-I₀

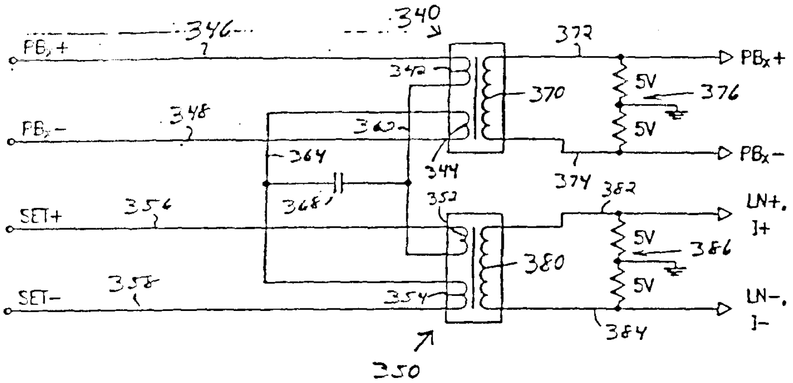
도면10


TX+
74HC04
U102A
TX-
74HCT25
264
260
266
262
280
TX-LEVEL
270
TX+FB
272
TX AMP
274
OPTIONAL INPUT
OUTPUT
284
+ 구동기
294
296
290
286
- 구동기
INVERT
선택적
접지
302
300

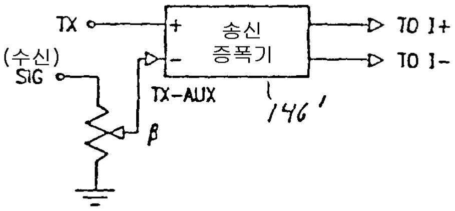
도면11


SIG
370
324
314
322
REC
326
330
332
IN #1
A/D
IN #2
IN #3
310
84
마이크로
제어기
디지털
포트제어
모든
포트로
316
312
TEST SIGNALS
TXP-IN
TXN-IN
로직
TXP
TXN

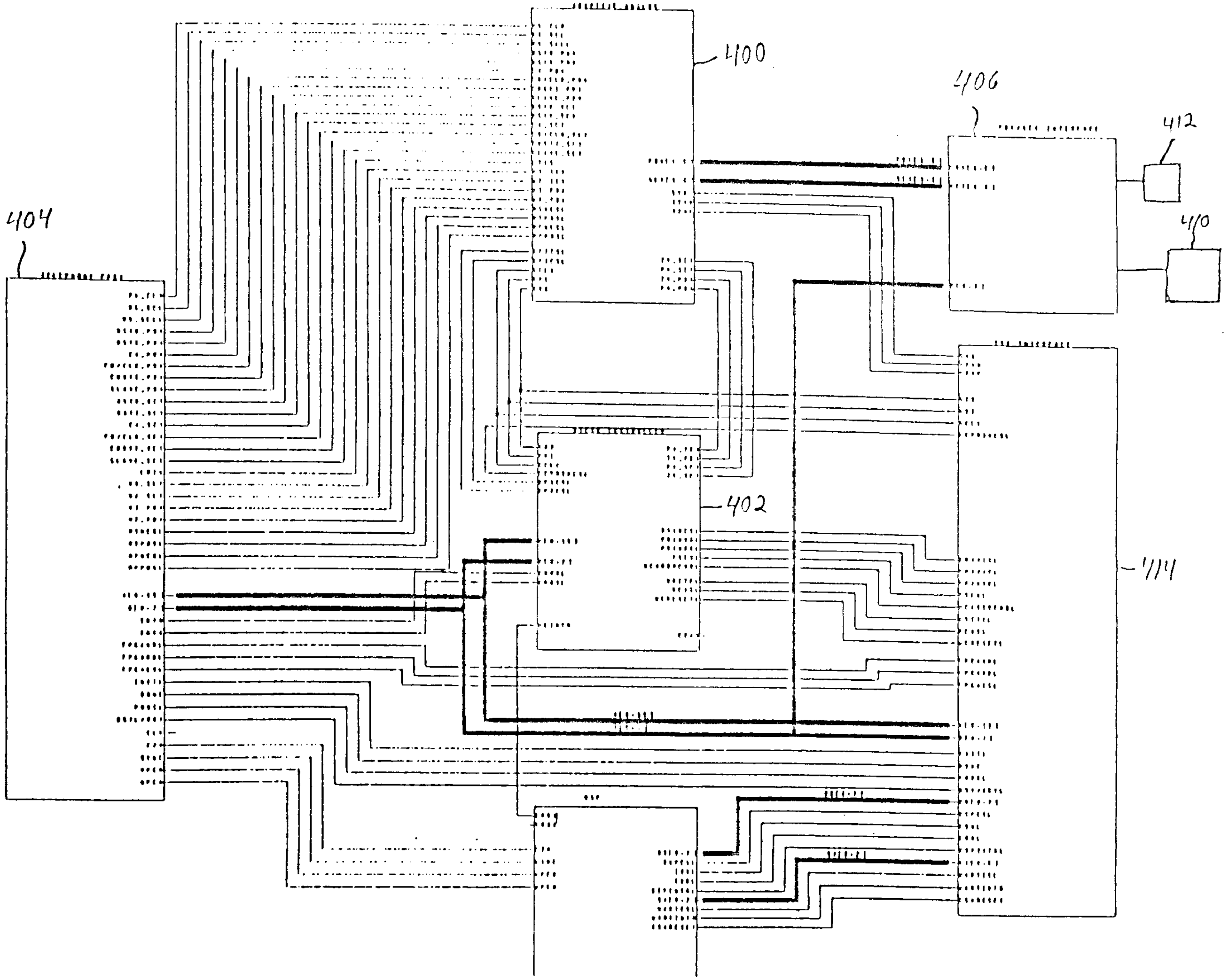
도면12


PB$_x$+
346
340
372
PB$_x$+
342
370
5V
376
5V
PB$_x$-
348
362
364
PB$_x$-
344
374
368
352
382
SET+
356
LN+,
I+
5V
386
380
5V
SET-
358
354
LN-,
I-
384
350

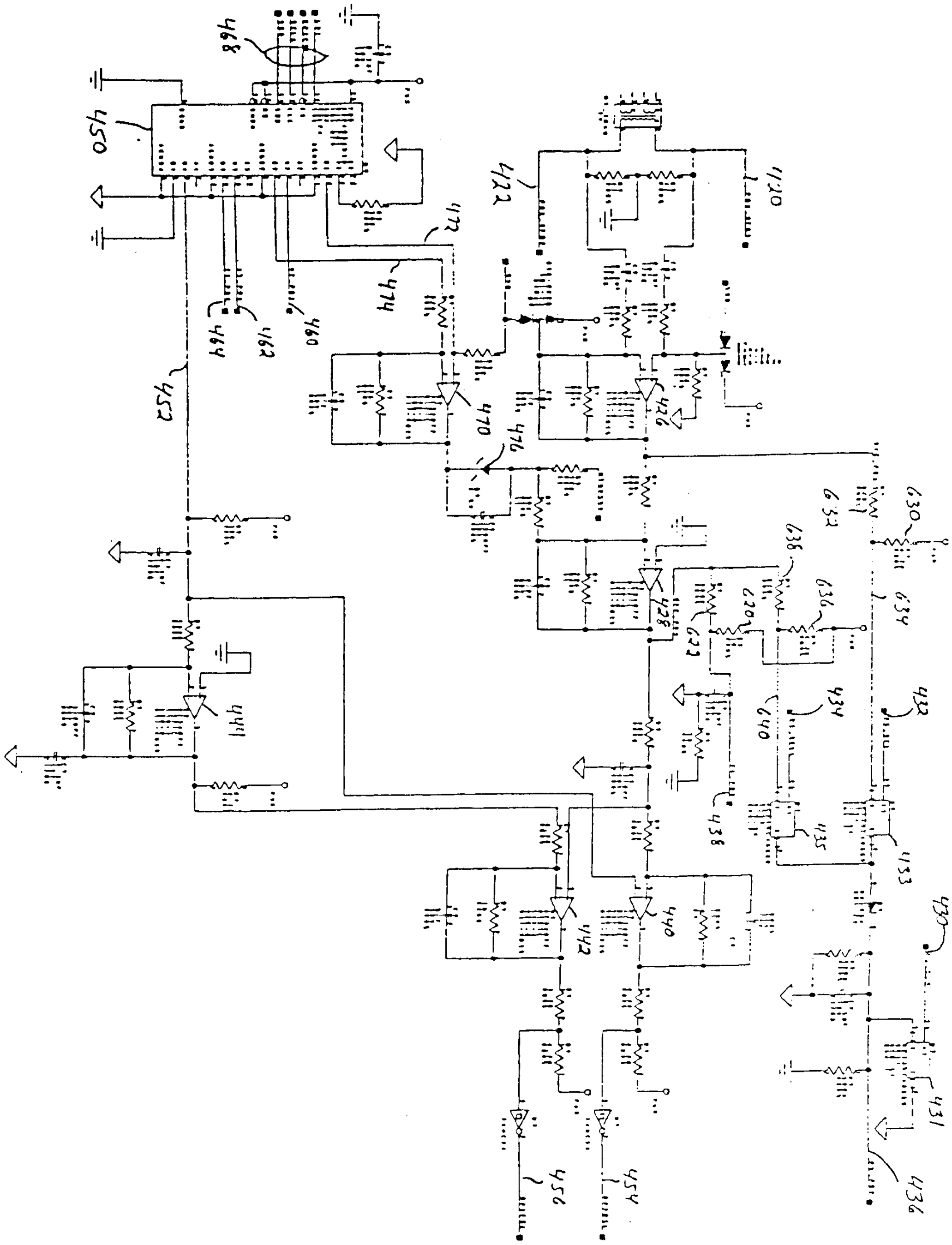
도면13


TX
(수신)
SIG
+
-
송신
증폭기
TO I+
TO I-
TX-AUX
β
146'

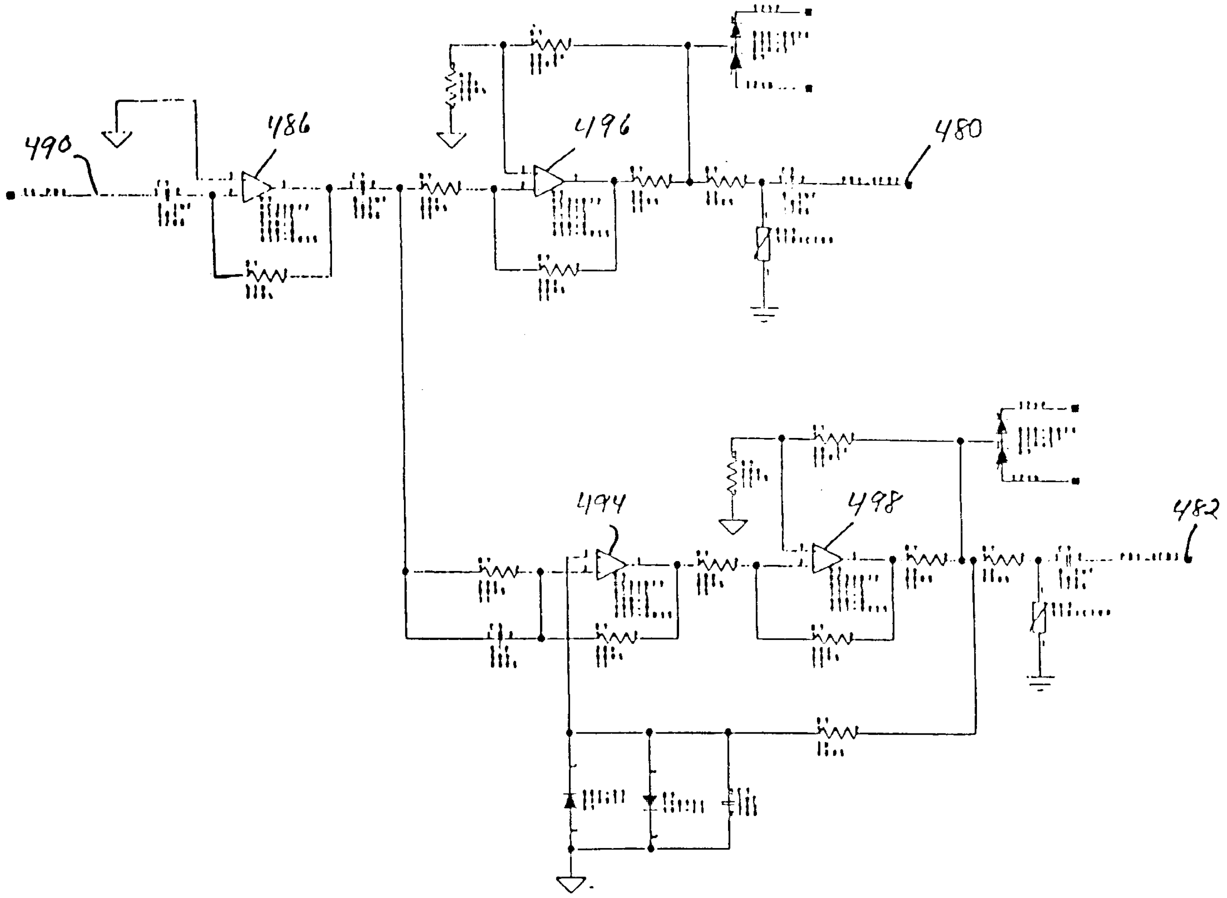
도면14


404
400
406
412
410
402
414

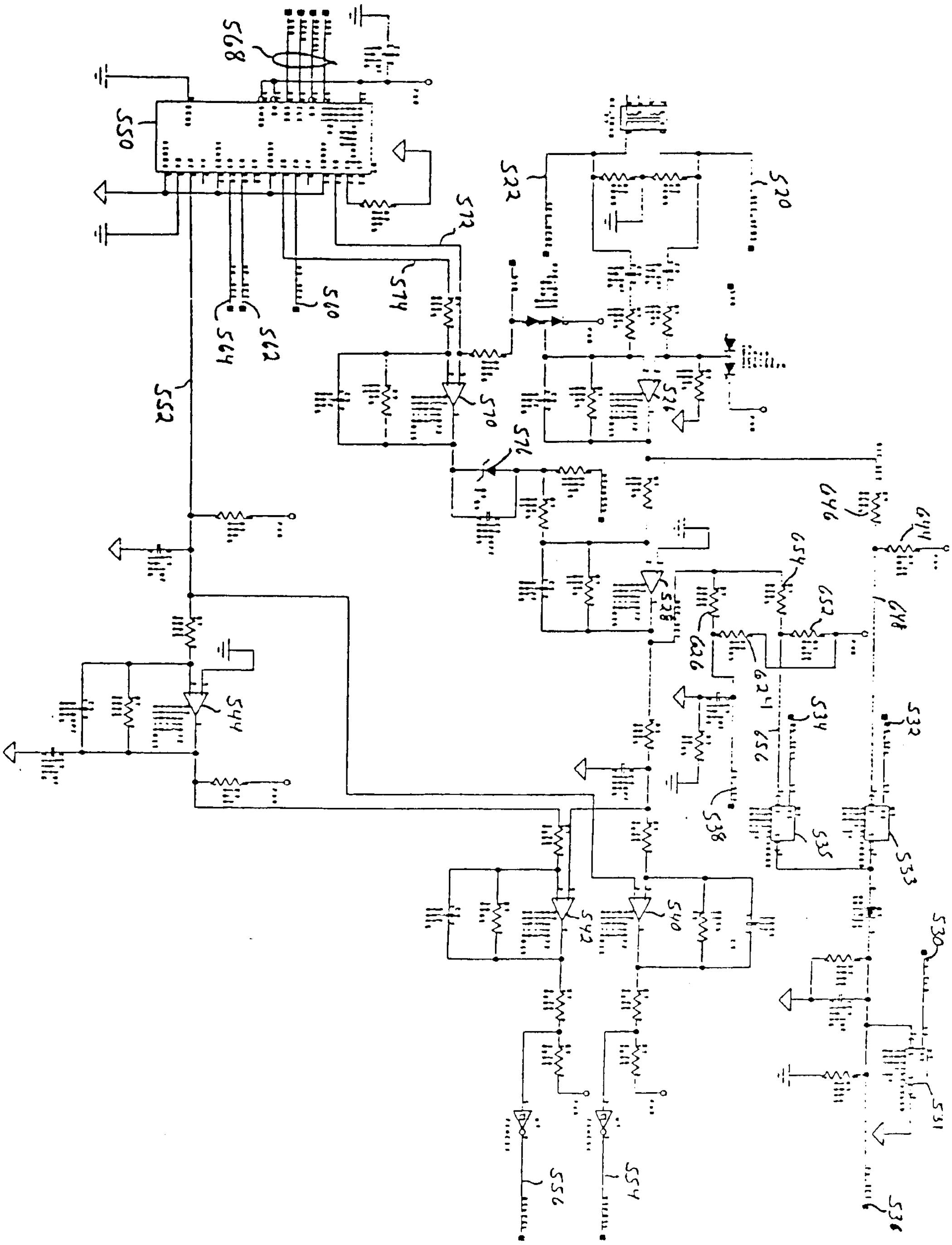
도면15



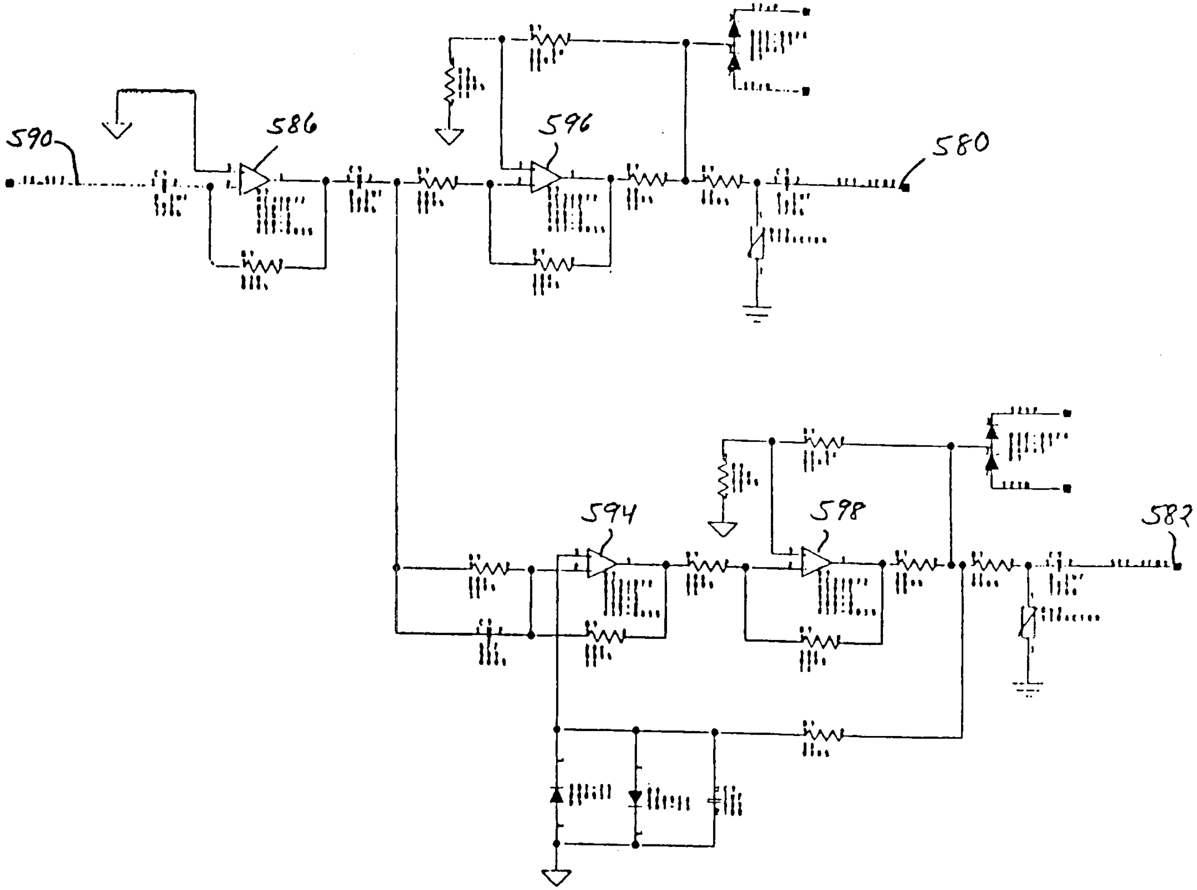
도면16


490
486
496
480
494
498
482

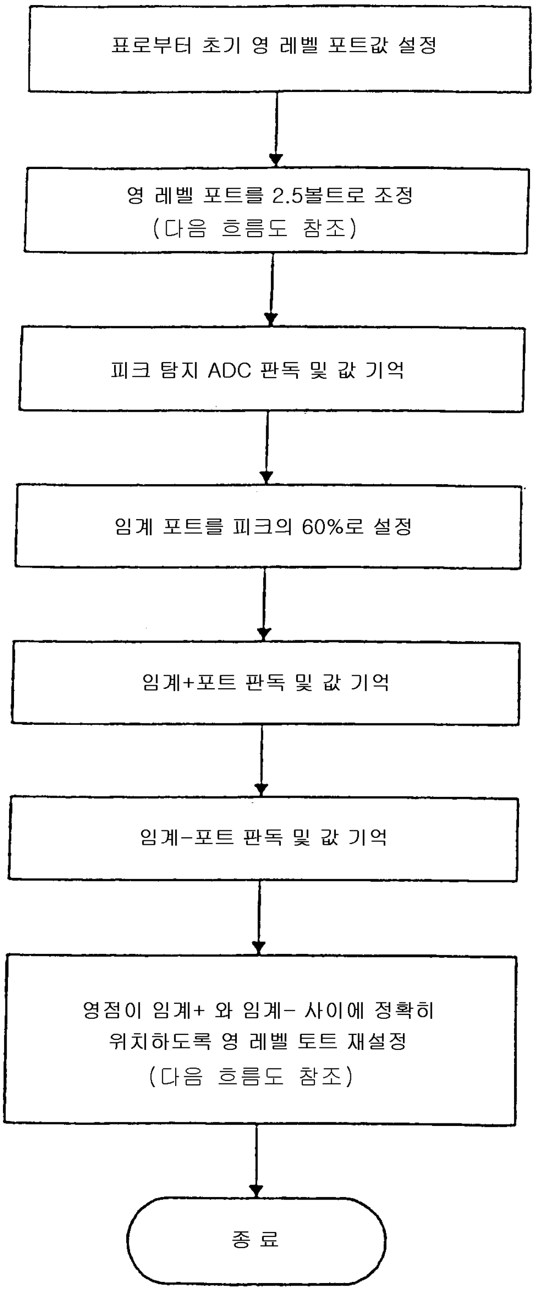
도면17



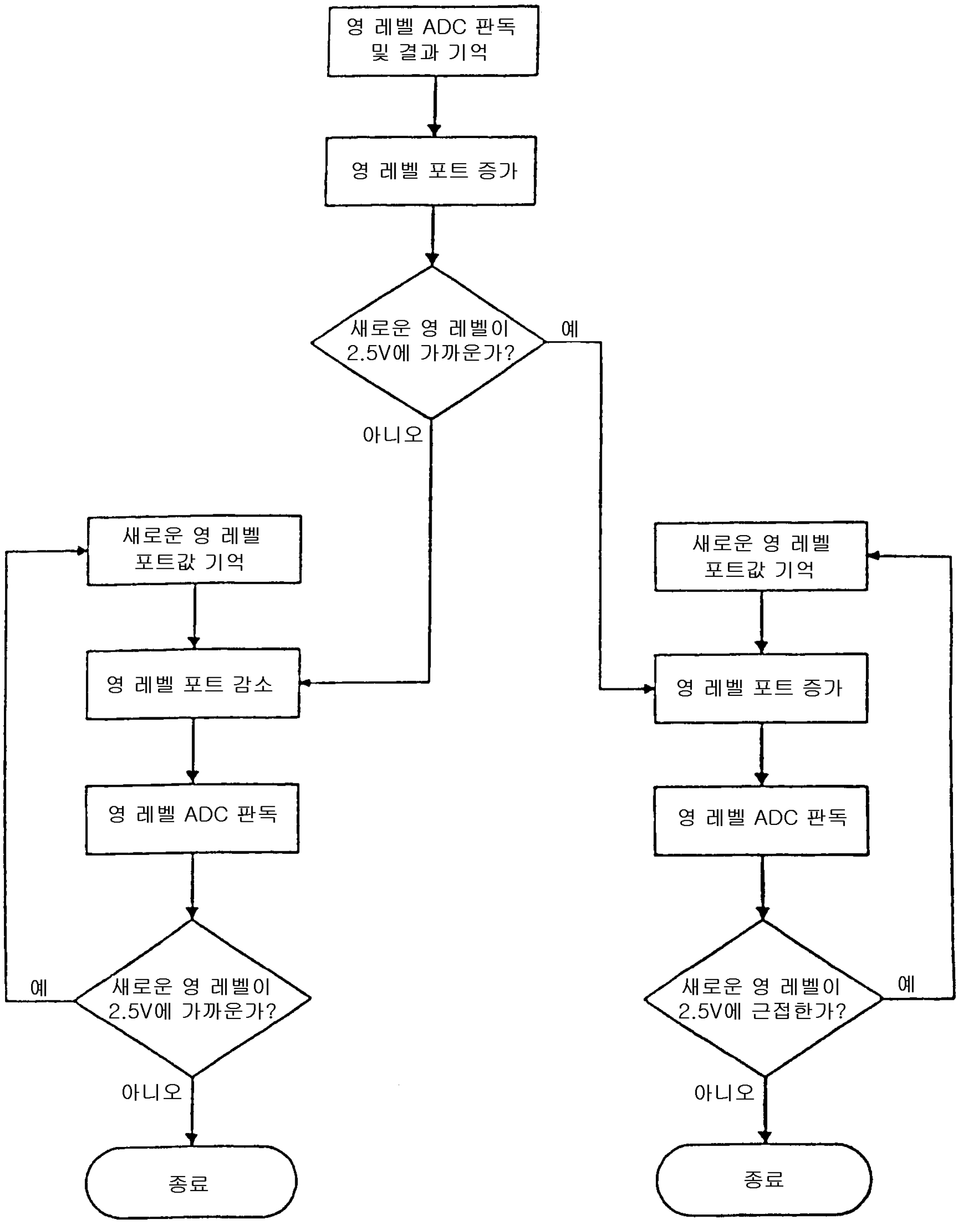
도면18


590
586
596
580
594
598
582

도면19


표로부터 초기 영 레벨 포트값 설정
영 레벨 포트를 2.5볼트로 조정
(다음 흐름도 참조)
피크 탐지 ADC 판독 및 값 기억
임계 포트를 피크의 60%로 설정
임계+포트 판독 및 값 기억
임계-포트 판독 및 값 기억
영점이 임계+ 와 임계- 사이에 정확히
위치하도록 영 레벨 포트 재설정
(다음 흐름도 참조)
종 료

도면20


영 레벨 ADC 판독 및 결과 기억
영 레벨 포트 증가
새로운 영 레벨이 2.5V에 가까운가?
예
아니오
새로운 영 레벨 포트값 기억
영 레벨 포트 감소
영 레벨 ADC 판독
새로운 영 레벨이 2.5V에 가까운가?
예
아니오
종료
새로운 영 레벨 포트값 기억
영 레벨 포트 증가
영 레벨 ADC 판독
새로운 영 레벨이 2.5V에 근접한가?
예
아니오
종료