

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-248267

(P2012-248267A)

(43) 公開日 平成24年12月13日(2012.12.13)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/4096 (2006.01)	G 1 1 C 11/34 3 5 4 R	5M024
G 1 1 C 11/407 (2006.01)	G 1 1 C 11/34 3 6 2 T	

審査請求 有 請求項の数 27 O L (全 19 頁)

(21) 出願番号 特願2012-172023 (P2012-172023)
 (22) 出願日 平成24年8月2日 (2012.8.2)
 (62) 分割の表示 特願2009-210519 (P2009-210519) の分割
 原出願日 平成14年3月12日 (2002.3.12)
 (31) 優先権主張番号 09/814,566
 (32) 優先日 平成13年3月21日 (2001.3.21)
 (33) 優先権主張国 米国 (US)

(71) 出願人 595168543
 マイクロン テクノロジー, インク.
 アメリカ合衆国, アイダホ州 83716
 -9632, ボイズ, サウス フェデ
 ラル ウェイ 8000
 (74) 代理人 100106851
 弁理士 野村 泰久
 (74) 代理人 100074099
 弁理士 大菅 義之
 (72) 発明者 キース, プレント
 アメリカ合衆国 アイダホ 83713,
 ボイス, エヌ. ファイフシャー プレイス
 5077

最終頁に続く

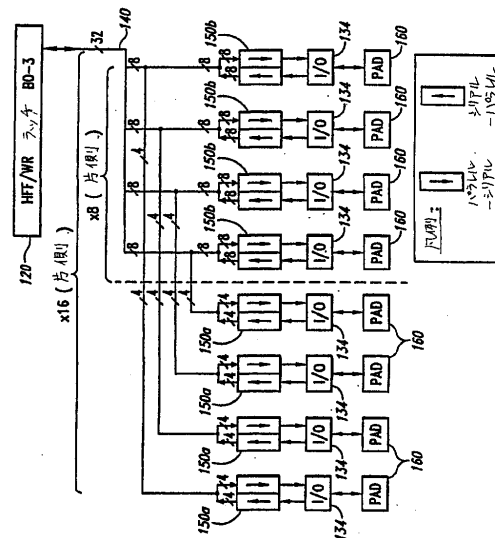
(54) 【発明の名称】 多重プリフェッチ I/O 構成を備えるデータバスを有するメモリデバイスおよび方法

(57) 【要約】 (修正有)

【課題】 高速で狭いデータバス幅を持つメモリと低速で広いデータバス幅を持つメモリのどちらにも対応可能なメモリを提供する。

【解決手段】 高速または低速のいずれのモードにおいても、2つのメモリアレイ各々からの32ビットのデータは各組の32個のフリップフロップ120中にプリフェッチされる。高速モードにおいて、上記プリフェッチされたデータビットは4つのパラレル-シリアルコンバータ150aに並列伝送される。上記コンバータは上記パラレルデータビットを8つのシリアルデータビットのバーストに変換し、上記バーストを4つのデータバス端子160それぞれに付与する。低速モードにおいて、2組のプリフェッチされたデータビットは8つのパラレル-シリアルコンバータに並列で伝送される。上記コンバータは上記パラレルデータビットを8つのシリアルデータビットのバーストに変換し、上記バーストを8つのデータバス端子それぞれに付与する。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

低速動作モードまたは高速動作モードのいずれかでメモリアレイからデータを伝送する方法であって、

第 1 の読み出し動作で前記メモリアレイから N 個のデータビットをプリフェッチし、第 2 の読み出し動作で該メモリアレイから N 個のデータビットをプリフェッチすることにより、該低速動作モードで第 1 の組の $2N$ 個のデータビットをプリフェッチする工程と、

1 回の読み出し動作で該メモリアレイから N 個のデータビットをプリフェッチすることにより、該高速動作モードで第 2 の組の N 個のデータビットをプリフェッチする工程と、

該低速動作モードで、該第 1 の組の $2N$ 個のデータビットを各 N/M ビットの M 個のバーストで $2M$ 個のデータバス端子に伝送する工程と、

該高速動作モードで、該第 2 の組のデータビットを N/M ビットの M 個のバーストで M 個のデータバス端子に伝送する工程と

を包含する、方法。

【請求項 2】

第 1 の組の $2N$ 個のデータビットをプリフェッチする動作は、1 回の読み出し動作で前記メモリアレイから $2N$ 個のデータビットをプリフェッチする工程を含む、請求項 1 に記載の方法。

【請求項 3】

前記低速動作モードで、前記第 1 の組のデータビットを各 N/M ビットのバーストで $2M$ 個のデータバス端子に伝送する動作は、

第 1 の組の N 個の平行データビットを伝送する工程と、

第 2 の組の N 個の平行データビットを伝送する工程と、

該 $2N$ 個の伝送されたデータビットを、それぞれが N/M ビットを含む $2M$ 個のバーストに変換する工程と、

該 $2M$ 個のバーストをそれぞれ各データバス端子に結合する工程と

を包含する、請求項 1 に記載の方法。

【請求項 4】

N は 32 に等しく、 M は 4 に等しい、請求項 1 に記載の方法。

【請求項 5】

前記低速動作モードで、前記第 1 の組のデータビットを各 N/M ビットのバーストで $2M$ 個のデータバス端子に伝送する動作は、

該第 1 の組の N の平行データビット中の各データビットを、前記メモリアレイから各第 1 の格納デバイスに伝送する工程と、

前記第 2 の組の N の平行データビット中の各データビットを、該メモリアレイから各第 2 の格納デバイスに伝送する工程と、

該第 1 の格納デバイス内の該 N 個のデータビットを $2M$ 個の平行 - シリアルコンバータに伝送する工程と、

該第 2 の格納デバイス内の該 N 個のデータビットを該 $2M$ 個の平行 - シリアルコンバータに伝送する工程と、

該 $2M$ 個の平行 - シリアルコンバータを用いて、該 $2N$ 個の伝送されたデータビットを、それぞれが N/M ビットを含むシリアルデータの $2M$ 個のバーストに変換する工程と、

該 $2M$ 個のバーストを各データバス端子に付与する工程と

を包含する、請求項 1 に記載の方法。

【請求項 6】

メモリアレイからデータバス端子にデータを結合する方法であって、

低速動作モードでアレイから $2N$ ビットのデータを伝送し、高速動作モードで N ビットのデータを伝送する工程であって、該データは、それぞれのバスが M ビットの幅を有する X 組のバスを介して伝送される、工程と、

10

20

30

40

50

該伝送されたパラレルデータをシリアルデータに変換する工程と、
シリアルデータの各バーストを、第1のモードで $2Y$ 個のデータバス端子に付与し、第2のモードで Y 個のデータバス端子に付与する工程であって、該バーストはそれぞれ N/Y ビットを含む、工程とを包含する、方法。

【請求項7】

前記アレィから前記データビットを伝送する動作は、それぞれが M ビットの幅を有する N/M 個の組のバスを介して該データビットを伝送する工程を含む、請求項6に記載の方法。

【請求項8】

前記低速動作モードで、前記アレィから $2N$ ビットのデータを伝送する動作は、第1の読み出し動作で、前記メモリアレィから N 個のデータビットを伝送する工程と、第2の読み出し動作で、該メモリアレィから N 個のデータビットを伝送する工程とを包含する、請求項6に記載の方法。

【請求項9】

前記低速動作モードで前記アレィから $2N$ ビットのデータを伝送する動作は、1回の読み出し動作で該メモリアレィから $2N$ 個のデータビットを伝送する工程を含む、請求項6に記載の方法。

【請求項10】

前記低速動作モードで前記アレィから $2N$ ビットのデータを伝送する動作は、第1の読み出し動作で、 N 個のデータビットを前記メモリアレィから第1の格納デバイスに伝送する工程と、第2の読み出し動作で、 N 個のデータビットを該メモリアレィから第2の格納デバイスに伝送する工程と、該第1および該第2の格納デバイスから該 $2N$ ビットの情報を伝送する工程とを包含する、請求項6に記載の方法。

【請求項11】

前記第1および前記第2の格納デバイスから、 $2N$ ビットのデータを伝送する動作は、該第1の格納デバイスから N ビットのバスを介して N 個のデータビットを伝送する工程と、該第2の格納デバイスから該 N ビットのバスを介して N 個のデータビットを伝送する工程とを包含する、請求項10に記載の方法。

【請求項12】

N は 32 に等しく、 M は 4 に等しく、 Y は 4 に等しい、請求項6に記載の方法。

【請求項13】

前記低速動作モードで前記アレィから $2N$ ビットのデータを伝送し、前記高速動作モードで N ビットの情報を伝送する動作は、前記低速動作モードにおいて、第1の読み出し動作で、前記メモリアレィから N 個のデータビットを伝送する工程と、該低速動作モードにおいて、第2の読み出し動作で、該メモリアレィから N 個のデータビットを伝送する工程と、前記高速動作モードにおいて、第1の読み出し動作で、該メモリアレィから N 個のデータビットを伝送する工程とを包含する、請求項6に記載の方法。

【請求項14】

前記低速動作モードで前記アレィから $2N$ ビットのデータを伝送し、前記高速動作モードで N ビットの情報を伝送する動作は、前記低速動作モードにおいて、第1の読み出し動作で、前記メモリアレィから $2N$ 個のデータビットを伝送する工程と、

10

20

30

40

50

該高速動作モードにおいて、第1の読み出し動作で、該メモリアレイからN個のデータビットを伝送する工程と
を包含する、請求項6に記載の方法。

【請求項15】

前記低速動作モードで前記アレイから2Nビットのデータを伝送し、前記高速動作モードでNビットの情報を伝送する動作は、

該低速動作モードにおいて、第1の読み出し動作で、前記メモリアレイから該格納デバイスに第1の組のN個のデータビットを伝送する工程と、

該低速動作モードで、該格納デバイスから該第1の組の該N個のデータビットを伝送する工程と、

該低速動作モードにおいて、第2の読み出し動作で、前記メモリアレイから格納デバイスに第2の組のN個のデータビットを伝送する工程と、

該高速動作モードにおいて、第1の読み出し動作で、該メモリアレイから格納デバイスに第1の組のN個のデータビットを伝送する工程と、

該低速動作モードで、該格納デバイスから該第1の組の該N個のデータビットを伝送する工程と

を包含する、請求項6に記載の方法。

【請求項16】

前記低速動作モードで、前記第1の組のデータビットを各N/Mビットのバーストで2M個のデータバス端子に伝送する動作は、

該第1の組のNの平行データビット中の各データビットを、前記メモリアレイから各第1の格納デバイスに伝送する工程と、

前記第2の組のNの平行データビット中の各データビットを、該メモリアレイから各第2の格納デバイスに伝送する工程と、

該第1の格納デバイス内の該N個のデータビットを2M個の平行-シリアルコンバータに伝送する工程と、

該第2の格納デバイス内の該N個のデータビットを該2M個の平行-シリアルコンバータに伝送する工程と、

該2M個の平行-シリアルコンバータを用いて、該2Nの伝送されたデータビットを、それぞれがN/Mビットを含むシリアルデータの2M個のバーストに変換する工程と

、
該2M個のバーストを各データバス端子に付与する工程と

を包含する、請求項6に記載の方法。

【請求項17】

メモリアレイからデータバス端子にデータを結合する方法であって、

低速動作モードでアレイから2Nビットの平行データを伝送し、高速動作モードでNビットの平行データを伝送する工程であって、該平行データは、幅Nを有するバスを用いて該アレイから伝送される、工程と、

該伝送された平行データをシリアルデータに変換する工程と、

シリアルデータの各バーストを、低速動作モードで2M個のデータバス端子に付与し、高速動作モードでM個のデータバス端子に付与する工程であって、該バーストはそれぞれN/Mビットを含む、工程と

を包含する、方法。

【請求項18】

前記アレイから前記データビットを伝送する動作は、それぞれがMビットの幅を有するN/M個の組のバスを介して該データビットを伝送する工程を含む、請求項17に記載の方法。

【請求項19】

前記低速動作モードで、前記アレイから2Nビットのデータを伝送する動作は、

第1の読み出し動作で、前記メモリアレイからN個のデータビットを伝送する工程と、

10

20

30

40

50

第 2 の読み出し動作で、該メモリアレイから N 個のデータビットを伝送する工程とを包含する、請求項 17 に記載の方法。

【請求項 20】

前記低速動作モードで前記アレイから $2N$ ビットのデータを伝送する動作は、1 回の読み出し動作で該メモリアレイから $2N$ 個のデータビットを伝送する工程を含む、請求項 17 に記載の方法。

【請求項 21】

前記低速動作モードで前記アレイから $2N$ ビットのデータを伝送する動作は、第 1 の読み出し動作で、 N 個のデータビットを前記メモリアレイから第 1 の格納デバイスに伝送する工程と、

第 2 の読み出し動作で、 N 個のデータビットを該メモリアレイから第 2 の格納デバイスに伝送する工程と、

該第 1 および該第 2 の格納デバイスから該 $2N$ ビットの情報伝送する工程とを包含する、請求項 17 に記載の方法。

【請求項 22】

前記第 1 および前記第 2 の格納デバイスから、 $2N$ ビットのデータを伝送する動作は、該第 1 の格納デバイスから N ビットのバスを介して N 個のデータビットを伝送する工程と、

該第 2 の格納デバイスから該 N ビットのバスを介して N 個のデータビットを伝送する工程と

を包含する、請求項 21 に記載の方法。

【請求項 23】

N は 32 に等しく、 M は 4 に等しい、請求項 17 に記載の方法。

【請求項 24】

前記低速動作モードで前記アレイから $2N$ ビットのデータを伝送し、前記高速動作モードで N ビットの情報伝送する動作は、

前記低速動作モードにおいて、第 1 の読み出し動作で、前記メモリアレイから N 個のデータビットを伝送する工程と、

該低速動作モードにおいて、第 2 の読み出し動作で、該メモリアレイから N 個のデータビットを伝送する工程と、

該高速動作モードにおいて、第 1 の読み出し動作で、該メモリアレイから N 個のデータビットを伝送する工程と

を包含する、請求項 17 に記載の方法。

【請求項 25】

前記低速動作モードで前記アレイから $2N$ ビットのデータを伝送し、前記高速動作モードで N ビットの情報伝送する動作は、

前記低速動作モードにおいて、第 1 の読み出し動作で、前記メモリアレイから $2N$ 個のデータビットを伝送する工程と、

該高速動作モードにおいて、第 1 の読み出し動作で、該メモリアレイから N 個のデータビットを伝送する工程と

を包含する、請求項 17 に記載の方法。

【請求項 26】

前記低速動作モードで前記アレイから $2N$ ビットのデータを伝送し、前記高速動作モードで N ビットの情報伝送する動作は、

該低速動作モードにおいて、第 1 の読み出し動作で、前記メモリアレイから格納デバイスに第 1 の組の N 個のデータビットを伝送する工程と、

該低速動作モードで、該格納デバイスから該第 1 の組の該 N 個のデータビットを伝送する工程と、

該低速動作モードにおいて、第 2 の読み出し動作で、前記メモリアレイから該格納デバイスに第 2 の組の N 個のデータビットを伝送する工程と、

10

20

30

40

50

該高速動作モードにおいて、第1の読み出し動作で、該メモリアレイから格納デバイスに第1の組のN個のデータビットを伝送する工程と、

該低速動作モードで、該格納デバイスから該第1の組の該N個のデータビットを伝送する工程と

を包含する、請求項17に記載の方法。

【請求項27】

前記低速動作モードで、前記第1の組のデータビットを各N/Mビットのバーストで2M個のデータバス端子に伝送する動作は、

該第1の組のN個の平行データビット中の各データビットを、前記メモリアレイから各第1の格納デバイスに伝送する工程と、

前記第2の組のN個の平行データビット中の各データビットを、該メモリアレイから各第2の格納デバイスに伝送する工程と、

該第1の格納デバイス内の該N個のデータビットを2M個の平行-シリアルコンバータに伝送する工程と、

該第2の格納デバイス内の該N個のデータビットを該2M個の平行-シリアルコンバータに伝送する工程と、

該2M個の平行-シリアルコンバータを用いて、該2N個の伝送されたデータビットを、それぞれがN/Mビットを含むシリアルデータの2M個のバーストに変換する工程と、

該2M個のバーストを各データバス端子に付与する工程と

を包含する、請求項17に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はメモリデバイスに関し、より詳細には、高速で狭いデータバス、または低速で広いデータバスのどちらにおいても動作し得るメモリデバイスデータバスおよび方法に関する。

【背景技術】

【0002】

ダイナミックランダムアクセスメモリ(DRAM)といったメモリデバイスは、多様な性能パラメータを有する。これらの性能パラメータの最も重要なものの1つに、速度がある。これは、データを読み書きすることのできる速さである。一般に、高性能のメモリデバイスとして既知である、より速くデータを読み書きできるメモリデバイスは、より高価である。逆に言えば、低い性能のメモリデバイスとして既知である、より遅いレートでのみデータを読み書きできるメモリデバイスは、より安い価格で売られるに違いない。メモリデバイスの動作速度を速くしようとして、二重データレート(DDR)DRAMが開発されている。DDRDRAMは、クロックサイクル毎(1サイクルが1クロック周期毎の遷移である)に2つのメモリ動作を実行する同期式DRAMである。典型的なDDRDRAMにおいて、同じカラムアドレスを有する2つの隣接したカラムのメモリセルは、クロックサイクル毎に読み出される。

【0003】

メモリデバイスに適用される別の性能パラメータは、メモリデバイスのデータバスの幅である。所与の速度で動作するより広いデータバスは、より高いバンド幅(例えば、より大きいビット/秒でアクセスされ得る)を有する。DRAMといったほとんどのメモリデバイスのデータバスは、一般に、2の数乗ビット(例えば、4ビット、8ビット、16ビットなど)の幅を有する。

【0004】

異なる性能パラメータを有するメモリデバイスを提供する必要性から、多種多様なメモリデバイスを設計し、製造するためのメモリデバイスの製造が要件される。例えば、メモリデバイスの製造は、高速で動作できる比較的高価なメモリデバイス、および比較的低速で

10

20

30

40

50

のみ操作できる、別の比較的安価なメモリデバイスを設計し、製造する必要がある。あいにく、メモリデバイス毎に設計し、それぞれのメモリデバイスを製造するために必要とされる処理を行うことは、高価である。異なる性能パラメータを有する多種多様なメモリデバイスを設計し、製造する費用は、より新しいデバイスがどんどん早いレートで導入されるにつれて、メモリデバイスの急激な陳腐化によって激増する。

【0005】

それ故、高速で狭いデータバスメモリ、または低速で広いデータバスメモリのどちらにしても動作できる、メモリデバイス（例えば、DRAM）に対する要求がある。

【発明の概要】

【0006】

データは、第1のモードにおいてアレイから2Nビットの平行データ、および第2のモードにおいてNビットの平行データを転送することによってメモリアレイからデータバス端末へ接続される。平行データは、Nビットの幅を有するバスを用いてアレイから平行-シリアルコンバータに転送される。平行-シリアルコンバータは、平行データビットを、N/Mビットを含むシリアルデータの個々のバーストに変換し、第1のモードの2Mデータバス端末および第2のモードのMデータバス端末にそのバーストを適用する。データは、第1および第2のそれぞれの読み出し動作において、アレイからNデータビットの第1および第2のセットを転送することによって、最初の動作モードにおいてメモリアレイから転送され得る。あるいは、2Nデータビットは、1回の読み出し動作でメモリアレイから転送され得る。結果として、データは、高性能モードにおいて比較的高速でMデータバス端末、あるいは低い性能モードにおいて比較的低速で2Mデータバス端末に変換され得る。

【図面の簡単な説明】

【0007】

【図1】図1は、本発明の1実施形態によるメモリデバイスのブロック図である。

【図2】図2は、図1のメモリデバイスにおいて使用されるメモリアレイのブロック図である。

【図3】図3は、図2のメモリアレイにおいて使用されるいくつかのメモリアレイマットのうちの1つのブロック図である。

【図4】図4は、図3のメモリアレイマットにおいて使用されるいくつかのメモリサブレイのうちの1つのブロック図である。

【図5】図5は、図1のメモリデバイスで使用されるデータバスの一部分のブロック図である。

【図6】図6は、図5に示されるデータバスの部分で使用されるいくつかの平行-シリアルコンバータのうちの1つの論理図およびブロック図である。

【図7】図7は、図1のメモリデバイスを使用するコンピュータシステムのブロック図である。

【発明を実施するための形態】

【0008】

本発明の1つの実施形態によるメモリデバイスが、図1に示される。図1に示されるメモリデバイスは、同期式ダイナミックランダムアクセスメモリ（“SDRAM”）10である。しかし、本発明は、他のタイプのDRAM（例えば、パケット化されたDRAMおよびRAMBUS DRAM（“RDRAM”））および他のタイプのメモリデバイス（例えば、スタティックランダムアクセスメモリ（“SRAM”））で具現化されてもよい。SDRAM10は、アドレスバス14で行アドレスまたは列アドレスのいずれかを受け取るアドレスレジスタ12を含む。アドレスバス14は、一般にメモリコントローラ（図1には示さず）に結合される。典型的には、行アドレスはアドレスレジスタ12によって最初に受け取られ、そして行アドレスマルチプレクサ18に付与される。行アドレスマルチプレクサ18は、行アドレスの一部を形成するバンクアドレスビットの状態に応じて、行アドレスを2つのメモリバンク20、22のいずれかに関連した複数の構成要素に接続

10

20

30

40

50

する。行アドレスを格納するそれぞれの行アドレスラッチ 26 は、各メモリバンク 20、22 に関連し、行デコーダ 28 は、種々の信号をそのそれぞれのアレイ 20 または 22 へ格納された行アドレスの関数として付与する。行アドレスマルチプレクサ 18 はまた、アレイ 20、22 中のメモリセルをリフレッシュする目的で、行アドレスを行アドレスラッチ 26 に接続する。行アドレスは、リフレッシュカウンタ 30 によりリフレッシュ目的で生成される。リフレッシュカウンタ 30 はリフレッシュコントローラ 32 により制御される。

【0009】

行アドレスがアドレスレジスタ 12 に付与され、行アドレスラッチ 26 の 1 つに格納された後、列アドレスがアドレスレジスタ 12 に付与される。アドレスレジスタ 12 は、列アドレスを列アドレスラッチ 40 に接続する。SDRAM 10 の動作モードに応じて、コラムアドレスはバーストカウンタ 42 を介してコラムアドレスバッファ 44 またはバーストカウンタ 42 のいずれかに接続される。バーストカウンタ 42 は、一連のコラムアドレスをアドレスレジスタ 12 によって出力されるコラムアドレスで開始するコラムアドレスバッファ 44 に付与する。いずれの場合においても、コラムアドレスバッファ 44 は、コラムアドレスをコラムデコーダ 48 に付与する。コラムデコーダ 48 は、種々の信号をそれぞれのセンスアンプおよび各アレイ 20、22 に関連した列回路 50、52 に付与する。

10

【0010】

アレイ 20、22 の 1 つから読み出されるべきデータは、アレイ 20、22 の 1 つについての列回路 50、52 にそれぞれ接続される。次いで、データはリードデータバスを介してデータ出力レジスタ 56 に接続される。データ出力レジスタ 56 は、データをデータバス 58 に付与する。アレイ 20、22 の 1 つに書き込まれるべきデータは、データ入力レジスタ 60 およびライトデータバス 62 を介してデータバス 58 から列回路 50、52 に接続される。ここで、データはアレイ 20、22 の 1 つにそれぞれ転送される。マスクレジスタ 64 は、列回路 50、52 中へのデータのフローおよび列回路 50、52 からのデータのフローを、例えばアレイ 20、22 から読み出されるデータを選択的にマスクングすることで、選択的に変更するために使用され得る。

20

【0011】

上記の SDRAM 10 の動作は、コントロールバス 70 で受け取られたコマンド信号に
 応答するコマンドデコーダ 68 により制御される。これらのハイレベルコマンド信号（これは典型的にはメモリコントローラ（図 1 には示さず）により生成される）は、クロックイネーブル信号 CKE^* 、クロック信号 CLK 、チップセレクト信号 CS^* 、ライトイネーブル信号 WE^* 、行アドレスストロブ信号 RAS^* 、および列アドレスストロブ信号 CAS^* である（“*” は、信号がアクティブロウ（active low）であることを示す）。これらの信号の種々の組み合わせは、それぞれのコマンド（例えば、リードコマンドまたはライトコマンド）として登録される。コマンドデコーダ 68 は、各コマンド信号により指定された機能（例えば、リードまたはライト）を実行するために、コマンド信号に
 応答する一連の制御信号を生成する。これらの制御信号、および制御信号が各機能を達成する方法は、従来どおりである。従って、簡潔にするために、これらの制御信号のさらなる説明を省略する。

30

40

【0012】

列回路 50、52 からデータ出力レジスタ 56 へのリードデータバス 54 は、各アレイ 20、22 の各列についてのセンスアンプ（図示せず）からのデータをそれぞれ接続する相補的な入力/出力（“I/O”）ライン（図 1 には示さず）の 1 つ以上の対を含む。アドレスされた列のための列回路 50、52 のセンスアンプは、一対の相補的なディジットラインから相補的な信号を受け取る。ディジットラインは、列アドレッシング回路によって一対の相補的 I/O ラインに順に接続される。I/O ラインの各対は、一対の相補的なデータラインにより、リードデータバス 54 に含まれる DC センスアンプ（図示せず）の相補的な入力に選択的に接続される。DC センスアンプは、データをデータ出力レジスタ

50

56に順に出力する。データ出力レジスタ56は、メモリデバイス10の出力(すなわち、“DQ”端子)に接続される。以下で詳細に説明するように、本発明の1つの実施形態によるSDRAM10は16個のDQ端子を含み、そのうち8個のDQ端子は高速モードで使用され、16個のDQ端子は低速モードで使用される。各DQ端子はシリアルデータを8ビットのバーストでDRAM10へ接続するか、またはDRAM10から接続される。

【0013】

メモリアレイ20の1つが、図2に示される。メモリアレイ20は、4個のバンク(これらは、図2においてB0~B3で記される)に分けられた8個のメモリアレイ“マット”100a~100hを含む。しかし、メモリアレイマット100a~100hは、もっと多くの数または少ない数のバンクで構成されてもよく、メモリアレイ20は、もっと多くの数または少ない数のメモリアレイマット100を含んでもよいことが理解される。リードデータバス54(図1に示す)は、メモリアレイマット100a、100b、100e、100fに接続された32対の相補的なI/Oラインを有する第1のI/Oバス104、およびメモリアレイマット100c、100d、100g、100hに接続された32対の相補的なI/Oラインを有する第2のI/Oバス106を含む。

【0014】

本発明の一実施形態によるメモリアレイ20に用いられるメモリアレイマット100の一つが、図3に示されている。マット100は、16列および16行に配列された256個のサブアレイ110を含んでいる。メモリマット100のそれぞれは、16列のライン114を含んでおり、ライン114のそれぞれは、活性化されると、対応する列を選択する。メモリマット100は、さらに、多数の行ライン(図示せず)を含んでおり、この多数の行ラインは、活性化されると、サブアレイ110における各行を選択する。4つのフリップフロップ120のセットがメモリマット100の各列の下に配置されている。行ラインが活性化された場合、4ビットのデータが各列ライン114を活性化することによって選択された各列からのメモリマット100から結合される。各列に対する4ビットのデータが、メモリマット100からフリップフロップ120の各組に、4本のコンプリメンタリーディジットラインを含む各ディジットラインバス122を介して結合される。したがって、8つの列ライン114が活性化されると、32ビットのデータが、それぞれ活性化された列ライン114に対応する8セットのフリップフロップに格納される。

【0015】

図4に示されるように、サブアレイ110のそれぞれは、行及び列に配列された256×10³個のメモリセル(図示せず)を含んでいる。メモリマット100の行が活性化され、且つ、列ライン114が選択されると、サブアレイ110の4つの各列における4本のコンプリメンタリーディジットライン130が4本の各フリップフロップ120に結合される。フリップフロップ120は、次いで、I/Oライン140の各コンプリメンタリー対を駆動する。動作の際、各メモリマット100の8つの列が、一度に活性化され、その結果、8つの各活性化列における8つのサブアレイ110が、それぞれ、4ビットのデータを出力する。したがって、各メモリアレイマット100は、32ビットのデータを提供する。この32ビットのデータは、一時的にフリップフロップ120に格納される。2つのメモリアレイマット100が各バンクのために用いられるので、各バンクB0~B3は、64ビットのデータを出力する。動作の際、各サブアレイ110から結合された4データビットは、以下に詳細に説明されるように、続いてDQ端子(図1)に結合するためにフリップフロップ120内にプリフェッチおよび格納される。

【0016】

データビットは、メモリデバイス10が高速モードまたは低速モードのいずれかで動作しているかどうか依存して、フリップフロップ120から2つのモードのいずれかで伝達される。高速モードでは、各フリップフロップ120に格納された8ビットのデータが、連続して各データバス(DQ)端子に伝達される。フリップフロップ120に格納された平行なデータがシリアルデータに変換される様式が、図5および図6を参照して説明さ

10

20

30

40

50

れる。各メモリアレイマト 100 のために各フリップフロップ 120 に 32 ビットが格納されるので、高速モードでは、32 ビットが 8 ビットのシリアルバースト内で 4 つのデータバス端子のそれぞれに結合される。他のメモリアレイマト 100 のためにフリップフロップ 120 内に格納された 32 ビットも、8 ビットのシリアルバースト内で 4 つのデータバス端子のそれぞれに結合される。その結果、高速モードでは、64 ビットが 8 ビットのシリアルバースト内で 8 つのデータバス端子のそれぞれに結合される。

【0017】

低速モードでは、フリップフロップ 120 内に格納されたデータビットも、各データバス(DQ)端子に連続して伝達される。しかしながら、低速モードでは、データビットが、16 個のデータバス端子に伝達される。メモリデバイス 10 とインターフェースするさらなる回路(図示せず)が、データを 8 ビットのバースト内で 16 個のデータバス端子のそれぞれから受信するように適合される。したがって、低速モードでは、128 ビットが、8 ビットのバーストを 16 個のデータバス端子のそれぞれに結合するために要求される。各メモリアレイマト 100 のために 32 ビットが各フリップフロップ 120 の各セット内に格納されているので、両方のメモリアレイマト 100 のためにフリップフロップ 120 内に格納された 64 ビットは、データビットの要求された数の半分のみを供給し得る。その結果、低速モードでは、64 ビットの 2 つのセットが、プリフェッチされたデータビットがデータバス端子に結合され得る前にフリップフロップ 120 内にプリフェッチおよび格納される必要がある。この動作モードが低速モードであると考えられる理由は、高速モードと比較して、低速モードでは、各メモリアレイマト 100 から 2 倍のデータビットをプリフェッチおよび/または結合するのに必要な余分な時間が生じるためである。したがって、64 ビットを各メモリアレイマト 100 からプリフェッチするために、メモリデバイスは、各データ伝達と共に 2 つの読み込み動作を行う必要がある。このデータ伝達は、実質的に単一の読み込み動作より多くの時間を必要とする。しかしながら、メモリデバイス 10 の帯域幅は、両モードにおいていくぶん同じである。高速モードでは、低速モードと比較して、16 個のデータバス端子にデータを提供するために、2 倍のメモリデバイス 10 が必要とされるが、データは、2 倍の速さで提供される。

【0018】

低速モードでのメモリデバイスの動作速度の維持を助けるために、メモリデバイス 10 は、128 ビットのデータを提供するために 2 つの読み込み動作を行う代わりに、各メモリアレイマト 110 内の 16 列全てを同時に活性化し得る。したがって、各メモリアレイマト 110 は、64 ビット(各列からの 4 ビット)を各読み込み動作の間にプリフェッチする。その結果、図 3 に示されるフリップフロップ 120 の 64 ビット全てが、各メモリアレイマト 110 がプリフェッチされた 64 ビットを格納するために必要とされる。

【0019】

動作において、各列からプリフェッチされ、各フリップフロップ 120 内に格納された 4 個のデータビットは、各読み込みサイクルの第一の部分の間に I/O ライン 140 の各対を介して結合され、別の列からプリフェッチされ、各フリップフロップ 120 内に格納された 4 個のデータビットは、各読み込みサイクルの第二の部分の間に I/O ライン 140 の同一の対を介して結合される。したがって、この代替の低速モードでは、両メモリアレイマト 110 のために各フリップフロップ 120 内に格納された 128 ビットのデータは、各読み込み動作のために 64 対のコンプリメンタリー I/O ラインを介して結合される。対照的に、上述の高速モードでは、両メモリアレイマト 110 のために各フリップフロップ 120 内に格納された 64 ビットのデータは、64 対のコンプリメンタリー I/O ラインを介して結合される。その結果、低速モードでは、2 倍のデータビットが、同一期間にデータラインを介して結合されることが必要とされる。各読み込みサイクルに対して 2 回の読み込み動作を要求しないのに、この動作モードが低速モードであると考えられるのは、この理由のためである。

【0020】

プリフェッチされたデータがフリップフロップ 120 とメモリマット 100 の内の一つに対するデータバス端子との間に接続された態様を図 5 に示す。図 5 に示される回路構成は、2 回の読み出しが各読み出し動作に対して実行される低速読み出しモードの第 1 の実施形態と共に使用されるように適応される。しかし、各メモリアレイマット 100 の各カラムが読み出され、フリップフロップ 120 の個数が 2 倍設けられる代替の実施形態に対して容易に変更され得ることが理解される。

【0021】

図 5 を参照して、各フリップフロップ 120 において格納されたプリフェッチされた 32 データビットが、32 対の各相補型 I/O ライン 140 の対を介して接続される。4 対の I/O ライン 140 の対の 8 つのグループが、8 個の各パラレル - シリアルコンバータ 150 に接続され、4 対の I/O ライン 140 は、各コンバータ 150 に接続される。しかし、4 つのコンバータ 150 a は、4 対の入力ラインのみを含む。これらのコンバータ 150 a は、各グループの 4 対の I/O ライン 140 に接続される。残りの 4 つのコンバータ 150 b は、8 つの入力ラインを含む。これらの入力ラインは、各グループの 4 対の I/O ライン 140 および 4 入力コンバータ 150 a の 1 つに接続される 4 対の I/O ライン 140 に接続される。

10

【0022】

低速モードでは、4 ビットのパラレルデータが各読み出し動作に対して 16 個のコンバータ 150 a、150 b のそれぞれに接続され、2 回の読み出し動作が実行された後、8 ビットが 16 個のパラレル - シリアルコンバータ 150 のそれぞれに接続される。次いで、各コンバータ 150 は、各 I/O 経路 134 を介して 16 個のデータバス端子 160 それぞれに 8 ビットのバーストを出力する。高速モードでは、8 ビットのパラレルデータが 4 つの 8 入力のコンバータ 150 b それぞれに接続され、次いで、各コンバータ 150 b は、I/O 経路 134 を介して 8 個のデータバス端子 160 それぞれに 8 ビットのバーストを出力する。従って、高速モードでは、互いに接続される 4 つの 4 入力コンバータ 150 a およびデータバス端子 160 が使用されない。

20

【0023】

書き込み動作に対して、SDRAM 10 が高速モードまたは低速モードのいずれで動作するか依存して、8 ビットのバーストは、それぞれ 8 または 16 個のデータバス端子に適用される。次いで、各シリアル - パラレルコンバータ 168 は、8 ビットのバーストを 8 ビットのパラレルデータ（高速モードにおいて）または 4 ビットのパラレルデータの 2 セット（低速モードにおいて）のいずれかに 8 ビットのバーストを変換する。次いでメモリアレイ 110 の各カラムに適応された 4 つのデータビットは、書き込み動作において各サブレイ 110 の各カラムに接続される。

30

【0024】

8 ビットのパラレル - シリアルコンバータ 150 a の一実施形態を図 6 に示す。上述したように、パラレル - シリアルコンバータ 150 a は、8 ビットのパラレルデータを受け取り 8 シリアルビットのバーストを出力するように適応される。しかし、4 ビットのパラレル - シリアルコンバータ 150 b は、以下にさらに説明するように実質的に同一である。パラレルデータがフリップフロップ 120 からコンバータ 150 a に転送された場合、RinPar 信号がハイに遷移し、これにより負荷論理回路 162 をトリガする。次いで負荷論理回路 162 は、ハイデータロード 0（「DataLoad0」）出力を出力し、この出力を 4 入力ラッチ 164 に印加する。ラッチ 164 は、8 つのフリップフロップ 120 に選択的に接続される 4 ビットのパラレルデータ入力を有する。従って、パラレル - シリアルコンバータ 150 a の各データ入力は、2 つのフリップフロップ 120 の出力に接続される。フリップフロップ 120 の 4 つの出力は、RinPar 信号のロウ - ハイ遷移に対して各データ入力端子に接続される。次いで、4 ビットのパラレルデータがラッチ 164 に格納される。

40

【0025】

ラッチ 164 に格納された 4 ビットのデータは、ラッチ外部にシフトされた場合、Ri

50

n 信号がハイに遷移し、これによりインバータ 168 に、NANDゲート 170 にロウで出力させる。NANDゲート 170 は、NANDゲート 174 と共にセット - リセットフリップフロップ 176 を形成する。次いで、フリップフロップ 176 が設定され、これにより NANDゲート 170 に、アクティブハイシリアルアンロード (「SerUld」) 信号をラッチ 164 に出力させる。ハイ SerUld 信号は、ラッチ 164 にアクティブロウビジー信号を出力させ、シリアルクロック (「SerClk」) 信号に応答して、各 SerClk 信号遷移中に、格納されたデータの 4 ビットをラッチ外部に一度に 1 ビットシフトする。

【0026】

ラッチ 164 の出力におけるシリアルデータは、マルチプレクサ 180 に印加される。以下にさらに説明するように、インバータ 182 の出力は、最初はロウであり、マルチプレクサ 180 への他の入力はハイである。結果として、マルチプレクサ 180 は、ラッチ 164 から、SerClk 信号およびその付随信号 (complement) によってクロックされる二重エッジにトリガされたフリップフロップ 184 に 4 ビットのシリアルデータのバーストを接続する。従って、1 極性を有する SerClk 信号の遷移の際、データの各ビットは、二重エッジにトリガされたフリップフロップ 184 にシフトされ、次いでデータのビットは、反対の極性を有する SerClk 信号の次の遷移の際にフリップフロップ 184 外部にシフトされる。

【0027】

ラッチ 164 の出力におけるハイビジー信号 164 は、NANDゲート 190 に、2 重エッジにトリガされたフリップフロップ 184 と同一のクロックドライバ 194 にハイを出力させる。従って、SerClk 信号の各遷移の際、ドライバ 194 は、ハイ 3 重状態 (「TS」) 信号を出力する。この TS 信号を使用して、3 重状態 (高インピーダンス) からアクティブ低インピーダンス状態までの読み出しデータ経路 54 (図 1) における下流でフリップフロップ 184 からシリアルデータを受信する回路構成 (図示せず) をスイッチングする。

【0028】

SerClk の 4 サイクルの終了前に、第 2 の組の 4 つのフリップ - フロップ 120 が個々のデータ < 0 : 3 > 端子に接続され、Rin 信号がロウに変化する。Rin 信号のハイからロウへの変化は、ロード論理回路 162 にハイデータロード 1 (「データロード 1」) 出力値を出力させ、これにより第 2 の 4 つの入力のラッチ 200 にフリップフロップ 120 からのデータの 4 個の平行ビットを格納させる。

【0029】

ラッチ 164 に格納される 4 ビットのデータが SClk 信号の 2 つの期間に応答して変位される場合、ラッチ 164 は、ロウの DoneSync 信号を出力する。ロウレベルの DoneSync 信号は、NANDゲート 174 に送られ、フリップフロップ 176 をリセットし、これにより NANDゲート 170 にラッチ 164 がさらなるシリアルデータを出力させないようにする。ロウの DoneSync 信号はまた、以下でさらに説明されるように、次にカウンタがリセットされ得るようにロード論理回路 162 の Done0 入力に送られる。最後に、Done0 信号は、NANDゲート 206 と共に、Done0 信号によって設定されるフリップフロップ 208 を形成する NANDゲート 204 に送られる。フリップフロップ 208 が設定されると、フリップフロップ 208 は、NANDゲート 206 にハイ信号を出力させる。このアクティブなハイ信号により、インバータ 210 は、ラッチ 200 の SerialUnload (「SerUld」) 端子にアクティブなハイ信号を送る。次いで、ラッチ 200 は、ラッチ 164 について説明したように、SerClk 信号に応答して、格納された 4 ビットをマルチプレクサ 180 に送る。ラッチ 200 の SerUld 端子に送られたアクティブなハイ信号はまた、ラッチ 164 にアクティブなロウのビジー信号を NANDゲート 190 に送らせる。次いで、NANDゲート 190 は、ハイレベルの信号をドライバ 194 に送り、これにより、上述したように NAND 190 にハイレベルの TS の信号を出力させる。

10

20

30

40

50

【 0 0 3 0 】

フリップフロップ 2 0 8 を設けることはまた、NANDゲート 2 0 4 にロウレベルの信号を出力させ、ロウ信号によって、インバータ 2 1 4 は、インバータ 1 8 2 およびマルチプレクサ 1 8 0 にハイ信号を送る。次いで、マルチプレクサ 1 8 0 は、ラッチ 2 0 0 の出力を二重エッジトリガフリップフロップ 1 8 4 に接続する。

【 0 0 3 1 】

ラッチ 2 0 0 に格納された 4 ビットのデータがラッチ 2 0 0 からシフトされる場合、ラッチ 2 0 0 は、ロウレベルの Done Sync 信号を出力する。ロウレベルの Done Sync 信号は、フリップフロップ 2 0 8 をリセットするために NANDゲート 2 0 0 に送られ、これにより、ラッチ 2 0 0 はシリアルデータがさらに出力することを不可能にする。ロウレベルの Done Sync 信号はまた、RinPar 信号の次の変化の用意のためにロード論理回路 1 6 2 をリセットためにロード論理回路 1 6 2 の Done 入力に送られる。

10

【 0 0 3 2 】

フリップフロップ 1 7 6、2 0 8 およびロード論理回路 1 6 2 はまた、アクティブなロウの Reset 信号によってリセットされ得る。

【 0 0 3 3 】

上述したように、パラレル - シリアルコンバータ 1 5 0 a は、4 ビットのパラレルデータの 2 つのロードを 8 ビットのシリアルデータの 1 つのバーストに変換する。パラレル - シリアルコンバータ 1 5 0 a は、4 つの 4 ビットまたは 8 ビットのパラレルデータを 8 ビットのシリアルデータの 1 つのバーストに変換するコンバータ 1 5 0 b を機能させるように変更される。例えば、コンバータ 1 5 0 b は、8 ビットのパラレルデータのロードをラッチするように一組の 4 つのラッチ (図示せず) を追加することによって機能され得る。これらのラッチは、4 ビットモードにおいては、不可能になり、コンバータ 1 5 0 b は、上述したようにコンバータ 1 5 0 a と同様の態様にて動作する。

20

【 0 0 3 4 】

図 7 は、図 1 の SDRAM 1 0 を含むコンピュータシステム 3 0 0 を示す。コンピュータシステム 3 0 0 は、特定の計算またはタスクを実行するために特定のソフトウェアを動作させること等の様々な計算機能を実行するプロセッサ 3 0 2 を含む。さらに、コンピュータシステム 3 0 0 は、オペレータがコンピュータシステム 3 0 0 とインターフェースをとり得るようにプロセッサ 3 0 2 に接続される、キーボードまたはマウス等の 1 つ以上の入力デバイス 3 1 4 を含む。通常、コンピュータシステム 3 0 0 はまた、プロセッサ 3 0 2 に接続された 1 つ以上の出力デバイス 3 1 6 (出力デバイスは、一般にプリンタまたはビデオ端末である) を含む。1 つ以上のデータ格納デバイス 3 1 8 はまた、プロセッサ 3 0 2 に接続され、これにより、プロセッサ 3 0 2 が内部または外部格納媒体 (図示せず) にデータを格納できる、または内部または外部格納媒体からデータを取り出すことができる。一般的な格納デバイス 3 1 8 の一例は、ハードディスクおよびフロッピー (R) ディスク、テープカセット、およびコンパクトディスク - リードオンリーメモリ (CD - ROM) を含む。プロセッサ 3 0 2 はまた、一般的にはスタティックランダムアクセスメモリ (「SRAM」) であるキャッシュメモリ 3 2 6 に接続され、メモリコントローラ 3 3 0 を介して SDRAM 1 0 に接続される。メモリコントローラ 3 3 0 は、通常、SDRAM 1 0 に接続されたコントローラバス 3 3 6 およびアドレスバス 3 3 8 を含み得る。データバス 3 4 0 は、メモリコントローラ 3 3 0 によって直接的に (図 7 参照) または何らかの他の手段によって SDRAM 1 0 からプロセッサバス 3 0 4 に接続される。

30

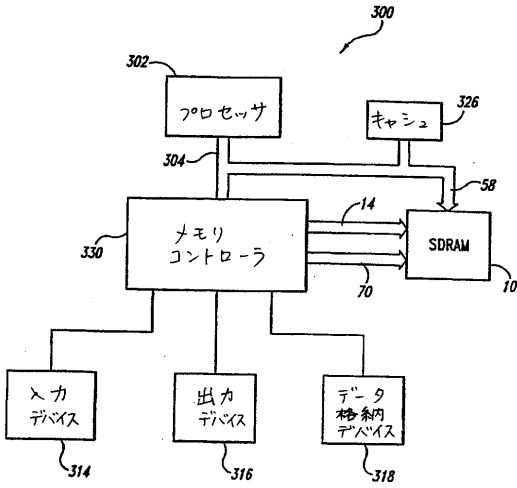
40

【 0 0 3 5 】

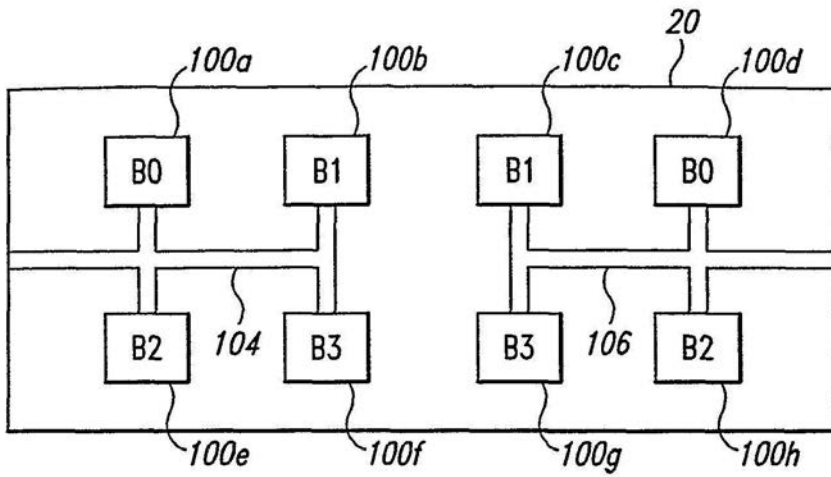
上述したことから、本発明の実施形態が例示の目的のために本明細書中に説明されているが、本発明の意図および範囲から逸脱せずに様々な変更が為されることが理解される。例えば、SDRAM 1 0 は、8 個のデータバス端末が高速モードで用いられる 1 6 個のデータバス端末と、全てが低速モードで用いられるおよび 1 6 個の DQ 端末を有するが、メモリデバイスは、より少ないまたは多くの DQ 端末を有してもよい。また、データのそれ

50

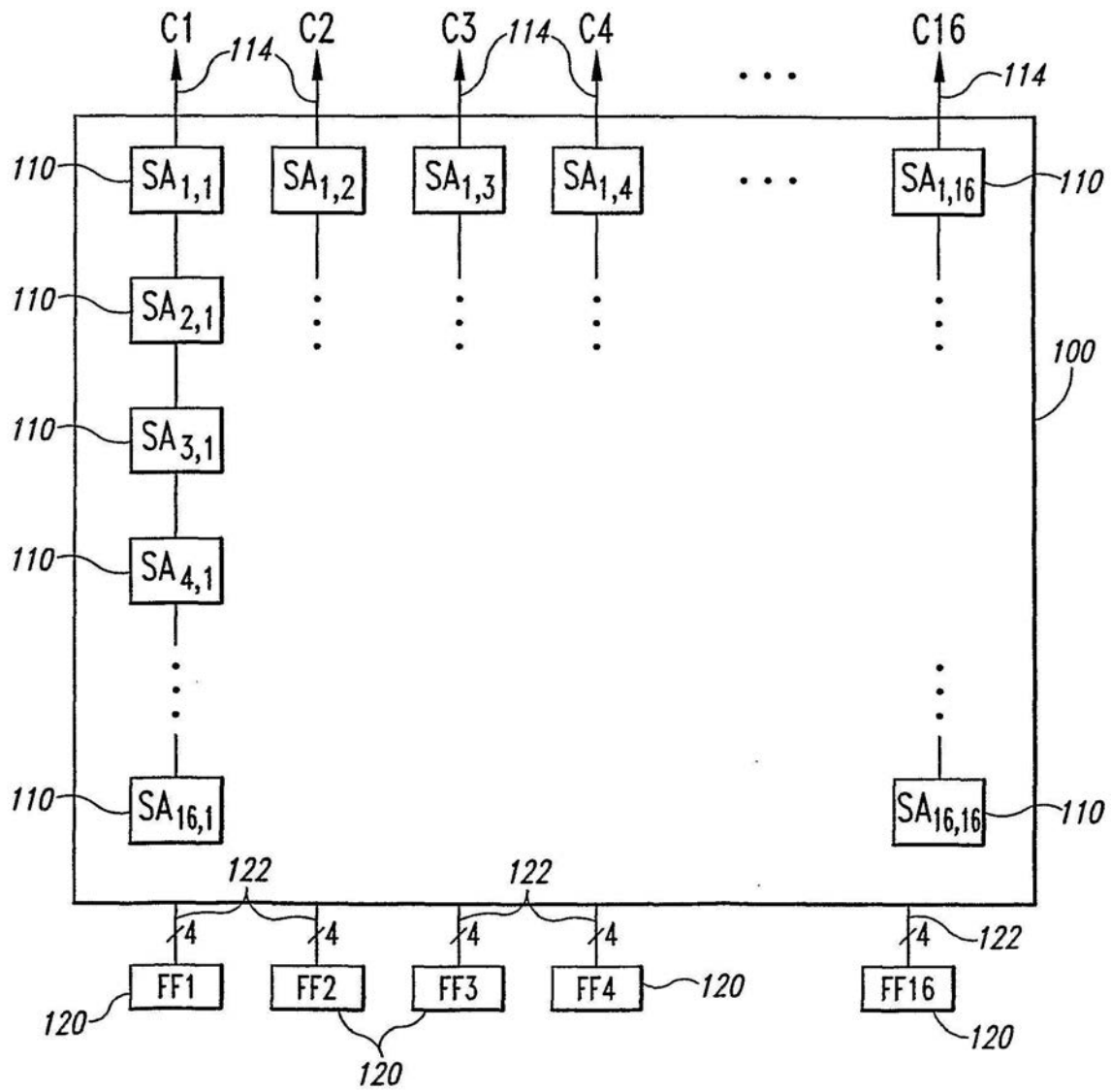
【 図 7 】



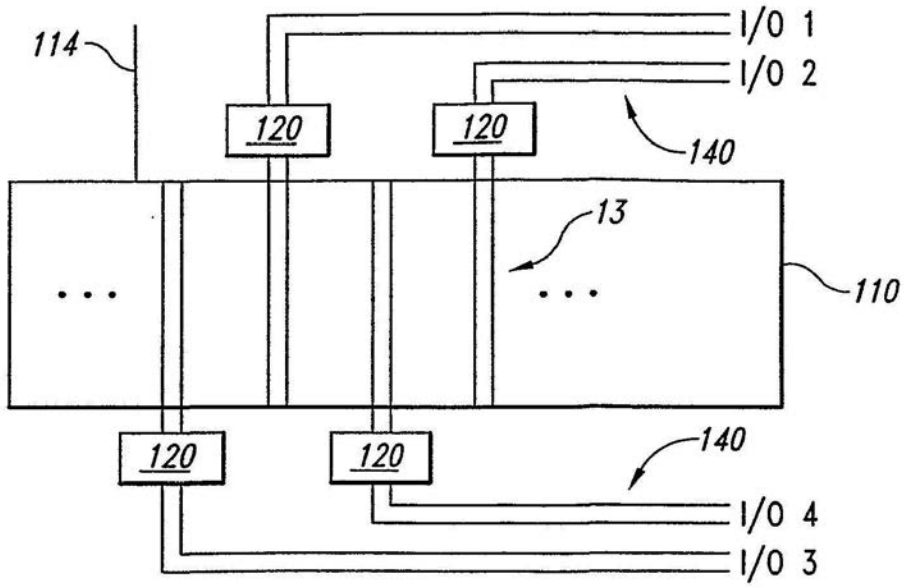
【 図 2 】



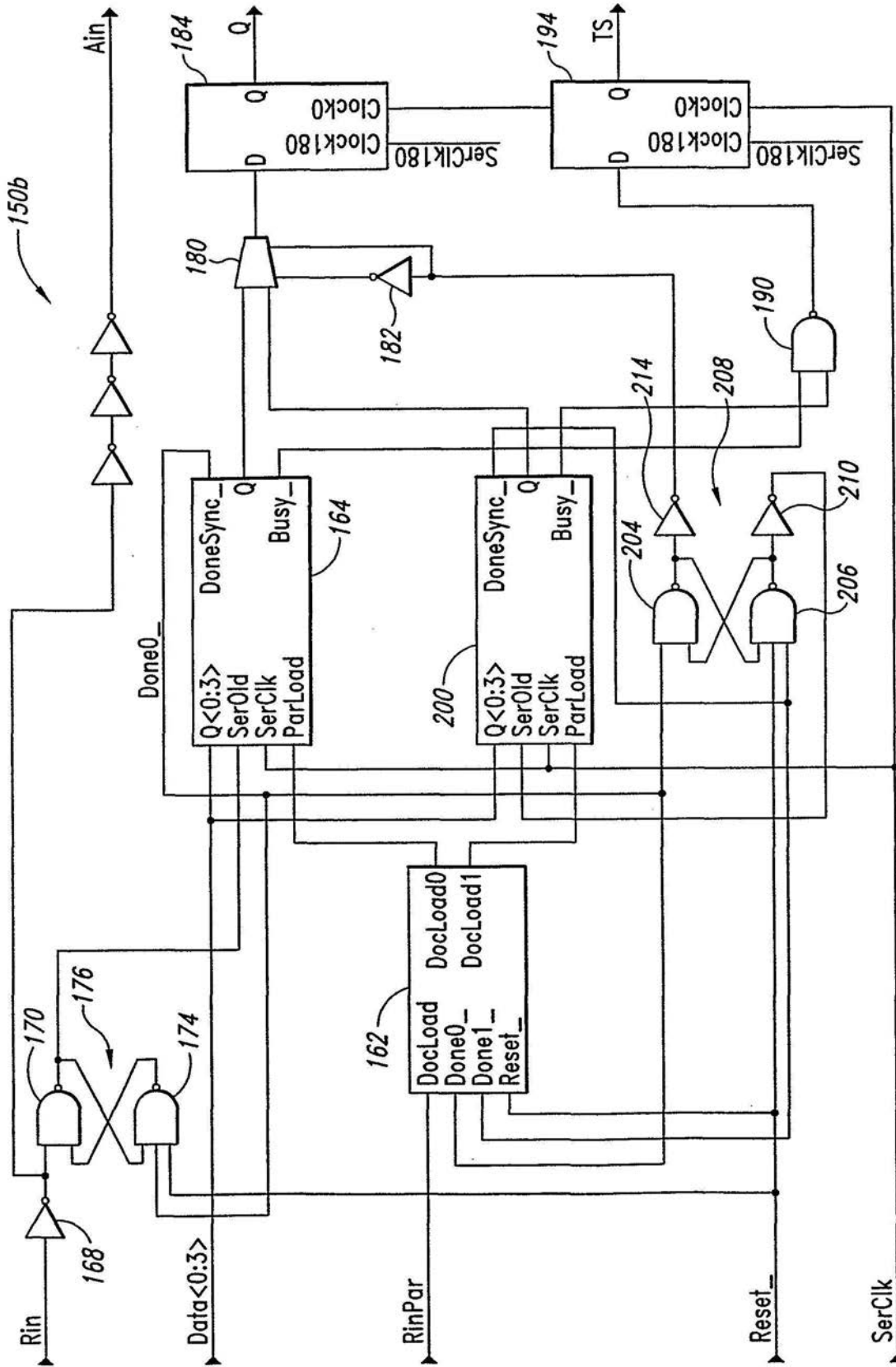
【 図 3 】



【 図 4 】



【 図 6 】



フロントページの続き

(72)発明者 ジョンソン, ブライアン

アメリカ合衆国 アイダホ 83716, ボイス, イー. ゲートウェイ ドライブ 5977

(72)発明者 マニング, トロイ エイ.

アメリカ合衆国 アイダホ 83642, メリディアン, サウス オバディア レーン 8153

Fターム(参考) 5M024 AA49 AA74 BB17 BB35 DD09 DD19 JJ03 JJ18 JJ56 PP01

PP02