(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3628847号
(P3628847)
(45)発行日　平成17年3月16日(2005.3.16)　(24)登録日　平成16年12月17日(2004.12.17)

(51)Int.Cl.[7]　F I
G06F 3/00　G06F 3/00 F
G06F 3/00 A

請求項の数 13　(全 11 頁)

(21)出願番号　特願平9-221388
(22)出願日　平成9年8月18日(1997.8.18)
(65)公開番号　特開平11-65727
(43)公開日　平成11年3月9日(1999.3.9)
審査請求日　平成13年3月1日(2001.3.1)

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区丸の内一丁目６番６号
(74)代理人　100080001
弁理士　筒井　大和
(72)発明者　稲川　隆
神奈川県海老名市下今泉８１０番地　株式会社日立製作所　オフィスシステム事業部内
(72)発明者　久田　義明
神奈川県海老名市下今泉８１０番地　株式会社日立製作所　オフィスシステム事業部内

最終頁に続く

(54)【発明の名称】バス切り換え装置、コンピュータ、および情報処理装置

(57)【特許請求の範囲】

【請求項１】

複数のＩ／Ｏバスと、前記複数のＩ／Ｏバスのいずれか１つに接続されるＩ／Ｏスロットとを有するコンピュータにおけるバス切り換え装置であって、

前記Ｉ／Ｏスロットと前記複数のＩ／Ｏバスとの間にあって、接続するＩ／Ｏバスを切り換えるＩ／Ｏスロットに接続され、スイッチング信号に基づいて前記Ｉ／Ｏスロットと前記複数のＩ／Ｏバスの各々との間を接続および切断のいずれかの状態にするスイッチング部と、

前記スイッチング部を制御して前記Ｉ／Ｏスロットを前記複数のＩ／Ｏバスのいずれか１つと接続するとともに接続した前記Ｉ／Ｏバス以外のＩ／Ｏバスと前記Ｉ／Ｏスロットとの間を切断し、前記Ｉ／Ｏスロットと前記複数のＩ／Ｏバスとの間の接続を切り換えるスイッチング制御部とを有するバス切り換え装置。

【請求項２】

複数のＩ／Ｏバスと、Ｉ／Ｏスロットと、前記Ｉ／Ｏスロットを前記複数のＩ／Ｏバスのいずれか１つに接続するバス切り換え装置とを有するコンピュータであって、

前記バス切り換え装置は、前記Ｉ／Ｏスロットと前記複数のＩ／Ｏバスとの間にあって、接続するＩ／Ｏバスを切り換えるＩ／Ｏスロットに接続され、スイッチング信号に基づいて前記Ｉ／Ｏスロットと前記複数のＩ／Ｏバスの各々との間を接続および切断のいずれかの状態にするスイッチング部と、前記スイッチング部を制御して前記Ｉ／Ｏスロットを前記複数のＩ／Ｏバスのいずれか１つと接続するとともに接続した前記Ｉ／Ｏバス以外のＩ

／Ｏバスと前記Ｉ／Ｏスロットとの間を切断状態とし、前記Ｉ／Ｏスロットと前記複数のＩ／Ｏバスとの間の接続を切り換えるスイッチング制御部とを有することを特徴とするコンピュータ。

【請求項３】

複数のＩ／Ｏバスと、少なくとも２つのＩ／Ｏスロットと、前記Ｉ／Ｏスロットを前記複数のＩ／Ｏバスのいずれか１つに接続するバス切り換え装置とを有するコンピュータであって、前記バス切り換え装置は、それぞれの前記Ｉ／Ｏスロットと前記複数のＩ／Ｏバスとの間にあって、接続するＩ／Ｏバスを切り換えるＩ／Ｏスロットに接続され、スイッチング信号に基づいてそれぞれの前記Ｉ／Ｏスロットと前記複数のＩ／Ｏバスの各々との間を接続および切断のいずれかの状態にするスイッチング部と、前記スイッチング部を制御してそれぞれの前記Ｉ／Ｏスロットを前記複数のＩ／Ｏバスのいずれか１つと接続するとともに接続した前記Ｉ／Ｏバス以外のＩ／Ｏバスと前記Ｉ／Ｏスロットとの間を切断状態とし、前記Ｉ／Ｏスロットと前記複数のＩ／Ｏバスとの間の接続を切り換えるスイッチング制御部とを有することを特徴とするコンピュータ。

【請求項４】

プロセッサと、

前記プロセッサに接続するプロセッサ用バスと、　前記プロセッサ用バスに接続し、前記プロセッサバスと他のバスとの間で信号を伝達する第一、第二のブリッジ回路と、

前記第一のブリッジ回路に接続する第一のＩ／Ｏバスと、

前記第二のブリッジ回路に接続する第二のＩ／Ｏバスと、

前記第一、第二のＩ／Ｏバスに接続し得るスロットと、

前記スロットと前記第一のＩ／Ｏバスとの間にある第一のスイッチと、

前記スロットと前記第二のＩ／Ｏバスとの間にある第二のスイッチと、

前記第一、第二のスイッチを制御し、前記第一または前記第二のＩ／Ｏバスのいずれかのバスと前記スロットとを電気的に接続するバススイッチ制御回路とを備えることを特徴とする情報処理装置。

【請求項５】

前記第一、第二のスイッチは、半導体スイッチであることを特徴とする請求項４記載の情報処理装置。

【請求項６】

前記バススイッチ制御回路は、切り換え指示を入力する入力部と、前記切り換え指示に従って前記第一、第二のスイッチを動作するスイッチング部とを備えることを特徴とする請求項４記載の情報処理装置。

【請求項７】

前記入力部は、機械的なスイッチであることを特徴とする請求項６記載の情報処理装置。

【請求項８】

前記入力部は、書き換え可能な記憶回路であることを特徴とする請求項６記載の情報処理装置。

【請求項９】

信号を伝達する第一、第二のバスと、

前記第一のバスに接続する第一のスロットと、

前記第二のバスに接続する第二のスロットと、

スイッチを介して前記第一、第二のスロットと接続し得る第三のスロットと、

前記スイッチを制御して前記第一、第二のバスのいずれか１つと前記第三のスロットとを電気的に接続するバススイッチ制御回路とを備えたバス切り換え装置。

【請求項１０】

前記スイッチは、半導体スイッチであることを特徴とする請求項９記載のバス切り換え装置。

【請求項１１】

前記バススイッチ制御回路は、切り換え指示を入力する入力部と、前記切り換え指示に従

って、前記スイッチを動作するスイッチング部とを備えることを特徴とする請求項９記載のバス切り換え装置。
【請求項１２】
前記入力部は、機械的なスイッチであることを特徴とする請求項１１記載のバス切り換え装置。
【請求項１３】
前記入力部は、書き換え可能な記憶回路であることを特徴とする請求項１１記載のバス切り換え装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、バス切り換え装置およびそれを用いたコンピュータに関し、特に、Ｉ／Ｏ（Ｉｎｐｕｔ／Ｏｕｔｐｕｔ）スロットに用いられるＰＣＩ（Ｐｅｒｉｐｈｅｒａｌ　Ｃｏｍｐｏｎｅｎｔ　Ｉｎｔｅｒｃｏｎｎｅｃｔ）バスの接続制御に適用して有効な技術に関するものである。
【０００２】
【従来の技術】
本発明者が検討したところによれば、ワークステーションやサーバなどのコンピュータシステムでは、高速化に対応するために２系統のＰＣＩバスを採用することによってＩ／Ｏバスの負荷分散をはかり、システム全体の性能を向上させている。
【０００３】
なお、この種のコンピュータシステムのローカルバスについて詳しく述べてある例としては、１９９４年６月２１日、日経ＢＰ社発行、日経バイト（編）、「日経バイト別冊　最新パソコン技術体系」Ｐ７０，Ｐ７１があり、この文献には、ＰＣＩバスの特徴などが記載されている。
【０００４】
【発明が解決しようとする課題】
ところが、上記のような２系統のＰＣＩバスによる負荷分散では、次のような問題点があることを本発明者は見い出した。
【０００５】
すなわち、Ｉ／Ｏ装置の各々を２系統ＰＣＩバスのいずれかに固定的に接続した場合、実際の使用時に接続したＩ／Ｏ装置の使用頻度や時間などにより、２系統の内のいずれかのＰＣＩバスに負荷が偏ってしまい、充分にコンピュータシステムの性能が発揮できないという問題がある。
【０００６】
また、２系統のＰＣＩバスが均等に使用されるように実際の使用の状況に応じて各ＰＣＩバスに接続されるＩ／Ｏスロットを組み替えることもできるが、この場合、コンピュータシステムの筐体の分解やケーブルの張り替えなどの作業が発生するので、作業者にハードウェアの専門知識が必要であり、かつ作業効率や工数が掛かってしまうという問題がある。さらに、作業時の間違いなどによってコンピュータシステムが動作不能となったり部品の破壊などを引き起こしてしまう恐れもある。
【０００７】
本発明の目的は、Ｉ／Ｏスロットの接続を実使用時の負荷変動などに応じて簡単に短時間で任意のＩ／Ｏバスに変更することによりＩ／Ｏバスの負荷分担を均一化し、スループットを大幅に向上することのできるバス切り換え装置およびそれを用いたコンピュータを提供することにある。
【０００８】
【課題を解決するための手段】
本発明のバス切り換え装置は、Ｉ／Ｏスロットと複数のＩ／Ｏバスとの間にあって、スイッチング信号に基づいてＩ／Ｏスロットと複数のＩ／Ｏバスの各々との間を接続および切

断のいずれかの状態にするスイッチング部と、当該スイッチング部を制御してＩ／Ｏスロットを複数のＩ／Ｏバスのいずれか１つと接続するとともに接続したＩ／Ｏバス以外のＩ／ＯバスとＩ／Ｏスロットとの間を切断し、Ｉ／Ｏスロットと複数のＩ／Ｏバスとの間の接続を切り換えるスイッチング制御部とを有するものである。

【０００９】

また、本発明のコンピュータは、複数のＩ／Ｏバスと、Ｉ／Ｏスロットと、Ｉ／Ｏスロットを複数のＩ／Ｏバスのいずれか１つに接続するバス切り換え装置とを有しており、そのバス切り換え装置は、Ｉ／Ｏスロットと複数のＩ／Ｏバスとの間にあって、スイッチング信号に基づいてＩ／Ｏスロットと複数のＩ／Ｏバスの各々との間を接続および切断のいずれかの状態にするスイッチング部と、該スイッチング部を制御してＩ／Ｏスロットを複数のＩ／Ｏバスのいずれか１つと接続するとともに接続したＩ／Ｏバス以外のＩ／ＯバスとＩ／Ｏスロットとの間を切断状態とし、Ｉ／Ｏスロットと複数のＩ／Ｏバスとの間の接続を切り換えるスイッチング制御部とを有するものである。

【００１０】

それらにより、スイッチング制御部によりスイッチング部の切り換えを行うだけで容易に短時間でＩ／Ｏスロットの接続先を任意のＩ／Ｏバスに切り換えることができる。

【００１１】

さらに、本発明のコンピュータは、複数のＩ／Ｏバスと、少なくとも２つのＩ／Ｏスロットと、それらＩ／Ｏスロットを複数のＩ／Ｏバスのいずれか１つに接続するバス切り換え装置を有しており、それらバス切り換え装置は、それぞれのＩ／Ｏスロットと複数のＩ／Ｏバスとの間にあって、スイッチング信号に基づいてそれぞれのＩ／Ｏスロットと複数のＩ／Ｏバスの各々との間を接続および切断のいずれかの状態にするスイッチング部と、当該スイッチング部を制御してそれぞれのＩ／Ｏスロットを複数のＩ／Ｏバスのいずれか１つと接続するとともに接続したＩ／Ｏバス以外のＩ／ＯバスとＩ／Ｏスロットとの間を切断状態とし、Ｉ／Ｏスロットと複数のＩ／Ｏバスとの間の接続を切り換えるスイッチング制御部とを有するものである。

【００１２】

それによっても、スイッチング制御部によりスイッチング部の切り換えを行うだけで任意のＩ／ＯバスへのＩ／Ｏスロットの増減をフレキシブルに行うことができる。

【００１３】

以上のことにより、Ｉ／ＯスロットのＩ／Ｏバスの接続先を短時間で容易に、かつフレキシブルに変えることができるので、コンピュータのスループットを向上することができる。

【００１４】

また、Ｉ／Ｏスロットの接続先の切り換え時の筐体の解体やケーブルの張り替え作業が不要となるので、作業時の間違いなどによるコンピュータの動作不能や部品の破壊などがなくなり、かつハードウェアの知識がない作業者でも簡単に短時間で行うことができる。

【００１５】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【００１６】

（実施の形態１）

図１は、本発明の実施の形態１によるコンピュータの要部ブロック図、図２は、本発明の実施の形態１によるバス切り換え制御手段に設けられたスイッチの説明図である。

【００１７】

本実施の形態１において、ネットワーク機能を持つワークステーションなどのコンピュータ１は、４つのプロセッサであるＣＰＵ２～２ｃを備えており、これらＣＰＵ２～２ｃはプロセッサ用のバスであるＳＭＰバスＢ１に接続されている。

【００１８】

また、コンピュータ１には、該コンピュータ１のメインメモリの制御を行うメモリコント

ローラ３が設けられ、このメモリコントローラ３も同じくＳＭＰバスＢ１に接続されている。

【００１９】

さらに、コンピュータ１には、２本のＰＣＩバス（Ｉ／Ｏバス）Ｂ２，Ｂ３ならびにに ＳＭＰバスＢ１とＰＣＩバスＢ２，Ｂ３との信号の論理的な整合性を持たすための信号変換を行うＳＭＰ－ＰＣＩブリッジ４，５が設けられている。

【００２０】

さらに、ＰＣＩバスＢ２は、ＳＭＰ－ＰＣＩブリッジ４を介してＳＭＰバスＢ１に接続され、ＰＣＩバスＢ３は、ＳＭＰ－ＰＣＩブリッジ５を介してＳＭＰバスＢ１に接続されている。

【００２１】

また、コンピュータ１には、周辺装置などのＩ／Ｏ装置を挿入実装するＰＣＩスロットＳＬ１～ＳＬ３，ＳＬ５～ＳＬ７が設けられており、ＰＣＩスロットＳＬ１～ＳＬ３はＰＣＩバスＢ２に接続され、ＰＣＩスロットＳＬ５～ＳＬ７はＰＣＩバスＢ３に接続されている。

【００２２】

さらに、コンピュータ１には、スイッチ（スイッチング部）ＳＷ１，ＳＷ２が設けられており、ＰＣＩスロット（Ｉ／Ｏスロット）ＳＬ４は、スイッチＳＷ１，ＳＷ２を介してＰＣＩバスＢ２またはＰＣＩバスＢ３のいずれかに接続されている。

【００２３】

ここで、スイッチＳＷ１，ＳＷ２には、図２に示すように、ＰチャネルＭＯＳ（Ｍｅｔａｌ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）トランジスタであるトランジスタＴ１、ＮチャネルトＭＯＳランジスタであるトランジスタＴ２ならびにトランジスタＴ１に入力される信号を反転するインバータＩｖａの電子回路のみから構成されるＣ（Ｃｏｍｐｌｅｍｅｎｔａｒｙ）ＭＯＳアナログスイッチが用いられており、リーク電流やＯＮ抵抗などを大幅に低減することができる。

【００２４】

そして、コンピュータ１には、ＥＩＳＡバスＢ４および該ＥＩＳＡバスＢ４とＰＣＩバスＢ２との信号の論理的な整合性を持たすための信号変換を行うＰＣＩ－ＥＩＳＡブリッジ６が設けられており、このＰＣＩ－ＥＩＳＡブリッジ６を介してＥＩＳＡバスＢ４が接続されている。

【００２５】

また、コンピュータ１には、周辺装置などのＩ／Ｏ装置を挿入実装するＥＩＳＡスロットＥＳＬ１～ＥＳＬ３が設けられており、ＥＩＳＡスロットＥＳＬ１～ＥＳＬ３がＥＩＳＡバスＢ４に接続されている。

【００２６】

次に、コンピュータ１には、スイッチＳＷ１，ＳＷ２の入力部に入力される所定の信号に基づいて各々のスイッチＳＷ１，ＳＷ２の導通状態、非導通状態の制御、すなわち、ＯＮ、ＯＦＦさせる信号を生成する信号生成部（スイッチング制御部）７が設けられている。

【００２７】

この信号生成部７は、たとえば、機械式の切り換え手段からなるスイッチＳ１、電流制限用の抵抗Ｒならびにインバータ Ｉｖから構成されており、抵抗Ｒの一方の接続部が電源に接続されている。

【００２８】

また、スイッチＳ１の一方の接続部はグランド電位に接続されており、他方の接続部は抵抗Ｒの他方の接続部、インバータＩｖの入力部およびスイッチＳＷ１の入力部と接続されている。さらに、インバータＩｖの出力部はスイッチＳＷ２の入力部と接続されている。

【００２９】

そして、これらスイッチＳ１、抵抗Ｒ、インバータＩｖからなる信号生成部７によってバス切り換え制御手段８が構成され、スイッチＳＷ１，ＳＷ２ならびにバス切り換え制御手

段８によりバス切り換え装置が構成されている。
【００３０】
次に、本実施の形態の作用について説明する。
【００３１】
まず、コンピュータ１のセッティングが終了すると、作業者は、ＰＣＩスロットＳＬ４をＰＣＩバスＢ２に接続した場合およびＰＣＩスロットＳＬ４をＰＣＩバスＢ３に接続した場合の２通りについてそれぞれ性能を調べるためにベンチマークテストを行う。
【００３２】
ここで、ＰＣＩスロットＳＬ４の接続について説明する。
【００３３】
まず、ＰＣＩスロットＳＬ４をＰＣＩバスＢ２に接続する場合、作業者がスイッチＳ１を非導通状態とする。これにより、抵抗Ｒを介してＨｉ信号がスイッチＳＷ１に入力され、スイッチＳＷ２にはインバータＩｖにより反転されたＬｏ信号が入力されることになる。
【００３４】
Ｈｉ信号が入力されたスイッチＳＷ１はＯＮとなり、Ｌｏ信号が入力されたスイッチＳＷ２はＯＦＦとなるので、ＰＣＩスロットＳＬ４はＰＣＩバスＢ２に接続されることになる。
【００３５】
また、ＰＣＩスロットＳＬ４をＰＣＩバスＢ３に接続する場合には、作業者がスイッチＳ１を導通状態とすることにより、抵抗Ｒの一方の接続部の電位はグランド電位となるのでスイッチＳＷ１にはＬｏ信号が入力される。
【００３６】
さらに、スイッチＳＷ２にはインバータＩｖを介してＨｉ信号が入力され、Ｌｏ信号が入力されたスイッチＳＷ１はＯＦＦとなり、Ｈｉ信号が入力されたスイッチＳＷ２はＯＮとなるので、ＰＣＩスロットＳＬ４はＰＣＩバスＢ３に接続されることになる。
【００３７】
そして、前述したようにそれぞれの場合におけるベンチマークテストを行い、処理時間が短い、すなわち、ベンチマークテスの結果の良好な方の接続の設定を行う。
【００３８】
たとえば、ＰＣＩスロットＳＬ４がＰＣＩバスＢ２に接続された場合にベンチマークテストの結果がよいときには、スイッチＳ１を非導通状態に設定し、ＰＣＩスロットＳＬ４がＰＣＩバスＢ３に接続された場合にベンチマークテストの結果がよいときには、スイッチＳ１を導通状態に設定する。
【００３９】
それにより、本実施の形態１においては、スイッチＳ１を導通状態または非導通状態にするだけで、短時間で容易にＰＣＩスロットＳＬ４の接続先をＰＣＩバスＢ２，Ｂ３のいずれかに切り換えることができるので、最適な状態でコンピュータ１を使用することができる。
【００４０】
また、筐体の分解やケーブルの配線変更などの作業が不要となるので、作業時の間違いなどによるコンピュータ１の動作不能や部品の破壊などがなくなり、かつハードウェアの知識がない作業者でも簡単に短時間でＰＣＩスロットＳＬ４を最適な状態で接続することができる。
【００４１】
さらに、本実施の形態１では、信号生成部７（図）をスイッチＳ１、抵抗Ｒ、インバータＩｖによって構成し、スイッチＳ１を切り換えることによってスイッチＳＷ１，ＳＷ２をＯＮ、ＯＦＦさせていたが、スイッチＳＷ１，ＳＷ２の切り換えはハードウェアによる切り換えだけではなく、たとえば、フリップフロップの出力信号によりスイッチＳＷ１，ＳＷ２をＯＮ、ＯＦＦさせるようにしてもよい。
【００４２】

この場合、スイッチＳＷ１，ＳＷ２の切り換えを行うフリップフロップの出力信号は、ソフトウェアによってフリップフロップの入力信号を設定することにより行う。

【００４３】

（実施の形態２）

図３は、本発明の実施の形態２によるコンピュータに設けられたＰＣＩスロットの切り換えを行うブロック構成の説明図である。

【００４４】

本実施の形態２においては、コンピュータ１に２ビットのフリップフロップ（スイッチング制御部）ＦＦが設けられており、該フリップフロップＦＦはＳＭＰバスＢ１と接続されており、所定のＣＰＵにより制御が行われている。

【００４５】

また、コンピュータ１には、フリップフロップＦＦに設定されたデータを保持する電源である電池Ｄ、フリップフロップＦＦから出力されたデータに基づいて所定の信号を出力するデコーダＤＣ、ＣＭＯＳアナログスイッチなどからなるスイッチ（スイッチング部）ＳＷ３，ＳＷ４ならびにスイッチ（スイッチング部）ＳＷ５，ＳＷ６が設けられている。

【００４６】

そして、これらフリップフロップＦＦ、デコーダＤＣおよびスイッチＳＷ３，ＳＷ４によってバス切り換え制御手段８ａが構成され、このバス切り換え制御手段８ａおよびスイッチＳＷ３～ＳＷ６によりバス切り換え装置が構成されている。

【００４７】

また、コンピュータ１には、ＰＣＩスロットＳＬ８，ＳＬ９，ＳＬ１３，ＳＬ１４およびＰＣＩスロット（Ｉ／Ｏスロット）ＳＬ１０～ＳＬ１２が設けられており、ＰＣＩスロットＳＬ８，ＳＬ９はＰＣＩバスＢ２と接続されており、ＰＣＩスロットＳＬ１３，ＳＬ１４はＰＣＩバスＢ３と接続されている。

【００４８】

次に、スイッチＳＷ３はＰＣＩスロットＳＬ９とＰＣＩスロットＳＬ１０との間に接続され、スイッチＳＷ５はＰＣＩスロットＳＬ１０とＰＣＩスロットＳＬ１１の間に接続されている。

【００４９】

さらに、スイッチＳＷ６はＰＣＩスロットＳＬ１１とＰＣＩスロットＳＬ１２との間に接続されており、スイッチＳＷ４はＰＣＩスロットＳＬ１２とＰＣＩスロットＳＬ１３の間に接続されており、これらスイッチＳＷ３～ＳＷ６は、デコーダＤＣから出力される信号に基づいてＯＮ、ＯＦＦが行われるようになっている。

【００５０】

次に、本実施の形態の作用について説明する。

【００５１】

まず、コンピュータ１のセッティングが終了すると、作業者はコンピュータ１のメモリに起動時の設定に必要な情報を格納し、該コンピュータ１の初期設定を行う。

【００５２】

そして、切り換え可能なＰＣＩスロットＳＬ１０～ＳＬ１２をすべてＰＣＩバスＢ２と接続する場合、ＰＣＩスロットＳＬ１０をＰＣＩバスＢ２と接続し、ＰＣＩスロットＳＬ１１，ＳＬ１２をＰＣＩバスＢ３に接続する場合、ＰＣＩスロットＳＬ１０，ＳＬ１１をＰＣＩバスＢ２と接続し、ＰＣＩスロットＳＬ１２をＰＣＩバスＢ３と接続する場合ならびに切り換え可能なＰＣＩスロットＳＬ１０～ＳＬ１２をすべてＰＣＩバスＢ３と接続する場合の４通りのベンチマークテストをそれぞれ実使用状態で行い、どの接続状態が最も効率よく動作するかを確認する。

【００５３】

そして、ベンチマークテストにおいて最も効率がよい接続状態に最終的な設定を行う。

【００５４】

たとえば、フリップフロップＦＦの出力値が、’００’、’０１’、’１０’、’１１’

のとき、デコーダＤＣの各々の出力は、Ｌｏ信号となり、他の信号の場合はＨｉ信号となる。

【００５５】

よって、スイッチＳＷ５のみをＯＦＦとし、その他のスイッチＳＷ３，ＳＷ４，ＳＷ６をＯＮとした場合、ＰＣＩスロットＳＬ１０はＰＣＩバスＢ２と接続され、ＰＣＩスロットＳＬ１１，ＳＬ１２はＰＣＩバスＢ３と接続されることになる。

【００５６】

また、ベンチマークテストにおいて最終的に設定された各々のＰＣＩスロットＳＬ８～ＳＬ１４の接続状態、すなわち、フリップフロップＦＦのデータはコンピュータ１の電源がＯＦＦされても、電池Ｄによりバックアップされている。

【００５７】

それにより、本実施の形態２では、起動時のフリップフロップＦＦにおける設定をソフトウェアにより変更することによって、短時間で容易にＰＣＩスロットＳＬ１０～ＳＬ１２の接続設定を変更することができるので、フレキシブルに負荷の変動に対応することができる。

【００５８】

なお、図４に示すように、切り換え可能なＰＣＩスロットＳＬ１０～ＳＬ１２をスイッチＳＷ７～ＳＷ１０を介して接続し、前記実施の形態２と同様にデコーダＤＣによって接続状態の制御を行うようにしてもよい。

【００５９】

この場合、スイッチＳＷ７～ＳＷ１０における接続状態は、図５に示すように、２通りのスイッチ接続状態Ｊ１，Ｊ２が前述したデコーダＤＣの制御により得ることができ、これらスイッチＳＷ７～ＳＷ１０の接続状態の組合せによって、図６に示すように各々のＰＣＩスロットＳＬ１０～ＳＬ１２を任意にＰＣＩバスＢ２，Ｂ３に接続することができる。

【００６０】

本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【００６１】

たとえば、前記実施の形態１，２によれば、ＰＣＩスロットの接続先を切り換えるスイッチにＣＭＯＳアナログスイッチなどの半導体スイッチを用いたが、トグルスイッチやシーソースイッチなどの機械スイッチを用いるようにしてもよい。

【００６２】

【発明の効果】

（１）本発明によれば、切り換え用Ｉ／Ｏスロットをバス切り換え制御手段により最適なＩ／Ｏバスに短時間で容易に切り換えることができる。

【００６３】

（２）また、本発明では、フリップフロップよってスイッチング制御部を構成することにより、ソフトウェアにより変更できるので、ハードウェアの知識がない作業者でも簡単に短時間でＩ／Ｏスロットを最適な状態で接続することができる。

【００６４】

（３）さらに、本発明においては、上記（１）、（２）により、筐体の分解やケーブルの配線変更などの作業が不要となるので、作業時の間違いなどによるコンピュータの動作不能や部品の破壊などを防止でき、かつフレキシブルに負荷の変動に対応できるので、コンピュータのスループットを大幅に向上することができる。

【図面の簡単な説明】

【図１】本発明の実施の形態１によるコンピュータの要部ブロック図である。

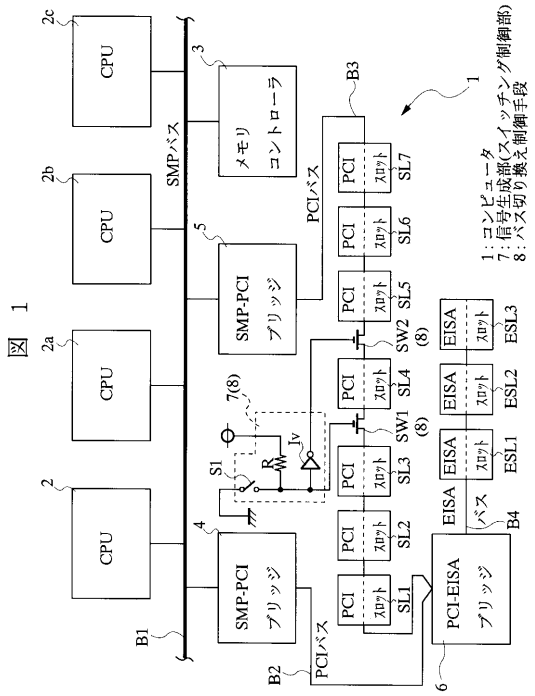
【図２】本発明の実施の形態１によるバス切り換え制御手段に設けられたスイッチの説明図である。

【図３】本発明の実施の形態２によるコンピュータに設けられたＰＣＩスロットの切り換えを行うブロック構成の説明図である。

【図４】本発明の他の実施の形態によるコンピュータの要部ブロック図である。
【図５】本発明の他の実施の形態によるバス切り換え制御手段に設けられたスイッチの説明図である。
【図６】本発明の他の実施の形態によるスイッチの接続状態を示す説明図である。
【符号の説明】
１…コンピュータ，２～２ｃ…ＣＰＵ，３…メモリコントローラ，４，５…ＳＭＰ－ＰＣＩブリッジ，７…信号生成部（スイッチング制御部），８…バス切り換え制御手段，Ｂ１…ＳＭＰバス，Ｂ２，Ｂ３…ＰＣＩバス，ＳＬ１～ＳＬ３，ＳＬ５～ＳＬ７…ＰＣＩスロット，ＳＷ１，ＳＷ２…スイッチ（スイッチング部），ＳＬ４…ＰＣＩスロット（Ｉ／Ｏスロット），Ｓ１…スイッチ，ＦＦ…フリップフロップ（スイッチング制御部），Ｄ…電池，ＤＣ…デコーダ，ＳＷ３～ＳＷ６…スイッチ（スイッチング部），ＳＬ８，ＳＬ９，ＳＬ１３，ＳＬ１４…ＰＣＩスロット，ＳＬ１０～ＳＬ１２…ＰＣＩスロット（Ｉ／Ｏスロット）。

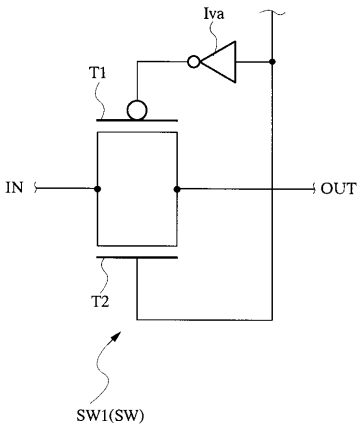
【図１】

図 1



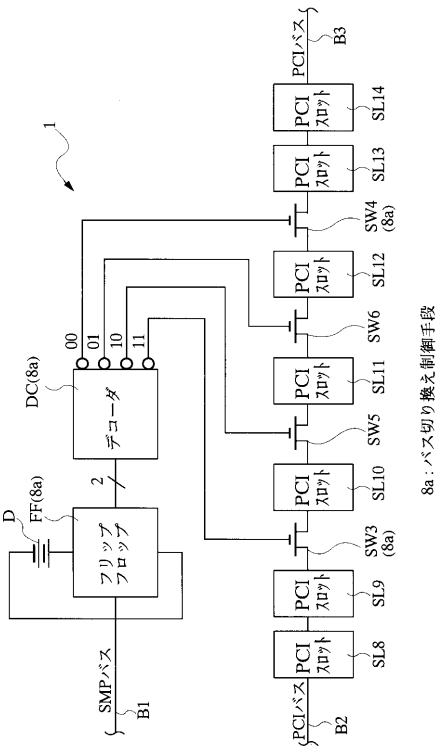

【図２】

図 2



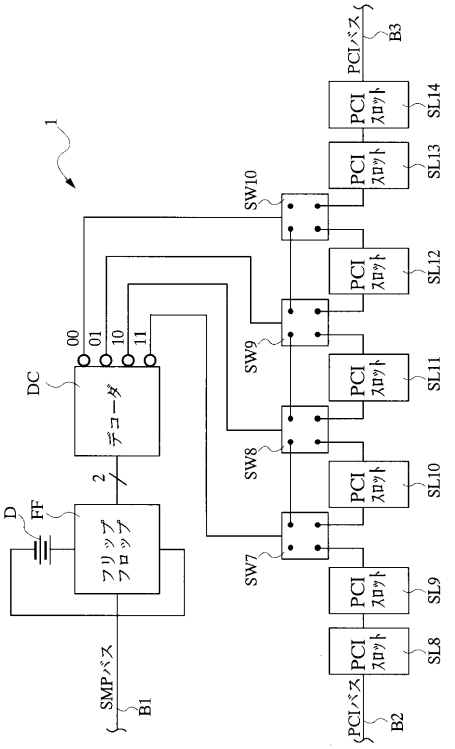
【図３】

図 3



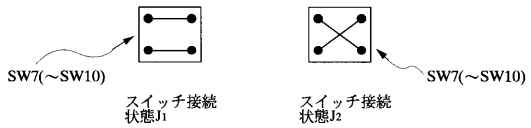

【図４】

図 4




【図５】

図 5




【図６】

図 6

| スイッチ接続状態 | | | | 各切り換えスロットが接続されるPCIバス | | |
|---|---|---|---|---|---|---|
| SW7 | SW8 | SW9 | SW10 | SL10 | SL11 | SL12 |
| J1 | J1 | J1 | J2 | B2 | B2 | B2 |
| J1 | J1 | J2 | J1 | B2 | B2 | B3 |
| J1 | J2 | J1 | J1 | B2 | B3 | B3 |
| J1 | J2 | J2 | J2 | B2 | B3 | B2 |
| J2 | J1 | J1 | J1 | B3 | B3 | B3 |
| J2 | J1 | J2 | J2 | B3 | B3 | B2 |
| J2 | J2 | J1 | J2 | B3 | B2 | B2 |
| J2 | J2 | J2 | J1 | B3 | B2 | B3 |

フロントページの続き

(72)発明者　井手　淳也
神奈川県海老名市下今泉８１０番地　株式会社日立製作所　オフィスシステム事業部内

審査官　鈴木　匡明

(56)参考文献　特開平０９－００６４９５（ＪＰ，Ａ）
特開平０７－０７８０４３（ＪＰ，Ａ）
特開平０９－２１２２６６（ＪＰ，Ａ）
特開平０６－３４８６１１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G06F 3/00
G06F 13/36