

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 4 月 15 日(15.04.2010)

(10) 国際公開番号
WO 2010/041606 A1

- (51) 国際特許分類:
H03K 3/84 (2006.01) H03K 5/08 (2006.01)
H03B 29/00 (2006.01)
- (21) 国際出願番号: PCT/JP2009/067261
- (22) 国際出願日: 2009 年 10 月 2 日(02.10.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-259480 2008 年 10 月 6 日(06.10.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人大阪大学 (OSAKA UNIVERSITY) [JP/JP]; 〒5650871 大阪府吹田市山田丘 1 番 1 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 神吉 輝夫 (KANKI, Teruo) [JP/JP]; 〒5650871 大阪府吹田市山田丘 1 番 1 号 国立大学法人大阪大学内 Osaka (JP). 堀田 育志 (HOTTA, Yasushi) [JP/JP]; 〒5650871 大阪府吹田市山田丘 1 番 1 号 国立大学法人大阪大学内 Osaka (JP). 浅川 直紀 (ASAKAWA, Naoki) [JP/JP]; 〒5650871 大阪府吹田市山田丘 1 番 1 号 国立大学法人大阪大学内 Osaka (JP). 川合 知二 (KAWAI, Tomoji) [JP/JP]; 〒

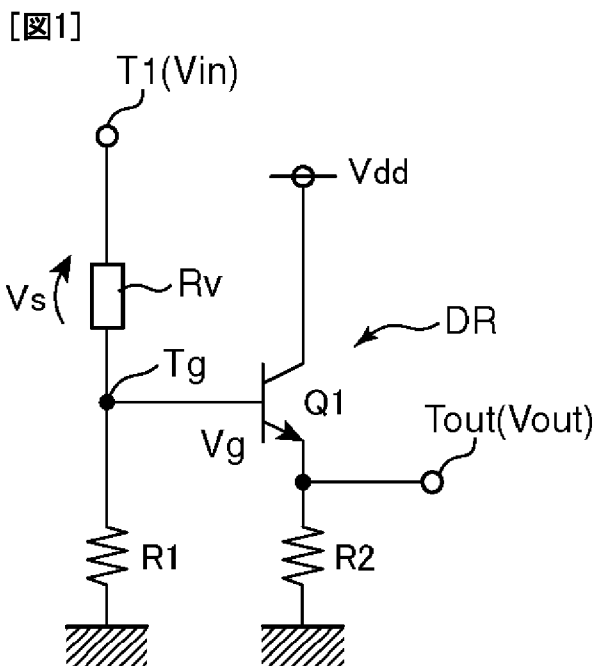
5650871 大阪府吹田市山田丘 1 番 1 号 国立大学法人大阪大学内 Osaka (JP). 田中 秀和 (TANAKA, Hidekazu) [JP/JP]; 〒5650871 大阪府吹田市山田丘 1 番 1 号 国立大学法人大阪大学内 Osaka (JP).

- (74) 代理人: 小谷 悦司, 外(KOTANI, Etsuji et al.); 〒5300005 大阪府大阪市北区中之島 2 丁目 2 番 2 号 大阪中之島ビル 2 階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,

[続葉有]

(54) Title: COMPARATOR, NOISE GENERATOR, AND PROBABILITY RESONATOR

(54) 発明の名称: コンパレータ、ノイズジェネレータ、及び確率共振素子



(57) Abstract: Provided are a hysteresis comparator and a noise generator which can significantly reduce the circuit size. Provided is also a probability resonator using the hysteresis comparator and the noise generator. When the voltage (V_s) at the both ends of a phase transition resistance element exceeds a threshold value (V_{th1}), the crystalline structure of the phase transition resistance element (R_v) causes a structure phase transfer to be changed from monoclinic to tetragonal and enters a relatively low-resistance state. This turns ON a transistor ($Q1$) and outputs a high-level output voltage (V_{out}) from an output terminal (T_{out}). On the other hand, when the voltage (V_s) applied to the both ends of the phase transition resistance element (R_v) is lower than a threshold value (V_{th2}), the phase transition resistance element (R_v) causes a structure phase transition to be changed from tetragonal to monoclinic and enters a relatively high-resistance state. This turns OFF the transistor ($Q1$) and outputs a low-level output voltage (V_{out}) from the output terminal (T_{out}).

(57) 要約:

[続葉有]



NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, 添付公開書類:

CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, — 国際調査報告 (条約第 21 条(3))
TD, TG).

回路規模を大幅に縮小することが可能なヒステリシスコンパレータ、ノイズジェネレータ、及びこれらを利用した確率共振素子を提供する。相転移抵抗素子の両端の電圧 V_s が閾値 V_{th1} を超えると、相転移抵抗素子 R_v の結晶構造が構造相転移を起こして単斜晶から正方晶に変化し、相対的に低抵抗の状態になる。これにより、トランジスタ Q_1 がオンし、出力端子 T_{out} からハイレベルの出力電圧 V_{out} が出力される。一方、相転移抵抗素子 R_v の両端に印加される電圧 V_s が閾値 V_{th2} を下回ると、相転移抵抗素子 R_v が構造相転移を起こして正方晶から単斜晶に変化し、相対的に高抵抗の状態になる。これにより、トランジスタ Q_1 がオフし、出力端子 T_{out} からローレベルの出力電圧 V_{out} が出力される。

明 細 書

発明の名称：

コンパレータ、ノイズジェネレータ、及び確率共振素子

技術分野

[0001] 本発明は、コンパレータ、ノイズジェネレータ、及びこれらを利用した確率共振素子に関するものである。

背景技術

[0002] 近年、電子デバイスの小型化への要望に伴い、電子回路の基本素子の一つであるコンパレータ、ノイズジェネレータの簡素化が重要な技術項目となっている。例えば特許文献1においては、7個のMOSFETを用いたヒステリシスコンパレータが開示されている。また、特許文献2においては、任意の特性を有する復号ノイズ信号を容易、かつ安定して生成することを目的とする復号ノイズ発生器が開示されている。

[0003] また、近年、確率共振素子を用いて生物の挙動を模擬した種々のシステムを構築する研究が行われている。ここで確率共振素子は、ノイズ信号を生成するノイズジェネレータと、微弱な入力信号にノイズジェネレータにより生成されたノイズ信号を重畳し、この信号を所定の閾値と比較するコンパレータとを備えている。

[0004] しかしながら、従来のコンパレータは、特許文献1に示すように複数のトランジスタを組み合わせたトランジスタを主体とする構成が採用されている。そのため、回路規模の縮小を図るにも一定の限界がある。例えば特許文献1では、回路規模の縮小が図られているものの、少なくとも7個のトランジスタが必要である。また、特許文献2では、回路規模の縮小化を図ることが全く考慮されておらず、また、回路構成もブロック図レベルのものしか開示されておらず、どのような回路素子を用いて構成したかについての具体的な記載が全くない。

先行技術文献

特許文献

[0005] 特許文献1：特開2008-5547号公報

特許文献2：特開2006-80879号公報

発明の概要

[0006] 本発明の目的は、回路規模を大幅に縮小することが可能なヒステリシスコンパレータ、ノイズジェネレータ、及びこれらを利用した確率共振素子を提供することである。

[0007] 本発明の一局面によるコンパレータは、構造相転移により相対的に高抵抗の状態と低抵抗の状態とに抵抗値が変化する相転移抵抗素子と、前記相転移抵抗素子に直列接続された負荷抵抗とを備えている。

[0008] また、本発明の別の局面によるノイズジェネレータは、構造相転移により相対的に高抵抗の状態と低抵抗の状態とに抵抗値が変化する相転移抵抗素子と、前記相転移抵抗素子に直列接続された負荷抵抗と、前記相転移抵抗素子と前記負荷抵抗とに直列接続された電源と、前記相転移抵抗素子と負荷抵抗との間に設けられた出力端子とを備えている。

[0009] また、本発明の更に別の局面による確率共振素子は、ノイズジェネレータと、前記ノイズジェネレータにより生成されたノイズ信号と入力信号とを重畳し、重畳した信号を所定の閾値と比較するコンパレータとを備え、前記ノイズジェネレータ及び前記コンパレータの少なくともいずれか一方は、構造相転移により相対的に高抵抗の状態と低抵抗の状態とに抵抗値が変化する相転移抵抗素子を備えている。

図面の簡単な説明

[0010] [図1] 本発明の実施の形態1によるコンパレータの全体構成を示す回路図である。

[図2] 図1の相転移抵抗素子に採用される酸化バナジウムの抵抗-温度特性を示したグラフである。

[図3] 酸化バナジウムの電流-電圧特性を示すグラフである。

[図4] 図1に示すコンパレータの入出力特性を示したグラフである。

[図5] 図 1 に示すコンパレータについて行った実験の結果を示す波形図である。

[図6] 図 1 に示すコンパレータについて行った実験における相転移抵抗素子の入出力特性を示すグラフである。

[図7] 図 1 に示すコンパレータについて行った実験におけるアウトプット信号の波形を示したグラフである。

[図8] 本発明の実施の形態 1 における他のコンパレータを示す回路図である。

[図9] 本発明の実施の形態 1 における別のコンパレータを示す回路図である。

[図10] MOS 抵抗の回路図を示している。

[図11] 本発明の実施の形態 1 における更に別のコンパレータを示す回路図である。

[図12] 本発明の実施の形態 1 における更に別のコンパレータを示す回路図である。

[図13] 本発明の実施の形態 1 による更に別のコンパレータを示す回路図である。

[図14] 本発明の実施の形態 2 によるコンパレータの全体構成を示す回路図である。

[図15] 図 1 4 に示すコンパレータの入出力特性を示したグラフである。

[図16] 本発明の実施の形態 3 によるノイズジェネレータの全体構成を示す回路図である。

[図17] 図 1 6 に示すノイズジェネレータについて行った実験の実験結果を示すグラフである。

[図18] 図 1 7 に示す実験に用いた相転移抵抗素子の温度－抵抗特性を示したグラフである。

[図19] 図 1 7 に示す実験において、負荷抵抗の抵抗値を $0\ \Omega$ としたときの電極間の電流－電圧特性を示すグラフである。

[図20] (A)、(B) は、図 1 6 に示すノイズジェネレータにおいて、負荷抵抗の抵抗値を $220\ \Omega$ とし、電極間の電流を変化させたときの電流－電圧

特性を示すグラフである。

[図21] (A) ~ (D) は、図20の実験において、電極間に0.012 A、0.013 A、0.016 A、0.017 Aの電流をそれぞれ2秒間流したときの電極間の電圧を示したグラフである。

[図22] 図16に示すノイズジェネレータにおいて、負荷抵抗の抵抗値を100 Ω 、180 Ω 、470 Ω としたときの電極間の電流－電圧特性を示すグラフである。

[図23] 図16に示すノイズジェネレータを実際の回路素子を用いて構成し、負荷抵抗の抵抗値を0 Ω 、82 Ω 、100 Ω 、120 Ω 、180 Ω として、図22と同様の実験を行ったときの、電極間の電流－電圧特性を示すグラフである。

[図24] 図16に示すノイズジェネレータを実際の回路素子を用いて構成し、負荷抵抗の抵抗値を220 Ω 、270 Ω 、330 Ω 、390 Ω 、470 Ω として、図22と同様の実験を行ったときの、電極間の電流－電圧特性を示すグラフである。

[図25] 図23～図24において発生する電圧が揺らぐ区間の電流幅と負荷抵抗との関係を示したグラフである。

[図26] 本発明の実施の形態4によるノイズジェネレータの全体構成を示す回路図である。

[図27] (A)、(B) は、図26に示すノイズジェネレータの出力端子から出力されるノイズ信号のパワースペクトルの模式図である。

[図28] (A)、(B) は、図26に示すノイズジェネレータの出力端子から出力されるノイズ信号のパワースペクトルの模式図である。

[図29] 本発明の実施の形態5による確率共振素子の全体構成を示すブロック図である。

[図30] 本発明の実施の形態5による確率共振素子の全体構成を示す回路図である。

[図31] (A)、(B) は、図30に示す確率共振素子の動作を説明する波形

図である。

発明を実施するための形態

[0011] (実施の形態 1)

以下本発明の実施の形態 1 によるコンパレータについて説明する。図 1 は、本発明の実施の形態 1 によるコンパレータの全体構成を示す回路図である。図 1 に示すように、本コンパレータは、入力端子 T_1 、相転移抵抗素子 R_v 、負荷抵抗 R_1 、駆動回路 DR 、及び出力端子 T_{out} を備えている。

[0012] 入力端子 T_1 は、入力電圧 V_{in} が入力され、相転移抵抗素子 R_v に出力する。相転移抵抗素子 R_v は、入力端子 T_1 と負荷抵抗 R_1 との間に接続されている。本実施の形態では、相転移抵抗素子 R_v としては、例えば酸化バナジウム (VO_2) を採用するが、これに限定されず、構造相転移により相対的に高抵抗の状態と低抵抗の状態とに抵抗値が変化する種々の物質を採用することができる。

[0013] 具体的には、 V_2O_3 、 Ti_2O_3 、 $RNiO_3$ ($R=Pr, Nd$)、 $Li_{1-x}M_xTi_2O_4$ ($M=Mg, Mn$)、 Fe_3O_4 、 NbO_2 、 V_3O_5 、 V_nO_{2n-1} ($n=4\sim 8$)、 Ti_nO_{2n-1} ($n=4\sim 9$)、 La_2NiO_4 ($n=1\sim i$ 、 $n=La_{n+1}Ni_nO_{3n+1}$)、 $M_2MO_2O_{7-y}$ ($M=Nd, Sm, Gd$) 等の物質を採用することができる。

[0014] 駆動回路 DR は、制御端子 T_g に入力される電圧に基づいて駆動し、トランジスタ Q_1 及び抵抗 R_2 を備える。トランジスタ Q_1 は、例えば npn 型のバイポーラトランジスタにより構成され、制御端子 T_g としてのベースが相転移抵抗素子 R_v と負荷抵抗 R_1 との接続点に接続され、エミッタが抵抗 R_2 を介してグラウンドに接続され、コレクタが電圧源 V_{dd} に接続されている。出力端子 T_{out} は、トランジスタ Q_1 のエミッタに接続され、出力電圧 V_{out} を出力する。

[0015] 図 2 は図 1 の相転移抵抗素子 R_v に採用される酸化バナジウムの抵抗－温度特性を示すグラフであり、縦軸は抵抗 (Ω) を示し、横軸は温度 (K) を示している。図 3 は酸化バナジウムの電流－電圧特性を示すグラフであり、

縦軸は電流（A）を示し、横軸は電圧（V）を示している。

- [0016] 図2に示すように酸化バナジウムは温度が約300K以下の領域においては単斜晶の結晶構造を有し、抵抗値が $10^4 \sim 10^5$ オーダーであり、相対的に高抵抗の状態にある。一方、温度が約340Kを超えると構造相転移を起こし、結晶構造が単斜晶から正方晶に変化する。そのため、約340K以上の領域では抵抗値が $10 \sim 10^2$ オーダーの相対的に低抵抗の状態となる。このように酸化バナジウムは構造相転移によって抵抗値が1000倍程度変化する特性を有している。
- [0017] また、図3に示すように、酸化バナジウムは、単斜晶の状態において電圧が約5.5V（閾値 V_{th1} ）を超えるまでは、相対的に高抵抗の状態にあるため、0～0.01A程度の相対的に小さい電流が流れる。
- [0018] そして、電圧が約5.5Vを超えると、構造相転移を起こして結晶構造が単斜晶から正方晶に変化する。これにより抵抗値が急激に減少し、相対的に低抵抗の状態となるため、0.1A以上の相対的に大きい電流が流れる。本実験においては、サンプル保護のため流れる最大電流を0.1Aとしている。
- [0019] 一方、電圧が約3V（閾値 V_{th2} ）を下回ると、構造相転移を起こし、結晶構造が正方晶から単斜晶に変化する。これにより、相対的に高抵抗の状態となり、0～0.025A程度の相対的に小さい電流が流れる。
- [0020] このように、酸化バナジウムは、電圧を変化させることにより、正方晶又は単斜晶に状態を変化させることが可能であり、相対的に高抵抗の状態と低抵抗の状態とにすることができる。また、酸化バナジウムは電圧が正側の閾値 V_{th1} を超えると結晶構造が単斜晶から正方晶になり、負側の閾値 V_{th2} を下回ると結晶構造が正方晶から単斜晶となるようにヒステリシスを有していることが分かる。
- [0021] そこで、本発明者はこの酸化バナジウムの特性を利用してコンパレータを構成した。なお、図3に示す電流－電圧特性のヒステリシスの幅 W は、酸化バナジウムの結晶性の均一化の度合いを高めると0にすることができ、結晶

性の均一化の度合いを低くすると大きくすることができる。よって、酸化バナジウムの結晶性の均一化の度合いを調節することで、本コンパレータを所望するヒステリシスの幅 W を有するヒステリシス付きのコンパレータとして構成したり、ヒステリシスを有さないコンパレータとして構成したりすることができる。

[0022] 図4は、図1に示すコンパレータの入出力特性を示したグラフであり、縦軸は出力電圧 V_{out} を示し、横軸は入力電圧 V_{in} を示している。

[0023] 入力端子 T_1 からコンパレータの正側の閾値 V_{TH1} を超える入力電圧 V_{in} が入力され、相転移抵抗素子の両端に印加される電圧 V_s が図3に示す閾値 V_{th1} を超えると、相転移抵抗素子 R_v が構造相転移を起こして単斜晶から正方晶に変化し、相対的に低抵抗の状態になる。これにより、相転移抵抗素子 R_v には相対的に大きな電流が流れ、負荷抵抗 R_1 の両端に印加される電圧が高くなり、制御端子 T_g にハイレベルの電圧が入力される。そのため、トランジスタ Q_1 がオンし、出力端子 T_{out} からハイレベルの出力電圧 V_{out} が出力される。

[0024] 一方、入力端子 T_1 からコンパレータの負側の閾値 V_{TH2} を下回る入力電圧 V_{in} が入力され、相転移抵抗素子 R_v の両端に印加される電圧 V_s が図3に示す閾値 V_{th2} を下回ると、相転移抵抗素子 R_v が構造相転移を起こして正方晶から単斜晶に変化し、相対的に高抵抗の状態になる。これにより、相転移抵抗素子 R_v には相対的に小さな電流が流れ、負荷抵抗 R_1 の両端に印加される電圧 V_s が低くなり、制御端子 T_g にローレベルの電圧が入力される。そのため、トランジスタ Q_1 がオフし、出力端子 T_{out} からローレベルの出力電圧 V_{out} が出力される。

[0025] 図5は、図1に示すコンパレータについて行った実験の結果を示す波形図である。右側の縦軸は入力端子 T_1 に入力される入力電圧 V_{in} を示し、左側の縦軸は制御端子 T_g に入力されるアウトプット信号（V）を示している。また、 G_1 は入力電圧 V_{in} の波形図を示し、 G_2 はアウトプット信号の波形図を示し、 G_3 は出力電圧 V_{out} を示している。

[0026] なお、入力電圧 V_{in} としては、周波数が 10Hz 、オフセット電圧が 3V 、振幅が $0\text{V}\sim 8\text{V}$ のサイン波を用いた。また、負荷抵抗 R_1 としては、抵抗値が 13.4Ω のものを採用した。そして、入力電圧 V_{in} の振幅を時間の経過に伴って漸次増大させた。

[0027] 図5に示すように、 G_1 が閾値 V_{TH1} を超えると、 G_2 の振幅が急激に増大し、 G_3 も急激に上昇し、コンパレータがオン状態になっていることが分かる。また、 G_1 が閾値 V_{TH2} （図略）を下回ると、 G_2 の振幅が元の大きさに戻り、 G_3 が急激に減少し、コンパレータがオフ状態になっていることが分かる。図5のグラフに示すように、 G_2 のオフ状態における振幅とオン状態における振幅との比率は、 $0.7/0.3=2.33$ 程度であることが分かる。なお、トランジスタ Q_1 のオン・オフを確実に行わせるには、この比率は大きい方が好ましい。

[0028] 次に、図1に示すコンパレータについて行った別の実験について説明する。図6は、この別の実験における相転移抵抗素子 R_v の入出力特性を示している。横軸は入力端子 T_1 に入力される入力電圧 V_{in} を示し、縦軸は制御端子 T_g に入力されるアウトプット信号（V）を示している。図7は、この別の実験におけるアウトプット信号の波形を示したグラフである。横軸は時間（秒）を示し、縦軸はアウトプット信号（V）を示している。

[0029] なお、この別の実験においては、入力電圧 V_{in} として周波数が 10Hz 、オフセット電圧が 1.5V 、振幅が $0\text{V}\sim 6\text{V}$ のサイン波を採用した。また、負荷抵抗 R_1 として、抵抗値が 131.5Ω のものを採用した。そして、入力電圧 V_{in} の振幅を時間が経過するにつれて漸次増大させた。

[0030] 図7に示すように、この別の実験においては、アウトプット信号のオン状態における振幅とオフ状態における振幅との比率は、 $3/0.5=6$ 程度となっており、図5に示す実験に比べて比率が大きくなっており、良好な実験結果が得られていることが分かる。

[0031] このように、本コンパレータによれば、トランジスタを主体とすることなく相転移抵抗素子 R_v を主体としているため、従来のトランジスタを主体と

するコンパレータに比べて回路規模を大幅に縮小することができる。

[0032] なお、本実施の形態において、トランジスタQ1としてバイポーラトランジスタを採用したがこれに限定されず、MOSFET等の電界効果型のトランジスタを採用してもよい。また、トランジスタQ1としてn型のものを採用したが、これに限定されずp型のものを採用してもよい。

[0033] 更に、本実施の形態において、下記に示すコンパレータを採用してもよい。図8は、本発明の実施の形態1における他のコンパレータを示す回路図である。図1のコンパレータでは駆動回路DRのトランジスタQ1としてバイポーラトランジスタが用いられていたが、図8に示す駆動回路DRでは、トランジスタQ1として例えばnチャネル型のMOS電界効果型トランジスタが用いられている。この場合、駆動回路DRは、ソースフォロア型の回路構成を有している。つまり、トランジスタQ1のゲートが制御端子Tgとなり、ソースが出力端子Toutに接続されると共に抵抗R2を介して接地され、ドレインが電圧源Vddに接続されている。

[0034] このように、駆動回路DRをソースフォロア型の回路構成とすることで、入力インピーダンスを高くすると同時に、出力インピーダンスが低くすることができる。その結果、駆動回路DRが他の回路に与える影響を少なくすることができる。と共、駆動回路DRはより多くの負荷を駆動させることができる。

[0035] 図9は、本発明の実施の形態1における更に別のコンパレータの回路図である。図9に示すコンパレータは、駆動回路DRが、オープンドレイン型の回路構成を有している。つまり、駆動回路DRは、抵抗R2と、例えばnチャネル型のMOS電界効果型により構成されるトランジスタQ1とを備えている。抵抗R2は一端が電圧源Vddに接続され、他端がトランジスタQ1のドレインに接続されている。トランジスタQ1は、ソースが接地され、ドレインが出力端子Toutに接続され、ゲートが制御端子Tgとされている。

[0036] 図9に示す駆動回路DRにおいては、抵抗R2として抵抗素子を用いても

良いし、図 10 に示すような MOS 抵抗を用いても良い。図 10 に示すように MOS 抵抗は、ゲートがドレイン及び電圧源 V_{dd} に接続され、ソースがトランジスタ Q_1 に接続された MOS 電解効果型トランジスタにより構成されている。

[0037] 図 11 は、本発明の実施の形態 1 による更に別のコンパレータを示す回路図である。図 11 に示すコンパレータは、駆動回路 DR が、CMOS ゲート型の回路構成を有している。つまり、駆動回路 DR は、 n チャネル型の電界効果型トランジスタにより構成されるトランジスタ Q_1 と、 p チャネル型の電界効果型トランジスタにより構成されるトランジスタ Q_2 とを備える CMOS トランジスタにより構成されている。トランジスタ Q_1 、 Q_2 は、ドレイン同士が接続され、ゲート同士が接続されている。トランジスタ Q_2 のソースは電圧源 V_{dd} に接続され、トランジスタ Q_1 のソースは接地されている。

[0038] また、本実施の形態におけるコンパレータとしては、図 12 及び図 13 に示すような、相転移抵抗素子 R_v を接地させたプルダウン接続型の回路構成を採用してもよい。図 12 は、本発明の実施の形態 1 による更に別のコンパレータを示す回路図である。図 12 に示すコンパレータにおいて、相転移抵抗素子 R_v は一端が接地され、他端が負荷抵抗 R_1 を介して入力端子 T_1 に接続されている。また、負荷抵抗 R_1 と相転移抵抗素子 R_v との接続点は、トランジスタ Q_1 の制御端子 T_g であるゲートに接続されている。図 12 に示す駆動回路 DR は、図 8 に示す駆動回路 DR と同一構成である。

[0039] なお、図 12 のコンパレータにおいては、バイアス電圧を付与するための抵抗 R_4 を相転移抵抗素子 R_v に並列接続させてもよい。また、抵抗 R_4 としては、図 10 に示す MOS 抵抗を採用してもよい。図 10 に示すトランジスタ Q_2 を図 12 の抵抗 R_4 に適用する場合、トランジスタ Q_2 のドレインを制御端子 T_g に接続し、ソースを接地させればよい。

[0040] 図 13 は、本発明の実施の形態 1 による更に別のコンパレータの一例を示す回路図である。図 13 に示すコンパレータにおいて、相転移抵抗素子 R_v

と負荷抵抗 R_1 との接続関係は、図 12 と同一である。また、駆動回路 D_R は、図 9 に示すオープンドレイン型の回路構成を有している。また、図 13 に示すコンパレータにおいても、図 12 と同様、相転移抵抗素子 R_v に抵抗 R_4 を並列接続させてもよい。なお、図 8 ～ 図 13 に示すコンパレータは以下に示す実施の形態のコンパレータとして採用してもよい。

[0041] (実施の形態 2)

本発明の実施の形態 2 によるコンパレータは、オフセット電圧が入力されるオフセット端子（第 2 の入力端子の一例）を設けたことを特徴とする。図 14 は、本発明の実施の形態 2 によるコンパレータの全体構成を示す回路図である。なお、本実施の形態において、実施の形態 1 と同一のものは説明を省略する。

[0042] 図 14 に示すように、本コンパレータは、図 1 に示すコンパレータに対して、オフセット端子 T_2 とグラウンド抵抗 R_3 とを備えている。グラウンド抵抗 R_3 は、負荷抵抗 R_1 とグラウンドとの間に接続されている。オフセット端子 T_2 は、グラウンド抵抗 R_3 と負荷抵抗 R_1 との接続点に接続され、オフセット電圧 V_{ofs} が入力される。ここで、オフセット電圧 V_{ofs} としては、定電圧回路から供給される直流電圧が採用される。

[0043] 図 15 は、図 14 に示すコンパレータの入出力特性を示したグラフであり、縦軸は出力電圧 V_{out} を示し、横軸は入力電圧 V_{in} を示している。図 14 に示すコンパレータにおいては、オフセット端子 T_2 にオフセット電圧 V_{ofs} が入力されているため、図 15 に示すように閾値 V_{TH1} 、 V_{TH2} は図 4 に示す閾値 V_{TH1} 、 V_{TH2} に比べて負側にシフトさせることができる。そのため、オフセット電圧の値を適当な値に調節することで、0 を跨ぐように閾値 V_{TH1} と閾値 V_{TH2} とを設定することができる。

[0044] (実施の形態 3)

次に、本発明の実施の形態 3 によるノイズジェネレータについて説明する。なお、本実施の形態において、実施の形態 1、2 と同一のものは説明を省略する。

[0045] 図16は、本発明の実施の形態3によるノイズジェネレータの全体構成を示す回路図である。本ノイズジェネレータは、相転移抵抗素子 R_v と、相転移抵抗素子 R_v に直列接続された負荷抵抗 R_1 とを備えている。また、相転移抵抗素子 R_v と負荷抵抗 R_1 との接続点には出力端子 T_{out} が接続されている。

[0046] 相転移抵抗素子 R_v と負荷抵抗 R_1 との直列回路の両端には、電源が接続され電圧 V_{in1} が印加されている。

[0047] このように構成されたノイズジェネレータにおいては、負荷抵抗 R_1 の抵抗値を適当な値に設定することで、相転移抵抗素子 R_v を発振させることができる。すなわち、相転移抵抗素子 R_v が単斜晶から正方晶に構造相転移を起こして低抵抗の状態になったとき、負荷抵抗 R_1 が相転移抵抗素子 R_v の電圧 V_s を閾値 V_{th2} 以下にするような抵抗値を有していると、相転移抵抗素子 R_v は高抵抗の状態になる。一方、相転移抵抗素子 R_v が高抵抗の状態になったとき、負荷抵抗 R_1 が相転移抵抗素子 R_v の電圧 V_s を閾値 V_{th1} 以上とするような抵抗値を有していると、相転移抵抗素子 R_v は低抵抗の状態となる。よって、負荷抵抗 R_1 を両条件を満たす抵抗値に設定することで、相転移抵抗素子 R_v は、低抵抗の状態と高抵抗の状態とを自律的に繰り返して発振し、相転移抵抗素子 R_v からノイズ信号を取り出すことができる。

[0048] 以上により、トランジスタを主体とすることなく相転移抵抗素子 R_v を主体とするノイズジェネレータを提供することができる。ここで、相転移抵抗素子 R_v 及び負荷抵抗 R_1 は、それぞれトランジスタ1個分程度のサイズを有しているため、従来のトランジスタを主体とするノイズジェネレータに比べて回路規模を大幅に縮小することができる。

[0049] 次に、図16に示すノイズジェネレータについて行った実験について説明する。図17は、図16に示すノイズジェネレータについて行った実験の実験結果を示すグラフである。縦軸は相転移抵抗素子 R_v の電圧 V_s （実効電圧）を示し、横軸は負荷抵抗 R_1 の抵抗値を示している。

[0050] この実験では、相転移抵抗素子 R_v と負荷抵抗 R_1 との両端の電極 P_1 , P_2 間に一定の電圧 $V_{in1} = 20V$ を印加し、負荷抵抗 R_1 の抵抗値を変更し、相転移抵抗素子 R_v の電圧 V_s を測定した。また、相転移抵抗素子 R_v としては、酸化バナジウムを主体とし、高抵抗の状態での抵抗値 R_{high} が 2000Ω 、低抵抗の状態での抵抗値 R_{low} が 40Ω のものを採用した。また、相転移抵抗素子 R_v の閾値は、閾値 $V_{th1} = 17V$ 、閾値 $V_{th2} = 4V$ である。すなわち、相転移抵抗素子 R_v としては、電圧 V_s が $17V$ 以上で低抵抗の状態となり、電圧 V_s が $4V$ 以下で高抵抗の状態となるものを採用した。

[0051] G_1x は、相転移抵抗素子 R_v が高抵抗の状態になったときの電圧 V_s と負荷抵抗 R_1 の抵抗値との関係を示すグラフである。 G_2x は、相転移抵抗素子 R_v が低抵抗の状態になったときの電圧 V_s と負荷抵抗 R_1 の抵抗値との関係を示すグラフである。 Gx は、後述する図25のグラフを示している。

[0052] G_1x は、負荷抵抗 R_1 の抵抗値が増大するにつれて、ほぼ直線状に減少している。そして、 G_1x は、負荷抵抗 R_1 が約 330Ω 以下の場合、電圧 V_s が $17V$ 以上である。そのため、負荷抵抗 R_1 として、抵抗値が 330Ω 以下のものを採用すると、相転移抵抗素子 R_v は、高抵抗の状態になったとき電圧 V_s が $17V$ 以上となるため、速やかに低抵抗の状態に構造相転移を起こす。よって、電圧 V_s が $17V$ 以上、かつ、負荷抵抗 R_1 が 330Ω 以下の矩形状の領域 D_1 が相転移抵抗素子 R_v を高抵抗の状態から低抵抗の状態に切り替えることのできる実効電圧領域となる。

[0053] また、 G_2x は、負荷抵抗 R_1 の抵抗値が増大するにつれて、下に凸のカーブを描いて減少している。そして、 G_2x は、負荷抵抗 R_1 が約 180Ω 以上の場合、電圧 V_s が $4V$ 以下である。そのため、負荷抵抗 R_1 として、抵抗値が 180Ω 以上のものを採用すると、相転移抵抗素子 R_v は、低抵抗の状態になったとき電圧 V_s が $4V$ 以下となるため、速やかに高抵抗の状態に構造相転移を起こす。よって、電圧 V_s が $4V$ 以下、かつ、負荷抵抗 R_1

が $180\ \Omega$ 以上の矩形状の領域 D2 が相転移抵抗素子 R_v を低抵抗の状態から高抵抗の状態に切り替えることのできる実効電圧領域となる。

[0054] 以上のことから、負荷抵抗 R_1 は、抵抗値が $180\ \Omega$ 以上、かつ、 $330\ \Omega$ 以下であれば、相転移抵抗素子 R_v を発振させることができる。

[0055] つまり、負荷抵抗 R_1 は、相転移抵抗素子 R_v が高抵抗の状態になったとき、相転移抵抗素子 R_v の電圧を、低抵抗の状態に戻すための閾値 V_{th1} （第1閾値電圧）以上にする抵抗値範囲（領域 D1 における抵抗値が $330\ \Omega$ 以下の範囲）と、相転移抵抗素子 R_v が低抵抗の状態になったとき、相転移抵抗素子 R_v の電圧を、高抵抗の状態に戻すための閾値 V_{th2} （第2閾値電圧）以下にする抵抗値範囲（領域 D2 において抵抗値が $180\ \Omega$ 以上の範囲）との両抵抗値範囲を満たす抵抗値を有するようにすればよい。

[0056] 図18は、図17に示す実験に用いた相転移抵抗素子 R_v の温度－抵抗特性を示したグラフである。縦軸は抵抗値（ Ω ）を示し、横軸は温度（K）を示している。図18に示すように、相転移抵抗素子 R_v は温度が約 $300\ K$ を超えると単斜晶から正方晶に構造相転移を起こし、抵抗値 $R_{high} = 2000\ \Omega$ の高抵抗の状態から $R_{low} = 40\ \Omega$ の低抵抗の状態に切り替わる。また、温度が約 $340\ K$ を下回ると正方晶から単斜晶に構造相転移を起こし、抵抗値 $R_{low} = 40\ \Omega$ の低抵抗の状態から抵抗値 $R_{high} = 2000\ \Omega$ の高抵抗の状態に切り替わる。

[0057] 図19は、図17に示す実験において、負荷抵抗 R_1 の抵抗値を $0\ \Omega$ としたときの電極 P1, P2 間の電流－電圧特性を示すグラフである。縦軸は電極 P1, P2 間の電圧（V）を示し、横軸は電流（A）を示している。負荷抵抗 R_1 が $0\ \Omega$ の場合、相転移抵抗素子 R_v が高抵抗の状態になったとき、電極 P1, P2 間の電圧が $17\ V$ 以下であり、電圧 V_s が $17\ V$ に到達することができないため、相転移抵抗素子 R_v は構造相転移を起こさず、高抵抗の状態を維持する。また、相転移抵抗素子 R_v が低抵抗の状態になったとき、電極 P1, P2 間の電圧が $4\ V$ より大きく、電圧 V_s が $4\ V$ 以下とならないため、相転移抵抗素子 R_v は構造相転移を起こさず低抵抗の状態を維持す

る。よって、負荷抵抗 R_1 が $0\ \Omega$ の場合、相転移抵抗素子 R_v は発振しない。

[0058] 図20(A)、(B)は、図16に示すノイズジェネレータにおいて、負荷抵抗 R_1 の抵抗値を $220\ \Omega$ とし、電極P1、P2間の電流を変化させたときの電流－電圧特性を示すグラフであり、図20(B)は図20(A)において電流が $0.012\text{ A} \sim 0.017\text{ A}$ の区間を拡大して示したグラフである。図20(A)、(B)において、縦軸は電圧(V)を示し、横軸は電流(A)を示している。

[0059] 図20(A)、(B)に示すように、電極P1、P2間に流れる電流が $0.013\text{ A} \sim 0.016\text{ A}$ の区間において、電極P1、P2間の電圧が揺らいでおり、ノイズ信号が発生していることが分かる。また、この区間において、電流が増大するにつれて揺らぎの中心電圧が漸次低下していることが分かる。

[0060] 図21(A)～(D)は、図20の実験において、電極P1、P2間に 0.012 A 、 0.013 A 、 0.016 A 、 0.017 A の電流をそれぞれ2秒間流したときの電極P1、P2間の電圧を示したグラフである。

[0061] 電流が 0.012 A 、 0.017 A の場合、電圧はそれぞれ約 19 V 、 8 V で一定であり、ノイズ信号が発生していないことが分かる。一方、電流を 0.013 A 、 0.016 A の場合、ピークツーピークの電圧 ΔV がそれぞれ約 3.0 V 、約 2.0 V で揺らいでおり、ノイズ信号が発生していることが分かる。

[0062] 以上のことから、図20の実験においては、電極P1、P2間に流れる電流が約 0.013 A 以上、約 0.016 A 以下の場合、ノイズ信号を発生させることができるが、電極P1、P2間に流れる電流が約 0.013 A 未満、又は約 0.016 A より大きい場合は、ノイズ信号を発生させることができないことが分かる。

[0063] 図22は、図16に示すノイズジェネレータにおいて、負荷抵抗 R_1 の抵抗値を $100\ \Omega$ 、 $180\ \Omega$ 、 $470\ \Omega$ としたときの電極P1、P2間の電流

ー電圧特性を示すグラフである。縦軸は電圧（V）を示し、横軸は電流（A）を示している。

[0064] 図22では、図16に示すノイズジェネレータを回路シミュレータで構成したときの電極P1、P2間の電流ー電圧特性を測定すると共に、図16に示すノイズジェネレータを実際の回路素子を用いて構成したときの電極P1、P2間の電流ー電圧特性を測定した。

[0065] G11は負荷抵抗R1の抵抗値を100Ωとしたときの実際の回路素子による実験結果を示し、G12は負荷抵抗R1の抵抗値を100Ωとしたときの回路シミュレータによる実験結果を示している。

[0066] G21は負荷抵抗R1の抵抗値を180Ωとしたときの実際の回路素子による実験結果を示し、G22は負荷抵抗R1の抵抗値を180Ωとしたときの回路シミュレータによる実験結果を示している。

[0067] G31は負荷抵抗R1の抵抗値を470Ωとしたときの実際の回路素子による実験結果を示し、G32は負荷抵抗R1の抵抗値を470Ωとしたときの回路シミュレータによる実験結果を示している。

[0068] 図22に示すように、回路シミュレータにより構成した場合と実際の回路素子により構成した場合とにおいてほぼ同一の実験結果が得られていることが分かる。G21、G22に示すように、負荷抵抗R1の抵抗値が180Ωの場合、電流が0.13A～0.016Aの区間において、電圧が揺らいでおり、ノイズ信号が発生していることが分かる。一方、G11、G12、G31、G32に示すように、負荷抵抗R1の抵抗値が100Ω、470Ωの場合は、電流が0.012A程度を越えると、抵抗値が180Ωの場合とは異なり、電圧の揺らぐ区間が発生することなく、電圧が急激に低下しており、ノイズ信号が発生していないことが分かる。

[0069] 図23は、図16に示すノイズジェネレータを実際の回路素子を用いて構成し、負荷抵抗R1の抵抗値を0Ω、82Ω、100Ω、120Ω、180Ωとして、図22と同様の実験を行ったときの、電極P1、P2間の電流ー電圧特性を示すグラフである。

- [0070] なお、図23においてG41～G45は、それぞれ、負荷抵抗R1の抵抗値が0Ω、82Ω、100Ω、120Ω、180Ωの場合を示している。
- [0071] G45に示すように、負荷抵抗R1の抵抗値が180Ωの場合、電流が0.13A～0.016Aの区間において、電圧が揺らいでおり、ノイズ信号が発生していることが分かる。一方、G41～G44に示すように、負荷抵抗R1の抵抗値が0Ω、82Ω、100Ω、120Ωの場合、電流が0.012A程度を越えると、抵抗値が180Ωの場合とは異なり、電圧の揺らぐ区間が発生することなく、電圧が急激に低下しており、ノイズ信号が発生していないことが分かる。
- [0072] 図24は、図16に示すノイズジェネレータを実際の回路素子を用いて構成し、負荷抵抗R1の抵抗値を220Ω、270Ω、330Ω、390Ω、470Ωとして、図22と同様の実験を行ったときの、電極P1、P2間の電流－電圧特性を示すグラフである。
- [0073] なお、図24においてG51～G55は、それぞれ、負荷抵抗R1の抵抗値が220Ω、270Ω、330Ω、390Ω、470Ωの場合を示している。
- [0074] G51、G52、G53に示すように、負荷抵抗R1の抵抗値が220Ω、270Ω、330Ωの場合、電流が0.13A～0.016Aの区間において、電圧が揺らいでおり、ノイズ信号が発生していることが分かる。一方、G54～G55に示すように、負荷抵抗R1の抵抗値が390Ω、470Ωの場合、電流が0.012A程度を越えると、抵抗値が220Ω、270Ω、330Ωの場合とは異なり、電圧の揺らぐ区間が発生することなく、電圧が急激に低下しており、ノイズ信号が発生していないことが分かる。
- [0075] 図25は、図23～図24において発生する電圧が揺らぐ区間の電流幅 ΔI と負荷抵抗R1との関係を示したグラフである。縦軸は電流幅 ΔI (mA)を示し、横軸は負荷抵抗R1の抵抗値を示している。なお、図25に示す点PT1～PT5は図23に示すG41～G45のそれぞれにおける電流幅 ΔI と負荷抵抗R1の抵抗値とをプロットしたものであり、点PT6～PT

10は図24に示すG51～G55のそれぞれにおける電流幅 ΔI と負荷抵抗 R_1 の抵抗値とをプロットしたものである。

- [0076] 図25に示すように、負荷抵抗 R_1 の抵抗値が120 Ω 以下の範囲又は390 Ω 以上の範囲では電流幅 ΔI は約0mAであり、ノイズ信号が発生していないことが分かる。また、負荷抵抗 R_1 の抵抗値が120 Ω ～390 Ω の範囲では電流幅 ΔI が0ではなく、ノイズ信号が発生していることが分かる。しかしながら、ノイズ信号を安定して発生させるためには、電流幅 ΔI を一定値以上確保する必要がある、そのためには、負荷抵抗 R_1 の抵抗値を180 Ω ～330 Ω にすることが好ましい。

- [0077] (実施の形態4)

本発明の実施の形態4によるノイズジェネレータは、実施の形態3のノイズジェネレータを1つのノイズユニットとし、このノイズユニットを並列接続させたことを特徴とする。なお、本実施の形態において、実施の形態1～3と同一のものは説明を省略する。

- [0078] 図26は、本発明の実施の形態4によるノイズジェネレータの全体構成を示す回路図である。本ノイズジェネレータは、 n 個(n は2以上の整数)のノイズユニット $U_1 \sim U_n$ と、 n 個の抵抗 R_{21} とを備えている。ノイズユニット U_1 は、相転移抵抗素子 R_v と、相転移抵抗素子 R_v 及びグラウンド間に接続された負荷抵抗 R_1 を備えている。なお、ノイズユニット $U_2 \sim U_n$ はノイズユニット U_1 と同一構成であるため、説明を省く。

- [0079] 相転移抵抗素子 R_v には入力端子 T_A を介して図略の電圧源が接続され、入力電圧 V_{inA} が入力されている。ノイズユニット $U_1 \sim U_n$ は、それぞれ抵抗 R_{21} を介して出力端子 T_B に接続されている。これにより、ノイズユニット $U_1 \sim U_n$ は並列接続されている。

- [0080] また、ノイズユニット $U_1 \sim U_n$ はそれぞれ周波数が $f_1 \sim f_n$ のノイズ信号を発生している。ここで、周波数 $f_1 \sim f_n$ は、例えばノイズユニット $U_1 \sim U_n$ の負荷抵抗 R_1 の抵抗値や相転移抵抗素子 R_v の特性を調節することで所望する値に設定することができる。本実施の形態では、 U_1 から U

n に向かうにつれて周波数 $f_1 \sim f_n$ は大きくされている。また、ノイズユニット $U_1 \sim U_n$ のそれぞれから出力されるノイズ信号のパワーは、例えばノイズユニット $U_1 \sim U_n$ の入力端子 T_A に入力される入力電圧 V_{inA} のレベルを調節することで変更することができる。

[0081] このように構成されたノイズジェネレータは、ノイズユニット $U_1 \sim U_n$ から、周波数 $f_1 \sim f_n$ のノイズ信号を生成し、各ノイズ信号を接続点 $C P_1$ で合成し、合成したノイズ信号を出力端子 T_B から出力する。

[0082] 図 27 (A)、(B) は、図 26 に示すノイズジェネレータの出力端子 T_B から出力されるノイズ信号のパワースペクトルの模式図である。図 27 (A)、(B) においては、ノイズユニット $U_1 \sim U_n$ の各入力端子 T_A に同一レベルの入力電圧 V_{inA} が入力されている。そのため、図 27 (A) に示すようにノイズユニット $U_1 \sim U_n$ から同一パワーのノイズ信号が出力される。そのため、図 27 (B) に示すように、出力端子 T_B から出力されるノイズ信号は、ホワイトノイズとなる。

[0083] 図 28 (A)、(B) は、図 26 に示すノイズジェネレータの出力端子 T_B から出力されるノイズ信号のパワースペクトルの模式図である。図 28 (A)、(B) においては、ノイズユニット $U_1 \sim U_n$ の各入力端子 T_A には、 U_1 から U_n に向かうにつれてレベルの小さな入力電圧 V_{inA} が入力されている。そのため、図 28 (A) に示すようにノイズユニット $U_1 \sim U_n$ からは、 $U_1 \sim U_n$ に向かうにつれてパワーが小さいノイズ信号が出力されている。そのため、図 28 (B) に示すように、出力端子 T_B から出力されるノイズ信号は、周波数が増大するにつれてパワーが小さくなるカラーノイズとなる。

[0084] このように、本ノイズジェネレータによれば、ノイズユニット $U_1 \sim U_n$ を備えるため、各ノイズユニットから出力されるノイズ信号の周波数及びパワーを調節することで所望するパワースペクトルを有するノイズ信号を生成することができる。

[0085] (実施の形態 5)

本発明の実施の形態 5 による確率共振素子は、実施の形態 1 に示すコンパレータ及び実施の形態 4 に示すノイズジェネレータにより構成されていることを特徴とする。なお、本実施の形態において、実施の形態 1 ～ 4 と同一のものは説明を省略する。

[0086] 図 29 は、本発明の実施の形態 5 による確率共振素子の全体構成を示すブロック図である。図 29 に示すように確率共振素子は、ノイズジェネレータ 100、コンパレータ 200、及び抵抗 R_c を備えている。ここで、図 29 に示すノイズジェネレータ 100 及びコンパレータ 200 の少なくともいずれか一方は、相転移抵抗素子 R_v を備えている。具体的には、実施の形態 4 のノイズジェネレータは、下記の構成を有している。

[0087] 図 30 は、本発明の実施の形態 5 による確率共振素子の全体構成を示す回路図である。図 30 において、ノイズジェネレータ 100 は、実施の形態 4 のノイズジェネレータと同一構成であるため、詳細な説明を省略する。コンパレータ 200 は実施の形態 1 のコンパレータと同一構成であるため、詳細な説明は省略する。ノイズジェネレータ 100 の出力端子 T_B は抵抗 R_c を介してコンパレータ 200 の入力端子 T_1 に接続されている。

[0088] 図 31 (A)、(B) は、図 30 に示す確率共振素子の動作を説明する波形図である。図 31 (A) は出力端子 T_{out} からの出力電圧 V_{out} を示し、図 31 (B) は入力端子 T_1 に入力される入力電圧 V_{in} を示している。

[0089] このように構成された確率共振素子は、ノイズジェネレータ 100 により生成されたノイズ信号が生成され、コンパレータ 200 に入力される。コンパレータ 200 は、このノイズ信号を接続点 CP_2 において入力電圧 V_{in} と合成し、合成信号を生成する。そして、コンパレータ 200 は、合成信号のレベルが閾値 V_{TH1} を超えると、ハイレベルの出力電圧 V_{out} を出力する。一方、コンパレータ 200 は、合成信号のレベルが閾値 V_{TH2} を下回ると、ローレベルの出力電圧 V_{out} を出力する。

[0090] このように、微弱な入力電圧 V_{in} にノイズ信号を合成して合成信号を生

成し、その合成信号を閾値処理すると、出力電圧 V_{out} がハイレベルになる頻度は、入力電圧 V_{in} のレベルに応じて大きくなる。そのため、確率共振素子は、微弱なノイズ信号を検出することが可能となる。

[0091] そして、本確率共振素子は、ノイズジェネレータ 100 が実施の形態 1 に示すノイズジェネレータにより構成され、コンパレータ 200 が実施の形態 4 に示すコンパレータにより構成されている。そのため、確率共振素子の回路規模を大幅に縮小することができる。

[0092] なお、本確率共振素子においては、ノイズジェネレータ 100 のみを実施の形態 1 に示すノイズジェネレータで構成し、コンパレータ 200 を従来のトランジスタを主体とするコンパレータにより構成してもよい。また、コンパレータ 200 のみを実施の形態 4 に示すノイズジェネレータで構成し、ノイズジェネレータ 100 を従来のノイズジェネレータにより構成してもよい。

[0093] また、本確率共振素子において、ノイズジェネレータ 100 を実施の形態 3 に示すノイズジェネレータにより構成し、コンパレータ 200 を実施の形態 2 に示すコンパレータにより構成してもよい。

[0094] 上記のコンパレータ、ノイズジェネレータ、及び確率共振素子の技術的特徴は以下のように纏めることができる。

[0095] (1) 上記コンパレータは、構造相転移により相対的に高抵抗の状態と低抵抗の状態とに抵抗値が変化する相転移抵抗素子と、前記相転移抵抗素子に直列接続された負荷抵抗とを備えている。

[0096] この構成によれば、相転移抵抗素子の一端に入力電圧が入力され、相転移抵抗素子の両端に印加される電圧が所定の閾値を超えると、相転移抵抗素子が構造相転移を起こして単斜晶から正方晶に変化し、相対的に低抵抗の状態になる。これにより、相転移抵抗素子には相対的に大きな電流が流れ、負荷抵抗の両端に印加される電圧が相対的に高くなり、相転移抵抗素子と負荷抵抗との接続点からハイレベルの電圧を取り出すことができる。

[0097] 一方、相転移抵抗素子の両端に印加される電圧が所定の閾値を下回ると、

相転移抵抗素子が構造相転移を起こして正方晶から単斜晶に変化し、相対的に高抵抗の状態になる。これにより、相転移抵抗素子には相対的に小さな電流が流れ、負荷抵抗の両端に印加される電圧が相対的に低くなり、相転移抵抗素子と負荷抵抗との接続点からローレベルの電圧を取り出すことができる。

[0098] 以上により、トランジスタを主体とすることなく相転移抵抗素子を主体とするコンパレータを提供することができる。ここで、相転移抵抗素子及び負荷抵抗は、それぞれトランジスタ 1 個分程度のサイズを有しているため、従来のトランジスタを主体とするコンパレータに比べて回路規模を大幅に縮小することができる。

[0099] (2) 上記コンパレータにおいて、前記相転移抵抗素子は、電流電圧特性がヒステリシスを有していることが好ましい。

[0100] この構成によれば、コンパレータにヒステリシスを持たせることが可能となり、回路規模が大幅に縮小されたヒステリシス付きのコンパレータを提供することができる。相転移抵抗素子は、単斜晶から正方晶に変化するときの電圧と、単斜晶から正方晶に変化するときの電圧とが相違するのが一般的であり、この相違により電流電圧特性にヒステリシスが生じる。このヒステリシスの幅は、相転移抵抗素子の結晶性を調節することで変更することができる。

[0101] 具体的には、相転移抵抗素子の結晶性の均一化の度合いが高まるにつれて、ヒステリシスの幅を小さくすることができる。よって、相転移抵抗素子の結晶性の均一化の度合いを高めることで、ヒステリシスの幅を 0 にすることができる。この場合、ヒステリシスを有しないコンパレータを構成することができる。一方、相転移抵抗素子の結晶性の均一化の度合いを低くすることで、ヒステリシス付きのコンパレータを構成することができる。

[0102] (3) 上記コンパレータにおいて、入力電圧が入力され、前記相転移抵抗素子に出力する第 1 の入力端子と、前記相転移抵抗素子と前記負荷抵抗との接続点に制御端子が接続され、制御端子に入力される電圧に基づいて駆動す

る駆動回路とを備えることが好ましい。

[0103] この構成によれば、駆動回路を設けているため、駆動回路から制御端子を介して相転移抵抗素子側に電流が流れるというような電流の逆流が防止され、回路の動作を安定させることができると同時に、信号の入出力分離がなされ、回路のインピーダンスマッチングを容易に行うことができる。また、駆動回路を介して出力電圧が出力されるため、ハイレベル及びローレベルが明確に区別された出力電圧を得ることができる。

[0104] (4) 上記コンパレータにおいて、前記負荷抵抗とグラウンドとの間に接続されたグラウンド抵抗と、前記グラウンド抵抗と前記負荷抵抗との接続点に接続され、オフセット電圧が入力される第2の入力端子とを備えることが好ましい。

[0105] この構成によれば、オフセット電圧を適当な値に設定することで、正側の閾値が正の値を有し、負側の閾値が負の値を有するようなヒステリシス付きのコンパレータを構成することができる。

[0106] (5) 上記コンパレータにおいて、前記相転移抵抗素子は、酸化バナジウムにより構成されていることが好ましい。

[0107] この構成によれば、容易に構造相転移を引き起こす酸化バナジウムが用いられているため、コンパレータの小規模化を図ることができる。

[0108] (6) 上記ノイズジェネレータは、構造相転移により相対的に高抵抗の状態と低抵抗の状態とに抵抗値が変化する相転移抵抗素子と、前記相転移抵抗素子に直列接続された負荷抵抗と、前記相転移抵抗素子と前記負荷抵抗とに直列接続された電源と、前記相転移抵抗素子と負荷抵抗との間に設けられた出力端子とを備えることが好ましい。

[0109] この構成によれば、負荷抵抗の抵抗値を適当な値に設定することで、相転移抵抗素子を発振させることができる。すなわち、相転移抵抗素子が単斜晶から正方晶に構造相転移を起こして低抵抗の状態になったとき、負荷抵抗が相転移抵抗素子の電圧を閾値以下とするような抵抗値を有していると、相転移抵抗素子は高抵抗の状態になる。一方、相転移抵抗素子が高抵抗の状態に

なったとき、負荷抵抗が相転移抵抗素子の電圧を閾値以上とするような抵抗値を有していると、相転移抵抗素子は低抵抗の状態となる。よって、負荷抵抗を両条件を満たす抵抗値に設定することで、相転移抵抗素子は、低抵抗の状態と高抵抗の状態とを自律的に繰り返して発振し、相転移抵抗素子からノイズ信号を取り出すことができる。

[0110] 以上により、トランジスタを主体とすることなく相転移抵抗素子を主体とするノイズジェネレータを提供することができる。ここで、相転移抵抗素子及び負荷抵抗は、それぞれトランジスタ 1 個分程度のサイズを有しているため、従来のトランジスタを主体とするノイズジェネレータに比べて回路規模を大幅に縮小することができる。

[0111] (7) 上記ノイズジェネレータにおいて、前記負荷抵抗は、前記相転移抵抗素子が高抵抗の状態になったとき、前記相転移抵抗素子の電圧を、低抵抗の状態に戻すための第 1 閾値電圧以上にする抵抗値範囲と、前記相転移抵抗素子が低抵抗の状態になったとき、前記相転移抵抗素子の電圧を、高抵抗の状態に戻すための第 2 閾値電圧以下にする抵抗値範囲との両抵抗値範囲を満たす抵抗値を有することが好ましい。

[0112] この構成によれば、相転移抵抗素子をより確実に発振させることができ、出力端子からより確実にノイズ信号を取り出すことができる。

[0113] (8) 上記ノイズジェネレータにおいて、前記相転移抵抗素子と前記負荷抵抗とにより 1 つのノイズユニットを構成し、複数のノイズユニットを備え、各ノイズユニットは、並列接続されていることが好ましい。

[0114] この構成によれば、例えば、各ノイズユニットの発振周波数やパワーを調整することで、種々のノイズ信号を生成することができる。

[0115] (9) 上記ノイズジェネレータにおいて、前記相転移抵抗素子は、酸化バナジウムにより構成されていることが好ましい。

[0116] この構成によれば、容易に相転移を引き起こす酸化バナジウムによりノイズジェネレータが構成されているため、出力端子からより確実にノイズ信号を取り出すことができる。

[0117] (10) 上記確率共振素子は、ノイズジェネレータと、前記ノイズジェネレータにより生成されたノイズ信号と入力信号とを重畳し、重畳した信号を所定の閾値と比較するコンパレータとを備え、前記ノイズジェネレータ及び前記コンパレータの少なくともいずれか一方は、構造相転移により相対的に高抵抗の状態と低抵抗の状態とに抵抗値が変化する相転移抵抗素子を備えている。

[0118] この構成によれば、ノイズジェネレータ及びコンパレータの少なくともいずれか一方は、相転移抵抗素子により構成されているため、回路規模が小型化された確率共振素子を提供することができる。

[0119] (11) また、上記確率共振素子は、上記(1)～(5)のいずれかのコンパレータと、上記(6)～(9)のいずれかに記載のノイズジェネレータとを備えてる。

[0120] この構成によれば、上記(1)～(5)のいずれかのコンパレータと、上記(6)～(9)のいずれかのノイズジェネレータとを備えているため、回路規模が小型化された確率共振素子を提供することができる。

産業上の利用可能性

[0121] 本発明は、コンパレータ、ノイズジェネレータ、及び確率共振素子の回路規模を小さくすることができるため、生体機能を模擬したロボット・エレクトロニクス分野等のシステムへの応用が期待できる。また、本発明は、ノイズ耐性が高く、低消費電力で柔軟な制御が要求されるシステムを小型に構築するうえで有用である。更に、本発明は、システムオンチップ化のための基本要素技術の一つとなる可能性が期待できる。

請求の範囲

- [請求項1] 構造相転移により相対的に高抵抗の状態と低抵抗の状態とに抵抗値が変化する相転移抵抗素子と、
前記相転移抵抗素子に直列接続された負荷抵抗とを備えることを特徴とするコンパレータ。
- [請求項2] 前記相転移抵抗素子は、電流電圧特性がヒステリシスを有していることを特徴とする請求項1記載のコンパレータ。
- [請求項3] 入力電圧が入力され、前記相転移抵抗素子に出力する第1の入力端子と、
前記相転移抵抗素子と前記負荷抵抗との接続点に制御端子が接続され、制御端子に入力される電圧に基づいて駆動する駆動回路とを備えることを特徴とする請求項1又は2記載のコンパレータ。
- [請求項4] 前記負荷抵抗とグラウンドとの間に接続されたグラウンド抵抗と、
前記グラウンド抵抗と前記負荷抵抗との接続点に接続され、オフセット電圧が入力される第2の入力端子とを備えることを特徴とする請求項3記載のコンパレータ。
- [請求項5] 前記相転移抵抗素子は、酸化バナジウムにより構成されていることを特徴とする請求項1～4のいずれかに記載のコンパレータ。
- [請求項6] 構造相転移により相対的に高抵抗の状態と低抵抗の状態とに抵抗値が変化する相転移抵抗素子と、
前記相転移抵抗素子に直列接続された負荷抵抗と、
前記相転移抵抗素子と前記負荷抵抗とに直列接続された電源と、
前記相転移抵抗素子と負荷抵抗との間に設けられた出力端子とを備えることを特徴とするノイズジェネレータ。
- [請求項7] 前記負荷抵抗は、前記相転移抵抗素子が高抵抗の状態になったとき、前記相転移抵抗素子の電圧を、低抵抗の状態に戻すための第1閾値電圧以上にする抵抗値範囲と、前記相転移抵抗素子が低抵抗の状態になったとき、前記相転移抵抗素子の電圧を、高抵抗の状態に戻すため

の第2閾値電圧以下にする抵抗値範囲との両抵抗値範囲を満たす抵抗値を有することを特徴とする請求項6記載のノイズジェネレータ。

[請求項8] 前記相転移抵抗素子と前記負荷抵抗とにより1つのノイズユニットを構成し、

複数のノイズユニットを備え、

各ノイズユニットは、並列接続されていることを特徴とする請求項6又は7記載のノイズジェネレータ。

[請求項9] 前記相転移抵抗素子は、酸化バナジウムにより構成されていることを特徴とする請求項6～8のいずれかに記載のノイズジェネレータ。

[請求項10] ノイズジェネレータと、

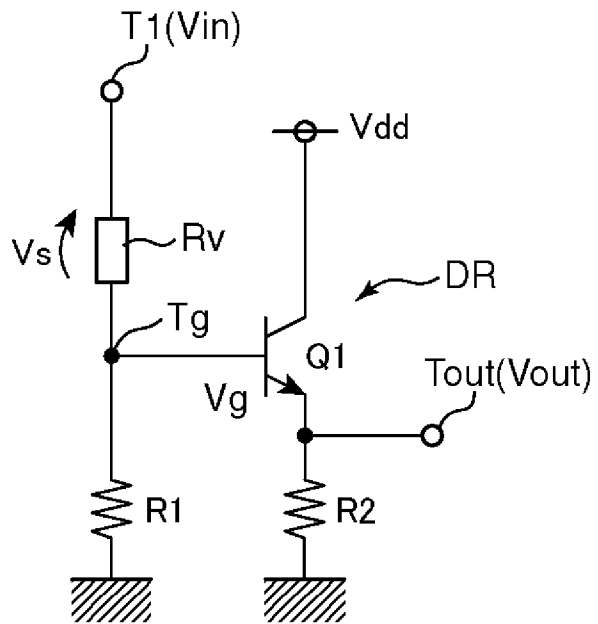
前記ノイズジェネレータにより生成されたノイズ信号と入力信号とを重畳し、重畳した信号を所定の閾値と比較するコンパレータとを備え、

前記ノイズジェネレータ及び前記コンパレータの少なくともいずれか一方は、構造相転移により相対的に高抵抗の状態と低抵抗の状態とに抵抗値が変化する相転移抵抗素子を備えることを特徴とする確率共振素子。

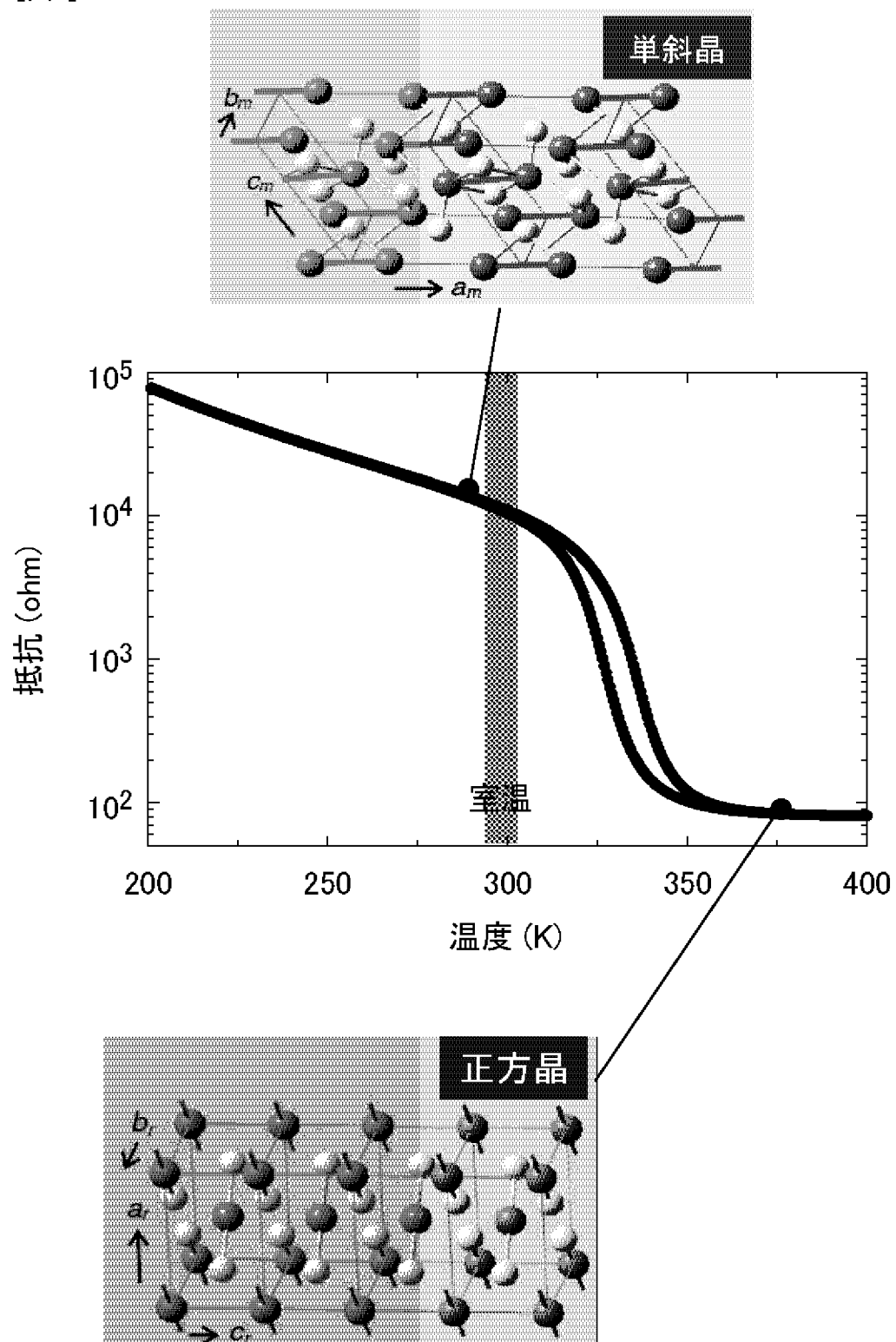
[請求項11] 請求項1～5記載のいずれかに記載のコンパレータと、

請求項6～9記載のいずれかに記載のノイズジェネレータとを備えることを特徴とする確率共振素子。

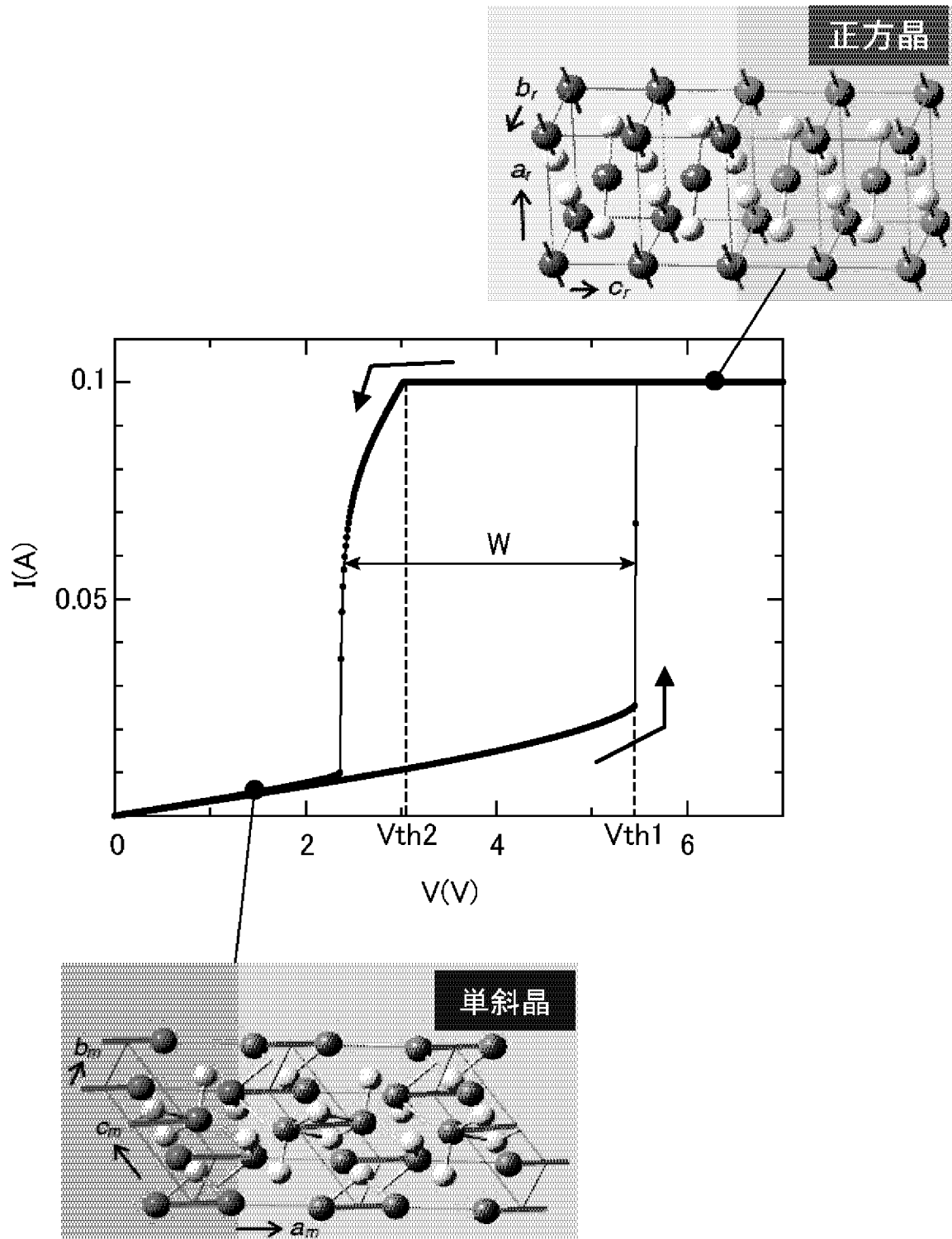
[図1]

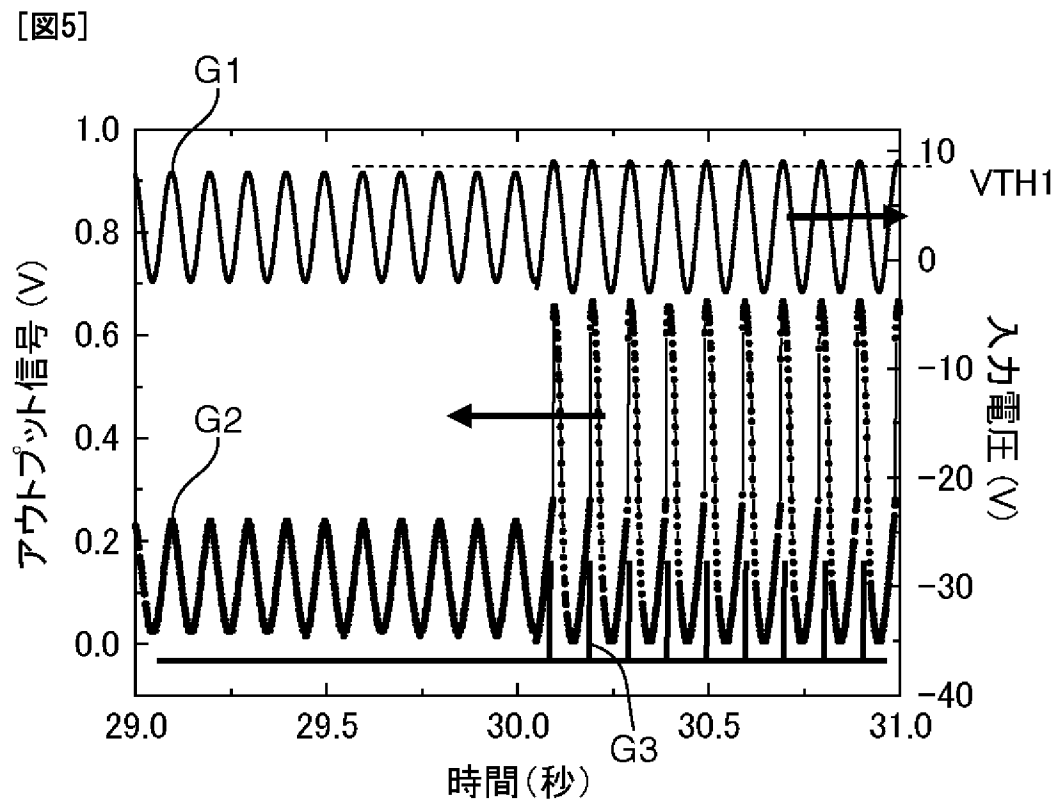
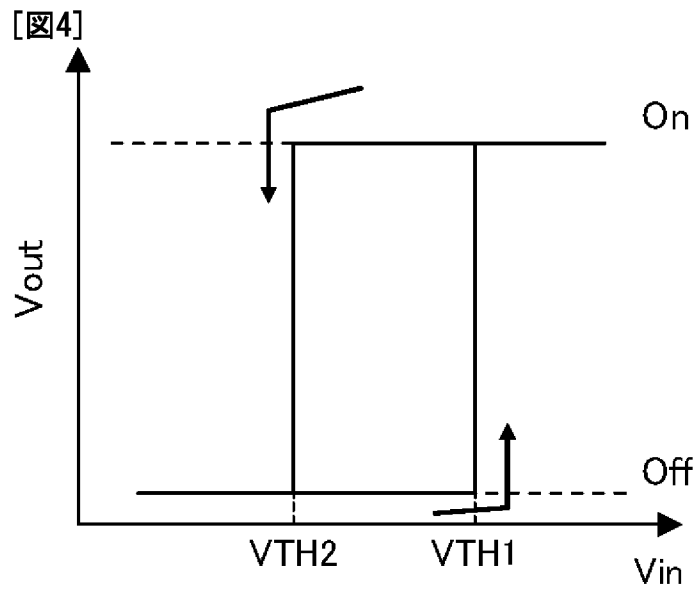


[図2]

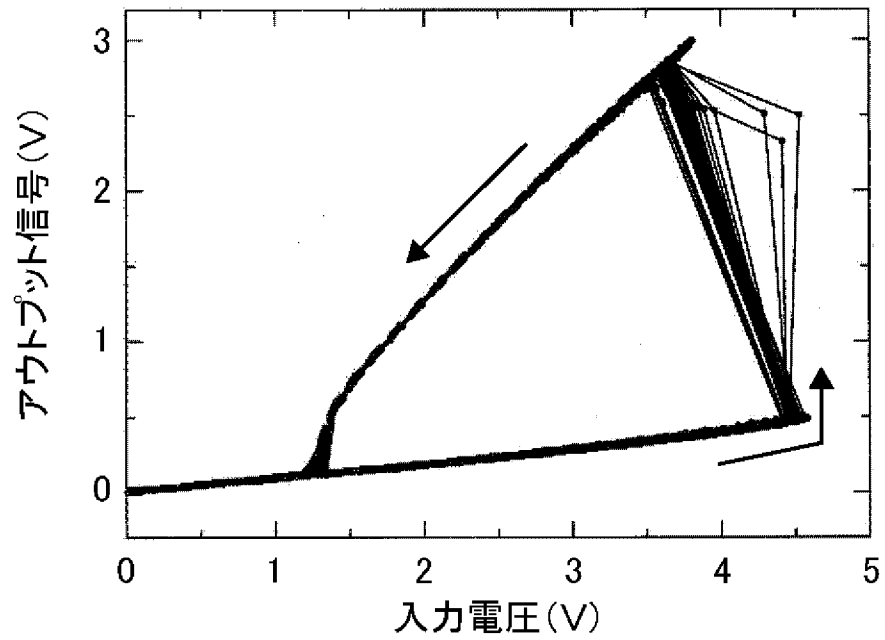


[図3]

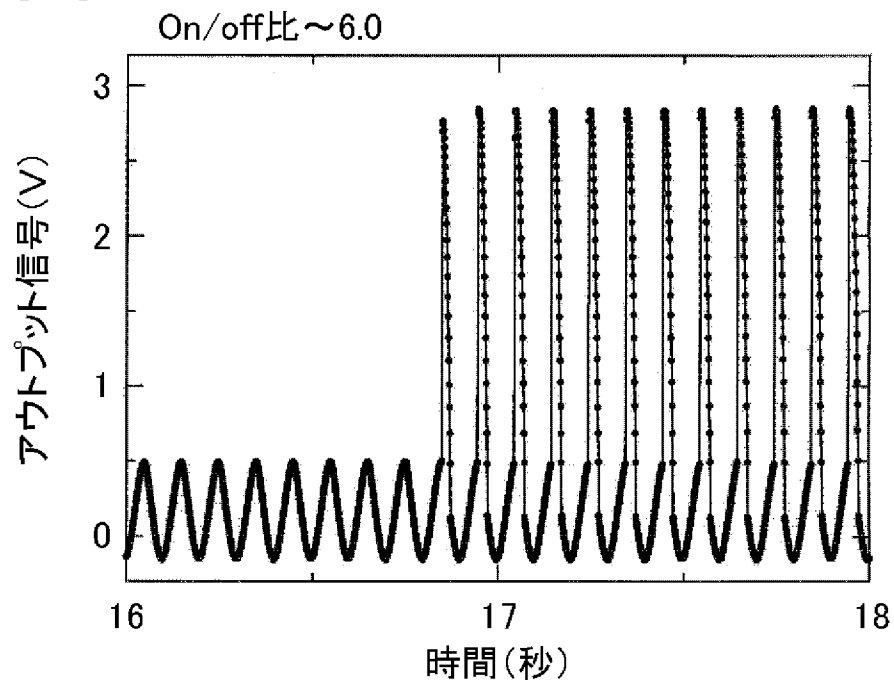




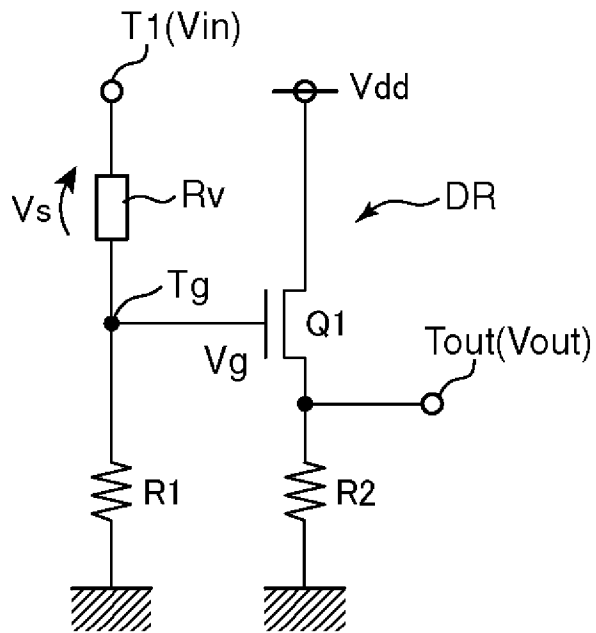
[図6]



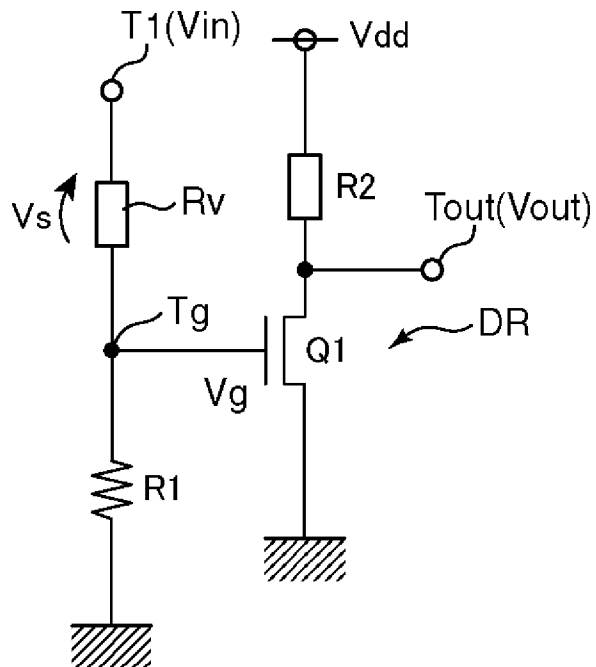
[図7]



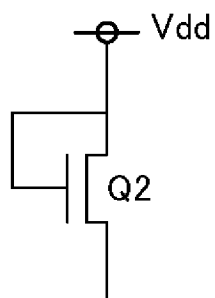
[図8]



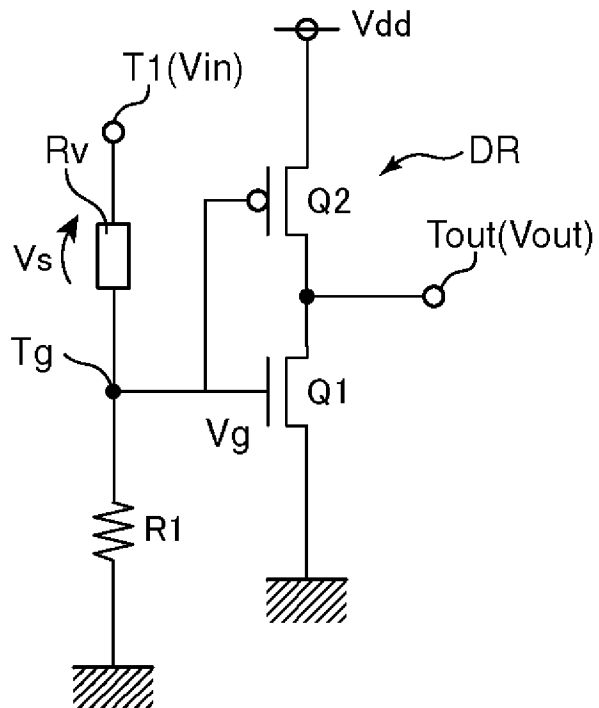
[図9]



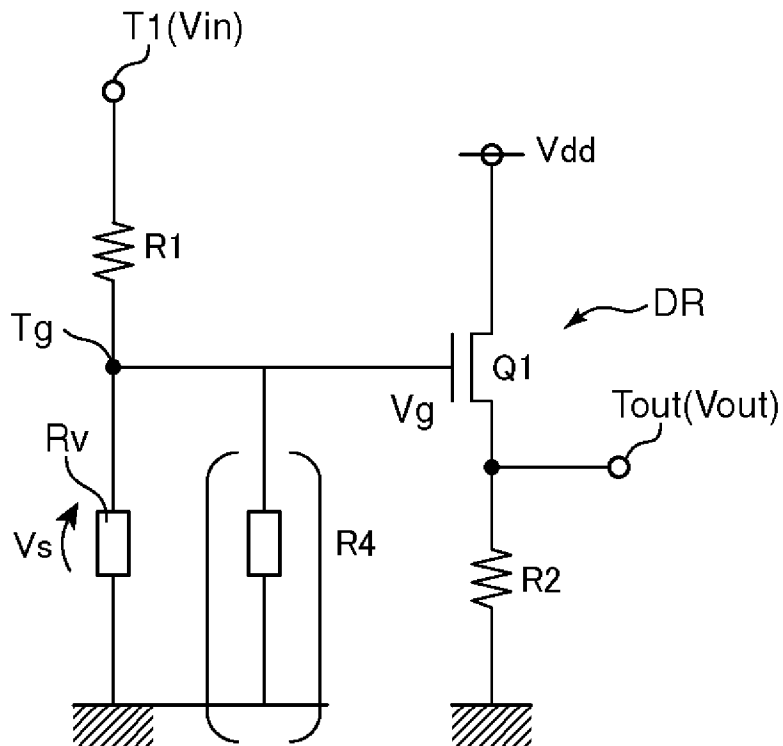
[図10]



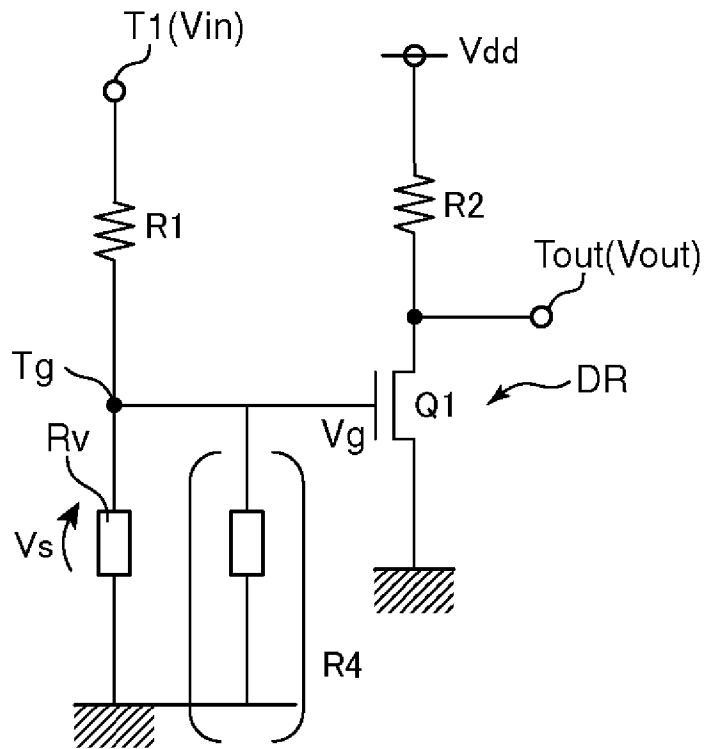
[図11]



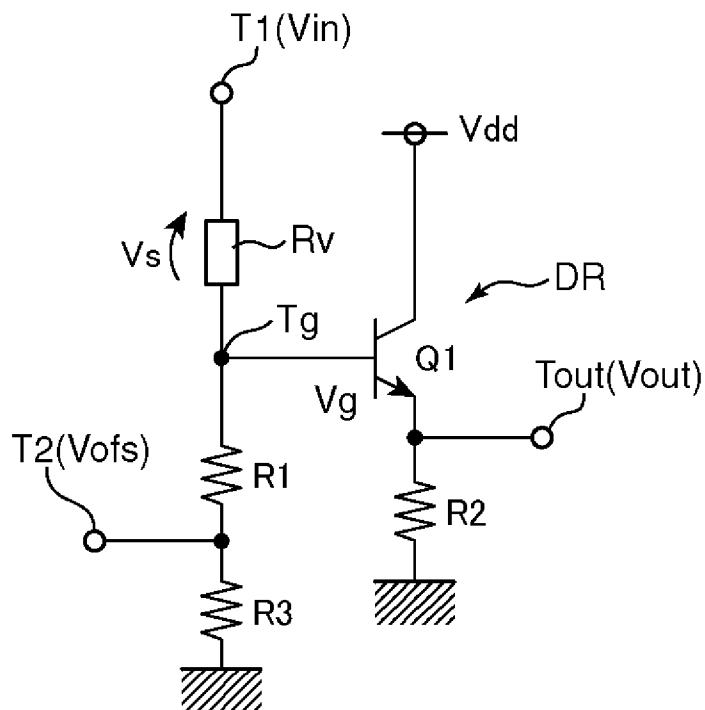
[図12]



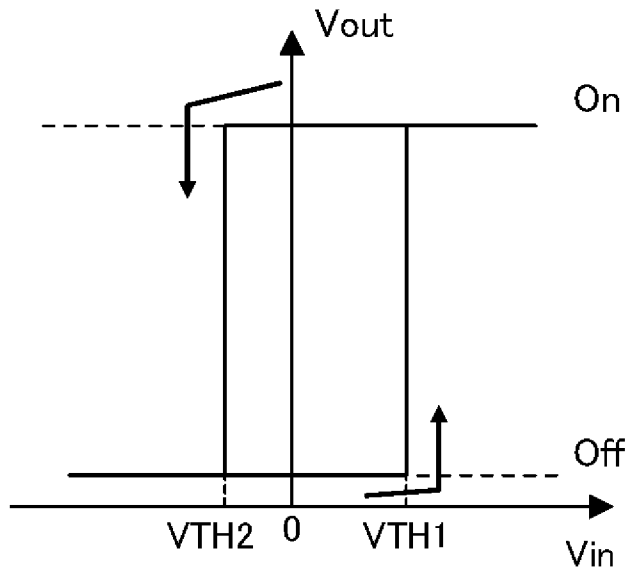
[図13]



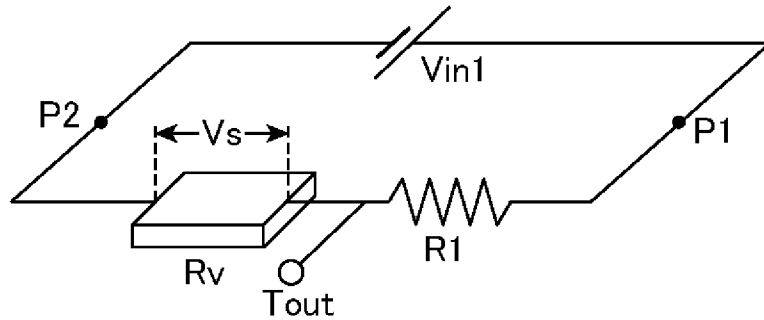
[図14]



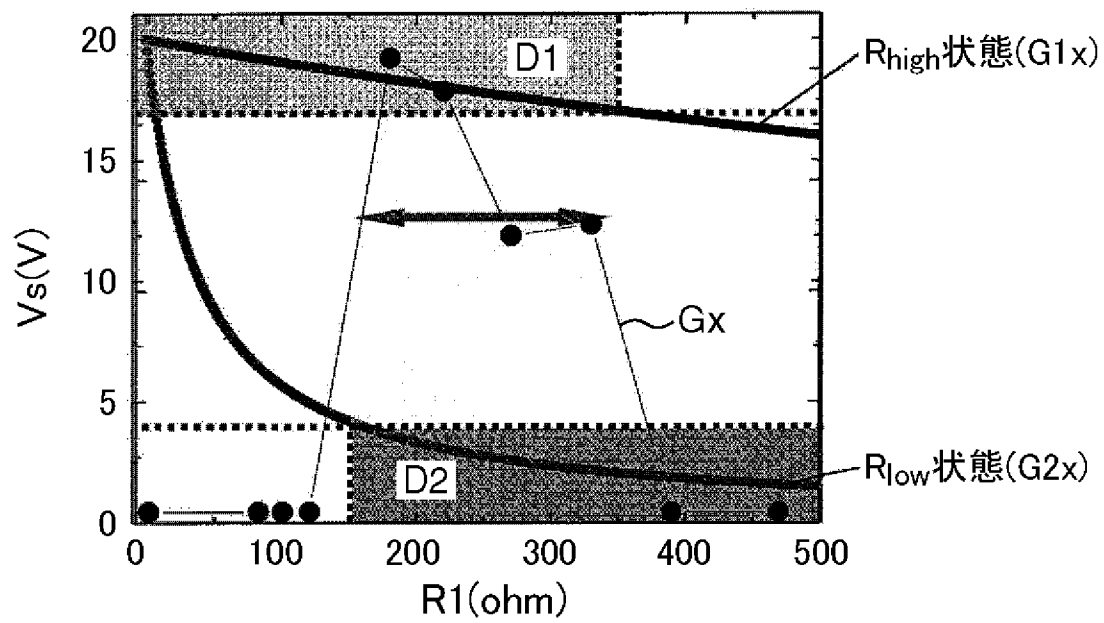
[図15]



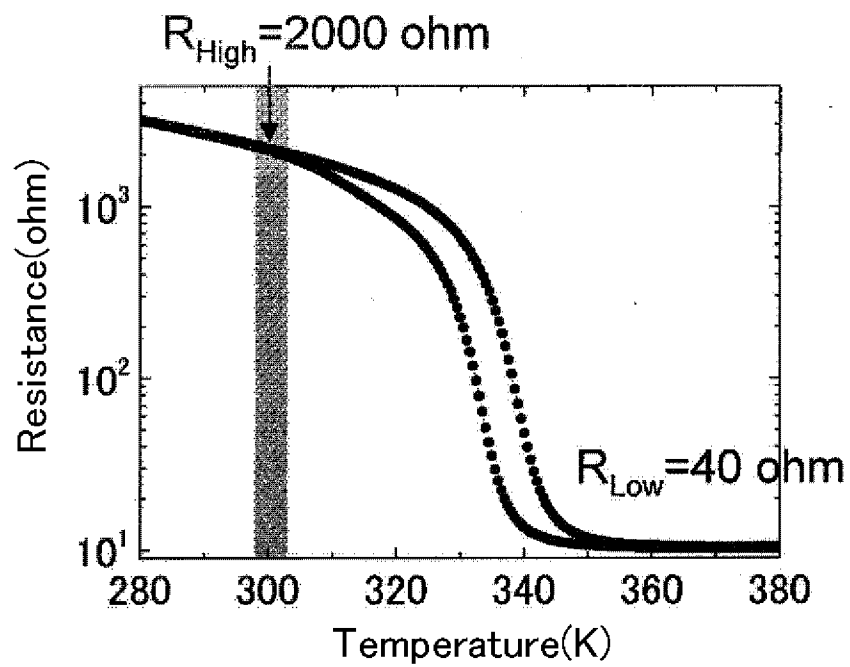
[図16]



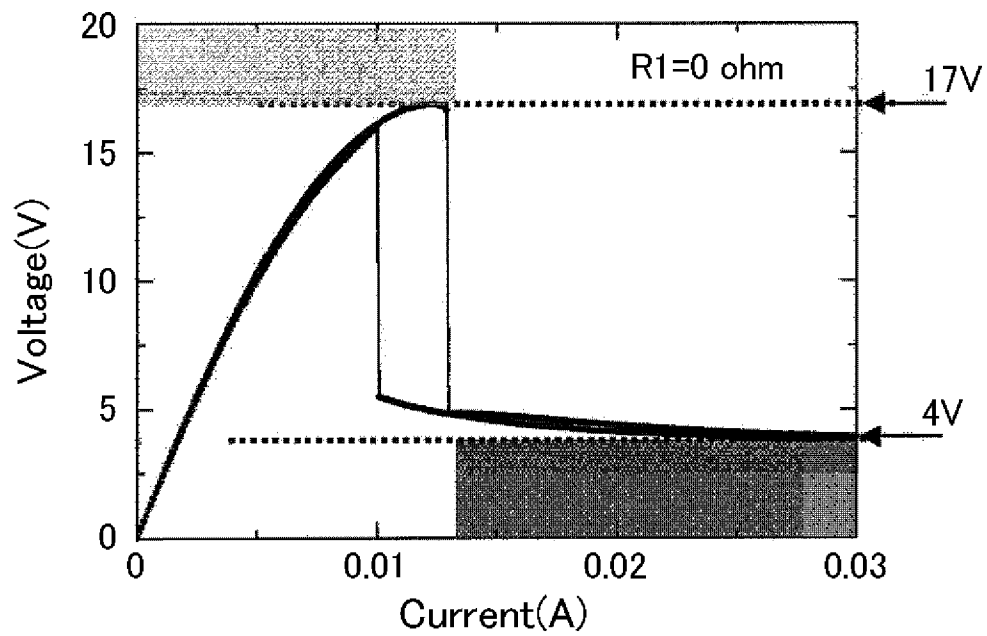
[図17]



[図18]

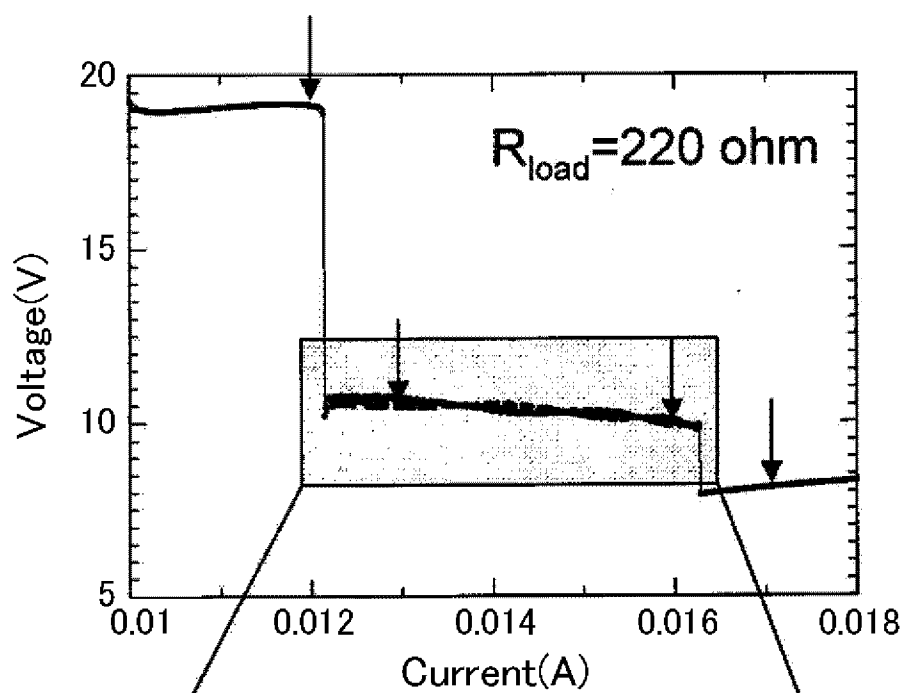


[図19]

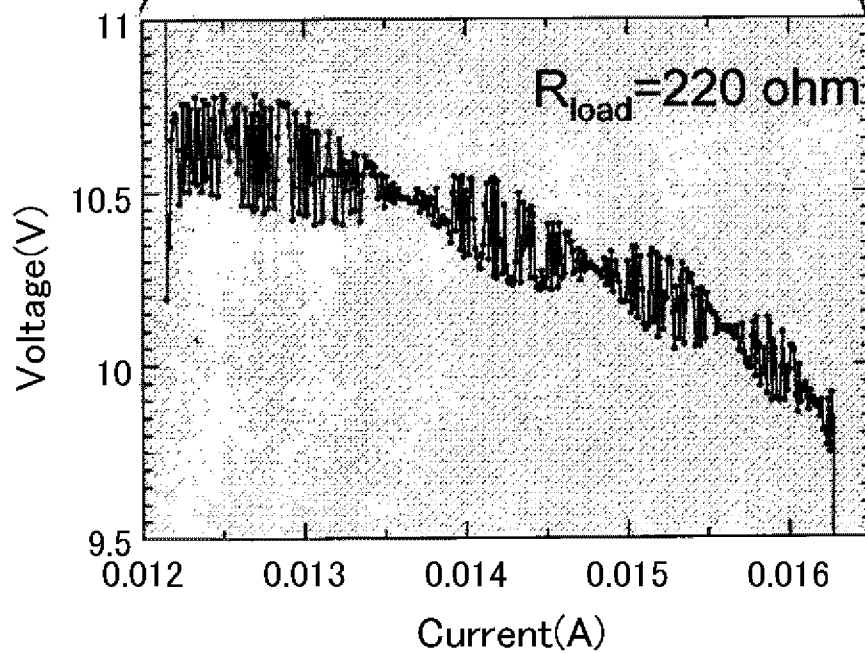


[図20]

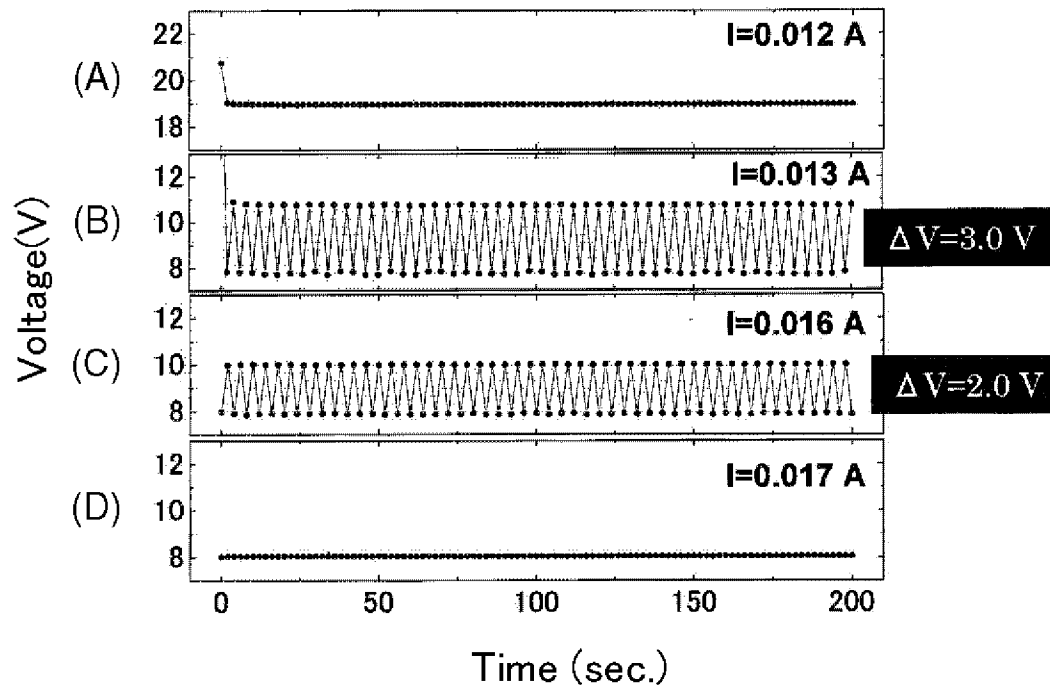
(A)



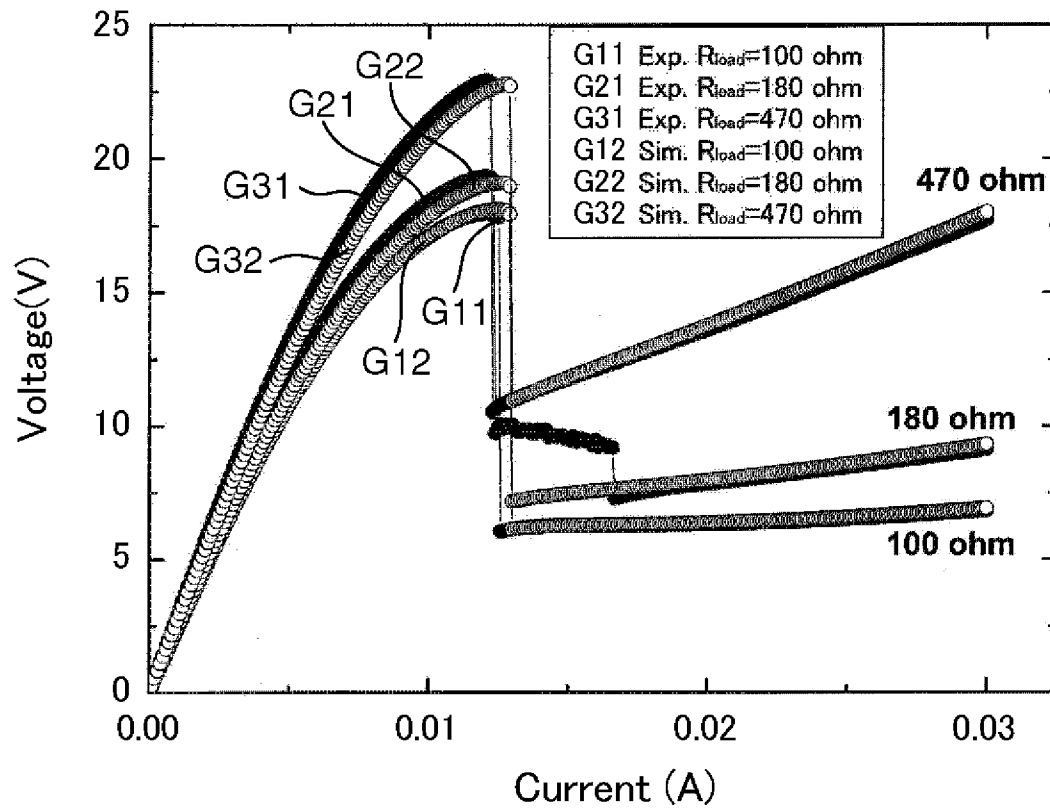
(B)



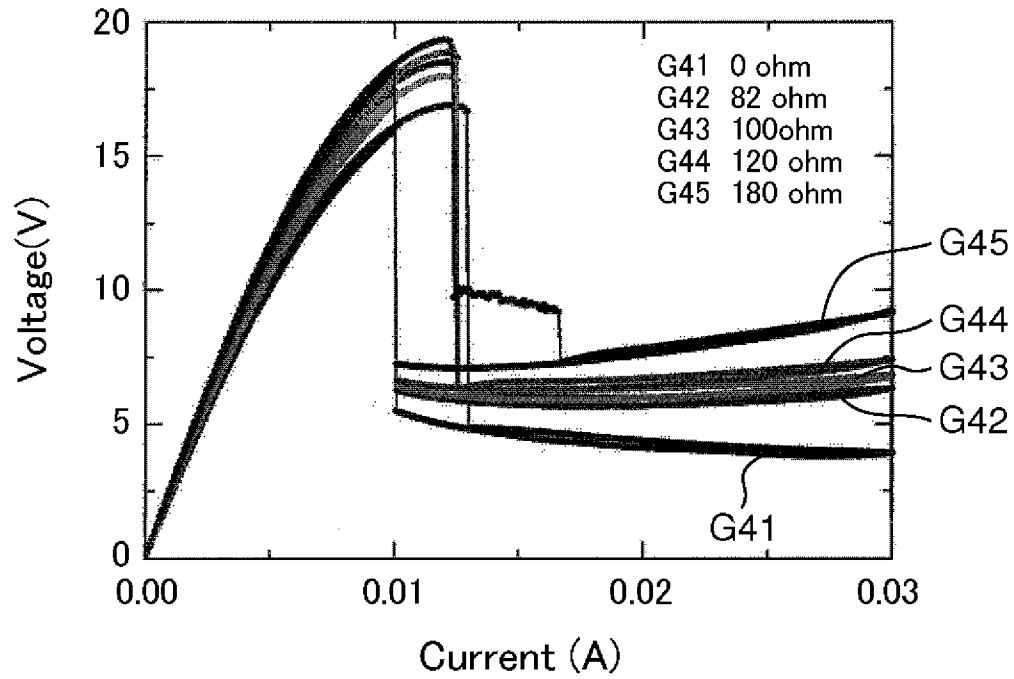
[図21]



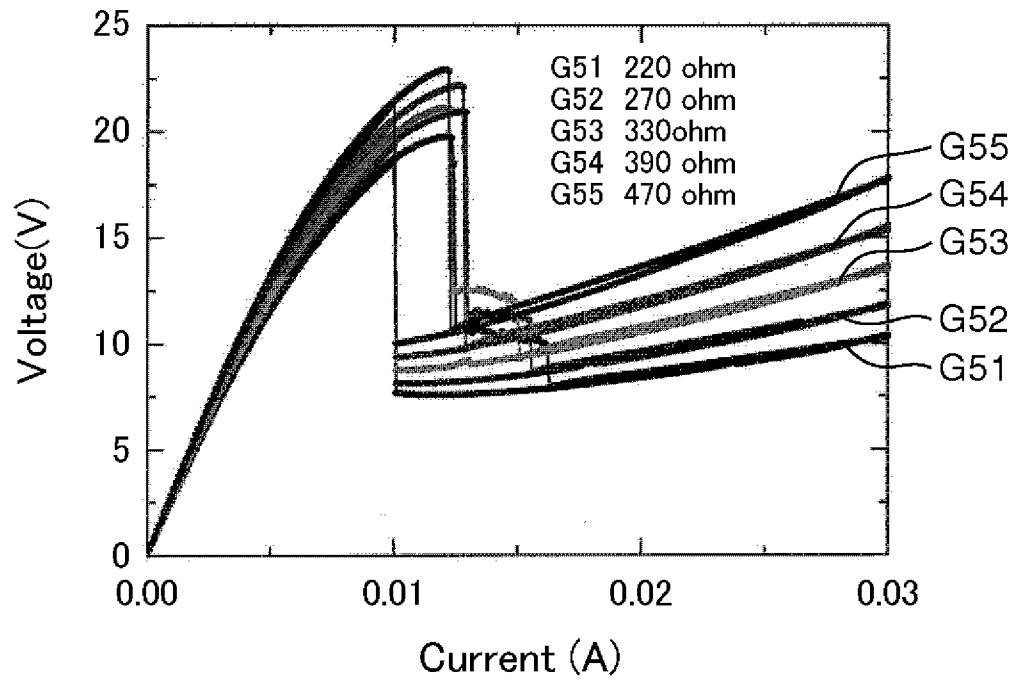
[図22]



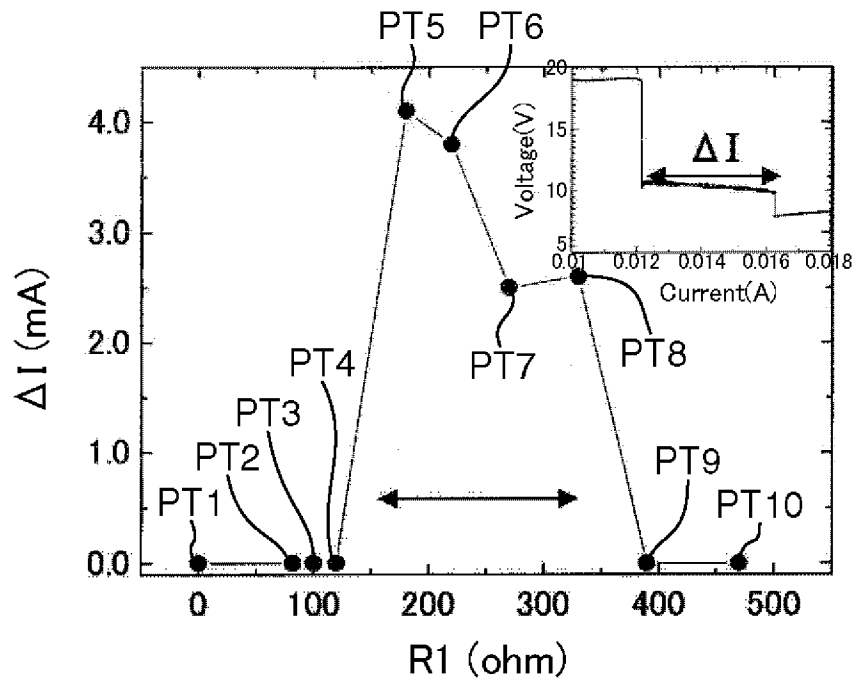
[図23]



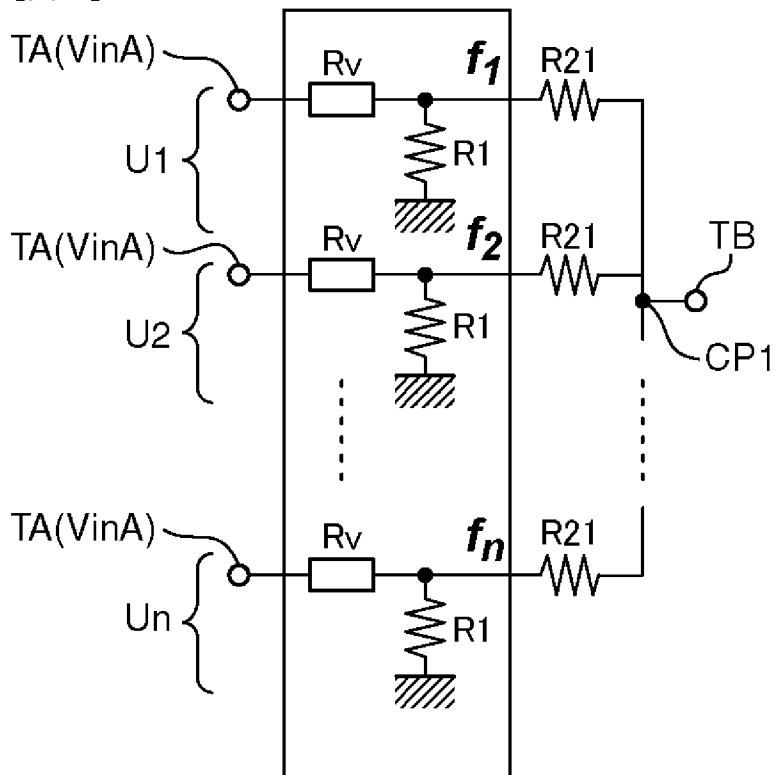
[図24]



[図25]

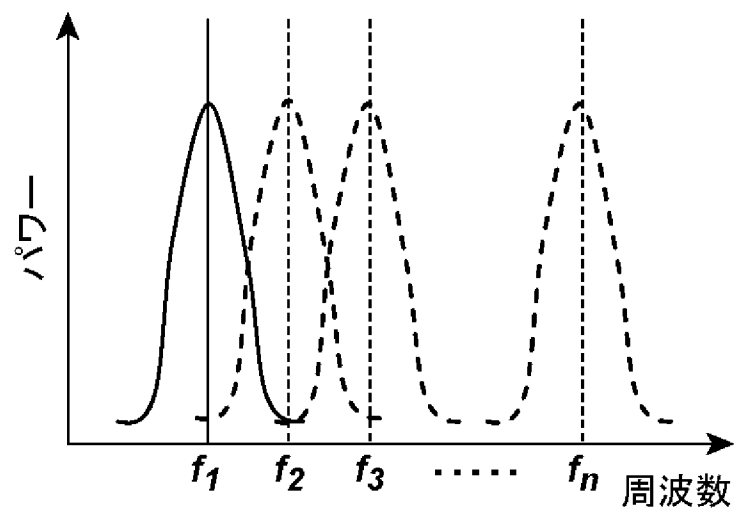


[図26]

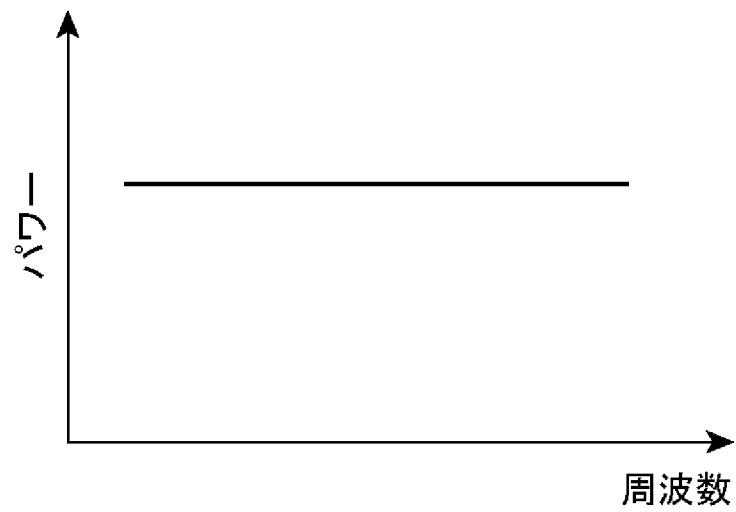


[図27]

(A)

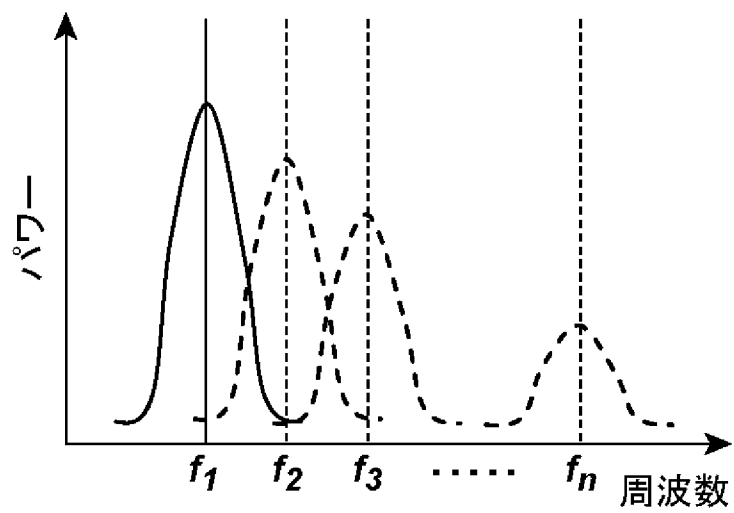


(B)

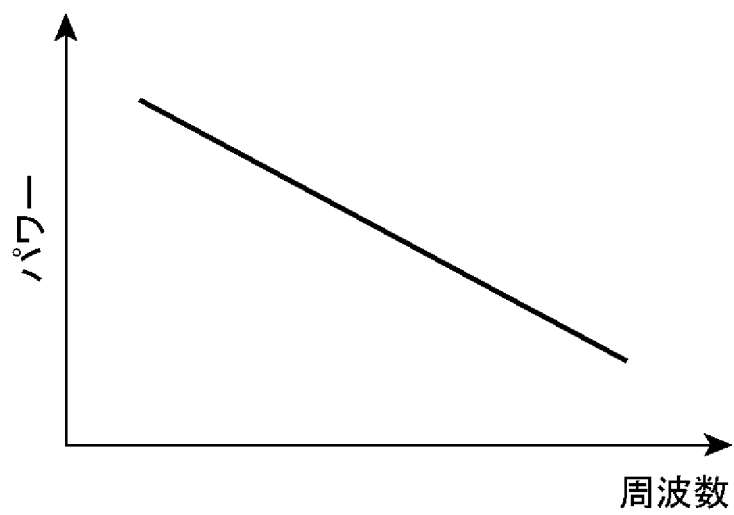


[図28]

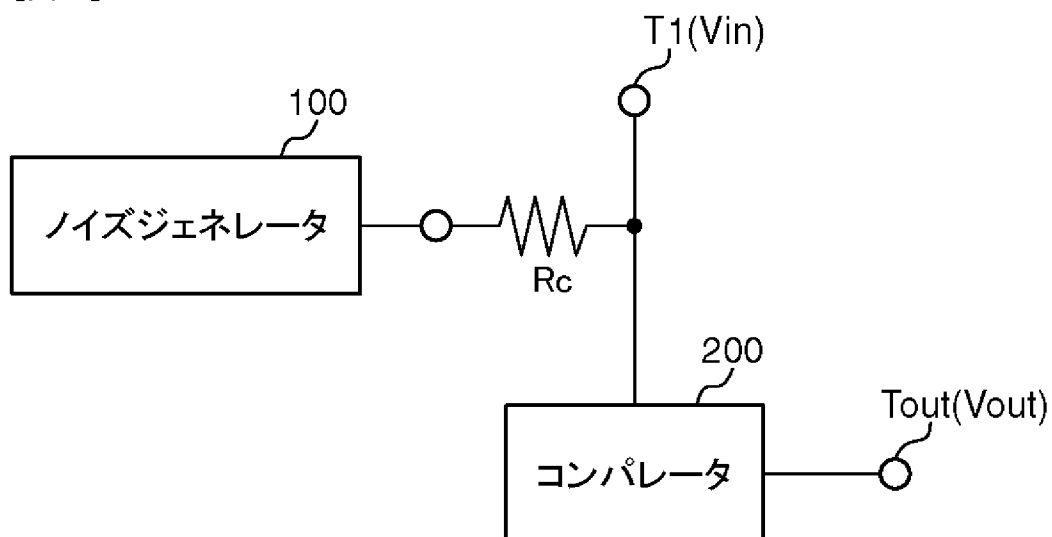
(A)



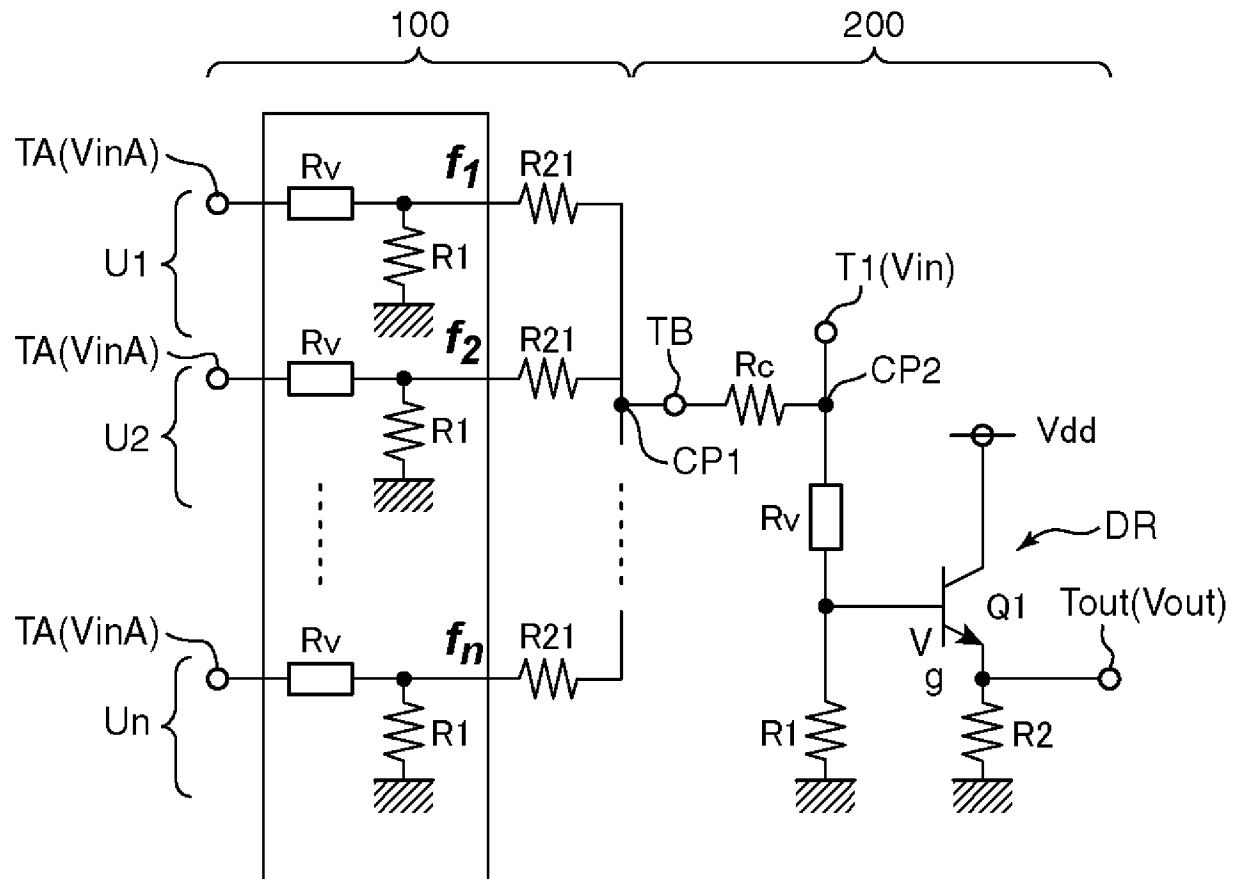
(B)



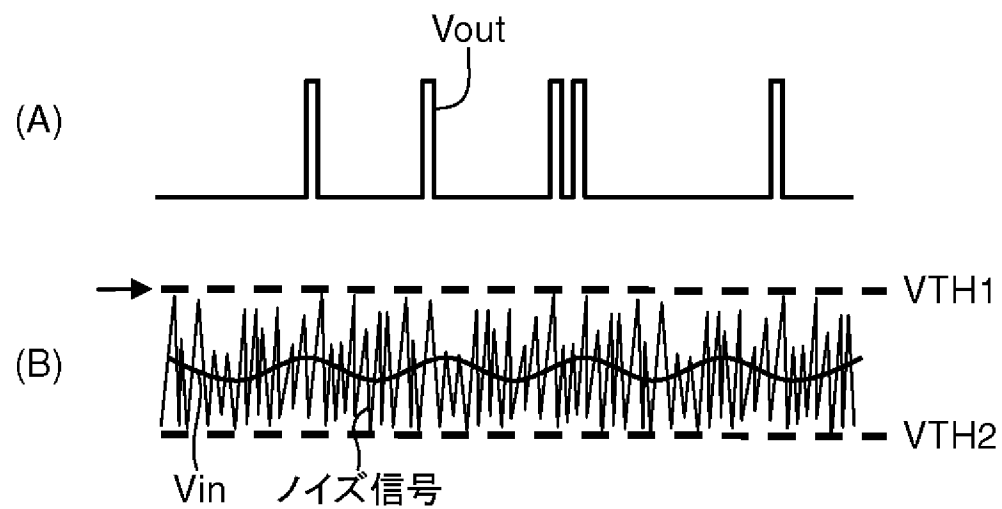
[図29]



[図30]



[図31]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/067261

A. CLASSIFICATION OF SUBJECT MATTER

H03K3/84(2006.01) i, H03B29/00(2006.01) i, H03K5/08(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K3/84, H03B29/00, H03K5/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Yasushi HOTTA et al., "Kyoyudentai Hysteresis Katsuyo ni yoru Comparator no Shososhika no Jitsugen", Dai 69 Kai Extended abstracts; the Japan Society of Applied Physics, 2008.09, no.2, page 476	1-11
A	WO 2005/078399 A1 (Matsushita Electric Industrial Co., Ltd.), 25 August 2005 (25.08.2005), page 1, line 16 to page 2, line 8; page 10, lines 13 to 24; fig. 2 & US 2008/0128619 A1	1-11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 November, 2009 (17.11.09)

Date of mailing of the international search report
24 November, 2009 (24.11.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/067261

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 54-53932 A (Tokyo Shibaura Electric Co., Ltd.), 27 April 1979 (27.04.1979), page 2, lower right line 3 to page 3, upper left line 4; fig. 5 to 6 (Family: none)	6-9
A	JP 3-185515 A (Za Gurasu Bare Gurupu Inkoporeiteddo), 13 August 1991 (13.08.1991), page 2, upper right lines 6 to 16; fig. 2 (Family: none)	10-11

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03K3/84(2006.01)i, H03B29/00(2006.01)i, H03K5/08(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03K3/84, H03B29/00, H03K5/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	堀田育志 他, 「強誘電体ヒステリシス活用によるコンパレータの少素子化の実現」, 第 6 9 回応用物理学会学術講演会講演予稿集, 2008.09, No. 2, 4 7 6 頁	1 - 1 1
A	WO 2005/078399 A1 (松下電器産業株式会社) 2005.08.25, 第 1 頁第 1 6 行 - 第 2 頁第 8 行, 第 1 0 頁第 1 3 - 2 4 行, 図 2 & US 2008/0128619 A1	1 - 1 1

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 7 . 1 1 . 2 0 0 9

国際調査報告の発送日

2 4 . 1 1 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

栗栖 正和

5 X

3 9 8 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 54-53932 A (東京芝浦電気株式会社) 1979. 04. 27, 第 2 頁右下第 3 行—第 3 頁左上第 4 行, 第 5 — 6 図 (ファミリーなし)	6 — 9
A	JP 3-185515 A (ザ・グラス・バレー・グループ・インコーポレイテッド) 1991. 08. 13, 第 2 頁右上第 6 — 1 6 行, 第 2 図 (ファミリーなし)	1 0 — 1 1