



(21) 申请号 202180023920.3

(22) 申请日 2021.03.23

(30) 优先权数据

16/827,357 2020.03.23 US

(85) PCT国际申请进入国家阶段日

2022.09.23

(86) PCT国际申请的申请数据

PCT/US2021/023560 2021.03.23

(87) PCT国际申请的公布数据

W02021/195010 EN 2021.09.30

(71) 申请人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

(72) 发明人 Y·谢 M·勒德斯 C·卡亚

(74) 专利代理机构 北京纪凯知识产权代理有限公司 11245

专利代理师 徐东升

(51) Int.Cl.

H03K 17/687 (2006.01)

H03K 17/0422 (2006.01)

H02M 1/08 (2006.01)

H03K 17/10 (2006.01)

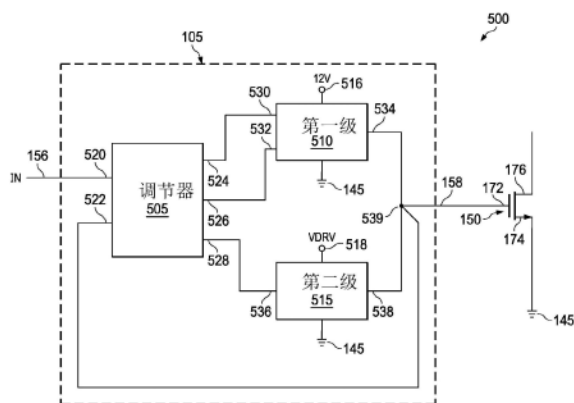
权利要求书4页 说明书30页 附图15页

(54) 发明名称

驱动晶体管的方法、装置和系统

(57) 摘要

描述了驱动晶体管的方法、装置和系统。一种示例装置包括调节器(505),该调节器包括适于耦合到晶体管(150)的控制端子(172)的第一输入端子(522)、第一输出端子(524)和第二输出端子(528);第一级(510),该第一级包括耦合到调节器的第一输出端子的第一输入端子(530)和适于耦合到晶体管的控制端子的输出端子(534);以及第二级(515),该第二级包括耦合到调节器的第二输出端子的输入端子(536)和适于耦合到晶体管的控制端子的输出端子(538)。



1. 一种装置,其包括:

调节器,所述调节器包括适于耦合到晶体管的控制端子的第一输入端子、第一输出端子和第二输出端子;

第一级,所述第一级包括耦合到所述调节器的所述第一输出端子的第一输入端子和适于耦合到所述晶体管的所述控制端子的输出端子;以及

第二级,所述第二级包括耦合到所述调节器的所述第二输出端子的输入端子和适于耦合到所述晶体管的所述控制端子的输出端子。

2. 根据权利要求1所述的装置,其中,所述调节器包括第二输入端子和逻辑门,所述逻辑门包括耦合到所述调节器的所述第二输入端子的第一输入端子、耦合到比较器电路的第二输入端子和耦合到所述调节器的所述第一输出端子的输出端子。

3. 根据权利要求1所述的装置,其中,所述调节器包括比较器电路,所述比较器电路包括耦合到线性调节器电路的输入端子、耦合到所述调节器的所述第二输出端子的第一输出端子和耦合到逻辑门的第二输出端子。

4. 根据权利要求1所述的装置,其中,所述晶体管为第一晶体管,并且所述调节器包括:第三输出端子;

线性调节器电路,所述线性调节器电路包括输出端子、适于耦合到电压源的第一输入端子、耦合到所述调节器的所述第一输入端子的第二输入端子;以及

第二晶体管,所述第二晶体管包括耦合到所述线性调节器电路的所述输出端子的控制端子、适于耦合到电压源的第一电流端子和耦合到所述调节器的所述第三输出端子的第二电流端子。

5. 根据权利要求4所述的装置,其中,所述第一级包括耦合到所述调节器的所述第三输出端子的第二输入端子。

6. 根据权利要求4所述的装置,其中,所述线性调节器电路包括:

第二晶体管,所述第二晶体管包括控制端子、耦合到所述线性调节器电路的所述第一输入端子的第一电流端子以及耦合到所述第二晶体管的所述控制端子的第二电流端子;

第三晶体管,所述第三晶体管包括耦合到所述第二晶体管的所述控制端子并适于耦合到接地节点的控制端子、耦合到所述线性调节器电路的所述第二输入端子的第一电流端子,以及第二电流端子;以及

第四晶体管,所述第四晶体管包括耦合到所述第三晶体管的所述第二电流端子并适于耦合到所述接地节点的控制端子、适于耦合到所述接地节点的第一电流端子,以及耦合到所述线性调节器电路的所述输出端子的第二电流端子。

7. 根据权利要求4所述的装置,其中,所述线性调节器电路包括:

第二晶体管,所述第二晶体管包括耦合到所述线性调节器电路的所述第二输入端子的控制端子、耦合到所述线性调节器电路的所述第一输入端子的第一电流端子,以及耦合到所述线性调节器电路的所述输出端子的第二电流端子。

8. 根据权利要求1所述的装置,其中,所述晶体管为第一晶体管,并且所述第一级包括:

切换电路,所述切换电路包括耦合到所述第一级的所述输入端子的第一端子、适于耦合到电流源的第二端子,以及第三端子;以及

适于耦合到电压源节点的第一电流镜电路,所述第一电流镜电路包括耦合到所述切换

电路的所述第三端子的第一端子和耦合到所述第一级的所述输出端子的第二端子。

9. 根据权利要求8所述的装置, 其中, 所述第一级包括耦合在所述第一电流镜电路的所述第二端子和所述第一晶体管的所述控制端子之间的第二电流镜电路, 所述第二电流镜电路包括耦合到所述第一电流镜电路的所述第二端子的第一端子以及适于耦合到所述第一晶体管的所述控制端子的第二端子。

10. 根据权利要求9所述的装置, 其中, 所述第二电流镜电路包括:

第三晶体管, 所述第三晶体管包括耦合到所述第二电流镜电路的所述第一端子的控制端子、耦合到所述第二电流镜电路的所述第二端子的第一电流端子以及耦合到所述第二电流镜电路的所述第一端子的第二电流端子; 以及

第四晶体管, 所述第四晶体管包括耦合到所述第三晶体管的所述控制端子的控制端子、耦合到所述第二电流镜电路的所述第二端子的第一电流端子, 以及适于耦合到所述电压源节点的第二电流端子。

11. 根据权利要求8所述的装置, 其中, 所述电流镜电路包括:

第三晶体管, 所述第三晶体管包括耦合到所述电流镜电路的所述第一端子的控制端子、适于耦合到所述电压源节点的第一电流端子和耦合到所述电流镜电路的所述第一端子的第二电流端子; 以及

第四晶体管, 所述第四晶体管包括耦合到所述第三晶体管的所述控制端子的控制端子、适于耦合到所述电压源节点的第一电流端子, 以及耦合到所述电流镜电路的所述第二端子的第二电流端子。

12. 根据权利要求8所述的装置, 其中:

所述切换电路包括第三晶体管;

所述切换电路的所述第一端子耦合到所述调节器的所述第一输出端子;

所述切换电路的所述第二端子耦合到所述第三晶体管的第一电流端子; 以及

所述切换电路的所述第三端子耦合到所述第三晶体管的第二电流端子。

13. 根据权利要求1所述的装置, 其中, 所述晶体管是第一晶体管, 并且所述第二级包括第二晶体管, 所述第二晶体管包括耦合到所述第二级的所述输入端子的控制端子、适于耦合到电压源节点的第一电流端子, 以及耦合到所述第二级的所述输出端子的第二电流端子。

14. 一种装置, 其包括:

第一级, 所述第一级包括输入端子和适于耦合到晶体管的控制端子的输出端子, 所述第一级适于利用来自第一电压源的第一电压使能所述晶体管;

第二级, 所述第二级包括输入端子和适于耦合到所述晶体管的所述控制端子的输出端子, 所述第二级适于利用来自第二电压源的第二电压使能所述晶体管, 所述第一电压具有比所述第二电压更大的电势; 以及

调节器, 所述调节器包括适于耦合到所述晶体管的所述控制端子的第一输入端子、第二输入端子、耦合到所述第一级的所述输入端子的第一输出端子和耦合到所述第二级的所述输入端子的第二输出端子, 所述调节器适于:

基于在所述调节器的所述第二输入端子处获得的激活信号超过第一阈值电压电平而使能所述第一级; 以及

基于所述调节器的所述第一输入端子处的电压信号在一段时间内超过第二阈值电压电平来使能所述第二级。

15. 根据权利要求14所述的装置, 其中, 所述调节器包括第三输出端子, 并且所述调节器适于通过在所述调节器的所述第三输出端子处提供调节信号来调节所述第一输入端子处的电压。

16. 根据权利要求14所述的装置, 其中, 所述调节器适于通过在所述调节器的所述第一输出端子处提供第一触发信号来使能所述第一级。

17. 根据权利要求16所述的装置, 其中, 所述第一级适于通过基于所述第一触发信号超过第三阈值电压电平在所述第一级的所述输出端子处提供第一控制信号来使能所述晶体管。

18. 根据权利要求14所述的装置, 其中, 所述调节器适于耦合到钳位电压源, 并且所述调节器适于基于所述第一输入端子处的电压信号超过所述钳位电压源的电压来禁用所述第一级。

19. 根据权利要求14所述的装置, 其中, 所述调节器适于通过在所述调节器的所述第二输出端子处提供第二触发信号来使能所述第二级。

20. 根据权利要求19所述的装置, 其中, 所述第二级适于通过基于所述第二触发信号超过第三阈值电压电平在所述第二级的所述输出端子处提供第二控制信号来使能所述晶体管。

21. 根据权利要求14所述的装置, 其中, 所述晶体管是第一晶体管, 并且所述第一级包括切换电路, 所述切换电路包括耦合到所述第一级的所述第一输入端子的第一端子、适于耦合到电流源的第二端子, 以及第三端子, 所述切换电路基于第一触发信号超过第三阈值电压电平, 在所述切换电路的所述第三端子处提供镜像信号。

22. 根据权利要求21所述的装置, 其中, 所述晶体管是第一晶体管, 并且所述第一级包括适于耦合到电压源节点的电流镜电路, 所述电流镜电路包括耦合到所述切换电路的所述第三端子的第一端子和耦合到所述第一级的所述输出端子的第二端子, 所述电流镜电路适于基于所述镜像信号在所述电流镜电路的所述第二端子处提供第一控制信号。

23. 根据权利要求14所述的装置, 其中, 所述调节器适于:

响应于所述激活信号超过所述第一阈值电压电平, 在所述第一输出端子处输出第一触发信号; 以及

响应于所述电压信号在所述一段时间内超过所述第二阈值电压电平, 在所述第二输出端子处输出第二触发信号。

24. 一种系统, 其包括:

驱动器, 所述驱动器包括适于接收激活信号的输入端子, 以及输出端子; 以及

晶体管, 所述晶体管包括耦合到所述驱动器的所述输出端子的控制端子, 所述驱动器适于:

向所述晶体管的所述控制端子输出第一控制信号, 所述第一控制信号具有第一电压;

向所述晶体管的所述控制端子输出第二控制信号, 所述第二控制信号具有第二电压; 并且其中, 所述第一电压具有比所述第二电压更大的电势。

25. 根据权利要求24所述的系统, 其中, 所述驱动器包括调节器, 所述调节器包括耦合

到所述驱动器的所述输入端子的第一输入端子、耦合到所述晶体管的所述控制端子的第二输入端子、第一输出端子和第二输出端子,所述调节器适于:

基于在所述调节器的所述第一输入端子处获得的所述激活信号超过第一阈值电压电平,在所述调节器的所述第一输出端子处输出第一触发信号;以及

基于在所述调节器的所述第二输入端子处获得的电压信号超过第二阈值电压电平,在所述调节器的所述第二输出端子处输出第二触发信号。

26. 根据权利要求25所述的系统,其中,所述调节器包括第三输出端子,并且所述调节器适于通过在所述调节器的所述第三输出端子处提供调节信号来调节所述调节器的所述输入端子处的电压。

27. 根据权利要求24所述的系统,其中,所述驱动器包括第一级,所述第一级包括输入端子和耦合到所述晶体管的所述控制端子的输出端子,所述第一级适于基于在所述第一级的所述输入端子处获得的触发信号超过阈值电压电平在所述第一级的所述输出端子处输出所述第一控制信号。

28. 根据权利要求24所述的系统,其中,所述驱动器包括第二级,所述第二级包括输入端子和耦合到所述晶体管的所述控制端子的输出端子,所述第二级适于基于在所述第二级的所述输入端子处获得的触发信号超过阈值电压电平在所述第二级的所述输出端子处输出所述第二控制信号。

驱动晶体管的方法、装置和系统

技术领域

[0001] 本描述大体上涉及晶体管,并且更具体地涉及驱动晶体管的方法、装置和系统。

背景技术

[0002] 在某些应用中,诸如场效应晶体管(FET)或金属氧化物半导体场效应晶体管(MOSFET)的晶体管通过电感器连接到负载。可以使用提供给晶体管栅极的脉冲宽度调制(PWM)信号来控制晶体管以向负载提供电流。

附图说明

[0003] 图1是包括第一示例驱动器和第二示例驱动器的示例功率转换器的示意图。

[0004] 图2是功率转换器的第一驱动器的第一示意图。

[0005] 图3是功率转换器的第二驱动器的第二示意图。

[0006] 图4是功率转换器的第三驱动器的第三示意图。

[0007] 图5是图1的第一驱动器的示例实现方式的框图,该驱动器适于响应于输入端子处的输入信号来使能晶体管。

[0008] 图6是图1和/或图5的第一驱动器的示例实现方式的示意图。

[0009] 图7A和图7B是图1、图5和/或图6的第一驱动器的示例实现方式的示意图,包括图6中描绘的实现方式的附加逻辑电路系统。

[0010] 图8是图1、图5和/或图6的第一驱动器的示例实现方式的示意图,包括图6中描绘的实现方式的附加逻辑电路系统。

[0011] 图9是表示可以使用可以被执行以实现示例驱动器的逻辑或机器可读指令来实现的示例过程的流程图。

[0012] 图10是示例功率转换器中的驱动器的示例模拟台的示意图。

[0013] 图11是描绘在各种电压偏移下的功率转换系统中由第一驱动器使能的第一晶体管的第一电流信号和由第二驱动器使能的第二晶体管的第二电流信号的信号图。

[0014] 图12是描绘在各种电压偏移下的功率转换系统中由第一驱动器使能的晶体管的第一转换速率(slew rate)和由第二驱动器使能的晶体管的第二转换速率的信号图。

[0015] 图13是描绘在各种驱动器电阻下的功率转换系统中由第一驱动器使能的晶体管的第一电流信号和由第二驱动器使能的第二晶体管的第二电流信号的信号图。

[0016] 图14是描绘在各种驱动器电阻下的功率转换系统中由第一驱动器使能的晶体管的第一转换速率和由第二驱动器使能的晶体管的第二转换速率的信号图。

[0017] 图15是描绘图1的示例功率转换器在驱动晶体管的操作期间的控制信号和输出信号的信号图。

具体实施方式

[0018] 附图不是按比例绘制。通常,在整个附图和随附的书面描述中将使用相同的附图

标记来指代相同或相似的工件。如本文所使用的,对连接的引用(例如,附接、耦合、连接和连结)将根据说明书以及相关的权利要求语言来解释。本申请中的连接引用的解释应与权利要求语言和描述各种元件连接目的的说明书的上下文一致。因此,连接引用不一定推断两个元件直接连接以及彼此连接成固定关系。

[0019] 当标识可被分别引用的多个元件或部件时,在本文中使用描述符“第一”、“第二”、“第三”等。除非基于使用这些描述符的上下文的另外指定或理解,否则此类描述符不赋予优先级、物理顺序或列表中的安排或时间排序的任何含义,而是为了易于理解所描述的示例,仅用作分别引用多个元件或部件的标签。在一些示例中,描述符“第一”可以用于指代详细描述中的元件,而在权利要求中可以使用诸如“第二”或“第三”的不同描述符来引用相同的元件。在这种情况下,仅仅为了易于指代多个元件或部件而使用这样的描述符。

[0020] 本文描述的一些示例包括以受控转换速率驱动晶体管的方法、装置和系统。晶体管用于例如功率转换电路、电气或功率适配器、电动交通工具充电单元和电动交通工具部件(例如,电池充电电路、牵引逆变器等)。可以将信号(例如,电压和/或电流)施加到晶体管栅极(例如,控制端子)以使另一个信号能够通过另一对晶体管端子(例如,从晶体管的源极端子到漏极端子)。功率转换电路或功率转换器用于可能受益于可靠功率源的应用中。功率转换器可以是升压转换器(例如,产生大于输入电压的输出电压的升压转换器)、降压转换器(例如,产生小于输入电压的输出电压的降压转换器)等,和/或其组合。

[0021] 为了使功率转换器成为高效可靠的功率源,流经功率转换器电路各个部分的一种或多种电流(例如,电感器电流、晶体管电流、负载电流等)由控制器调节以导通和/或关断开关。控制器监控这些电流以调节输出电压,从而提供可靠的功率源。例如,控制器可以通过调节通过电感器的电流来调节负载电流,以确保输出电压在期望的范围内。控制器通过改变晶体管的操作来调节通过电感器的电流,从而调节输出电压。

[0022] 晶体管可以由驱动器(例如,驱动器电路)控制。驱动器或驱动器电路可以响应于由控制器(例如,控制电路)生成的PWM信号来使能(例如,导通)和禁用(例如,关断)晶体管。如本文所述,驱动器(例如,驱动器电路)的示例包括一个或多个晶体管,诸如FET、MOSFET,或任何其他开关器件,诸如双极结型晶体管(BJT)。然而,可以使用其他开关类型或技术。

[0023] 驱动器可以由控制器配置以使能和禁用晶体管。包括一种或多种这样的驱动器的功率转换电路可以在使用第一驱动器的高侧控制(例如,使能第一晶体管和禁用第二晶体管)和使用第二驱动器的低侧控制(例如,禁用第一晶体管和使能第二晶体管)之间切换来提供基本稳定的或以其他方式调节的输出电压。

[0024] 在一些应用(例如,功率转换电路、功率转换系统等)中,晶体管栅极处的电压(例如,栅极电压)可能不会超过电压阈值,同时在延长的时间段内保持在导通状态(例如,线性模式),以确保晶体管的可靠工作。当栅极电压在短时间内超出正常工作电压(例如,6伏、7伏等)时,晶体管可能会超过正常工作条件。在正常工作条件下工作的晶体管可能具有一定的转换速率。如本文所用,短语“转换速率”及其变体包含每单位时间信号的电量(例如,电压或电流)的变化。例如,当晶体管由驱动器使能时,晶体管漏极端子处的电压变化具有转换速率(例如,20伏每纳秒、100伏每纳秒等)。晶体管的转换速率可以管控晶体管端子处的信号变化到所需值的速度(例如,晶体管被使能并开始导通的速度)。

[0025] 晶体管的转换速率可能受提供给晶体管的控制端子的信号(例如,电流、电压等)

的影响。例如,晶体管栅极处的较高电流可对应于晶体管的较高转换速率,而较高转换速率可对应于晶体管端子处信号的较快变化。因此,诸如功率转换器电路系统的应用可以受益于晶体管的相对快速受控的转换速率。在一些示例中,具有最大额定电压(例如,6伏、7伏等)的晶体管可以从关断状态(例如,没有信号在两个晶体管端子之间流动的截止模式)转变为使用超过最大额定电压的信号的导通状态(例如,信号在两个端子之间流动的线性模式)。因为激活晶体管的信号在晶体管转变为导通状态的同时超过了最大额定电压,所以可以更大程度地控制两个端子处的信号转换速率。例如,如果晶体管包括6伏的最大额定电压,并且将12伏的信号施加到晶体管栅极直到晶体管达到线性模式,则晶体管的转换速率可能大于以6伏信号使能的晶体管的转换速率。在一些示例中,因为晶体管的控制端子被驱动(诸如驱动器将晶体管的栅极端子保持在一定电压)在一段相对较短的时间段(诸如几十纳秒)内高于额定电压以在转变时段内驱动晶体管,晶体管可能不会降级和/或经受可靠性降低。此外,可以调节晶体管栅极处的电压(例如,保持在6伏至12伏之间,保持在8伏的钳位电压等)以实现晶体管的更高转换速率并防止对晶体管的由使能晶体管(由12伏电压源供电)引起的损坏。

[0026] 本文描述的一些示例包括使用氮化镓(GaN)生产的晶体管。此外,本文描述的一些示例包括使用GaN晶体管并且包括以受控转换速率驱动晶体管的方法、装置和系统。本文描述的一些示例包括使用电流来驱动晶体管(诸如在晶体管栅极处)以设置晶体管的转换速率的能力,并且转换速率可以通过比导通状态裕量(诸如栅极端子处的最大额定电压为6伏)高的裕量(诸如栅极端子处的电压为12伏)来使能,以防止损坏晶体管。本文描述的一些示例包括在晶体管处于导通状态的同时基于超过正常工作电压电平的电压电平用恒流源驱动端子栅极。本文描述的一些示例包括在晶体管转变为导通状态期间钳位(诸如调节)较高栅极信号以保护晶体管免受应力。例如,驱动器可以包括调节器以响应于栅极端子处的电压超过钳位电压(诸如8伏)而使能和/或禁用提供给栅极端子的控制信号(诸如电流信号)。本文描述的一些示例包括相对较弱的上拉晶体管以将晶体管的栅极信号保持在最大额定电压(诸如6伏)以防止在晶体管已被电流源使能之后对该晶体管施加应力。在本文描述的一些示例中,栅极驱动电流和/或由驱动器提供给端子栅极的电流在宽范围内是可编程的。

[0027] 在一些示例中,调节器可以向驱动器中的第一级提供第一触发信号,以在由第一电压源节点提供的电流下使能晶体管。响应于晶体管控制端子处的信号超过阈值电压值,调节器可以在延迟量之后禁用第一级,并向驱动器中的第二级提供第二触发信号以在由第二电压源节点提供的电流下使能晶体管(例如,保持在导通状态)。第一电压源节点可以包括比第二电压源节点的电势(例如,6伏、7伏等)更大的电势(例如,12伏等的电势)。

[0028] 图1是包括第一示例驱动器105和第二示例驱动器110的示例功率转换器100的示意图。功率转换器100包括第一驱动器105、第二驱动器110、控制器120和反相器125。功率转换器100适于耦合到示例总线电压节点140、示例接地节点145和示例负载146。在图1的拓扑结构中,功率转换器100被适配和/或以其他方式配置为驱动负载146(例如,为负载146供电和/或向其提供输出信号)。例如,负载146可以对应于电动交通工具、电动交通工具中的一个或多个电池、电子控制单元(ECU)、电动交通工具中的电动马达、包括在电动交通工具中的牵引逆变器等,和/或其组合。功率转换器100包括示例电容器147、示例电感器148、第一

示例晶体管150和第二示例晶体管151。

[0029] 控制器120具有耦合到示例输出端子154的输出。第一驱动器105具有耦合到示例输入端子156的第一输入。输入端子156在配置中耦合到输出端子154以从控制器120获得激活信号(IN)。第一驱动器105具有耦合到示例输出端子158的第一输出。第二驱动器110具有耦合到示例输入端子160的第二输入。输入端子160在配置中耦合到反相器125的输出以获得反相激活信号(nIN)。第二驱动器110具有耦合到示例输出端子162的第二输出。第一晶体管150具有控制端子172(例如,栅极端子)、耦合到接地节点145的源极端子174(例如,第一电流端子),以及耦合到电感器148的漏极端子176(例如,第二电流端子),该控制端子172耦合到输出端子158以响应于从第一驱动器105获得一个或多个控制信号而转变为导通状态。第二晶体管151具有耦合到第二驱动器110的输出端子162的控制端子186、耦合到电感器148的源极端子188和耦合到总线电压节点140的漏极端子190。在图1的拓扑结构中,总线电压节点140提供电压信号(诸如信号VIN)。

[0030] 反相器125耦合在输出端子154与第二驱动器110的输入端子160之间。电感器148耦合到第二晶体管151的源极端子188并耦合到第一晶体管150的漏极端子176。电容器147耦合在电感器148和接地节点145之间。负载146(例如,要供电的电子器件、工业终端设备等)耦合在电感器148和接地节点145之间。

[0031] 在图1的示例中,第一驱动器105控制第一晶体管150的导通状态(例如,导通或不导通),以及第二驱动器110控制第二晶体管151的导通状态。然而,驱动器105、110可以控制任何数量的晶体管或开关的导通状态。此外,任何数量的驱动器都可以控制晶体管的导通状态。例如,第一驱动器105可以将第一晶体管150从非导通状态转变为导通状态,并且第二驱动器可以耦合到控制端子172以将第一晶体管150从导通状态转变为非导通状态。

[0032] 第一晶体管150是n沟道金属氧化物半导体(NMOS)场效应晶体管。可替代地,第一晶体管150可以是p沟道金属氧化物半导体(PMOS)场效应晶体管、双极结型晶体管(BJT)或任何其他三端子器件。类似地,第二晶体管151是NMOS场效应晶体管。可替代地,第二晶体管151可以是PMOS场效应晶体管、BJT或任何其他三端子器件。如本文所用,短语“NMOS晶体管”及其变体包括NMOS场效应晶体管(FET)、GaN晶体管、碳化硅(SiC)晶体管等。类似地,如本文所用,短语“PMOS晶体管”及其变体包括PMOS场效应晶体管、GaN晶体管、SiC晶体管等。

[0033] 在操作中,控制器120在输出端子154处生成激活信号(例如,PWM信号、电压信号IN等)。控制器120调节负载146处的功率转换器的负载电压。在一些示例中,控制器120调节负载电压以维持最大允许电压或最小允许电压,调节负载电流,和/或限制电感器148的最大正电流和/或最小负电流以避免损坏负载146和/或更一般地,避免损坏功率转换器100。此外,控制器120通过向驱动器105、110提供激活信号(IN)来控制第一晶体管150和第二晶体管151的导通状态(例如,导通或不导通)。控制器120可以使用硬件实现方式的状态机、微控制器、多个分立部件或任何其他合适的器件来实现。

[0034] 反相器125响应控制器120提供的控制信号的变化并生成反相信号(例如,电压信号nIN)。如本文所用,反相器(例如,反相器125)包括控制电路系统以响应激活信号并向第二驱动器110提供(例如,输出)反相信号。例如,如果控制器120在反相器125的输入端子处生成5伏的激活信号(IN)电压,则反相器125可以向第二驱动器110提供0伏的激活信号(nIN)电压。

[0035] 在一些示例中,诸如电平移位电路系统或数字缓冲器的其他部件可以耦合到控制器120的输出端子154和/或耦合到第一驱动器105或第二驱动器110的输入端子。例如,电平移位电路系统可以耦合到控制器120的输出端子154以将控制信号(诸如信号IN)的电压移位到更高的电压幅度。在一些示例中,反相器125可以附加地或可替代地耦合到第一驱动器105的输入端子156。

[0036] 可以附加地或可替代地使用在第一驱动器105的输入端子156处和/或在第二驱动器110的输入端子160处提供信号(例如,激活信号、信号IN等)的任何其他方法。例如,控制器120可以包括控制电路系统(诸如反相器)以产生激活信号(诸如信号IN或信号nIN),并且控制器120可以包括要耦合到输入端子156的第一输出端子和耦合到输入端子160的第二输出端子。

[0037] 在本文描述的一些示例中,第一驱动器105和第二驱动器110响应由控制器120生成的激活信号(IN)的变化以使能和/或禁用晶体管(诸如第一晶体管150或第二晶体管151)。在一些示例中,当第一驱动器105禁用第一晶体管150时,第二驱动器110使能第二晶体管151,并且当第二驱动器110禁用第二晶体管151时,第一驱动器105使能第一晶体管150。驱动器105、110可以被配置为使能和/或禁用晶体管150、151以调节提供给负载146的功率信号(例如,通过电感器148的电流)。

[0038] 第一驱动器105通过向第一晶体管150提供至少一个控制信号来响应在输入端子156处获得的激活信号的变化。在本文描述的一些示例中,第一驱动器105提供(例如,传递、输出、传输等)第一控制信号以将第一晶体管150从非导通状态转变为导通状态,并为第一晶体管150提供用于保持在导通状态的第二控制信号。类似地,第二驱动器110通过向第二晶体管151提供至少一个控制信号来响应由反相器125修改的激活信号(例如,信号nIN)的变化。

[0039] 在一些示例中,第一驱动器105和/或第二驱动器110包括由不同电压电平驱动的第一级和第二级以使能晶体管150、151。例如,第一驱动器105可以包括适于耦合到12伏电源的第一级和适于耦合到6伏电源的第二级。第一驱动器105可以包括用于使能第一级的调节器,并且第一级可以向控制端子172提供由12伏电源提供的栅极驱动电流。然后调节器可以禁用第一级并使能第二级,并且第二级可以向控制端子172提供由6伏电源提供的栅极驱动电流。任何数量的控制信号可以附加地或可替代地由驱动器105、110中的任一个提供给晶体管150、151中的任一个。例如,第一驱动器105可以向第一晶体管150提供第三控制信号以将第一晶体管150从传导状态转变为非导通状态。

[0040] 在图1的图示示例中,第一驱动器105通过使能第一晶体管150来响应激活信号超过阈值电压电平(诸如逻辑高电平、对应于逻辑“1”的电压等)。在一些示例中,当信号IN不超过阈值电压电平时,第一驱动器105禁用第一晶体管150。类似地,第二驱动器110响应输入端子160处的信号变化。第二驱动器110通过响应于信号nIN超过阈值电压电平而使能第二晶体管151来响应由反相器125提供的信号。在一些示例中,当信号nIN不超过阈值电压电平时,第二驱动器110禁用第二晶体管151。在一些示例中,功率转换器100可以包括两个以上的驱动器和/或两个以上的晶体管以调节提供给负载146的功率信号。

[0041] 接地节点145为功率转换器100提供参考电压(例如,0伏)。在一些示例中,接地节点145可以耦合到大地、数字地或模拟地。在其他示例中,接地节点145可以耦合到源节点电

压以提供参考电压 (诸如1伏)。

[0042] 电感器148是当电流流过它时将能量存储在磁场中的两端电气部件。在高级操作期间,当第二晶体管151导通 (例如,使能) 而第一晶体管150不导通 (例如,禁用) 时,能量存储在电感器148中。在低级操作期间,当第一晶体管150导通而第二晶体管151不导通时,能量从电感器148通过第一晶体管150放电到地。

[0043] 电容器147是将能量存储在电场中的两端电气部件。在高级操作期间,当第二晶体管151导通而第一晶体管150不导通时,能量存储在电容器147中。在低级操作期间 (例如,第一晶体管150导通),能量从电容器147放电到负载146。

[0044] 图2是功率转换器中的驱动器205的第一示意图200。第一示意图200包括驱动器205、第一晶体管210、第一电压源节点215、第二电压源节点220、第三电压源节点225和接地节点230。驱动器205包括反相电平移位器235、第二晶体管240、反相器驱动器245和第三晶体管250。第一晶体管210为NMOS晶体管,第二晶体管240为PMOS晶体管,以及第三晶体管250为NMOS晶体管。第一晶体管包括控制端子260和源极端子262。源极端子262耦合到接地节点230。

[0045] 反相器驱动器245将信号IN反相并将反相的电压信号传送到第二晶体管240。当信号IN的电压为5伏时,反相器驱动器245提供0伏的信号。当信号IN的电压为IN时,反相器驱动器245提供5伏的信号。反相器驱动器245响应于信号IN的变化使能和禁用第三晶体管250。

[0046] 在导通状态期间 (例如,信号IN具有5伏的电压),第二晶体管240被使能 (例如,导通) 并且第三晶体管250被禁用 (例如,不导通)。结果,第一晶体管210在导通状态期间被使能。在关断状态期间 (例如,信号IN具有0伏的电压),第二晶体管240被禁用并且第三晶体管250被使能。结果,第一晶体管210在关断状态期间被禁用。

[0047] 图2的驱动器205被配置为将控制信号传送到第一晶体管210,该控制信号由第一电压源节点215提供 (例如,由VDRV的电压、6伏的电压提供)。此外,在图2的电路中,PMOS上拉 (例如,第二晶体管240) 具有大的并因此效率低的管芯面积。因为驱动器205由VDRV (例如,6伏) 供电,所以第一晶体管210的栅极 (例如,控制端子260处的电压) 达到VDRV (例如,6伏) 的最大电压。

[0048] 当驱动晶体管时,用于计算裕量的示例公式如下公式1所示:

[0049] $\text{HEADROOM} = \text{VDRV} - V_{\text{gs}}$ 公式1

[0050] 在公式1的示例中,HEADROOM表示晶体管 (诸如晶体管210) 具有有限转换速率的控制端子 (诸如控制端子260) 的裕量 (例如,阈值电压),VDRV表示第一电压源节点215的电压 (诸如VDRV、6伏等),以及 V_{gs} 表示栅极端子 (诸如控制端子260) 处的电压与源极端子 (诸如源极端子262) 处的电压之间的差值。如本文所用和上面公式1所示,短语“晶体管的裕量”或其变体包括 (1) 驱动晶体管的电压 (例如,VDRV) 和 (2) 栅极端子电压和源极端子电压之间的差值之间的差值。在一些示例中,驱动晶体管的更大电压,诸如与6伏相比为12伏,使得晶体管的裕量更大,并因此使得晶体管能够以更大的转换速率导通。在一些示例中,晶体管的裕量控制驱动器在将晶体管驱动 (例如,转变) 为使能状态时可以提供的电流 (例如,栅极电流、栅极驱动电流、输出电流等)。因此,驱动器的裕量控制晶体管转变为使能阶段时晶体管的转换速率。在一些示例中,诸如以下结合图5至图8描述的示例,第一晶体管可以由控制端子

处的第一电压源(诸如12伏)使能,并且第二晶体管可以由控制端子处的第二电压源(诸如6伏)使能。因为第一晶体管在控制端子处由具有比第二晶体管更大的电势的第一电压源供电,所以第一晶体管包括比第二晶体管更大的裕量。因此,在转变为使能状态时,第一晶体管的转换速率可大于第二晶体管的转换速率。

[0051] 在图2的示例中,驱动器205向晶体管210提供由第一电压源节点215提供的电压(VDRV)提供的控制信号(诸如电流信号),并且电压(VDRV)为晶体管210的最大额定电压,诸如6伏。因此,第二晶体管210的栅极在转变为使能状态的同时被限制为VDRV,因此第二晶体管的转换速率受到限制。此外,在图2的示例中,晶体管240的面积可能比图3、图4和/或图8的拓扑结构的面积大,因此就管芯面积而言效率低,如下面所述。

[0052] 图3是功率转换器中的驱动器305的第二示意图300。第二示意图300包括驱动器305、第一晶体管310、第一电压源节点315、第二电压源节点320、第三电压源节点325和接地节点330。驱动器305包括反相电平移位器335、缓冲器340、第二晶体管342、第一反相器344、第三晶体管346、第四晶体管348、第二反相器350和第五晶体管352。第一晶体管310为NMOS晶体管,第二晶体管342为PMOS晶体管,第三晶体管346为NMOS晶体管,第四晶体管348为NMOS晶体管,第五晶体管352为NMOS晶体管。第一晶体管310包括控制端子353。

[0053] 反相电平移位器335放大信号IN,将移位后的电压信号反相,并将反相的电压信号提供给缓冲器340。缓冲器340从反相电平移位器335获得的反相电压信号中去除毛刺(例如,不必要的信号转变),并将电压信号以低于缓冲器340的输出阻抗电平的输出阻抗电平提供给耦合部件(例如,第二晶体管342)。反相电平移位器335和缓冲器340响应于信号IN的变化来使能和禁用第二晶体管342。第一反相器344将电压信号(例如电压信号IN)反相并将反相的电压信号提供给第三晶体管346。第一反相器344响应于信号IN的变化使能和禁用第三晶体管346。第二晶体管342和第三晶体管346响应于由缓冲器340和第一反相器344提供的信号的变化使能和禁用第四晶体管348。

[0054] 第二反相器350将电压信号(例如,信号IN)反相并将反相的电压信号提供给第五晶体管352。第二反相器350响应于信号IN的变化使能和禁用第五晶体管352。在导通状态期间(例如,信号IN具有5伏的电压),第二晶体管342导通,而第三晶体管346不导通。结果,第四晶体管348导通。此外,第五晶体管352不导通。由于第四晶体管348导通而第五晶体管352不导通,第一晶体管310导通。

[0055] 在关断状态期间(例如,信号IN具有0伏的电压),第二晶体管342不导通,而第三晶体管346导通。结果,第四晶体管348不导通。此外,第五晶体管352导通。由于第四晶体管348不导通而第五晶体管352导通,第一晶体管310不导通。

[0056] 图3中所示的驱动器305通过第一电压源节点315(例如,由VDRV供电)使能第一晶体管310。因此,第一晶体管310的栅极处的电压(例如,栅极的最大电压)受到电压信号VDRV的限制,从而限制了第一晶体管310的转换速率。

[0057] 在图3的示例中,驱动器305向第一晶体管310提供由第一电压源节点315提供的电压(VDRV)提供的控制信号(诸如电流信号),并且电压(VDRV)为第一晶体管310的最大额定电压,诸如6伏。因此,第一晶体管310的栅极在转变为使能状态的同时被限制为VDRV,因此晶体管的转换速率受到限制。此外,在图3的示例中,晶体管310、348的控制端子被限制为VDRV。因此,提供给第一晶体管310的驱动电流可以随着第一晶体管310的控制端子的增加

而减小。当第一晶体管310提供大电流时,第一晶体管310的转换速率可能会受到限制,因为第一晶体管310处的电压(V_{gs})由于大电流而更高。

[0058] 图4是功率转换器中的驱动器402的第三示意图400。驱动器402适于接收输入信号(例如,电压信号IN),并且驱动器402响应于信号IN的变化使能和禁用第一晶体管404。驱动器402包括单发脉冲发生器412、第一缓冲器414、第二晶体管416、第二缓冲器418、第三晶体管420、电流源422、第一电流镜电路424和第二电流镜电路426。第三示意图400包括第一电压源节点428、第二电压源节点430和接地节点432。第一晶体管404和第三晶体管420为NMOS晶体管,而第二晶体管416为PMOS晶体管。第一晶体管404包括控制端子436、漏极端子438和耦合到接地节点432的源极端子440。

[0059] 单发脉冲发生器412和第一缓冲器414响应于信号IN的变化使能和禁用第二晶体管416。第二晶体管416使能第一晶体管404。当信号IN转变为导通状态(例如,从0伏电压转变为5伏电压)时,单发脉冲发生器412生成脉冲信号。第一缓冲器414获得脉冲信号,修改脉冲信号(例如,从脉冲信号中去除毛刺),并将修改后的脉冲信号传送到第二晶体管416。响应于修改后的脉冲信号,第二晶体管416变为禁用(例如,开始不导通)。当第二晶体管416不导通时,第一晶体管404可以导通(例如,由第二电流镜电路426使能,如下所述)或不导通(例如,不由第二电流镜电路426使能)。

[0060] 第一电流镜电路424包括耦合到第三晶体管420的第一端子454,以及第二端子456。第二电流镜电路426包括耦合到第一电流镜电路424的第二端子456的第一端子458。第二电流镜电路426包括耦合到第一晶体管404的第二端子460。在操作中,当信号IN转变为导通状态(例如,从0伏电压转变为5伏电压)时,单发脉冲发生器412生成脉冲信号。第二缓冲器418获得脉冲信号,修改脉冲信号(例如,从脉冲信号中去除毛刺),并将修改后的脉冲信号提供给第三晶体管420。结果,响应于获得修改后的脉冲信号,第三晶体管420被使能(例如,开始导通)。

[0061] 当第三晶体管420被使能时,电流源422向第一电流镜电路424提供电流。第一电流镜电路424将来自第一端子454的电流镜像到第二端子456。第二电流镜像电路426获得第一端子458处的电流并镜像第二端子460(和控制端子436)处的电流。结果,第一晶体管404被使能并开始导通。

[0062] 在操作期间,单发脉冲发生器412响应于信号IN的电压超过阈值而生成脉冲。第一缓冲器414向第二晶体管416提供输出信号,因此第二晶体管416不导通。第二缓冲器418获得单发脉冲发生器412的输出信号并生成输出信号以使能第三晶体管420(例如,第三晶体管420导通)。响应于第三晶体管420导通,电流信号由电流源节点422在第一电流镜电路424的第一端子454处生成。因此,第一电流镜电路424在第二端子456处生成电流信号。第二电流镜电路426在第一端子458处获得电流信号并在第二端子460(例如,第一晶体管404的控制端子436)处生成输出信号。响应于第二电流镜电路426的输出信号,第一晶体管404被第一电压源节点428(例如,耦合到第一电流镜电路424的节点)并且被第二电压源节点430(例如,耦合到第二电流镜电路426的节点)使能。

[0063] 在单发脉冲发生器412已生成输出信号脉冲(例如,由单发脉冲发生器412生成的电压为0伏)之后,第三晶体管420被禁用(例如,不导通)。结果,第一电流镜电路424不在第二端子456处生成输出信号,并且第二电流镜电路426不在第二端子460处生成输出信号。由

于第一缓冲器414的输出是低电压(优选地在0伏左右),所以第二晶体管416开始导通。结果,第一晶体管404被第二电压源节点430(例如,耦合到第二晶体管416的节点)使能。

[0064] 在某些操作条件下,第二电流镜电路426基于从第一电流镜电路424获得的电流信号(例如,从以12伏的电势操作的电路获得)生成电流信号。结果,第一晶体管404的控制端子436在转变到导通相期间被限制为VDRV(例如,6伏)。然而,第一晶体管404的栅极的最大电压受到限制,因为第二电流镜电路426(例如,包括在第二电流镜电路426中的晶体管482)耦合到第二电压源节点430(例如,6伏)。因此,第一晶体管404的栅极端子(例如,控制端子436)受到限制并且不能提供大的转换速率。

[0065] 在图4的示例中,第二电流镜电路426的第二端子460被限制为VDRV。因此,控制端子436的最大电压在转变为使能状态时受到限制。因为第一晶体管404在转变状态期间可能需要大于VDRV的电压(例如,第一晶体管404的最大额定电压)以维持高转换速率,所以第二电流镜电路426(例如,耦合在第二电压源节点430和第二端子460之间的晶体管)和/或第一晶体管404可能耗尽由VDRV提供的裕量,因此无法维持高转换速率(例如,由于弱和/或热的拐角)。

[0066] 图5是图1的第一驱动器105的示例实现方式500的框图,该驱动器105适合于响应于输入端子(例如,图1的输入端子156)处的输入信号(例如,信号IN)而使能晶体管(例如,图1的晶体管150)。实现方式500包括图1的驱动器105、接地节点145、输入端子156、输出端子158和晶体管150。晶体管150包括图1的控制端子172、源极端子174和漏极端子176。在图5所示示例中,第一驱动器105包括示例调节器505、第一示例级510和第二示例级515。在图5的拓扑结构中,第一驱动器105适于耦合到第一示例电压源节点516和第二示例电压源节点518。在本文描述的一些示例中,第一电压源节点516耦合到第一电压源,而第二电压源节点518耦合到第二电压源。第一电压源可以具有高于第二电压源的第二电位的第一电位。例如,第一电压源节点516可以耦合到具有12伏电位的第一电压源,而第二电压源节点518可以耦合到具有VDRV(例如6伏)电位的第二电压源。电压源节点516、518可以包括电压源。例如,第一电压源节点516可以包括被配置为传送10伏电位的电压源。

[0067] 图5的第一驱动器105可以通过向输出端子158和控制端子172提供第一控制信号以使能晶体管150(例如,晶体管150开始导通)来响应激活信号的变化(例如,信号IN超过电压阈值)。第一控制信号可以由第一级510作为来自第一电压源节点516的电压和/或电流来提供。响应于输出端子158处的电压,第一驱动器105可以提供替代第一控制信号的第二控制信号以使能晶体管150。第二控制信号可以由第二级515作为来自第二电压源节点518的电压和/或电流来提供,并且第一电压源节点516(例如,第一电压源)可以包括比第二电压源节点518(例如,第二电压源)更高的电势(例如,电位)。例如,第一电压源节点516可以提供12伏的电压,而第二电压源节点518可以提供6伏的电压。在一些示例中,第一驱动器105可以包括附加的和/或替代的电路系统以基于由图1的控制器120提供的激活信号的变化(诸如降低)来禁用晶体管150。

[0068] 在操作中,调节器505可以适于通过向第一级510提供第一触发信号来使能第一级510。第一级510可以适于通过来自第一电压源的电流(例如,第一控制信号、栅极驱动电流、电流信号)(例如,通过来自第一电压源节点516的电流)来使能晶体管150。第一级510可适于通过响应于由调节器505提供的第一触发信号超过阈值电压电平(例如,逻辑高值、3伏

等)向晶体管150的控制端子172提供第一控制信号来使能晶体管150。调节器505可适于通过响应于控制端子172处的电压超过电压阈值向第一级510提供调节信号来调节第一级510的输出(例如,第一控制信号、栅极驱动电流等)。例如,如果控制端子172处的电压超过钳位电压源提供的钳位电压(例如,8伏),则调节器505可以在第二输出端子526处提供调节信号以将控制端子172处的电压调节到钳位电压。调节器505可以适于通过响应于第二输入端子522处的信号(例如,电流和/或电压)超过钳位电压一定的时间量(例如,电压超过钳位电压50纳秒后的一段时间等)在第一输入端子530处提供逻辑输出信号来禁用第一级510。

[0069] 在操作中,调节器505可以被配置为通过向第二级515传输和/或以其他方式传送第二触发信号来使能第二级515。第二级515可以适于通过提供来自第二源(例如,第二电压源节点518)的电流来使能晶体管150。第二级515可适于通过响应于由调节器505提供的第一触发信号超过阈值电压电平(例如,逻辑高值、2伏)向晶体管150的控制端子172提供第二控制信号来使能晶体管150。

[0070] 在本文描述的一些示例中,第一电压源节点516可以提供比第二电压源节点518的电压高的电压(诸如12伏),以在切换期间(诸如在转变为使能状态期间)提高晶体管150的裕量。在本文描述的一些示例中,第一驱动器105可以包括快速电流源上拉(诸如晶体管和/或第一级)以设置、确定和/或以其他方式调节晶体管150的转换速率,同时限制控制端子172处的电压。有利地,第一驱动器105可以限制控制端子172处的电压以防止在转变为使能状态期间损坏晶体管150。在本文描述的一些示例中,第一驱动器105可以在控制端子172的电压达到平台电压(诸如钳位电压)之后禁用快速上拉(诸如晶体管和/或第一级)。在本文描述的一些示例中,第一驱动器105可以包括弱上拉(诸如晶体管和/或第二级)以将控制端子172保持在直流(DC)操作电压,诸如晶体管的最大额定电压,VDRV,6伏等。

[0071] 在操作中,由于第一驱动器105向晶体管150提供由第一电压源节点516提供的控制信号,该第一电压源节点516包括大于第二电压源节点518的电位的电位,所以在转变为使能状态期间,输出级裕量(由第一驱动器105提供的晶体管150的裕量)不限于VDRV。此外,在操作中,第一驱动器105可以将控制端子172限制在操作电压(例如,6伏、VDRV等)以使晶体管150处于稳定状态而不损坏晶体管150。在本文描述的一些示例中,控制端子172的大部分电荷(例如,电压)可以由第一电压源节点516而不是第二电压源节点518提供。因此,第二电压源节点518可能不需要在操作期间供应大电流。

[0072] 有利地,通过驱动(例如,使能)由来自高压轨(例如,第一电压源节点516)的电流源(例如,IDRV)提供的控制端子172,可以向晶体管150提供更多的裕量以实现高转换速率。此外,可以在第一驱动器105中包括快速电压调节回路(例如,调节器505)以在瞬态(例如,在转变为使能状态期间)限制栅极电压(例如,控制端子172处的电压)。栅极电压检测器(例如,调节器505、线性调节器和/或比较器电路)可以被包括在第一驱动器105中以关断(例如,禁用)快速上拉驱动(例如,第一级510)并使能弱上拉(例如,第二级515)以实现长期可靠性和低功耗。有利地,在本文描述的一些示例中,第一驱动器105可以在工艺拐角和/或温度上提供恒定和/或一致的转换速率。

[0073] 在一些示例中,晶体管150可以在比响应于第二控制信号更短的时间段内响应于第一控制信号而转变为使能状态。例如,晶体管150可以响应于第一控制信号以第一转换速率转变,然后晶体管150可以响应于第二控制信号以第二转换速率转变,并且第一转换速率

可以大于第二转换速率。在一些示例中,晶体管150在延长的时间段内被第一控制信号驱动(诸如使能)时可能被损坏和/或毁坏。因为第一驱动器105调节第一控制信号(例如,禁用第一控制信号)并使能第二控制信号,使得晶体管150保持在使能状态,所以第一驱动器105使能晶体管150以开始以第一电压源节点516提供的大于第二电压源节点518提供的转换速率的转换速率和/或在不降低晶体管150的可操作性的情况下(例如,在晶体管150在操作中没有被破坏的情况下)使能晶体管150一段时间来导通。

[0074] 在图5所示示例中,调节器505具有和/或以其他方式包括第一输入端子520、第二输入端子522、第一输出端子524、第二输出端子526和第三输出端子528。第一输入端子520在配置中耦合到驱动器105的输入端子156以获得激活信号(IN)。调节器505适于获得激活信号(例如,由控制器120提供的信号IN)。在一些示例中,调节器505通过在第一输出端子524处传送第一触发信号来使能第一级510并且通过在第三输出端子528处传送第二触发信号来使能第二级515。调节器505使能第一级510以响应于激活信号超过阈值电压电平(诸如逻辑高阈值)而使能晶体管150。在一些示例中,调节器505在第二输出端子526处向第一级510提供调节信号,并且第一级510可以响应于调节信号而改变提供给输出端子158的第一控制信号。

[0075] 调节器505响应于在第二输入端子522处获得的信号(例如,电压信号)而使能第二级515。例如,如果在第二输入端子522处(诸如在输出端子158处和/或控制端子172处)获得的电压超过由钳位电压源节点提供的电压阈值,则调节器505可以钳位控制端子172处的电压并向第二级515提供第二触发信号。在一些示例中,调节器505响应于在第二输入端子522处获得的电压超过电压阈值(诸如VCLAMP)一段时间而提供第二触发信号。在一些示例中,调节器505可以改变(诸如终止)提供第一触发信号,而是附加地和/或可替代地提供第二触发信号。

[0076] 第一级510具有和/或以其他方式包括耦合到调节器505的第一输出端子524以获得第一触发信号的第一输入端子530、耦合到调节器505的第二输出端子526以获得调节信号的第二输入端子532,以及耦合到第一驱动器105的输出端子158(例如,耦合到晶体管150的控制端子172)以提供第一控制信号的输出端子534。在图5中,第一级510适于耦合到第一电压源节点516和接地节点145。第一级510响应于在第一输入端子530处获得的第一触发信号超过阈值电压电平而在输出端子534处提供(例如,输出)第一控制信号(例如,提供给第一驱动器105的输出端子158和/或提供给晶体管150的控制端子172)。因此,第一级510使能晶体管150。在一些示例中,第一级510响应于第一触发信号不超过诸如逻辑高电压阈值的电压阈值而改变和/或以其他方式修改第一控制信号(诸如禁用第一控制信号)。在一些示例中,第一级510响应于在第二输入端子532处获得的调节信号来改变第一控制信号。

[0077] 第二级515具有和/或以其他方式包括耦合到调节器505的第三输出端子528以获得第二触发信号的输入端子536和在示例节点539处耦合到第一级510的输出端子534以提供第二控制信号的输出端子538。在图5中,节点539耦合到调节器505的第二输入端子522、耦合到第一驱动器105的输出端子158并耦合到晶体管150的控制端子172。第二级515适于耦合到第二电压源节点518并耦合到接地节点145。第二级515响应于在输入端子536处获得的第二触发信号超过阈值电压电平(诸如逻辑高值),而在输出端子538处提供第二控制信号(例如,提供给驱动器105的输出端子158和/或提供给晶体管150的控制端子172)。因此,

第二级515可以响应于由调节器505在第三输出端子528处提供并在输入端子536处获得的第二触发信号来使能晶体管150。在一些示例中,第二级515响应于第二触发信号不超过诸如逻辑低值的阈值电压电平而提供第二控制信号。

[0078] 在操作中,调节器505在第一输入端子520处获得激活信号。响应于激活信号超过阈值电压电平(诸如逻辑高电平、5伏等),调节器505在第一输出端子524处将第一触发信号传送和/或以其他方式适于传输到第一级510。响应于第一触发信号超过阈值电压电平,第一级510在输出端子534处提供和/或以其他方式适于生成第一控制信号(例如,提供给节点539、提供给驱动器105的输出端子158、提供给控制端子172等)以利用由第一电压源节点516提供的电流来使能晶体管150。在一些示例中,调节器505响应于在第二输入端子522处获得的信号的变化而在第一输出端子524处向第一级510提供调节信号。例如,如果节点539处的电压超过阈值(诸如钳位电压阈值),则调节器505可以改变(诸如减小和/或禁用)调节信号。然后第一级510可以响应于在第二输入端子532处获得的调节信号的变化而改变(例如减小和/或禁用)使能晶体管150的第一控制信号。

[0079] 响应于节点539处的信号(例如,电压值),例如电压超过电压阈值(例如,钳位电压)一段时间,调节器505可以在第三输出端子528处将第二触发信号提供给第二级515。响应于第二触发信号,第二级515可以在输出端子538处向驱动器的输出端子158提供和/或以其他方式适于输出第二控制信号(例如,提供给控制端子172),该信号带有由第二电压源节点518提供的电流。因此,晶体管150首先由第一电压源节点516提供的电流使能,然后由第二电压源节点518提供的电流使能(例如,保持导通,保持在使能模式)。

[0080] 图6是图1和/或图5的第一驱动器105的示例实现方式600的示意图,该驱动器适于响应于示例输入端子(例如,图1的示例输入端子156)处的示例输入信号(例如,激活信号、信号IN等)而使能晶体管(例如,图1的晶体管150)。图6的实现方式600包括图1和/或图5的第一驱动器105、接地节点145、输入端子156、输出端子158和晶体管150。晶体管150包括图1和/或图5的控制端子172、源极端子174和漏极端子176。在图6的示例中,第一驱动器105包括图5的调节器505、第一级510、第二级515、第一电压源节点516和第二电压源节点518。

[0081] 在图6所示的示例中,调节器505包括逻辑门601、比较器、延迟和锁存器电路602(以下称为“比较器602”)、线性调节器电路603和晶体管604。调节器505适于耦合到示例钳位电压源节点605。在本文描述的示例中,钳位电压源节点605在配置中耦合到电压源以(1)以更高的转换速率驱动晶体管150和(2)提供大于耦合到第二电压源节点518的电压源(诸如VDRV)的电位并且小于第一电压源节点516的电位(诸如12伏)的电位(诸如VCLAMP)。例如,耦合到第一电压源节点516的第一电压源可以提供12伏,耦合到第二电压源节点518的第二电压源可以提供6伏,以及耦合到钳位电压源节点605的第三电压源可以提供8伏。然而,钳位电压源节点605、第一电压源节点516和/或第二电压源节点518中的任何一个可以耦合到提供任何合适电压,诸如0伏、10伏、100伏等的电压源。

[0082] 在图6的图示示例中,逻辑门601包括耦合到调节器505的第一输入端子520以获得激活信号(IN)的第一输入端子616、用于从比较器电路602获得信号(例如,逻辑低值)的第二输入端子617,以及耦合到调节器505的第一输出端子524以提供第一触发信号的输出端子619。在图6所示的拓扑结构中,逻辑门601是示例互补与门。在一些示例中,可以使用逻辑门和/或电路的任何合适组合来实现逻辑门601。逻辑门601在输出端子619处提供和/或以

其他方式适于输出第一触发信号(例如,在调节器的第一输出端子524处和/或提供给第一级510的第一输入端子530)。例如,逻辑门601可以响应于(1)在第一输入端子616处获得的信号(诸如激活信号、信号IN等)的电压和(2)第二输入端子617处的电压超过阈值电压电平,诸如5伏的逻辑高阈值,来提供第一触发信号。在其他示例中,逻辑门601可以响应于激活信号和/或第三触发信号不超过阈值电压电平而改变(诸如降低)第一触发信号。逻辑门601被配置为通过将第一触发信号传送到第一级510的第一输入端子530来使能第一级510。

[0083] 线性调节器电路603包括用于调节晶体管604的输出端子620、适于耦合到钳位电压源605的第一输入端子621(诸如非反相输入)和耦合到调节器505的第二输入端子522以在控制端子172处获得信号(例如,电压)的第二输入端子622(诸如反相输入)。在图6所示的拓扑结构中,线性调节器电路603是示例线性放大器,诸如比较器。然而,任何合适的电路和/或逻辑门组合可用于实现线性调节器电路603。在操作中,线性调节器电路603适于响应于第一输入端子621处获得的信号(例如,由钳位电压源605提供的电压阈值电平VCLAMP)与在第二输入端子622处获得的信号(例如,晶体管150的控制端子172处的电压)的比较通过晶体管604调节第二输入端子622处(例如,节点539处,晶体管150的控制端子172处等)的电压。在一些示例中,线性调节器电路603调节(诸如调整)通过晶体管604的电流。因此,因为晶体管604耦合到第一级510(例如耦合到电流源632的切换电路633),所以线性调节器电路603调节在第一端子640处提供给电流镜电路634的电流,并且因此调节由电流镜电路634在第二端子642处提供给控制端子172的电流。在一些示例中,线性调节器电路603调节第二输入端子622处的电压,使得该电压基本上跟踪(诸如等于)第一输入端子621处的电压,诸如由钳位电压源节点605提供的电压VCLAMP。例如,如果第二输入端子622处的电压大于第一输入端子621处的电压,则线性调节器电路603可降低输出端子620处的输出,从而增加从晶体管604的源极端子623到漏极端子624的电流流动。因为晶体管604和电流镜电路634适于通过切换电路633耦合到电流源节点632,所以线性调节器电路603和/或晶体管604因此减小了提供给电流镜电路634的第一端子640的电流。

[0084] 晶体管604包括适于耦合到第一电压源节点516的源极端子623(例如,第一电流端子)、耦合到调节器505的第二输出端子526以提供调节信号的漏极端子624(例如,第二电流端子),以及耦合到输出端子620以获得来自线性调节器电路603的输出的控制端子625(例如,栅极端子)。在操作中,晶体管604响应于线性调节器电路603在控制端子625处提供的信号,在第二输出端子526处向第一级510提供调节信号(例如,电流)。例如,如果第二输入端子522处的电压高于第一输入端子621处的电压(VCLAMP),则线性调节器电路603可以增加提供给晶体管604的控制端子625的电流。因此,第一级510可以用较低的控制信号(例如,用较小的电流)驱动晶体管150,并且节点539(例如,控制端子172、第二输入端子522)处的电压降低到由钳位电压源节点605提供的电压VCLAMP。响应于调节信号,第一级510可以增加或减小输出端子534处的第一控制信号(例如,电流信号、控制电流),从而调节晶体管150的控制端子172,诸如控制端子172处的电压。

[0085] 比较器电路602(例如,比较器、延迟和/或锁存电路)包括耦合到输出端子620以获得来自线性调节器电路603的输出的输入端子629、耦合到调节器505的第三输出端子528以使能第二级515的第一输出端子630(例如,耦合到第二级515的输入端子536),以及耦合到第二输入端子617以向逻辑门601提供信号(例如,逻辑低值)的第二输出端子631。比较器电

路602响应于线性调节器电路603的输出变化通过在第一输出端子630处提供第二触发信号来使能第二级515(例如,包括在第二级515中并耦合到输入端子536的晶体管)。在一些示例中,比较器电路602获得由线性调节器电路603在输入端子629处提供的信号(例如,模拟电压值)。比较器电路602可以将模拟信号转换成数字信号(例如,逻辑高值、逻辑低值等),并且响应于输入端子629处的信号在一段时间内(例如,延迟)不超过电压阈值而在输出端子630、631处输出逻辑低值。比较器电路602可以包括滤波电路(例如,电阻器和电容器)以在一段时间(例如,20纳秒)之后响应在输入端子629处获得的信号。比较器电路602可以包括和/或适于耦合到参考电压节点。

[0086] 在操作中,如果输入端子629处的信号在一段时间内超过阈值(例如,逻辑高电压阈值、2伏、3伏等),则比较器电路602可以在输出端子630、631处提供第一电压信号(例如,逻辑高值)。在操作中,如果输入端子629处的信号在一段时间内不超过阈值(例如,逻辑高电压阈值、2伏、3伏等),则比较器电路602可以在输出端子630、631处提供第二电压信号(例如,逻辑低值)。因此,通过提供第二电压信号,比较器电路602可以禁用逻辑门601,从而禁用第一级510。此外,通过将第二电压信号(例如,第二控制信号)提供给第二级515,比较器电路602可以使能第二级515,从而使能晶体管150。

[0087] 在图6所示的示例中,第一级510适于耦合到电流源632并耦合到第一电压源节点516。第一级510包括示例切换电路633和示例电流镜电路634。第二级515包括晶体管635。在图6中描绘的拓扑结构中,第二级515适于耦合到第二电压源节点518。在图6中描绘的拓扑结构中,第一电压源节点516具有高于第二电压源节点518的电位的电位。例如,第一电压源节点516可以具有12伏的电位,而第二电压源节点518可以具有6伏的电位。电流源632可以向电流镜电路634和/或第一级510提供电流(例如,镜像信号、电流镜像信号、信号IDRV、信号Iref等)。

[0088] 切换电路633包括:第一端子636,其耦合到第一级510的第一输入端子530以获得第一触发信号;第二端子637,其适于耦合到电流源节点632;以及第三端子638,其用于向电流镜电路634提供电流信号。响应于在第一端子636处获得逻辑高值,切换电路633将第二端子637电连接到第三端子638。切换电路633可以由任何合适的切换器件(例如,MOSFET、BJT、双刀单掷(DPST)开关等)来实现。在一些示例中,切换电路633可以用一个或多个NMOS晶体管来实现。响应于在第一端子636处获得的信号(例如,由逻辑门601提供的第一控制信号)超过电压阈值,切换电路633将第二端子637电连接到第三端子638。

[0089] 电流镜电路634包括第一端子640,第一端子640耦合到切换电路633的第三端子638并耦合到第一级510的第二输入端子532,以获得电流信号。电流镜电路634包括耦合到第一级510的输出端子534的第二端子642,以将控制信号提供给控制端子172。在图6的示例中,电流镜电路634响应于在第一端子640处获得信号(诸如镜像信号、电流镜信号等)而在第二端子642处将第一控制信号提供给晶体管150的控制端子172。例如,切换电路633和晶体管604可以被使能,从而向第一端子640提供由电流源节点632提供的镜像电流(诸如信号IDRV),然后电流镜像电路634可以向控制端子提供第一控制信号。例如,电流镜电路634可以响应于切换电路633被使能而在第一端子640处获得信号IDRV,并且在第二端子642处将信号提供给控制端子172。在一些示例中,第二电流镜电路或任何数量的电流镜电路可以耦合在第二端子642和节点539之间,以提供额外的电流以使能晶体管150。在一些示例中,调

节器505,诸如线性调节器电路603和/或晶体管604,可以使能和/或禁用电流镜电路634以响应于调节器505的第二输入端子522处的电压而提供第一控制信号。

[0090] 第二级515包括晶体管635。晶体管635包括耦合到第二级515的输入端子536以获得第二触发信号的控制端子644、适于耦合到第二电压源节点518的源极端子646和耦合到第二级515的输出端子538以提供第二控制信号的漏极端子648。晶体管635在第二级515的输出端子538处提供第二控制信号,以响应于在控制端子644处获得的第二触发信号(例如,由输入端子536处的比较器电路602提供)来使能晶体管150。

[0091] 在操作中,响应于控制端子172处的电压超过钳位电压源节点605,线性调节器电路603通过向第一级510提供调节信号来调节和/或钳位通过晶体管604的电压。因此,控制端子172处的电压被调节为不超过最大电压(例如,VCLAMP)。响应于控制端子172处(例如,在第二输入端子522处、在节点539处、在第二输入端子622处)的电压在一段时间内(例如,在延迟之后)达到电压VCLAMP,比较器电路602在输出端子620处向第二级515提供第二触发信号(例如,逻辑低值)。在一些示例中,比较器电路602延迟和/或以其他方式等待提供第二触发信号,直到输入端子629处的电压在一段时间内不超过阈值(诸如逻辑低值)。结果,晶体管635被使能,并因此使用由第二电压源节点518提供的电流来使能晶体管150。在一些示例中,逻辑门601可以响应于第二触发信号的变化而改变第一控制信号(例如,将信号降低到0伏),并且因此禁用切换电路633。

[0092] 图7A是图1、图5和/或图6的第一驱动器105的示例实现方式700的示意图,包括图6的实现方式600的附加逻辑电路系统。实现方式700包括图1的驱动器105、接地节点145、晶体管150、输入端子156和输出端子158。在图7A的示例中,第一驱动器105包括图5的调节器505、第一级510、第二级515、第一电压源节点516和第二电压源节点518。在图7A的拓扑结构中,第一驱动器105包括图6的钳位电压源节点605和电流源节点632。

[0093] 调节器505包括逻辑门601、比较器电路602和线性调节器电路603。在操作中,逻辑门601在调节器的第一输出端子524处提供第一触发信号和/或向第一级510的第一输入端子530提供第一触发信号。在一些示例中,逻辑门601可以响应于激活信号(IN)和在第二输入端子617处获得的信号超过电压阈值(诸如逻辑高值)来提供第一触发信号。逻辑门601通过向第一级510的第一输入端子530提供第一触发信号来使能第一级510的切换电路633。

[0094] 线性调节器电路603包括第一晶体管702、第二晶体管704、第三晶体管706、第一电阻器708、第二电阻器710和第三电阻器712。在图7A的拓扑结构中,第一晶体管702和第二晶体管704均是PMOS晶体管,而第三晶体管706是NMOS晶体管。第一晶体管702包括耦合到线性调节器电路603的第一输入端子621(例如,适于耦合到钳位电压源节点605)的源极端子714、控制端子716和耦合到控制端子716的漏极端子718。第一电阻器708耦合在第一晶体管702的漏极端子718和接地节点145之间。第二晶体管704包括耦合到第一晶体管702的漏极端子718的控制端子720、耦合到线性调节器电路603的第二输入端子622(例如,耦合到节点539)以在控制端子172处获得信号的源极端子722,以及适于耦合到接地节点145(例如,通过电阻器)的漏极端子724。

[0095] 第三晶体管706包括耦合到第二晶体管704的漏极端子724的控制端子726、耦合到线性调节器电路603的输出端子620A、620B以提供线性调节器电路603的输出的漏极端子728,以及适于耦合到接地节点145的源极端子730。第二电阻器710耦合在第三晶体管706的

控制端子726和接地节点145之间。第三电阻器712耦合和/或适于耦合在第一电压源节点516和第三晶体管706的漏极端子728之间。线性调节器电路603响应于第二输入端子622处(例如,在节点539处,在控制端子172处)的电压超过由钳位电压源节点605提供的电压(VCLAMP),通过改变通过晶体管604的调节信号(例如,电流)来调节节点539处(例如,在控制端子172处)的电压。因此,线性调节器电路603调节由第一级510提供的第一控制信号(例如,电流),使得控制端子172处的电压被调节和/或不超过一定电压。因此,有利地,可以防止晶体管150由于第一级510驱动(例如,使能)晶体管150而损坏。

[0096] 比较器电路602(例如,比较器、延迟和/或锁存电路)耦合到逻辑门601、线性调节器电路603和调节器505的第三输出端子528。比较器电路602的输入端子629耦合到晶体管604的控制端子625(例如,耦合到线性调节器电路603的输出端子620A)以从线性调节器电路603获得输出信号。比较器电路602适于响应于输入端子629处的电压在一段时间内超过电压阈值(例如,比较器电路602的参考电压)而将第二触发信号提供给第二级515(例如,使能晶体管635)。比较器电路602还可以在第二输出端子631处提供逻辑低值(例如,提供给第二输入端子617处的逻辑门601)以改变第一触发信号和/或禁用第一级510。

[0097] 晶体管604包括耦合到第二输出端子526(例如,耦合到第二输入端子532、耦合到第三端子638)的漏极端子624、适于耦合到第一电压源节点516的源极端子623,以及耦合到线性调节器电路603的输出端子620B的控制端子625。晶体管604可以通过在第二输出端子526处向第一级510提供调节信号来响应来自线性调节器电路603(例如,在控制端子625处)的输出。在操作中,如果第二输入端子522处的电压超过电压VCLAMP(例如,如果第二输入端子622处的电压超过第一输入端子621处的电压),线性调节器电路603增加通过晶体管604的电流(例如,从源极端子623到漏极端子624)。因此,电流镜电路634在第一端子640处所获得的电流低于先前所获得的电流,因此,电流镜电路634在第二端子642处所提供的电流减小。结果,第二输入端子522处的电压降低并开始接近电压VCLAMP。

[0098] 第一级510包括图6的切换电路633和电流镜电路634。在图7A的拓扑结构中,切换电路633被实现为NMOS晶体管。例如,NMOS晶体的控制端子可耦合到第一端子636,NMOS晶体的源极端子可耦合到第二端子637,以及NMOS晶体的漏极端子可耦合到第三端子638。然而,可以附加地或可替代地包括任何其他电路来实现切换电路633。切换电路633包括耦合到第一输入端子530的第一端子636、耦合到电流镜电路634的第一端子640的第三端子638,以及适于耦合到电流源节点632的第二端子637。

[0099] 电流镜电路634包括第四晶体管732和第五晶体管734。在图7A的拓扑结构中,第四晶体管732和第五晶体管734均是PMOS晶体管。第四晶体管732包括适于耦合到第一电压源节点516的源极端子736、耦合到电流镜电路634的第一端子640的漏极端子738和耦合到第一端子640的控制端子740。第五晶体管734包括耦合到第四晶体管732的控制端子740的控制端子742、适于耦合到第一电压源节点516的源极端子744以及耦合到电流镜电路634的第二端子642的漏极端子746。在操作中,电流镜电路634响应于在第一端子640处获得信号(诸如镜像信号、电流镜信号)在第二端子642处向输出端子158(例如,向节点539,向晶体管150等)提供第一控制信号。例如,切换电路633和晶体管604可以被使能,以向第一端子640提供由电流源632提供的镜像电流(诸如信号IDRV),然后电流镜像电路634可以向控制端子172提供第一控制信号。在一些示例中,第二电流镜电路可以耦合在第一级510的第二端子642

和输出端子534之间(诸如在第二端子642和节点539之间)以提供额外的电流以使能晶体管150。

[0100] 第二级515包括图6的晶体管635。晶体管635耦合到第二级515的输入端子536(例如,耦合到调节器505的第三输出端子528)并耦合到输出端子538(例如,耦合到节点539、耦合到输出端子158、耦合到晶体管150等)。响应于在输入端子536处获得第二触发信号,晶体管635可以通过提供第二控制信号(诸如由第二电压源节点518提供的电流)来使能晶体管150。

[0101] 图7B是图6的比较器电路602(例如,比较器、延迟和锁存电路)的示例实现方式760的示意图。实现方式760包括图1的接地节点145、图5的第一电压源节点516和供应电压节点(V5V)762(例如,数字供应电压节点)。在图7B的示例中,比较器电路602包括第一晶体管764、第一电阻器766、电容器768、第二晶体管770、第二电阻器772、锁存电路774和缓冲电路776。在一些示例中,比较器电路602可以适于耦合到供应电压节点762和/或第一电压源节点516。在图7B的示例中,供应电压节点762提供5伏的电压。然而,供应电压节点762可以向比较器电路602提供任何合适的供应电压(例如,3.3伏)。

[0102] 第一晶体管764包括耦合到比较器电路602的输入端子629以获得来自线性调节器电路603的输出的控制端子778、适于耦合到第一电压源节点516的源极端子780,以及漏极端子782。在图7B的拓扑结构中,第一晶体管764是PMOS晶体管。在操作中,第一晶体管764响应于控制端子778处(例如,输入端子629处)的信号而在漏极端子782处提供信号(例如,电流)。例如,如果线性调节器电路603响应于第二输入端子622处的电压超过第一输入端子621处的电压VCLAMP而减小在输出端子620处提供的输出信号,则第一晶体管764可以使用第一电压源节点516增加在漏极端子782处提供的电流信号。

[0103] 在图7B的图示示例中,第一电阻器766和电容器768各自耦合在漏极端子782和接地节点145之间。在操作中,第一电阻器766和电容器768可以形成滤波电路(例如,低通滤波电路),并且滤波电路可以响应于第一晶体管764提供的电流信号而延迟第二晶体管770的使能。例如,一旦第一晶体管764被使能,第二晶体管770就可以响应于第一晶体管764被使能,并且第二晶体管770可以在基于第一电阻器766和电容器768的阻抗的延迟之后被使能。

[0104] 第二晶体管770包括耦合到第一晶体管764的漏极端子782的控制端子784、适于耦合到接地节点145的源极端子786以及适于耦合到供应电压节点762的漏极端子788(例如,通过电阻器)。在图7B中描绘的拓扑结构中,第二晶体管770是NMOS晶体管。第二电阻器772耦合在漏极端子788和供应电压节点762之间。锁存电路774包括耦合到第二晶体管770的漏极端子788的输入端子790和用于向逻辑门601提供输出信号(例如,逻辑低值)的输出端子792。锁存电路774响应于在输入端子790处获得的电压来设置(例如,锁存)输出端子792处的电压信号。例如,如果输入端子790处的电压降低(诸如从逻辑高值转变为逻辑低值),则锁存电路774可以维持输出端子792处的电压(诸如逻辑低值)直到下一个周期。锁存电路774的输出端子792耦合到比较器电路602的第二输出端子631。

[0105] 缓冲电路776耦合在锁存电路774的输出端子792和比较器电路602的第一输出端子630之间。在图7B的示例中,缓冲电路776从锁存电路774的输出端子792获得的电压信号中去除毛刺(例如,不必要的信号转变),并以低于锁存电路774的输出阻抗电平的输出阻抗电平将电压信号提供给比较器电路602(例如,第二级515的晶体管635)的输出端子630处

的耦合部件。虽然图7B的拓扑结构包括一个缓冲电路,但是任何数量的缓冲电路可以附加地或可替代地被包括在比较器电路602和/或更一般地,驱动器105中。例如,缓冲电路可以耦合在锁存电路774的输出端子792和比较器电路602的输出端子631之间。

[0106] 在操作中,在初始状态(例如,当第一驱动器105响应于在输入端子156处获得的信号IN被命令导通时)中,比较器电路602在第一输出端子630和第二输出端子631处提供第一电压信号(例如,逻辑高值)。响应于在输入端子629处获得的信号的变化(例如,线性调节器电路603响应于第二输入端子622处的电压超过第一输入端子621处的电压而降低输出端子620处的电压信号),第一晶体管764被使能。因此,第二晶体管770在被滤波电路(例如,第一电阻器766和电容器768)控制的延迟之后被使能。结果,在输入端子790处向锁存电路774提供低电压信号,并且锁存电路774在输出端子792处改变输出(例如,提供逻辑低值)。响应于输出端子792处的变化,以及因此第一输出端子630和第二输出端子631处的变化,第二级515被使能,而第一级510被禁用。锁存电路774确保驱动器105保持在该状态(例如,在第二级515被使能并且第一级510被禁用的情况下)直到第一驱动器105被命令响应于在输入端子156处获得的信号IN的变化(例如,减小)而被禁用。

[0107] 图8是图1、图5和/或图6的驱动器105的示例实现方式800的示意图,包括图6的实现方式的附加逻辑电路系统。实现方式800包括图1的驱动器105、接地节点145、晶体管150、输入端子156和输出端子158。在图8的示例中,驱动器105包括图5的调节器505、第一级510、第二级515、第一电压源节点516和第二电压源节点518。在图8的拓扑结构中,驱动器105包括图6的钳位电压源节点605和电流源节点632。

[0108] 在图8所示示例中,调节器505包括逻辑门601、比较器电路602、线性调节器电路603和晶体管604。在图8的示例中,线性调节器电路603包括晶体管802和电阻器804。晶体管802包括耦合到线性调节器电路603的输出端子620(例如,输出端子620A、620B)(例如,耦合到比较器电路602的输入端子629)的漏极端子806、耦合到第一输入端子621的源极端子808(例如,适于耦合到钳位电压源节点605),以及耦合到第二输入端子622的控制端子810。电阻器804耦合和/或适于耦合在晶体管802的漏极端子806和第一电压源节点516之间。在操作中,线性调节器电路603调节节点539处(例如,在第一级510的输出端子534处、在第二输入端子522处等)的电压以接近由钳位电压源节点605提供的电压VCLAMP。

[0109] 在图8所示示例中,第一级510包括图6的切换电路633和电流镜电路634。在图8的拓扑结构中,切换电路633被实现为NMOS晶体管。然而,可以附加地或可替代地包括任何其他电路来实现切换电路633。在图8的示例中,第一级510包括第二电流镜电路812。第二电流镜电路812包括第一端子814,第一端子814耦合到电流镜电路634的第二端子642并耦合到调节器505的第二输入端子522以从电流镜电路634获得信号(例如,电流),并且第二电流镜电路812包括第二端子816,第二端子816耦合到第一级的输出端子534(例如,耦合到输出端子158和/或耦合到晶体管150的控制端子172)以向晶体管150提供控制信号,并因此使能晶体管150。

[0110] 第二电流镜电路812包括第一晶体管818和第二晶体管819。第一晶体管818包括耦合到第一端子814以从第一电流镜电路634获得电流信号的漏极端子820、耦合到漏极端子820的控制端子822和耦合到第二电流镜电路812的第二端子816以向控制端子172提供控制信号的源极端子824。第二晶体管819包括耦合到第一晶体管818的控制端子822以从第一电

流镜电路634获得电流信号的控制端子826、适于耦合到第一电压源节点516的漏极端子828,以及耦合到第二电流镜电路812的第二端子816以将控制信号提供给控制端子172的源极端子830。在一些示例中,电流镜电路634可以响应于在第一端子640处获得的信号,诸如当切换电路633被调节器505使能时的信号IDRV,在第二端子642处(诸如在第二电流镜电路812的第一端子814处)提供电流信号。然后,第二电流镜电路812可以响应于在第一端子814处获得信号而在第二端子816处提供第二控制信号(例如,在输出端子534处向晶体管150提供第二控制信号)。在一些示例中,与电流镜电路634相比,第二电流镜电路812可以提供额外的电流以使能晶体管150,和/或第二电流镜电路812可以稳定由电流镜电路634在第二端子642处提供的电流信号。

[0111] 第二级515包括图6的晶体管635。晶体管635耦合到输入端子536并耦合到第二级515的输出端子538。响应于在输入端子536处获得第二触发信号,晶体管635通过提供第二控制信号(诸如由第二电压源节点518提供的电流)来使能晶体管150。

[0112] 虽然在图5、图6、图7A、图7B和/或图8中图示了实现图1的控制器105的示例方式,但是图5、图6、图7A、图7B和/或图8中图示的元件、过程和/或器件中的一个或多个可以以任何其他方式被组合、划分、重新布置、省略、消除和/或实现。此外,示例调节器505、示例第一级510、示例第二级515和/或更一般地,图1、图5、图6、图7A、图7B和/或图8的示例驱动器105可以通过硬件、软件、固件和/或硬件、软件和/或固件的任何组合来实现。因此,例如,示例调节器505、第一示例级510、第二示例级515中的任何一个和/或更一般地,示例驱动器105可以通过以下方式实现:一个或多个模拟或数字电路、逻辑电路、一个或多个可编程处理器、一个或多个可编程控制器、一个或多个图形处理单元(GPU)、一个或多个数字信号处理器(DSP)、一个或多个专用集成电路(ASIC)、一个或多个可编程逻辑器件(PLD)和/或一个或多个现场可编程逻辑器件(FPLD)。当阅读本专利的任何装置或系统权利要求以涵盖纯软件和/或固件实现方式时,示例调节器505、第一示例级510、第二示例级515中的至少一个和/或更一般地,示例驱动器105在此被明确定义为包括具有软件和/或固件的非暂时性计算机可读存储器件或存储盘,诸如存储器、数字通用盘(DVD)、光盘(CD)、蓝光盘等。更进一步,图1的示例驱动器105可以包括除图5、图6、图7A、图7B和/或图8中所示的那些之外(或代替其)的一个或多个元件、过程和/或器件,和/或可以包括不止一个所示的元件、过程和器件中的任一个或全部。如本文所用,短语“在通信中”包括其变体,涵盖直接通信和/或通过一个或多个中间部件的间接通信,并且不需要直接的物理(例如,有线)通信和/或恒定的通信,而是另外包括以周期性间隔、计划间隔、非周期性间隔和/或一次性事件的选择性通信。

[0113] 图9示出了代表用于实现图1的示例驱动器105的示例硬件逻辑、机器可读指令、硬件实现的状态机和/或其任何组合的流程图。机器可读指令可以是由诸如处理器的计算机处理器执行的一个或多个可执行程序或可执行程序的一个或多个部分。该程序可以在存储在非暂时性计算机可读存储介质(诸如,CD-ROM、软盘、硬盘驱动器、DVD、蓝光盘或与处理器相关联的存储器)上的软件中体现,但是整个程序和/或其部分可以替代地由除处理器之外的器件执行和/或在固件或专用硬件中体现。此外,尽管参考图9中所示的流程图描述了示例程序,但是可以替代地使用实现示例驱动器105的许多其他方法。例如,可以改变框的执行顺序,和/或可以改变、消除或组合所描述的一些框。附加地或可替代地,任何或所有框可以由被构造成在不执行软件或固件的情况下执行对应的操作的一个或多个硬件电路(例

如,分立和/或集成模拟和/或数字电路系统、FPGA、ASIC、比较器、运算放大器(op-amp)、逻辑电路等)实现。

[0114] 本文描述的机器可读指令可以以压缩格式、加密格式、分段格式、编译格式、可执行格式、打包格式等中的一种或多种存储。本文描述的机器可读指令可以存储为可用于创建、制造和/或产生机器可执行指令的数据(例如,指令的一部分、代码、代码的表示等)。例如,机器可读指令可以被分段并且存储在一个或多个存储器件和/或计算器件(例如,服务器)上。机器可读指令可能需要安装、修改、改编、更新、组合、补充、配置、解密、解压缩、解包、分发、重赋值、编译等中的一项或多项,以便使其直接可读、可解释和/或可由计算器件和/或其他机器执行。例如,机器可读指令可以存储在多个部分中,这些部分被分别压缩、加密并存储在单独的计算器件上,其中,这些部分在解密、解压缩和组合后形成一组可执行指令,这些可执行指令实现了诸如本文所述的程序。

[0115] 在另一个示例中,机器可读指令可以在它们可以被计算机读取但是需要添加库(例如,动态链接库(DLL))、软件开发工具包(SDK)、应用程序编程接口(API)等的状态下被存储,以便在特定计算器件或其他器件上执行指令。在另一个示例中,在机器可读指令和/或相应的一个或多个程序可以全部或部分执行之前,可能需要配置机器可读指令(例如,存储的设置、数据输入、记录的网络地址等)。因此,所描述的机器可读指令和/或相应的一个或多个程序包括这样的机器可读指令和/或一个或多个程序,而不管机器可读指令和/或一个或多个程序在存储时或以其他方式搁置或在途中时的特定格式或状态。

[0116] 本文描述的机器可读指令可以用任何过去、现在或将来的指令语言、脚本语言、编程语言等来表示。例如,机器可读指令可以使用以下任何一种语言来表示:C、C++、Java、C#、Perl、Python、JavaScript、超文本标记语言(HTML)、结构化查询语言(SQL)、Swift等。

[0117] 如上所述,图9的示例过程可以使用存储在非暂时性计算机和/或机器可读介质(诸如硬盘驱动器、闪存、只读存储器、光盘、数字通用磁盘、高速缓存、随机存取存储器和/或在任何持续时间(例如,延长的时间段、永久地、用于短暂实例、用于暂时缓存和/或高速缓存信息)内存信息的任何其他存储器件或存储盘)上的可执行指令(例如,计算机和/或机器可读指令)来实现。如本文所用,术语“非暂时性计算机可读介质”明确地定义为包括任何类型的计算机可读存储器件和/或存储盘,并且排除传播信号并排除传输介质。

[0118] 本文使用“包括”和“包含”(及其所有形式和时态)作为开放式术语。因此,每当权利要求采用任何形式的“包括”或“包含”(例如,包含、包括、具有等)作为前序部分或在任何种类的权利要求陈述中时,在不超出对应权利要求或陈述的范围的情况下,可以存在其他要素、术语等。如本文中所用,当例如在权利要求的前序部分中使用短语“至少”作为过渡术语时,其以与术语“包含”和“包括”为开放式的相同方式也为开放式的。当例如以诸如A、B和/或C的形式使用术语“和/或”时,是指A、B、C的任何组合或子集,诸如(1)仅A、(2)仅B、(3)仅C、(4)A与B、(5)A与C、(6)B与C,以及(7)A与B和与C。如本文在描述结构、部件、项、对象和/或事物的上下文中使用的,短语“A和B中的至少一个”是指包括以下任一项的实现方式:(1)至少一个A,(2)至少一个B,以及(3)至少一个A和至少一个B。类似地,如本文在描述结构、部件、项、对象和/或事物的上下文中使用的,短语“A或B中的至少一个”是指包括以下任一项的实现方式:(1)至少一个A,(2)至少一个B,以及(3)至少一个A和至少一个B。如本文在描述过程、指令、动作、活动 and/或步骤的性能或执行的上下文中使用的,短语“A和B中的至少一

者”是指包括以下任一项的实现方式：(1) 至少一个A，(2) 至少一个B，以及(3) 至少一个A和至少一个B。类似地，如本文在描述过程、指令、动作、活动和/或步骤的性能或执行的上下文中使用的，短语“A或B中的至少一个”是指包括以下任一项的实现方式：(1) 至少一个A，(2) 至少一个B，以及(3) 至少一个A和至少一个B。

[0119] 如本文所用，单数引用(例如，“一”、“一个”、“第一”、“第二”等)不排除多个。如本文所用，术语“一”或“一个”实体是指该实体中的一者或多者。术语“一”(或“一个”)、“一个或多个”和“至少一个”在本文中可以互换使用。此外，尽管被单独列出，但是多个设备、元件或方法动作可以由例如单个单元或处理器来实现。另外，尽管各个特征可以被包括在不同的示例或权利要求中，但是这些特征可以被组合，并且包含在不同的示例或权利要求中并不意味着特征的组合是不可行和/或有利的。

[0120] 图9是表示可以使用逻辑或机器可读指令来实现的示例过程900的流程图，这些指令可以被执行以实现示例驱动器(例如，图1、图5、图6、图7A、图7B和/或图8的驱动器105)。在图9的示例过程900中，调节器505获得激活信号(诸如信号IN)并确定激活信号是否超过电压阈值电平(诸如逻辑高电压阈值、5伏的阈值、3伏的阈值)。如果调节器505确定激活信号没有超过电压阈值电平(例如，框905返回“否”的结果)，则控制返回到框905，并且调节器505获得激活信号。

[0121] 如果调节器505确定激活信号超过(例如，满足、达到、大于)电压阈值电平(例如，框905返回“是”的结果)，则调节器505使能并调节第一级510。(框910)。在一些示例中，调节器505在第一输出端子524处提供第一触发信号(例如，提供给切换电路633的第一端子636)以使能第一级510。第一级510获得第一触发信号。第一级510响应于第一触发信号在输出端子534处提供第一控制信号。因此，晶体管150通过第一电压源节点516提供的电流被使能(例如，导通)。

[0122] 在一些示例中，调节器505可以适于通过在第二输出端子526处提供和/或改变调节信号来响应于在节点539处获得的电压信号来调节第一级510。例如，如果线性调节器电路603确定第二输入端子522处(诸如节点539处、控制端子172处)的电压超过电压阈值(诸如由钳位电压源节点605提供的VCLAMP)，则线性调节器电路603和/或晶体管604可以调节节点539处的电压。因此，提供给电流镜电路634的信号可以变化(例如，减小)。在一些示例中，调节器505可以适于通过在第二输出端子526处提供调节信号来调节在控制端子172、第二输入端子522等处的电压。调节器505可以调整由第一级510提供的输出(例如，第一控制信号)，使得在节点539处到控制端子172的输出不会长时间超过正常操作条件和/或损坏晶体管150。

[0123] 调节器505获得第二输入端子522处的电压信号(例如，节点539的电压和/或控制端子172的电压)。如果调节器505确定电压信号在一段时间内超过阈值(例如，由钳位电压源节点605提供的VCLAMP)(例如，框925返回“是”的结果)，则调节器505禁用第一级510。(框930)。然后调节器505使能第二级515。(框940)。例如，如果比较器电路602确定线性调节器电路603的输出在一段时间内被激活(例如，被使能，正在提供输出)，则比较器电路602可以向逻辑门601的第二输入端子617提供逻辑低值，并在第三输出端子528处向第二级515提供第二触发信号。

[0124] 因此，逻辑门601改变(例如，降低)提供给第一级510的第一输入端子530的第一触

发信号,并且切换电路633被禁用。因此,电流镜电路634改变(例如,降低、停止提供)第一控制信号。此外,响应于第二触发信号,第二级515的晶体管635被使能并将第二控制信号提供给控制端子172。因此,晶体管150由第二级515使能。如果调节器505确定电压信号(例如,控制端子172处的电压)在一段时间内没有超过阈值电压电平(例如,框925返回“否”的结果),则调节器505使能并调节第一级510。(框910)。

[0125] 图10是功率转换器中的驱动器(例如,图5、图6、图7A、图7B和/或图8的驱动器105、图2的驱动器205、图3的驱动器305、图4的驱动器402等)的示例模拟台1000(例如,测试台、电路等)的示意图。模拟台1000可用于验证驱动器(诸如图1的驱动器105)的功能,以使用多级(诸如图5的第一级510和第二级515)的晶体管模型。在一些示例中,模拟台1000可以展示图5、图6、图7A、图7B和/或图8的驱动器105相对于图2的驱动器205、图3的驱动器305和/或图4的驱动器402的优势,如下面结合图11-图14描述的。模拟台1000包括电容器1005、第一电压源节点1010、电阻器(Rdrv) 1012、第二电压源1015、驱动器1020(例如,图1、图5、图6、图7A、图7B和/或图8的驱动器105、图2的驱动器205、图3的驱动器305、图4的驱动器402)、第三电压源1035、第一电感器1040、晶体管模型1045、二极管1050、第二电感器1055、电流源1060、第四电压源(VBUS) 1065和接地节点1070。驱动器1020包括输出端子1072。在图10的示例中,第一电压源节点1010提供12伏以表示第一电压源节点516,并且第二电压源节点1015提供6伏以表示第二电压源节点518。然而,电压源/电压源节点1010、1015、1035、1065中的任何一个都可以提供任何合适的电压。在图10的示例中,钳位电压源在驱动器1020内生成,因此,钳位电压源节点605被包括在驱动器1020内。

[0126] 电容器1005耦合在第一电压源节点1010和第一电感器1040之间。电阻器(Rdrv) 1012耦合在驱动器1020和第一电感器1040之间。在一些示例中,电阻器1012的阻抗可能影响由驱动器中的电流源(诸如图6的驱动器105中的电流源632)提供的电流的幅度。在一些示例中,电阻器(Rdrv) 1012可以调整快速上拉栅极驱动电流(例如,IDRV,由第一级510提供的电流)以设置晶体管模型1045中包括的晶体管1074的转换速率。第二电压源1015耦合在驱动器1020和第一电感器1040之间。第一电感器1040耦合在驱动器1020和接地节点1070之间。驱动器1020适于耦合到第一电压源节点1010并耦合到第二电压源1015。驱动器1020适于获得激活信号(例如,信号IN)并提供(例如,输出)一个或多个控制信号以使能晶体管模型1045。在一些示例中,第一电压源节点1010可以是图5的第一电压源节点516,并且第二电压源1015可以是图5的第二电压源节点518。

[0127] 第三电压源节点1035耦合在驱动器1020和晶体管模型1045之间。在一些示例中,第三电压源节点1035可以表示施加到晶体管的栅极(诸如晶体管模型1045中包括的晶体管的控制端子)的电压。在一些示例中,第三电压源节点1035可以移位栅极电压(例如,晶体管1074的控制端子处的电压)以改变由驱动器1020提供的裕量并确定裕量对晶体管1074的栅极电流以及转换速率的影响,如下面结合图11、图12、图13和/或图14所描述的。在一些示例中,第三电压源节点1035的更负电压移位降低了驱动晶体管1074所需的电压(V_{gs}),因此,如上面公式1所示,驱动器1020能够为晶体管1074(诸如第一电压源节点1010、图5的第一电压源节点516)提供具有恒定的供应源电压的更多裕量。第三电压源1035的电压移位(例如,获得晶体管1074的裕量的方法)可能难以实现(可能,它可能不可能);然而,电压移位可以通过模拟台1000的模拟测试来实现,以展示驱动器1020的示例性能。

[0128] 示例晶体管模型1045包括晶体管1074、第三电感器1075、第四电感器1076和第五电感器1078。在图10的示例中,晶体管1074是NMOS晶体管。晶体管1074包括控制端子1080、漏极端子1082和源极端子1084。第三电感器1075耦合在第三电压源节点1035和控制端子1080之间,第四电感器1076耦合在漏极端子1082和二极管1050之间,以及第五电感器1078耦合在源极端子1084和接地节点1070之间。在一些示例中,晶体管模型1045可以表示诸如图1的晶体管150的晶体管。因此,电感器1075、1076、1078可以表示晶体管150中的内部电感。例如,第三电感器1075可以表示晶体管1074的栅极电感,第四电感器1076可以表示晶体管1074的漏极电感,以及第五电感器1078可以表示晶体管1074的源极电感。

[0129] 在图10所示的示例中,二极管1050耦合在第四电感器1076和第二电感器1055之间。在一些示例中,二极管1050可以限制流向漏极端子1082的电流。电流源节点1060耦合在第四电感器1076和接地节点1070之间。第二电感器1055耦合在二极管1050和第四电压源节点1065之间。第四电压源节点1065耦合在第二电感器1055和接地节点1070之间。在一些示例中,第四电压源节点1065可以提供信号(诸如电压VBUS)以表示供应包括驱动器1020的功率转换器的电压,诸如图1的总线电压节点140。

[0130] 图11是描绘在各种电压偏移(例如,晶体管裕量)下的功率转换系统中由第一驱动器使能的第一晶体管的第一电流信号和由第二驱动器使能的第二晶体管的第二电流信号的信号图1100。图11的信号图1100包括第一示例电流信号(线1105)和第二示例电流信号(线1110)。在图11中,第一电流信号(线1105)可以表示由图2、图3和/或图4的驱动器205、305、402提供给晶体管210、310、404的控制端子(诸如由图4的驱动器402提供给晶体管404的控制端子436)的电流,并且第二电流信号(线1110)可以表示由图5、图6、图7A、图7B和/或图8的驱动器105提供给晶体管150的控制端子172的电流。

[0131] 信号图1100图示了在控制端子处提供的各种电压裕量下可以施加到(例如,适于使能、被提供给、由其获得等)晶体管的控制端子的电流。例如,第二电流信号(线1110)图示了晶体管150的控制端子172的电压,在该电压下可以向控制端子172提供电流以使能晶体管150。电压偏移可以施加到具有源电压(例如,由第三电压源1035提供的电压)的晶体管(例如,晶体管1074)。因此,在控制端子处提供的电压偏移确定了晶体管的裕量。在图11的示例中,与较小的负裕量值相比,较大的负裕量值(例如,电压偏移)指示提供给晶体管的额外裕量。

[0132] 在负3.48伏的第一示例电压偏移1120处,第一电流信号(线1105)为750毫安,而第二电流信号(线1110)为800毫安。在负2.4伏的第二示例电压偏移1130处,第一电流信号(线1105)为650毫安,而第二电流信号(线1110)为800毫安。在负1.2伏的第三示例电压偏移1140处,第一电流信号(线1105)为500毫安,而第二电流信号(线1110)为725毫安。因此,信号图1100表明施加到与第二电流信号(线1110)相关联的晶体管(例如晶体管150)的控制端子的电流可能大于施加到具有相同电压裕量的与第一电流信号(线1105)相关联的晶体管的控制端子的电流。因此,与第二电流信号(线1110)相关联的驱动器(诸如驱动器105)可以向耦合晶体管提供比与第一电流信号(线1105)相关联的驱动器更大的栅极驱动电流,诸如当晶体管的电压偏移为0伏时。此外,信号图1100表明驱动器105能够提供的栅极电流对晶体管150的裕量比由第一电流信号(线1105)表示的驱动器(诸如驱动器205、305、402)更不敏感。

[0133] 图12是描绘在各种电压偏移(例如,晶体管裕量)下的功率转换系统中由第一驱动器使能的晶体管的第一转换速率和由第二驱动器使能的晶体管的第二转换速率的信号图1200。图12的信号图1200包括第一示例转换速率(线1205)和第二示例转换速率(线1210)。在图12中,第一转换速率(线1205)可以表示与晶体管相关联的转换速率,诸如当晶体管404由图4的驱动器402使能时晶体管404的漏极端子438处的电压变化。此外,第一转换速率(线1205)可以表示与当晶体管210被图2的驱动器205使能时和/或当晶体管310被图3的驱动器305使能时相关联的转换速率。类似地,在图12中,第二转换速率(线1210)可以表示当晶体管150被图5、图6、图7A、图7B和/或图8的驱动器105使能时与晶体管相关联的转换速率,诸如晶体管150的漏极端子176处的电压变化。

[0134] 信号图1200图示了在控制端子处提供的各种电压偏移下可以与晶体管的控制端子相关联的转换速率。例如,第二转换速率(线1210)可以说明当晶体管被驱动器105使能(诸如被激活、转变为导通状态等)时晶体管150的漏极端子176处的电压随时间的变化。电压偏移可以通过电压源节点(例如,第三电压源1035)施加到晶体管(例如,晶体管1074)。因此,在控制端子处提供的电压偏移确定了晶体管的裕量。在图12的示例中,与较小的负裕量值相比,较大的负裕量值(例如,电压偏移)指示提供给晶体管的额外裕量。

[0135] 在负3.6伏的第一示例电压偏移1220处,第一转换速率(线1205)是142.5伏/纳秒,而第二转换速率(线1210)是130伏/纳秒。在负2.8伏的第二示例电压偏移1230中,第一转换速率(线1205)是130伏/纳秒,第二转换速率(线1210)是133伏/纳秒。在负1伏的第三示例电压偏移1240处,第一转换速率(线1205)是105伏/纳秒,而第二转换速率(线1210)是127伏/纳秒。因此,信号图1200表明与第二转换速率(线1210)(例如,晶体管150)相关联的晶体管的转换速率(例如,漏极端子处的电压在一段时间内的变化)可以大于具有相同电压裕量的与第一转换速率(线1205)相关联的晶体管的转换速率。因此,与第二转换速率(线1210)相关联的驱动器可以通过向晶体管提供更大的栅极驱动电流使耦合晶体管的转换速率大于与第一转换速率(线1205)相关联的驱动器,诸如当晶体管的电压偏移为0伏时。此外,信号图1200说明驱动器105的转换速率对裕量比由第一转换速率(线1205)表示的驱动器(诸如驱动器205、305、402)更不敏感。

[0136] 图13是描绘在各种驱动器电阻下在功率转换系统中由第一驱动器使能的晶体管的第一电流信号和由第二驱动器使能的第二晶体管的第二电流信号的信号图1300。图13的信号图1300包括第一示例电流信号(线1305)和第二示例电流信号(线1310)。在图13中,第一电流信号(线1305)可以表示由图2、图3和/或图4的驱动器205、305、402提供给晶体管210、310、404的控制端子(诸如由图4的驱动器402提供给晶体管404的控制端子436)的电流,并且第二电流信号(线1310)可以表示由图5、图6、图7A、图7B和/或图8的驱动器105提供给晶体管150的控制端子172的电流。

[0137] 信号图1300图示了可以在耦合到驱动器的电阻器(Rdrv)的各种阻抗(例如,电阻)下施加到晶体管的控制端子的电流。电阻器(例如,图10的电阻器1012)可以成比例地影响由驱动器中的电流源(例如,图6的电流源632)提供的电流。例如,第二电流信号(线1310)可以说明提供给控制端子172以使能晶体管150的电流。在另一示例中,电阻器阻抗可以是图10的电阻器1012的阻抗,并且电阻器1012控制由包括在驱动器1020中的电流源节点(IDRV)提供的电流的值。在一些示例中,电阻器(Rdrv)1012的调整可以调整由驱动器1020提供的

控制信号(诸如控制电流,由第一级510提供的第一控制信号)和/或可以调整晶体管1074的转换速率。

[0138] 在20千欧的第一示例电阻1320下,第一电流信号(线1305)是175毫安,而第二电流信号(线1310)是410毫安。在60千欧的第二示例电阻1330下,第一电流信号(线1305)是150毫安,而第二电流信号(线1310)是225毫安。在90千欧的第三示例电阻1340下,第一电流信号(线1305)是120毫安,而第二电流信号(线1310)是150毫安。因此,信号图1300表明施加到与第二电流信号(线1310)相关联的晶体管(例如晶体管150)的控制端子的电流可能大于施加到具有相同电阻(例如,驱动器电阻值)的与第一电流信号(线1305)相关联的晶体管的控制端子的电流。因此,在较低电阻阻抗下,与第二电流信号(线1310)相关联的驱动器的裕量不受限制,并且可以提供比与第一电流信号(线1305)相关联的驱动器更高的栅极驱动电流。此外,信号图1300表明,与与第一电流信号(线1305)相关联的驱动器(诸如驱动器205、305、402)相比,当需要高转换速率时(例如,随着对驱动器105的需求增加,当电阻器1012的阻抗降低时),驱动器105可以供应更大的栅极电流。

[0139] 图14是描绘在各种驱动电阻下的功率转换系统中由第一驱动器使能的晶体管的第一转换速率和由第二驱动器使能的晶体管的第二转换速率的信号图1400。图14的信号图1400包括第一示例转换速率(线1405)和第二示例转换速率(线1410)。在图14中,第一转换速率(线1405)可以表示与晶体管相关联的转换速率,诸如当晶体管404由图4的驱动器402使能时晶体管404的漏极端子438处的电压变化。此外,第一转换速率(线1205)可以表示与当晶体管210被图2的驱动器205使能时和/或当晶体管310被图3的驱动器305使能时相关联的转换速率。类似地,在图14中,第二转换速率(线1410)可以表示当晶体管150被图5、图6、图7A、图7B和/或图8的驱动器105使能时与晶体管相关联的转换速率(诸如晶体管150的漏极端子176处的电压变化)。

[0140] 信号图1400图示了可以在耦合到驱动器的电阻器(Rdrv)的各种阻抗(例如,电阻)下与漏极端子相关联的转换速率。电阻器(例如,图10的电阻器1012)可以成比例地影响由驱动器中的电流源(例如,图6的电流源632)提供的电流。例如,第二转换速率(线1410)可以说明随着晶体管被使能晶体管150的漏极端子176处的电压随时间的变化。在另一示例中,电阻器阻抗可以是图10的电阻器1012的阻抗,并且电阻器1012控制由包括在驱动器1020中的电流源节点(IDRV)提供的电流的值。

[0141] 在20千欧的第一示例电阻1420下,第一转换速率(线1405)是70伏/纳秒,而第二转换速率(线1410)是100伏/纳秒。在63千欧的第二示例电阻1430下,第一转换速率(线1405)是52伏/纳秒,而第二转换速率(线1410)是63伏/纳秒。在90千欧的第三示例电阻1440下,第一转换速率(线1405)是43伏/纳秒,而第二转换速率(线1410)是50伏/纳秒。因此,信号图1400表明施加到与第二转换速率(线1410)相关联的晶体管(例如晶体管150)的控制端子的电流可能大于施加到具有相同电阻(例如,驱动器电阻值)的与第一转换速率(线1405)相关联的晶体管的控制端子的电流。因此,与第二转换速率(线1410)相关联的驱动器可以通过向晶体管提供更大的栅极驱动电流使耦合晶体管的转换速率大于与第一转换速率(线1405)相关联的驱动器,诸如当晶体管的电压偏移为0伏时。此外,信号图1400表明与与第一转换速率(线1405)相关联的驱动器(诸如驱动器205、305、402)相比,当需要时(例如,随着对驱动器105的需求增加,当电阻器1012的阻抗降低时),驱动器105可以使晶体管150的转

换速率更高。

[0142] 图15是描绘图1的示例功率转换器100在驱动诸如图1的晶体管150的晶体管的操作期间的控制信号和输出信号的示例信号图1500。图15的信号图1500包括第一描绘1502、第二描绘1504、第三描绘1506、第四描绘1508、第五描绘1510和第六描绘1512。第一描绘1502包括激活信号(线1520),其可以表示图1和/或图5-图8的驱动器105的输入端子156处的电压。第二描绘1504包括第一触发信号(线1522),其可以表示调节器505的第一输出端子524处的电压。第三描绘1506包括调节信号(线1524),其可以表示由调节器505在第二输出端子526处提供的电流(例如,通过晶体管604的电流)。第四描绘1508包括第二触发信号(线1526),其可以表示调节器的第三输出端子528处的电压。

[0143] 第五描绘1510包括输出信号(线1528),其可以表示调节器的输出端子158处的电压和/或晶体管150的控制端子172处的电压。此外,输出信号(线1528)可以表示由第一级510在输出端子534处提供的第一控制信号和/或由第二级515在输出端子538处提供的第二控制信号。第六描绘1512包括漏极信号(线1530),其可以表示晶体管150的漏极端子176处的电压。在图15的示例信号图1500中,任何信号(线1520、1522、1524、1526、1528、1530)的电压或电流的幅度可以是任何合适的值。

[0144] 在第一示例时间1550,控制器120将激活电压信号(线1520)增加到5伏的逻辑高值。然而,逻辑高值可以是任何合适的幅度,诸如6伏。响应于激活电压信号(线1520)的增加,调节器505将第一触发信号(线1522)增加到5伏。响应于第一触发信号(线1522)的增加,第一级510在输出端子534处提供第一控制信号,结果在输出端子158处的输出信号增加。响应于输出信号(线1528)的电压增加(例如,响应于在第二输入端子522处获得的电压信号增加),调节器505在第二输出端子526处提供调节信号(线1524)。

[0145] 在第二示例时间1560,第一级510将输出信号(线1528)增加到钳位电压源节点(VCLAMP)605的电压,并且调节器505将调节信号(线1524)增加到值 I_{REG} 。因此,调节器505通过提供调节信号(线1524)来调节第一控制信号(例如,输出信号(线1528))。调节信号值 I_{REG} 可以是任何合适的电流值,诸如1安培。响应于控制端子172处的输出信号(线1528)超过阈值电压(例如,超过VDRV的电压和/或VCLAMP的电压),晶体管150转变为使能级。因此,源极端子174和漏极端子176电连接,并且漏极信号(线1530)从VBUS的值减小。在图15的示例中,VBUS的幅度可以是任何合适的电压。例如,VBUS可以表示总线电压节点(VIN)140的电压值,或者VBUS可以表示10伏的电压。

[0146] 响应于输出信号(线1528)的增加并因此在第二输入端子522处获得的电压信号的增加,线性调节器电路603减小输出端子620处的输出信号。结果,比较器电路602在输入端子629处获得线性调节器电路603的输出信号并延迟示例时间段(t_{delay})1565。时间段1565的长度可以是任何合适的时间段(例如,10纳秒),并且包括电阻器766和电容器768的滤波电路控制时间段1565的长度。在图15的示例中,漏极信号(线1530)在时间段1565期间降至0伏。然而,漏极信号(线1530)可以降低到任何合适的电压,诸如1伏。此外,漏极信号(线1530)可以在时间段1565之前或之后降低到合适的电压(例如,0伏、1伏)。

[0147] 在由比较器电路602控制(例如,由电阻器766和电容器768控制)的时间段1565之后,并且在第三示例时间1570,调节器505将第一触发信号(线1522)和调节信号(线1524)各自减小到0伏,并且调节器505将第二触发信号(线1526)减小到VDRV-5V的值。在一些示例

中,第二电压源节点(VDRV)518的电压可以是6伏,并因此VDRV-5V的值可以是1伏。响应于第一触发信号(线1522)的减小,第一级510将输出端子534处的第一控制信号减小(例如,停止提供),并且响应于第二触发信号(线1526)的减小,第二级515增加输出端子538处的第二控制信号。结果,晶体管150的输出端子158处和控制端子172处的输出信号(线1528)将钳位电压源节点(VCLAMP)605的电压减小到第二电压源节点(VDRV)518的电压。作为输出信号(线1528)减小的结果,晶体管150被使能,并因此,漏极信号(线1530)保持在0伏。

[0148] 在第四示例时间1580,控制器120将激活信号(IN)(线1520)减小到0伏。响应于激活信号(线1520)的减小,调节器505将第二触发信号(线1526)增加到VDRV的电压。结果,第二级515减小第二控制信号,并因此输出信号(线1528)减小到0伏。结果,晶体管150被禁用,并且漏极信号(线1530)增加到VBUS的电压。

[0149] 本文描述了驱动晶体管的示例方法、装置、系统和制品。其他示例及其组合包括以下内容:

[0150] 示例1包括一种装置,所述装置包括调节器,所述调节器包括适于耦合到晶体管的控制端子的第一输入端子、第一输出端子和第二输出端子;第一级,所述第一级包括耦合到所述调节器的所述第一输出端子的第一输入端子和适于耦合到所述晶体管的所述控制端子的输出端子;以及第二级,所述第二级包括耦合到所述调节器的所述第二输出端子的输入端子,以及适于耦合到所述晶体管的所述控制端子的输出端子。

[0151] 示例2包括示例1所述的装置,其中,所述调节器包括第二输入端子和逻辑门,所述逻辑门包括耦合到所述调节器的所述第二输入端子的第一输入端子、耦合到比较器电路的第二输入端子和耦合到所述调节器的所述第一输出端子的输出端子。

[0152] 示例3包括示例1所述的装置,其中,所述调节器包括比较器电路,所述比较器电路包括耦合到线性调节器电路的输入端子、耦合到所述调节器的所述第二输出端子的第一输出端子和耦合到逻辑门的第二输出端子。

[0153] 示例4包括示例1所述的装置,其中,所述晶体管是第一晶体管,并且所述调节器包括第三输出端子;线性调节器电路,其包括包括输出端子、适于耦合到电压源的第一输入端子、耦合到所述调节器的所述第一输入端子的第二输入端子;以及第二晶体管,所述第二晶体管包括耦合到所述线性调节器电路的所述输出端子的控制端子、适于耦合到电压源的第一电流端子,以及耦合到所述调节器的所述第三输出端子的第二电流端子。

[0154] 示例5包括示例4所述的装置,其中,所述第一级包括耦合到所述调节器的所述第三输出端子的第二输入端子。

[0155] 示例6包括示例4所述的装置,其中,所述线性调节器电路包括第二晶体管,所述第二晶体管包括控制端子、耦合到所述线性调节器电路的所述第一输入端子的第一电流端子以及耦合到所述第二晶体管的所述控制端子的第二电流端子;第三晶体管,所述第三晶体管包括耦合到所述第二晶体管的所述控制端子并适于耦合到接地节点的控制端子、耦合到所述线性调节器电路的所述第二输入端子的第一电流端子,以及第二电流端子;以及第四晶体管,所述第四晶体管包括耦合到所述第三晶体管的所述第二电流端子并适于耦合到所述接地节点的控制端子、适于耦合到所述接地节点的第一电流端子,以及耦合到所述线性调节器电路的所述输出端子的第二电流端子。

[0156] 示例7包括示例4所述的装置,其中,所述线性调节器电路包括第二晶体管,所述第

二晶体管包括耦合到所述线性调节器电路的所述第二输入端子的控制端子、耦合到所述线性调节器电路的所述第一输入端子的第一电流端子,以及耦合到所述线性调节器电路的所述输出端子的第二电流端子。

[0157] 示例8包括示例1所述的装置,其中,所述晶体管是第一晶体管,并且所述第一级包括切换电路,所述切换电路包括耦合到所述第一级的所述输入端子的第一端子、适于耦合到电流源的第二端子,以及第三端子;以及适于耦合到电压源节点的第一电流镜电路,所述第一电流镜电路包括耦合到所述切换电路的所述第三端子的第一端子和耦合到所述第一级的所述输出端子的第二端子。

[0158] 示例9包括示例8所述的装置,其中,所述第一级包括耦合在所述第一电流镜电路的所述第二端子和所述第一晶体管的所述控制端子之间的第二电流镜电路,所述第二电流镜电路包括耦合到所述第一电流镜电路的所述第二端子的第一端子以及适于耦合到所述第一晶体管的所述控制端子的第二端子。

[0159] 示例10包括示例9所述的装置,其中,所述第二电流镜电路包括第三晶体管,所述第三晶体管包括耦合到所述第二电流镜电路的所述第一端子的控制端子、耦合到所述第二电流镜电路的所述第二端子的第一电流端子,以及耦合到所述第二电流镜电路的所述第一端子的第二电流端子;以及第四晶体管,所述第四晶体管包括耦合到所述第三晶体管的所述控制端子的控制端子、耦合到所述第二电流镜电路的所述第二端子的第一电流端子,以及适于耦合到所述电压源节点的第二电流端子。

[0160] 示例11包括示例8所述的装置,其中,所述电流镜电路包括第三晶体管,所述第三晶体管包括耦合到所述电流镜电路的所述第一端子的控制端子、适于耦合到所述电压源节点的第一电流端子,以及耦合到所述电流镜电路的所述第一端子的第二电流端子;以及第四晶体管,所述第四晶体管包括耦合到所述第三晶体管的所述控制端子的控制端子、适于耦合到所述电压源节点的第一电流端子,以及耦合到所述电流镜电路的所述第二端子的第二电流端子。

[0161] 示例12包括示例8所述的装置,其中,所述切换电路包括第三晶体管,所述切换电路的所述第一端子耦合到所述调节器的所述第一输出端子,所述切换电路的所述第二端子耦合到所述第三晶体管的第一电流端子,并且所述切换电路的所述第三端子耦合到所述第三晶体管的第二电流端子。

[0162] 示例13包括示例1所述的装置,其中,所述晶体管是第一晶体管,并且所述第二级包括第二晶体管,所述第二晶体管包括耦合到所述第二级的所述输入端子的控制端子、适于耦合到电压源节点的第一电流端子,以及耦合到所述第二级的所述输出端子的第二电流端子。

[0163] 示例14包括一种装置,所述装置包括第一级,所述第一级包括输入端子和适于耦合到晶体管的控制端子的输出端子,所述第一级适于利用来自第一电压源的第一电压使能所述晶体管;第二级,所述第二级包括输入端子和适于耦合到所述晶体管的所述控制端子的输出端子,所述第二级适于利用来自第二电压源的第二电压使能晶体管,所述第一电压具有比所述第二电压更大的电势;以及调节器,所述调节器包括适于耦合到所述晶体管的所述控制端子的第一输入端子、第二输入端子、耦合到所述第一级的所述输入端子的第一输出端子以及耦合到所述第二级的所述输入端子的第二输出端子,所述调节器适于基于在

所述调节器的所述第二输入端子处获得的激活信号超过第一阈值电压电平而使能所述第一级,并基于所述调节器的所述第一输入端子处的电压信号在一段时间内超过第二阈值电压电平而使能所述第二级。

[0164] 示例15包括示例14所述的装置,其中,所述调节器包括第三输出端子,并且所述调节器适于通过在所述调节器的所述第三输出端子处提供调节信号来调节所述第一输入端子处的电压。

[0165] 示例16包括示例14所述的装置,其中,所述调节器适于通过在所述调节器的所述第一输出端子处提供第一触发信号来使能所述第一级。

[0166] 示例17包括示例16所述的装置,其中,所述第一级适于通过基于所述第一触发信号超过第三阈值电压电平在所述第一级的所述输出端子处提供第一控制信号来使能所述晶体管。

[0167] 示例18包括示例14所述的装置,其中,所述调节器适于耦合到钳位电压源,并且所述调节器适于基于所述第一输入端子处的电压信号超过所述钳位电压源的电压来禁用所述第一级。

[0168] 示例19包括示例14所述的装置,其中,所述调节器适于通过在所述调节器的所述第二输出端子处提供第二触发信号来使能所述第二级。

[0169] 示例20包括示例19所述的装置,其中,所述第二级适于通过基于所述第二触发信号超过第三阈值电压电平在所述第二级的所述输出端子处提供第二控制信号来使能所述晶体管。

[0170] 示例21包括示例14所述的装置,其中,所述晶体管是第一晶体管,并且所述第一级包括切换电路,所述切换电路包括耦合到所述第一级的所述第一输入端子的第一端子、适于耦合到电流源的第二端子,以及第三端子,所述切换电路基于第一触发信号超过第三阈值电压电平,在所述切换电路的所述第三端子处提供镜像信号。

[0171] 示例22包括示例21所述的装置,其中,所述晶体管是第一晶体管,并且所述第一级包括适于耦合到电压源节点的电流镜电路,所述电流镜电路包括耦合到所述切换电路的所述第三端子的第一端子和耦合到所述第一级的所述输出端子的第二端子,所述电流镜电路适于基于所述镜像信号在所述电流镜电路的所述第二端子处提供第一控制信号。

[0172] 示例23包括示例14所述的装置,其中,所述调节器适于响应于所述激活信号超过所述第一阈值电压电平而在所述第一输出端子处输出第一触发信号;以及响应于所述电压信号在所述一段时间内超过所述第二阈值电压电平而在所述第二输出端子处输出第二触发信号。

[0173] 示例24包括一种系统,所述系统包括驱动器和晶体管,所述驱动器包括适于接收激活信号的输入端子,以及输出端子,所述晶体管包括耦合到所述驱动器的所述输出端子的控制端子,所述驱动器适于将第一控制信号输出到所述晶体管的所述控制端子,所述第一控制信号具有第一电压,向所述晶体管的所述控制端子输出第二控制信号,所述第二控制信号具有第二电压,并且其中,所述第一电压具有大于所述第二电压的电势。

[0174] 示例25包括示例24所述的系统,其中,所述驱动器包括调节器,所述调节器包括耦合到所述驱动器的所述输入端子的第一输入端子、耦合到所述晶体管的所述控制端子的第二输入端子、第一输出端子和第二输出端子,所述调节器适于基于在所述调节器的所述第

一输入端子处获得的所述激活信号超过第一阈值电压电平,在所述调节器的所述第一输出端子处输出第一触发信号,以及基于在所述调节器的所述第二输入端子处获得的电压信号超过第二阈值电压电平,在所述调节器的所述第二输出端子处输出第二触发信号。

[0175] 示例26包括示例25所述的系统,其中,所述调节器包括第三输出端子,并且所述调节器适于通过在所述调节器的所述第三输出端子处提供调节信号来调节所述调节器的所述输入端子处的电压。

[0176] 示例27包括示例24所述的系统,其中,所述驱动器包括第一级,所述第一级包括输入端子和耦合到所述晶体管的所述控制端子的输出端子,所述第一级适于基于在所述第一级的所述输入端子处获得的触发信号超过阈值电压电平在所述第一级的所述输出端子处输出所述第一控制信号。

[0177] 示例28包括示例24所述的系统,其中,所述驱动器包括第二级,所述第二级包括输入端子和耦合到所述晶体管的所述控制端子的输出端子,所述第二级适于基于在所述第二级的所述输入端子处获得的触发信号超过阈值电压电平在所述第二级的所述输出端子处输出所述第二控制信号。

[0178] 从前述内容中,应当理解,已经描述了驱动晶体管的示例方法、装置和制品。所描述的方法、装置和制品通过使功率转换系统中的驱动器能够以比导通状态栅极信号更高的信号将晶体管栅极从关断状态驱动到导通状态来提高使用计算器件的效率。所描述的方法、装置和制品相应地针对计算机的功能进行一项或多项改进。

[0179] 尽管本文已经描述了某些示例方法、装置和制品,但是本专利的覆盖范围不限于此。相反,本专利涵盖了完全落入本专利权利要求范围内的所有方法、装置和制品。

[0180] 所附权利要求据此通过引用结合到该详细描述中,其中每个权利要求独立地作为本描述的单独实施例。

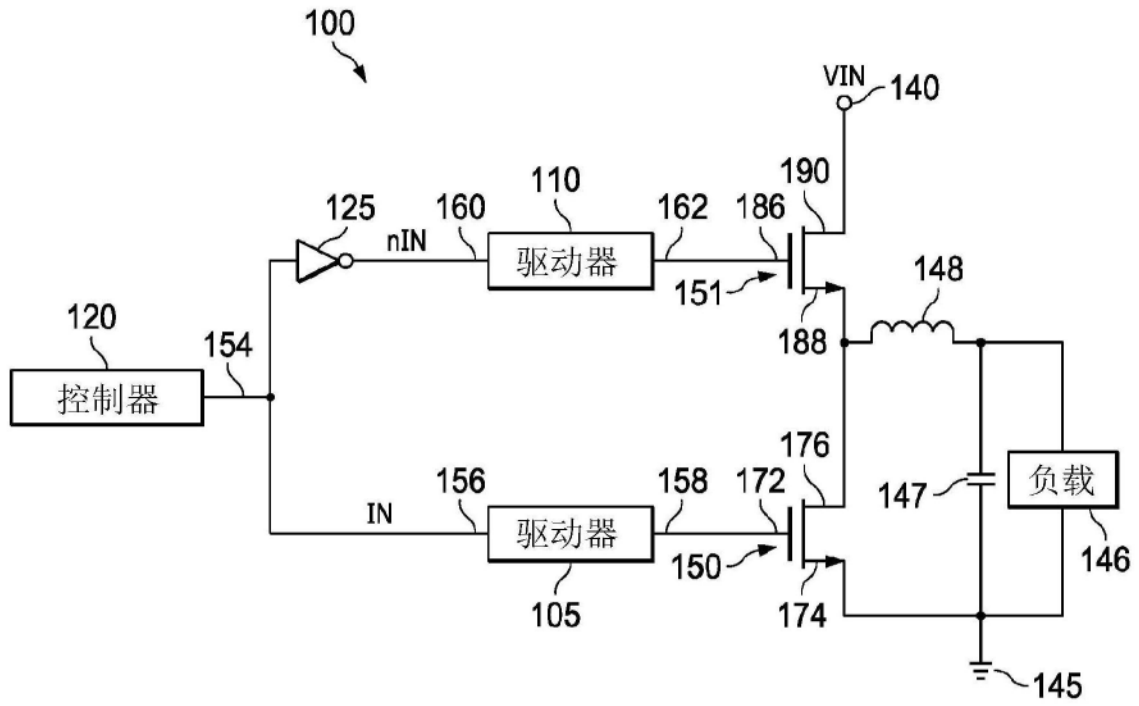


图1

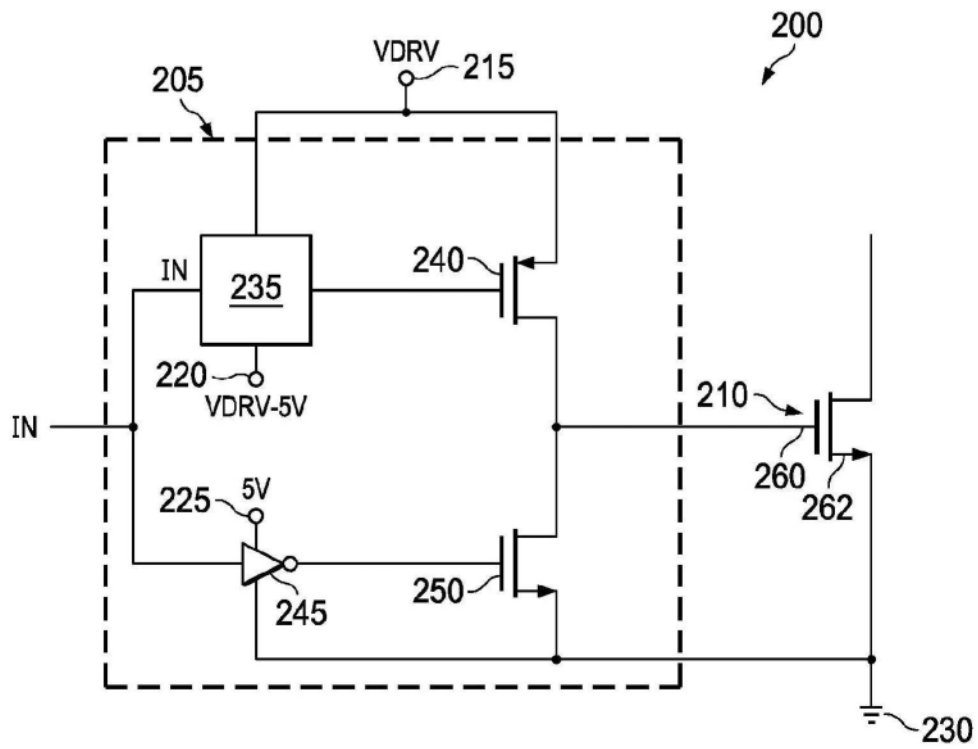


图2

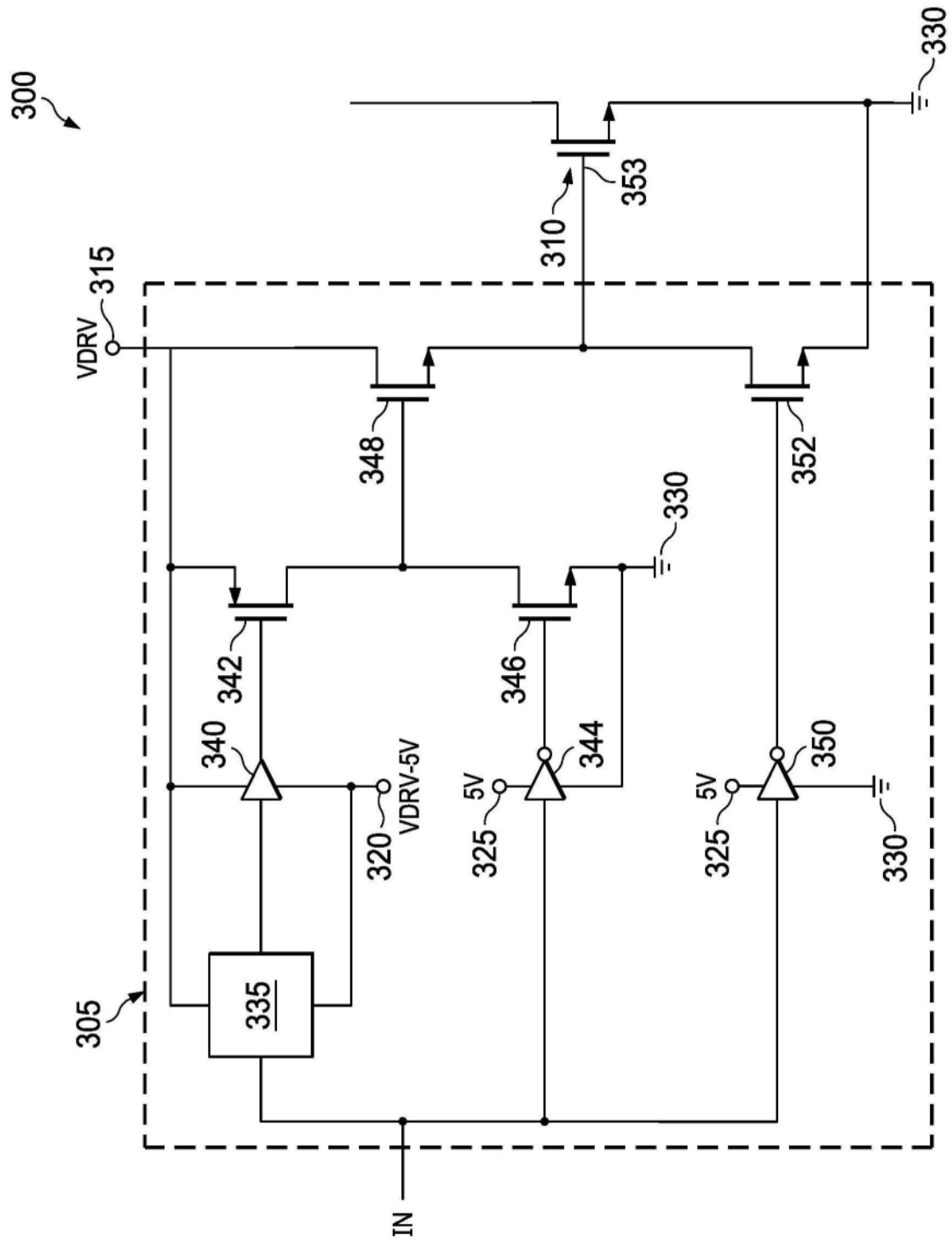


图3

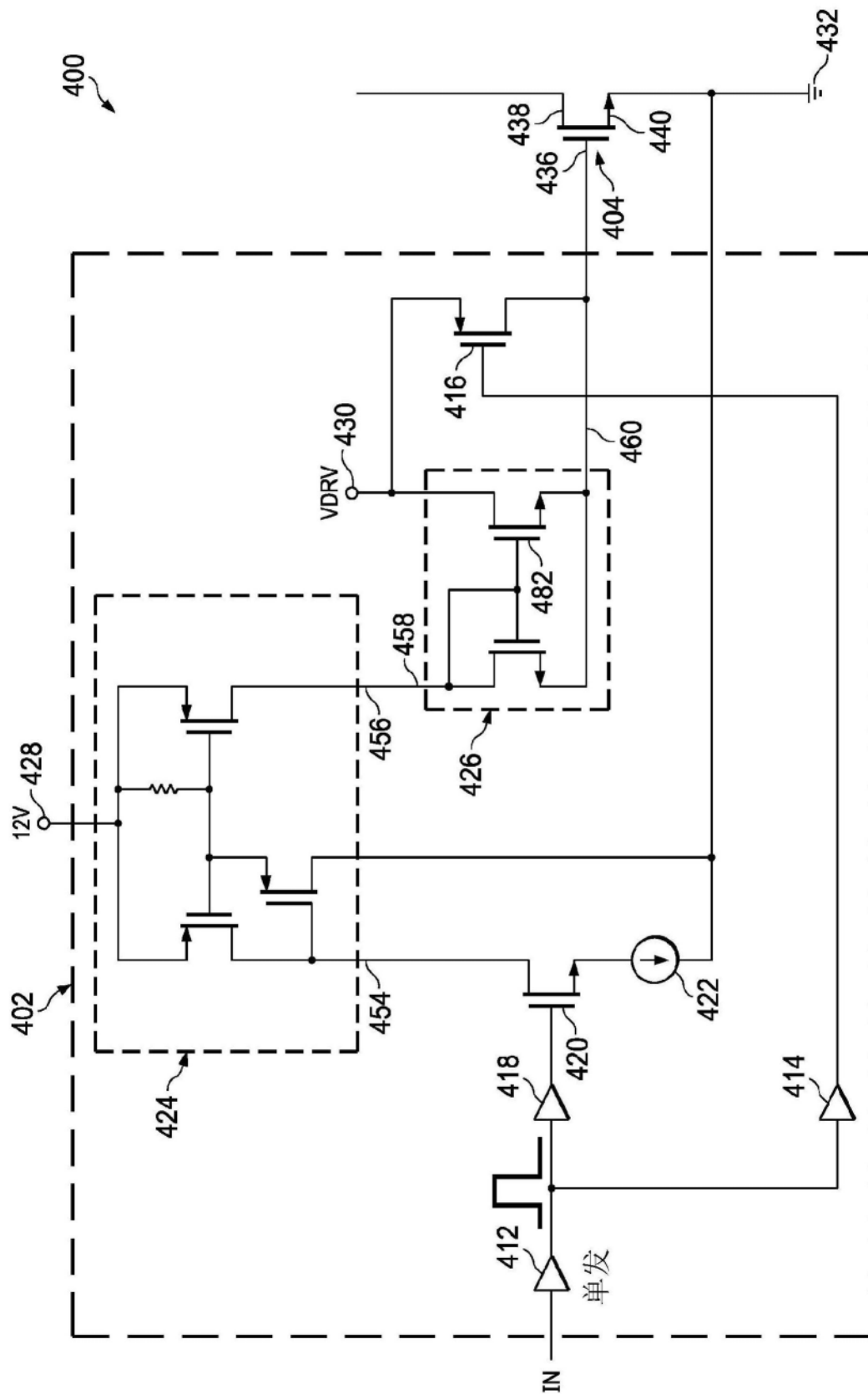


图4

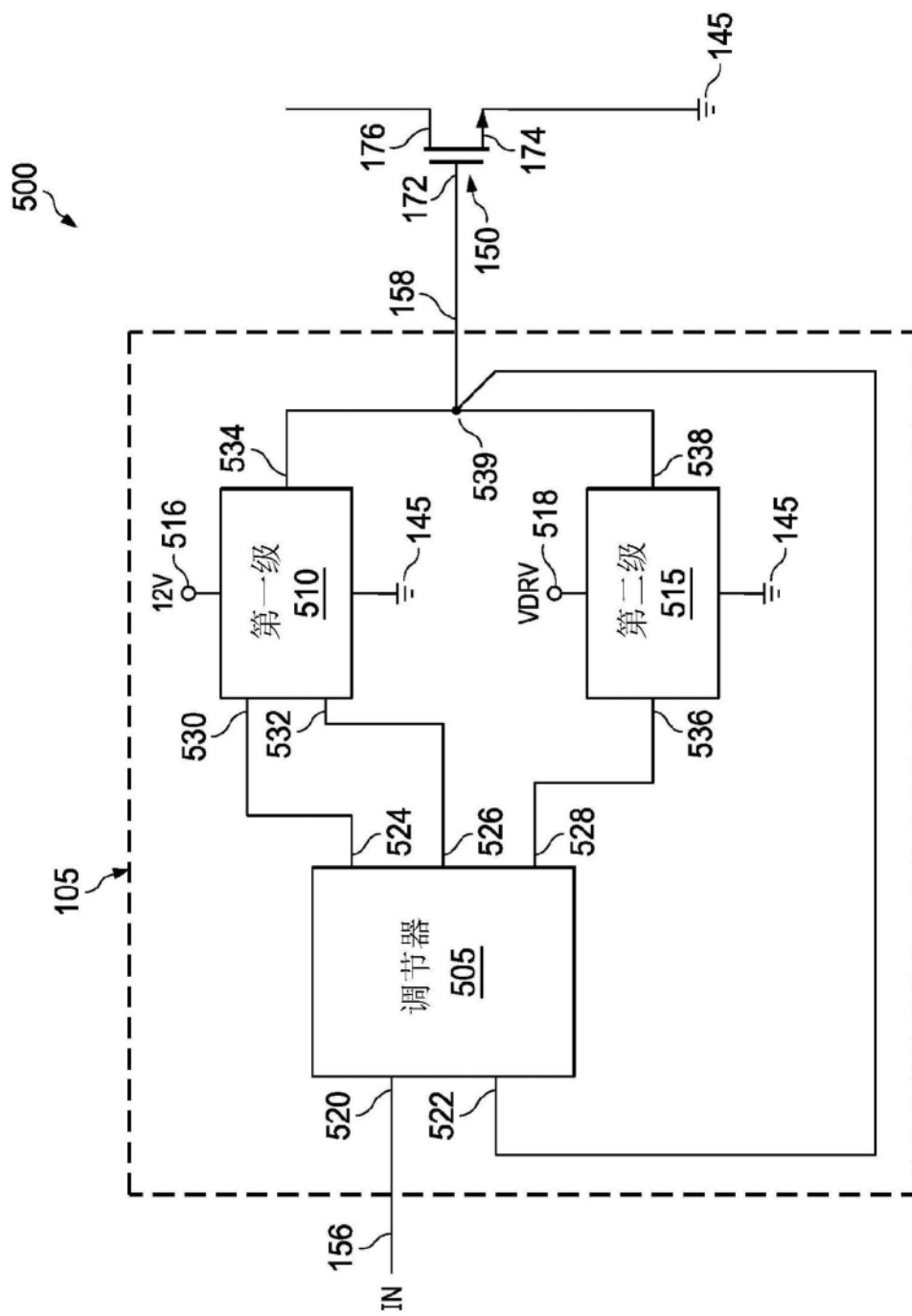


图5

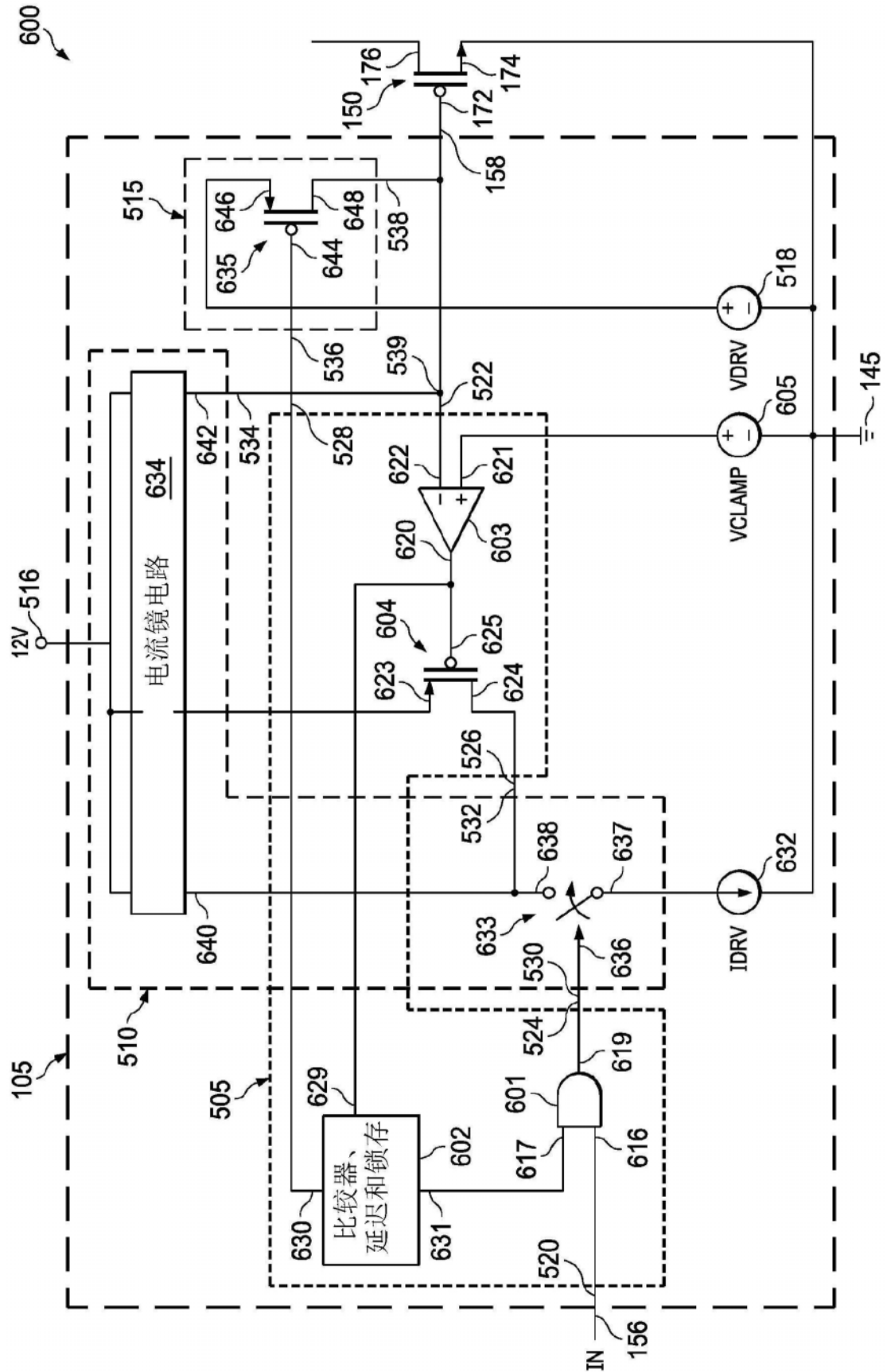


图6

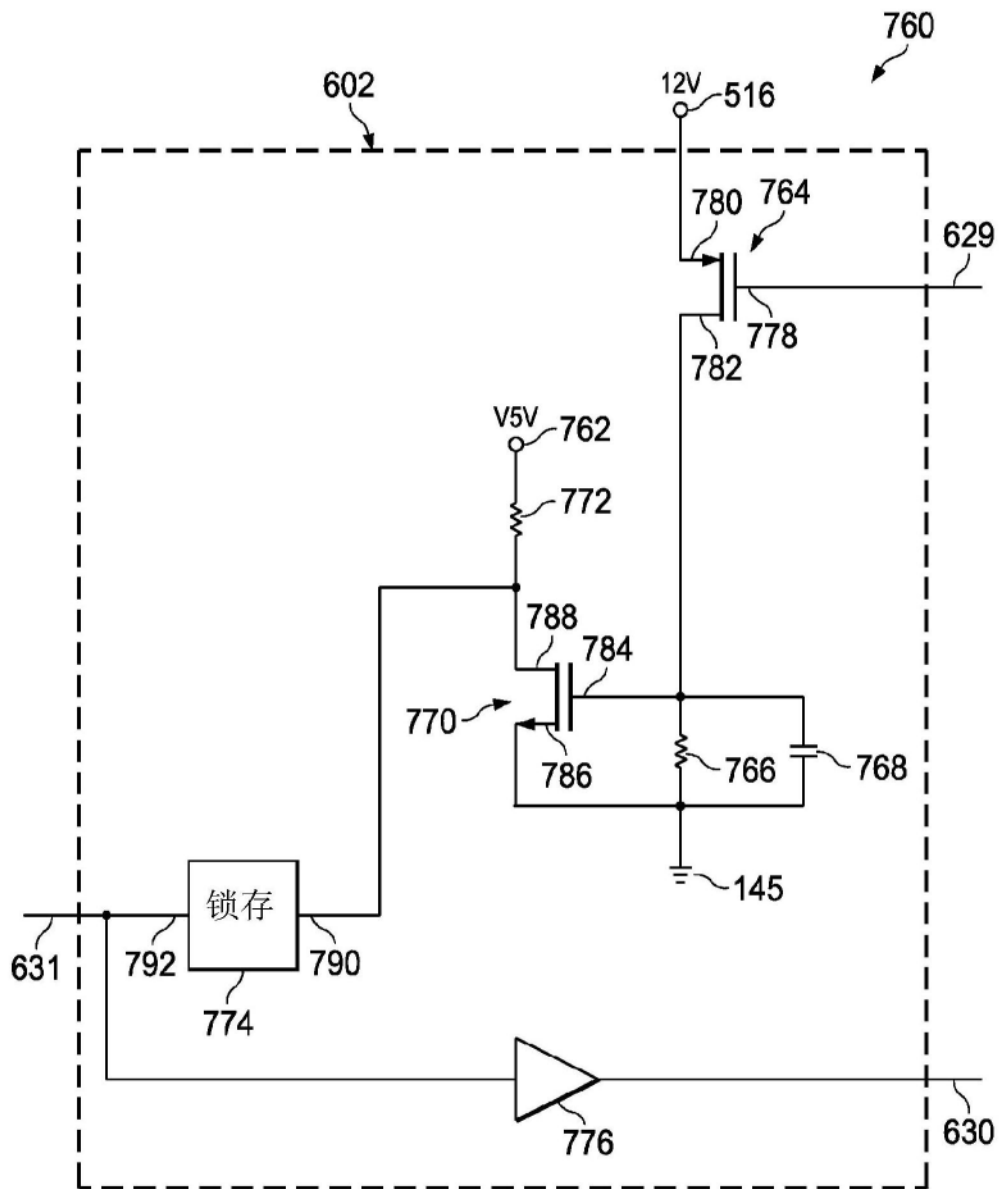


图7B

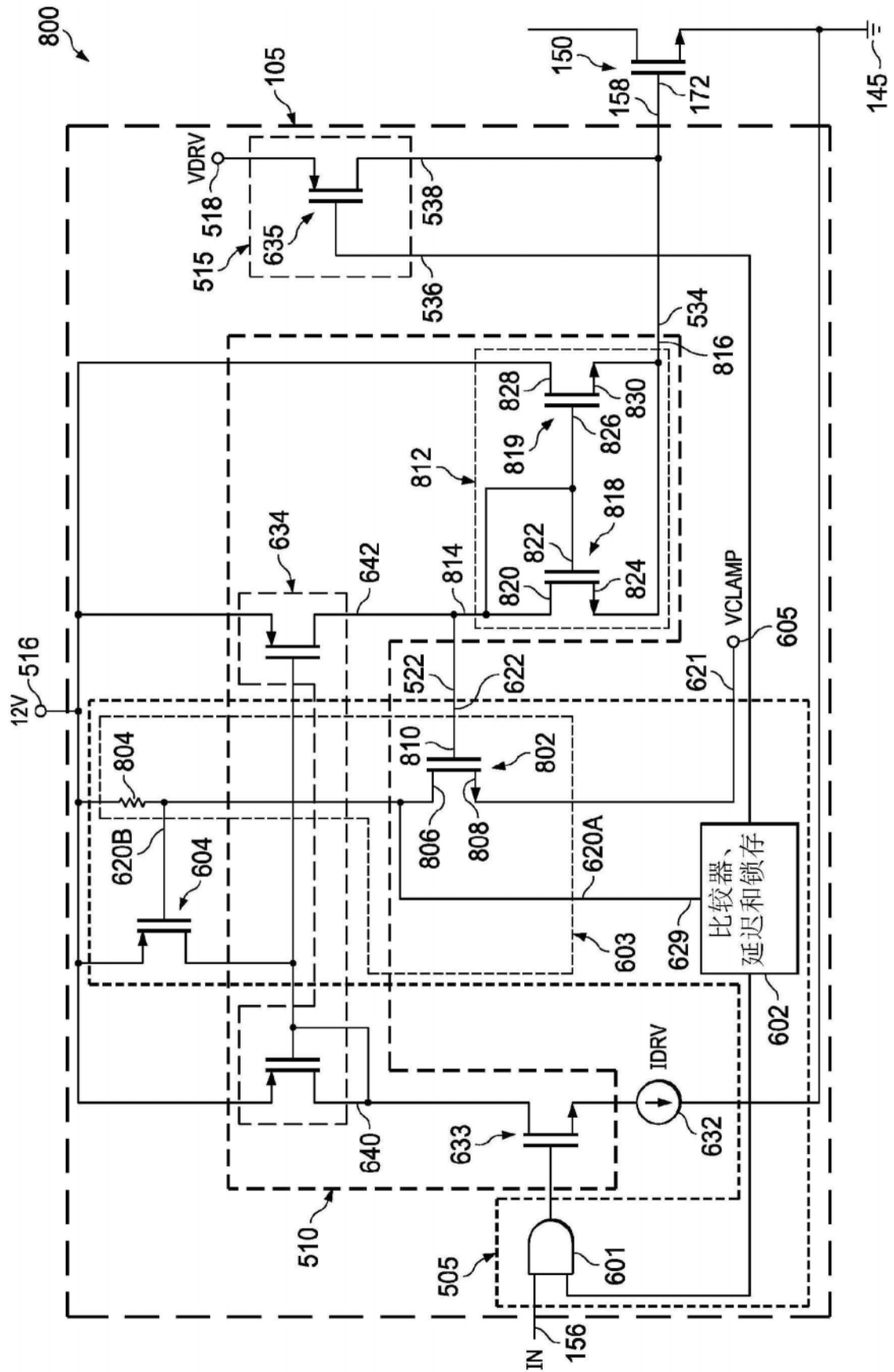


图8

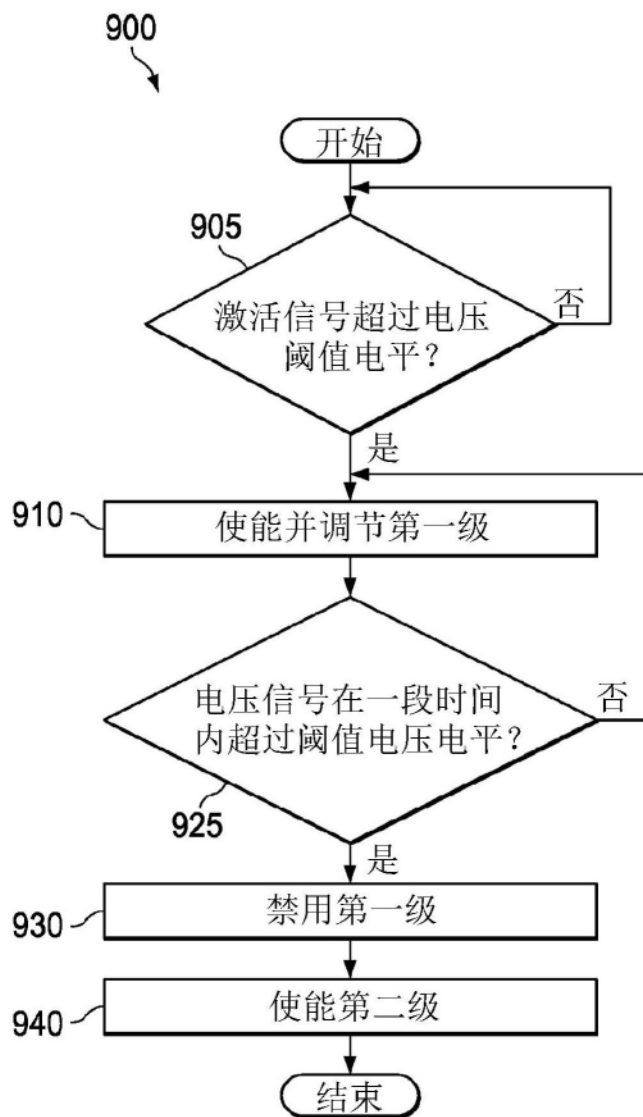


图9

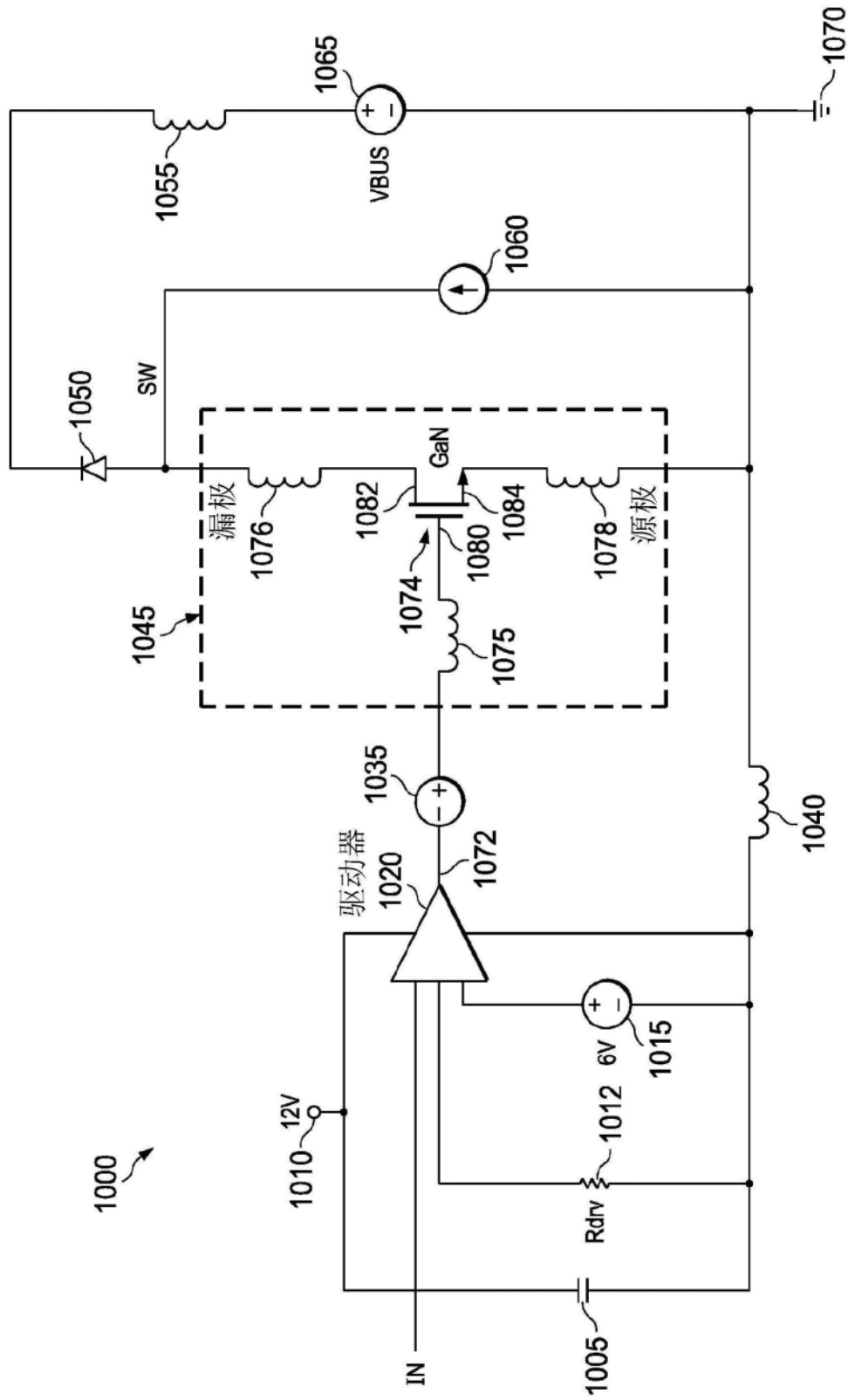


图10

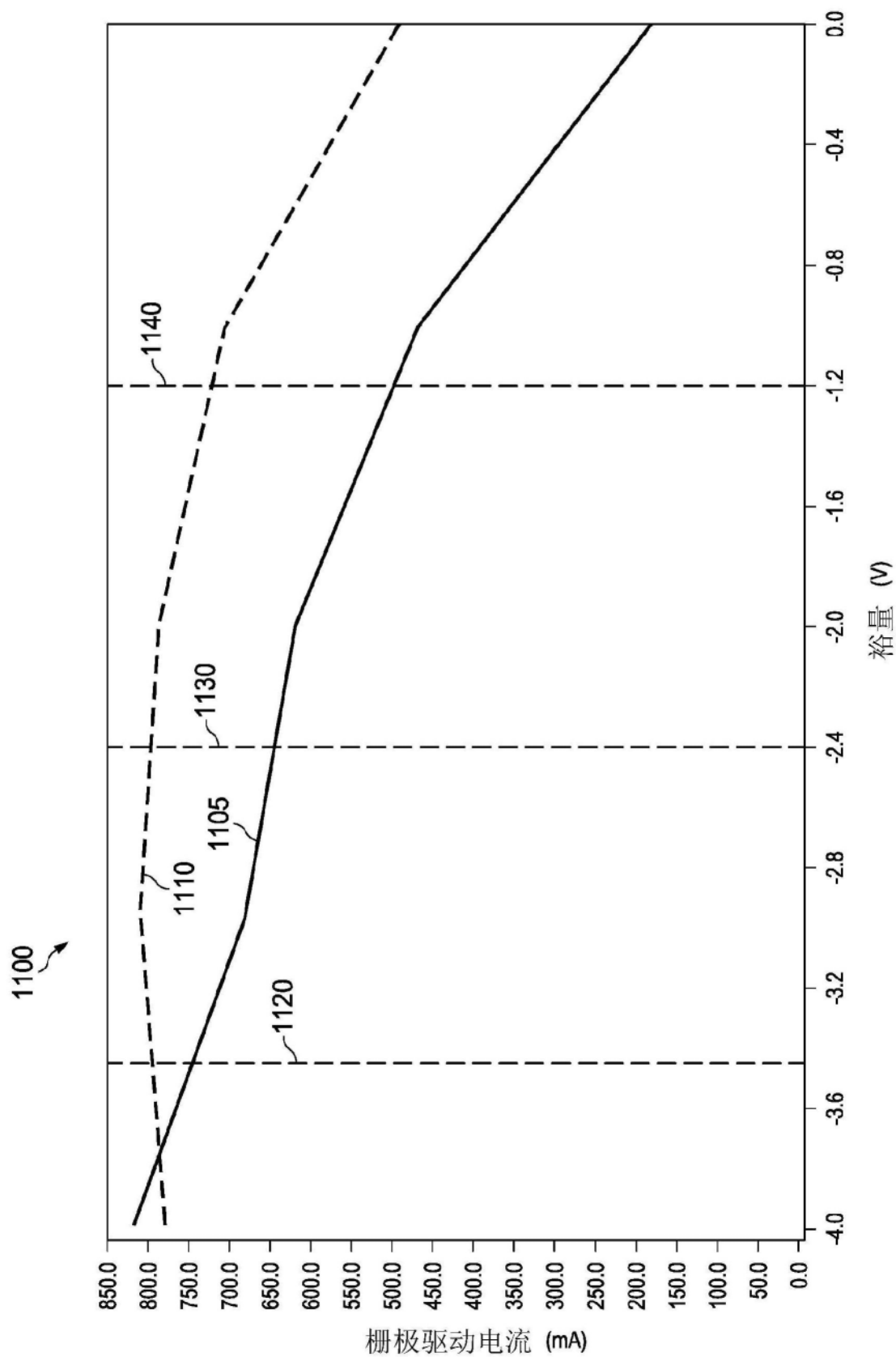


图11

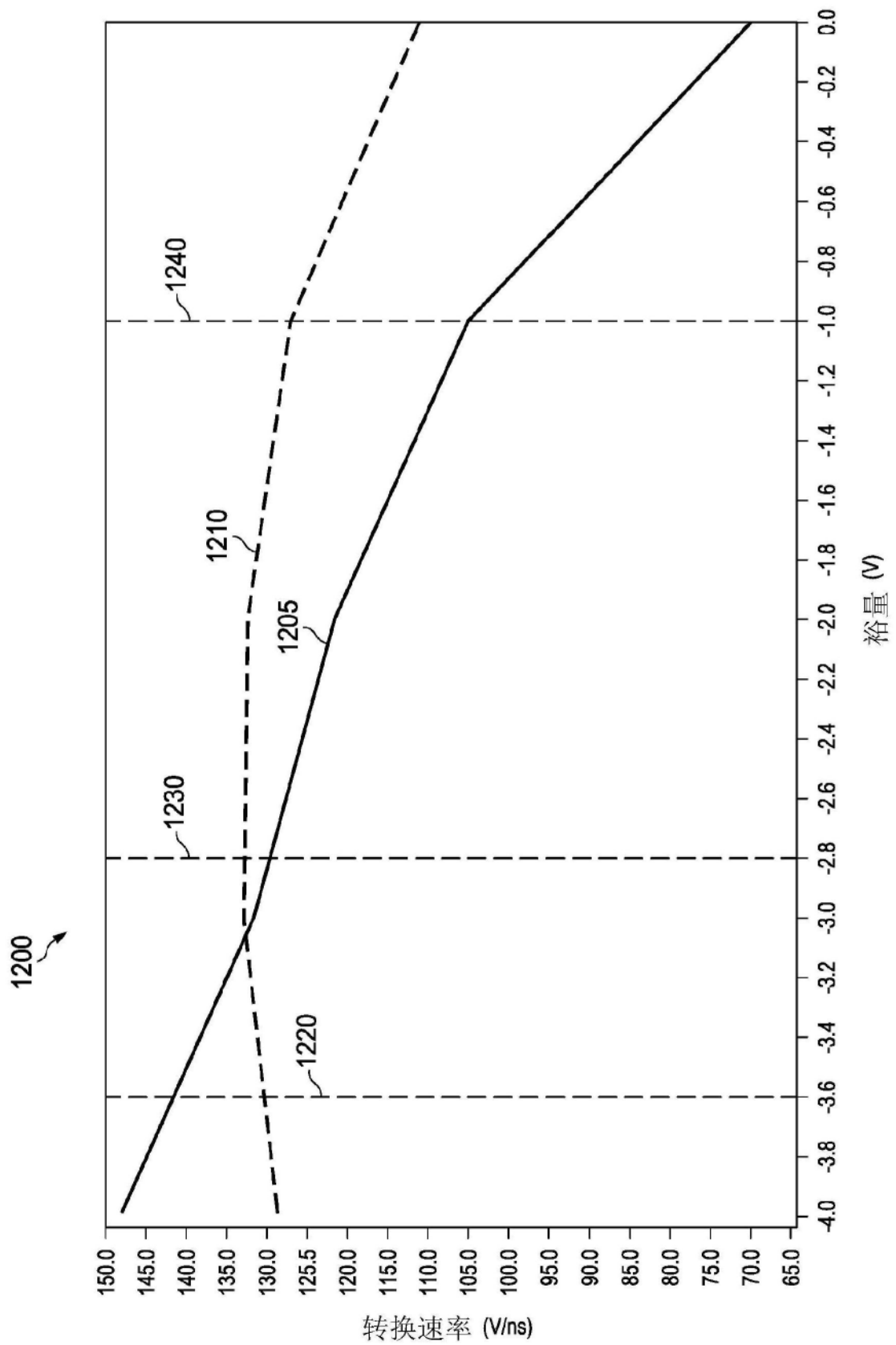


图12

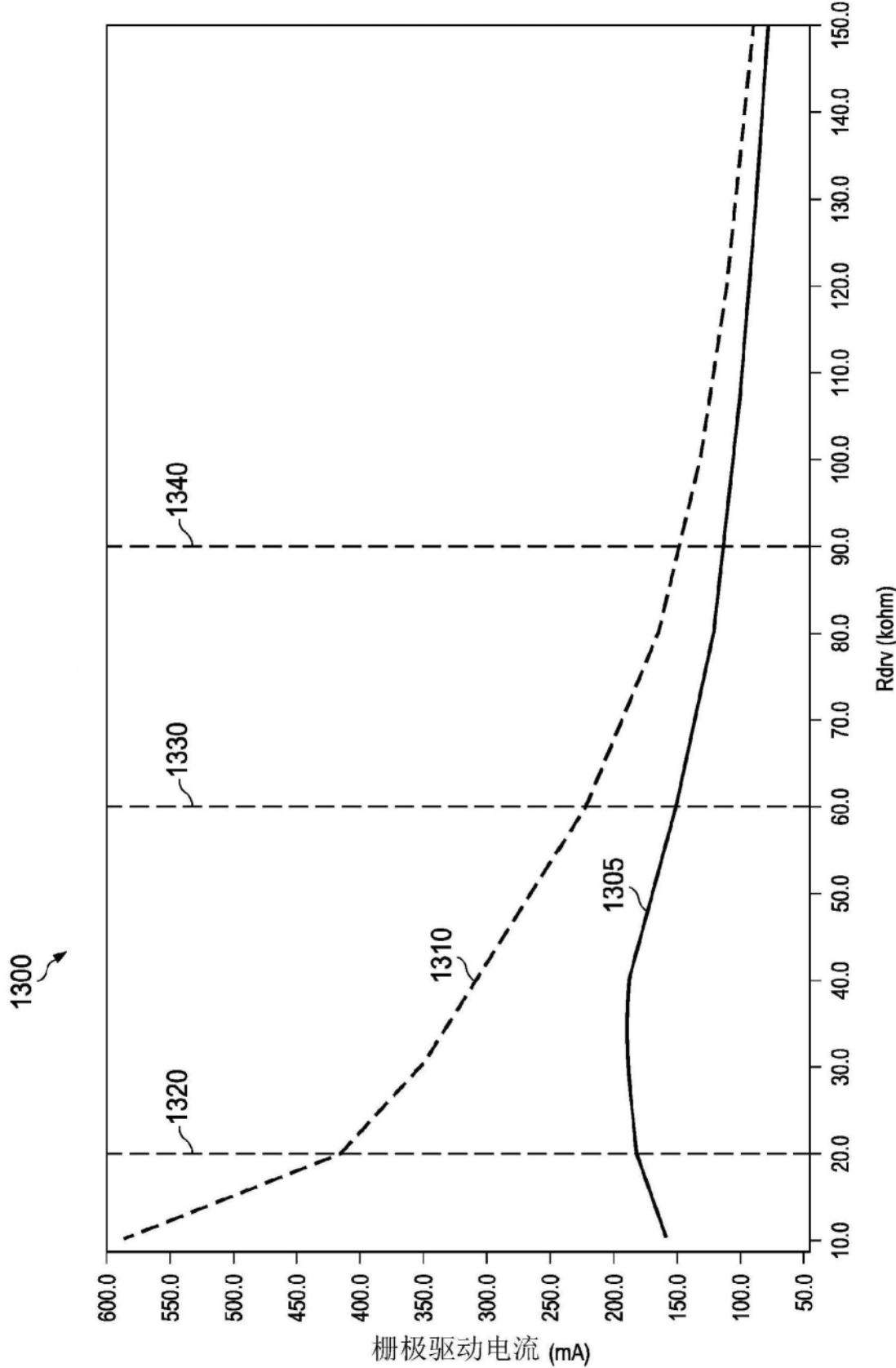


图13

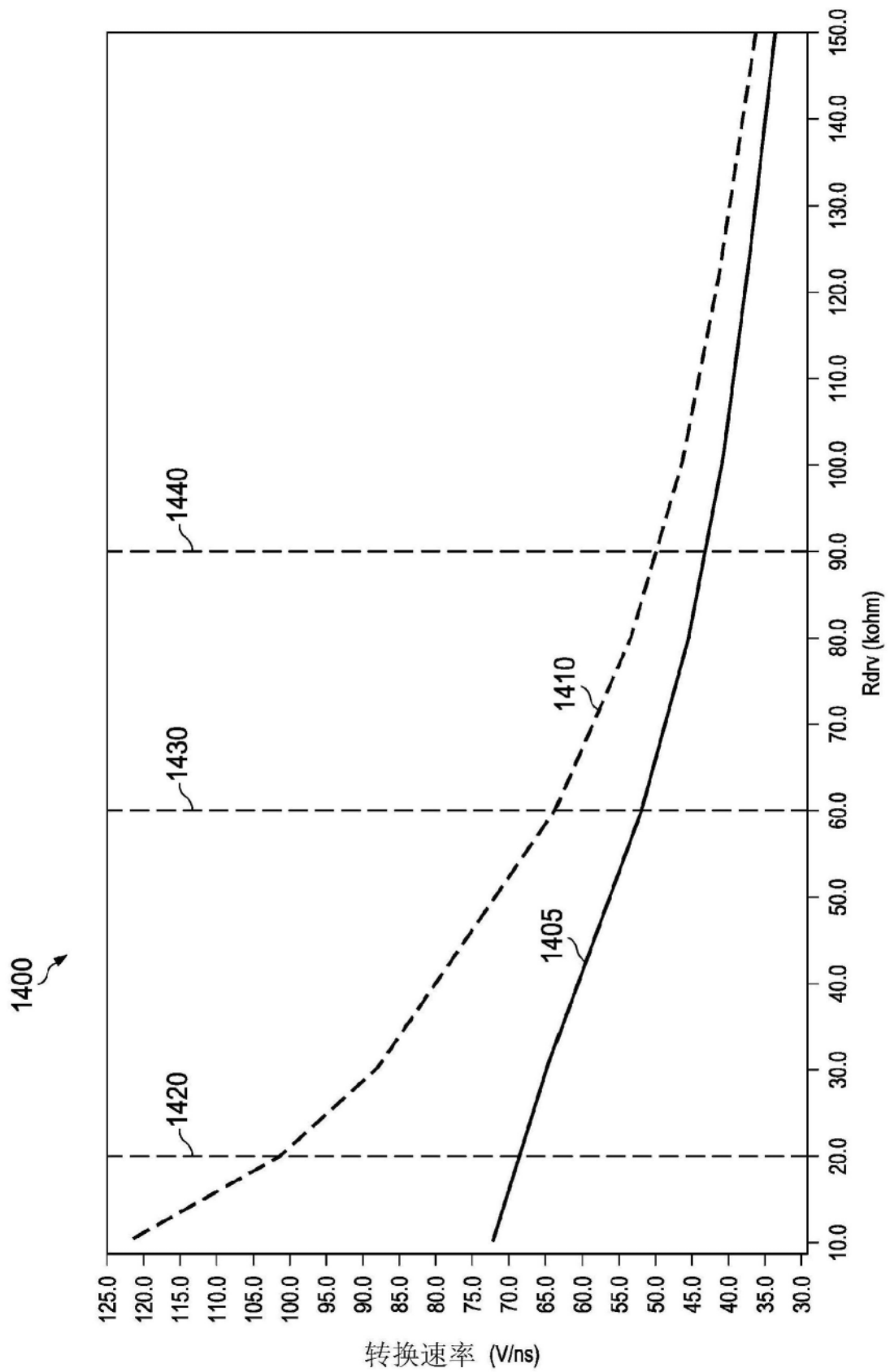


图14

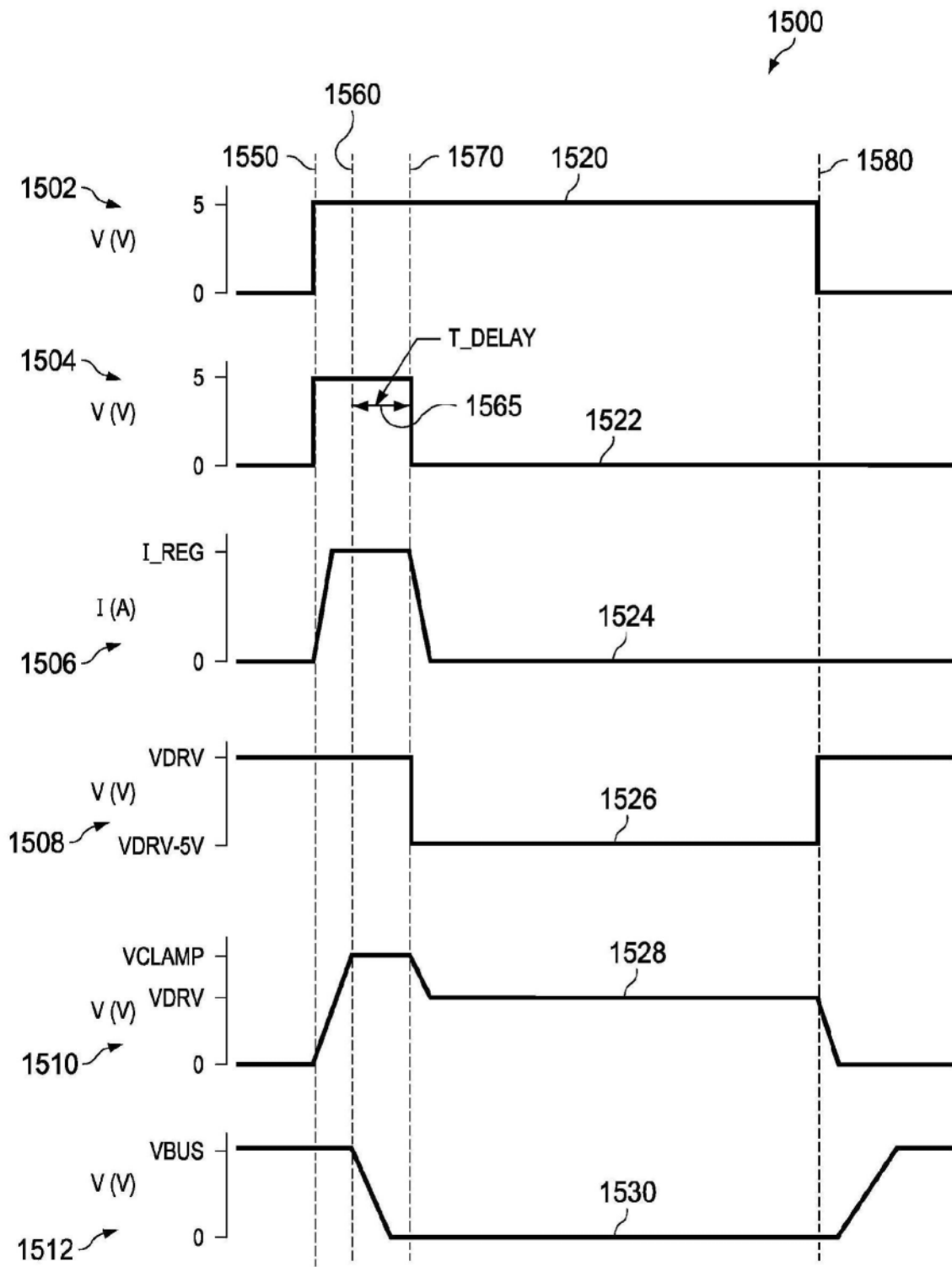


图15