



(19) 中華民國智慧財產局

(12) 新型說明書公告本

(11) 證書號數：TW M445797U1

(45) 公告日：中華民國 102 (2013) 年 01 月 21 日

(21) 申請案號：101213859

(22) 申請日：中華民國 101 (2012) 年 07 月 18 日

(51) Int. Cl. : **H01R24/60 (2011.01)**

(71) 申請人：威盛電子股份有限公司(中華民國) VIA TECHNOLOGIES, INC. (TW)

新北市新店區中正路 533 號 8 樓

(72) 新型創作人：李勝源 LEE, SHENG YUAN (TW)

(74) 代理人：詹銘文；葉璟宗

申請專利範圍項數：24 項 圖式數：9 共 31 頁

(54) 名稱

接腳排列、電連接器及電子組裝

LEAD ARRANGEMENT, ELECTRIC CONNECTOR AND ELECTRIC ASSEMBLY

(57) 摘要

一種接腳排列，適用於一電連接器。接腳排列包括一第一接腳列，其包括一對第一差動訊號接腳、一對第二差動訊號接腳及一位於這兩對差動訊號接腳之間的第一接地接腳。這對第一差動訊號接腳、這對第二差動訊號接腳及第一接地接腳分別具有一表面安置段，其適於銲接至一電路板之一表面接墊。

A lead arrangement is suitable for an electric connector. The lead arrangement includes a first lead lane that includes a pair of first differential signal leads, a pair of second differential signal leads and a first ground lead between the two pairs of first and second differential signal leads. Each of the first differential signal leads, the second differential signal leads and the ground lead has a surface mounting segment respectively for being soldered onto a surface pad of a circuit board.

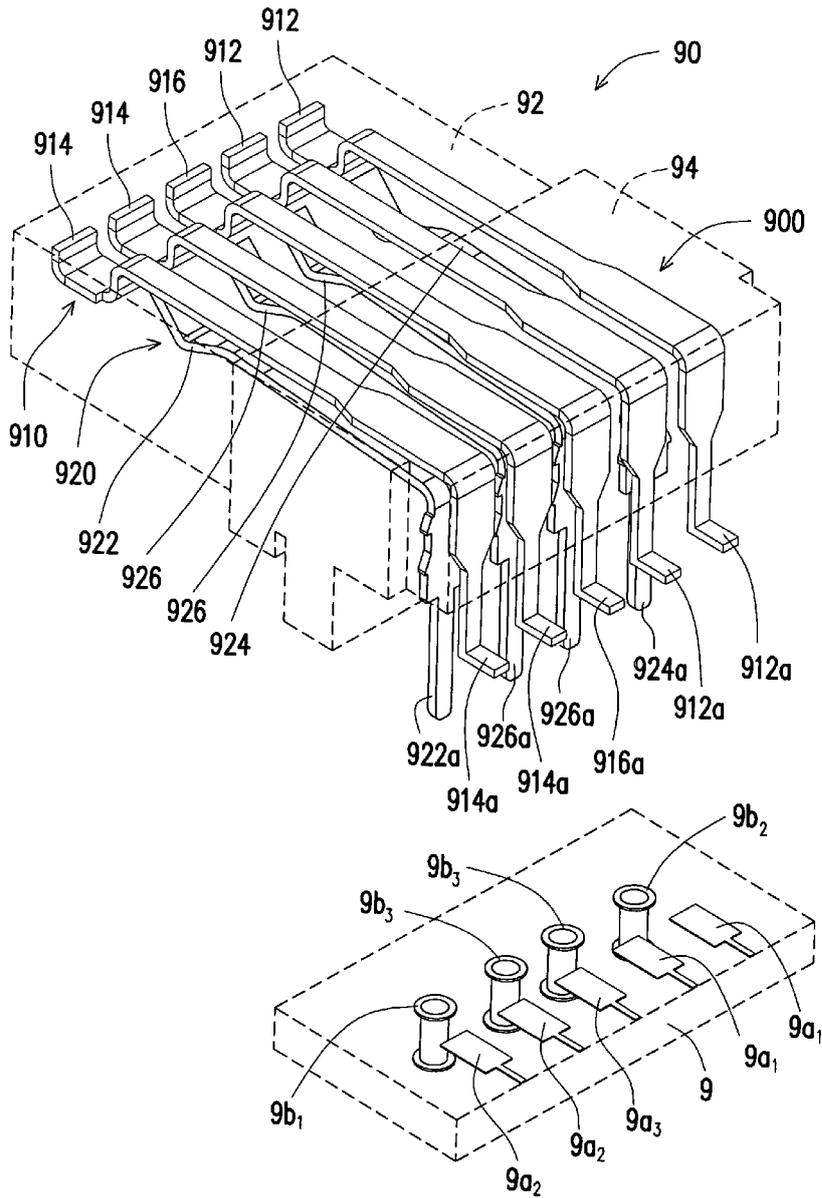


圖 5

- 9 . . . 電路板
- 9a₁ . . . 表面接墊
- 9a₂ . . . 表面接墊
- 9a₃ . . . 表面接墊
- 9b₁ . . . 貫通導孔
- 9b₂ . . . 貫通導孔
- 9b₃ . . . 貫通導孔
- 90 . . . 電連接器
- 92 . . . 金屬殼體
- 94 . . . 絕緣座體
- 900 . . . 接腳排列
- 910 . . . 第一接腳列
- 912 . . . 第一差動訊號接腳
- 912a . . . 表面安置段
- 914 . . . 第二差動訊號接腳
- 914a . . . 表面安置段
- 916 . . . 第一接地接腳
- 916a . . . 表面安置段
- 920 . . . 第二接腳列
- 922 . . . 第二接地接腳
- 922a . . . 導孔穿置段
- 924 . . . 電源接腳
- 924a . . . 導孔穿置段
- 926 . . . 第三差動訊號接腳
- 926a . . . 導孔穿置段

新型專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101213859

※申請日：101.7.18

※IPC 分類：H01R 24/60 (2011.01)

一、新型名稱：

接腳排列、電連接器及電子組裝 / LEAD ARRANGEMENT, ELECTRIC CONNECTOR AND ELECTRIC ASSEMBLY

二、中文新型摘要：

一種接腳排列，適用於一電連接器。接腳排列包括一第一接腳列，其包括一對第一差動訊號接腳、一對第二差動訊號接腳及一位於這兩對差動訊號接腳之間的第一接地接腳。這對第一差動訊號接腳、這對第二差動訊號接腳及第一接地接腳分別具有一表面安置段，其適於銲接至一電路板之一表面接墊。

三、英文新型摘要：

A lead arrangement is suitable for an electric connector. The lead arrangement includes a first lead lane that includes a pair of first differential signal leads, a pair of second differential signal leads and a first ground lead between the two pairs of first and second differential signal leads. Each of the first differential signal leads, the second differential

signal leads and the ground lead has a surface mounting segment respectively for being soldered onto a surface pad of a circuit board.

四、指定代表圖：

(一) 本案之指定代表圖：圖 5

(二) 本代表圖之元件符號簡單說明：

9：電路板	9a ₁ ：表面接墊
9a ₂ ：表面接墊	9a ₃ ：表面接墊
9b ₁ ：貫通導孔	9b ₂ ：貫通導孔
9b ₃ ：貫通導孔	90：電連接器
92：金屬殼體	94：絕緣座體
900：接腳排列	910：第一接腳列
912：第一差動訊號接腳	912a：表面安置段
914：第二差動訊號接腳	914a：表面安置段
916：第一接地接腳	916a：表面安置段
920：第二接腳列	922：第二接地接腳
922a：導孔穿置段	924：電源接腳
924a：導孔穿置段	926：第三差動訊號接腳
926a：導孔穿置段	

五、新型說明：

【新型所屬之技術領域】

本創作是有關於一種電連接器，且特別是有關於一種電連接器的接腳排列及其電連接器與電子組裝。

【先前技術】

通用序列匯流排 3.0 (Universal Serial Bus 3.0; USB 3.0) 是一種從 USB 2.0 所發展出來的訊號傳輸規格，其傳輸速率可達到 5G bps，而傳統 USB 2.0 的傳輸速率則僅有 480M bps。目前 USB 3.0 電連接器已確定可相容於 USB 2.0 電連接器，意即 USB 3.0 採用了與 USB 2.0 相同的電連接器結構，並增加了數根用來提供 USB 3.0 功能的接腳。因此，在基於 USB 2.0 的電連接器結構下，需要提出 USB 3.0 電連接器結構，以符合需求。

【新型內容】

本創作提出一種接腳排列，適用於一電連接器。接腳排列包括一第一接腳列，其包括一對第一差動訊號接腳、一對第二差動訊號接腳及一位於這兩對差動訊號接腳之間的第一接地接腳。這對第一差動訊號接腳、這對第二差動訊號接腳及第一接地接腳分別具有一表面安置段，其適於銲接至一電路板之一表面接墊。

本創作提出一種電連接器，其包括一金屬殼體、一連接金屬殼體的絕緣座體及一設於絕緣座體上的接腳排列。

接腳排列包括一第一接腳列，其包括一對第一差動訊號接腳、一對第二差動訊號接腳及一位於這兩對差動訊號接腳之間的第一接地接腳。這對第一差動訊號接腳、這對第二差動訊號接腳及第一接地接腳分別具有一表面安置段，其適於銲接至一電路板之一表面接墊。

本創作提出一種電子組裝，其包括一電路板及一電連接器。電路板具有多個表面接墊及多個貫通導孔。電連接器包括一金屬殼體、一連接金屬殼體的絕緣座體及一設於絕緣座體上的接腳排列。接腳排列包括一第一接腳列，其包括一對第一差動訊號接腳、一對第二差動訊號接腳及一位於這兩對差動訊號接腳之間的第一接地接腳。這對第一差動訊號接腳、這對第二差動訊號接腳及第一接地接腳分別具有一表面安置段，其分別銲接至表面接墊。

基於上述，本創作將電連接器的某些對關鍵的差動訊號引腳與接地接腳，以表面安置的方式銲接至電路板的表面接墊，故可避免影響關鍵訊號的傳輸，並維持高速訊號通道的品質。

為讓本創作之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

圖 1 及圖 2 分別繪示本創作一實施例的一種 USB 3.0 電連接器組裝至電路板的前後。請參考圖 1 及圖 2，本實施例之一種電連接器 70 適於銲接至一電路板 7，並與電路

板 7 構成了一電子組裝體 (electric assembly)。

電連接器 70 包括一金屬殼體 72、一連接金屬殼體 72 的絕緣座體 74 及一設於絕緣座體 74 上的接腳排列 700，而接腳排列 700 包括一第一接腳列 710 及一與第一接腳列 710 相並排的第二接腳列 720。

第一接腳列 710 包括一對第一差動訊號接腳 712、一對第二差動訊號接腳 714 及一位於這兩對差動訊號接腳 712 及 714 之間的第一接地接腳 716。在本實施例中，這對第一差動訊號接腳 712 為 USB 3.0 架構中的一對傳送差動訊號接腳 T_x^+ 及 T_x^- ，而這對第二差動訊號接腳 714 為 USB 3.0 架構中的一對接收差動訊號接腳 R_x^+ 及 R_x^- 。

第二接腳列 720 包括一第二接地接腳 722、一電源接腳 724 及一對位於第二接地接腳 722 及電源接腳 724 之間的第三差動訊號接腳 726。在本實施例中，這對第三差動訊號接腳 726 為 USB 3.0 架構中支援 USB 1.0 架構或 USB 2.0 架構的一對傳送/接收差動訊號接腳 D^+ 及 D^- 。

在 USB 3.0 架構中，傳送差動訊號接腳 (T_x^+ 及 T_x^-) 與接收差動訊號接腳 (R_x^+ 及 R_x^-) 為一全雙工 (full-duplex) 傳輸模式，亦即電子裝置可經由差動訊號接腳 (T_x^+ 及 T_x^-) 與接收差動訊號接腳 (R_x^+ 及 R_x^-) 同時進行訊號的傳送或接收。另外，傳送/接收差動訊號接腳 (D^+ 及 D^-) 為一半雙工 (half-duplex) 傳輸模式，亦即電子裝置可經由差動訊號接腳 (D^+ 及 D^-) 進行資料的傳送或接收。意即，當進行資料傳送時，就無法進行資料接收，而當進行資料接收

時，就無法進行資料傳送。

為了確保電連接器 70 能穩固地安裝在電路板 7 上，前述所有的接腳都以導孔穿置的方式銲接至電路板 7 之貫通導孔 7b。此外，為了預防連接於兩不同金屬層之間的貫通導孔 (through via) 引起寄生特性 (the parasitics) 而影響訊號傳播 (signal propagation) 的效能，USB 3.0 的高速訊號 (T_x^+ 及 T_x^- 和 R_x^+ 及 R_x^-) 通常分佈在電路板 7 之表面金屬層。

圖 3 及圖 4 分別繪示本創作另一實施例的一種 USB 3.0 電連接器組裝至電路板的前後。請參考圖 3 及圖 4，本實施例之一種電連接器 80 適於銲接至一電路板 8，並與電路板 8 構成了一電子組裝體。

電連接器 80 包括一金屬殼體 82、一連接金屬殼體 82 的絕緣座體 84 及一設於絕緣座體 84 上的接腳排列 800，而接腳排列 800 包括一第一接腳列 810 及一與第一接腳列 810 相並排的第二接腳列 820。

第一接腳列 810 包括一對第一差動訊號接腳 812、一對第二差動訊號接腳 814 及一位於這兩對差動訊號接腳 812 及 814 之間的第一接地接腳 816。在本實施例中，這對第一差動訊號接腳 812 為 USB 3.0 架構中的一對傳送差動訊號接腳 T_x^+ 及 T_x^- ，而這對第二差動訊號接腳 814 為 USB 3.0 架構中的一對接收差動訊號接腳 R_x^+ 及 R_x^- 。

這對第一差動訊號接腳 812 分別具有一表面安置段 812a，其適於銲接至電路板 8 之表面接墊 8a₁，這對第二差

動訊號接腳 814 分別具有一表面安置段 814a，其亦適於銲接至電路板 8 之表面接墊 8a₂。另外，第一接地接腳 816 具有一導孔穿置段 816a，其適於銲接至電路板 8 之一貫通導孔 8b₁。

第二接腳列 820 包括一第二接地接腳 822、一電源接腳 824（例如：Vcc）、一對位於第二接地接腳 822 及電源接腳 824 之間的第三差動訊號接腳 826。在本實施例中，這對第三差動訊號接腳 826 為 USB 3.0 架構中支援 USB 1.0 架構或 USB 2.0 架構的一對傳送/接收差動訊號接腳 D⁺及 D⁻。此外，第二接地接腳 822 靠近這對第二差動訊號接腳 814（例如：接收差動訊號接腳 R_x⁺及 R_x⁻）並排配置，而電源接腳 824 靠近這對第一差動訊號接腳 812（例如：傳送差動訊號接腳 T_x⁺及 T_x⁻）並排配置。

第二接地接腳 822 具有一導孔穿置段 822a，其適於銲接至電路板 8 之一貫通導孔 8b₂，電源接腳 824 具有一導孔穿置段 824a，其適於銲接至電路板 8 之一貫通導孔 8b₃，而這對第三差動訊號接腳 826 分別具有一導孔穿置段 826a，其適於銲接至電路板 8 之一貫通導孔 8b₄。

電連接器 80 的第一差動訊號接腳 812 與第二差動訊號接腳 814 以表面安置的方式銲接至電路板 8，可改善兩對差動訊號接腳 812 及 814 在電路板 8 內及突出於電路板 8 下方的部分引起較大的寄生電容（parasitic capacitance）而對訊號通道的品質造成影響並衰減所傳播的訊號。據此，電連接器 80 的傳輸速度高於電連接器 70 的傳輸速度。

圖 5 及圖 6 分別繪示本創作再一實施例的一種 USB 3.0 電連接器組裝至電路板的前後。請參考圖 5 及圖 6，本實施例之一種電連接器 90 適於銲接至一電路板 9，並與電路板 9 構成了一電子組裝體。

電連接器 90 包括一金屬殼體 92、一連接金屬殼體 92 的絕緣座體 94 及一設於絕緣座體 94 上的接腳排列 900，而接腳排列 900 包括一第一接腳列 910 及一與第一接腳列 910 相並排的第二接腳列 920。

第一接腳列 910 包括一對第一差動訊號接腳 912、一對第二差動訊號接腳 914 及一位於這兩對差動訊號接腳 912 及 914 之間的第一接地接腳 916。在本實施例中，這對第一差動訊號接腳 912 為 USB 3.0 架構中的一對傳送差動訊號接腳 T_x^+ 及 T_x^- ，而這對第二差動訊號接腳 914 為 USB 3.0 架構中的一對接收差動訊號接腳 R_x^+ 及 R_x^- 。

這對第一差動訊號接腳 912 分別具有一表面安置段 912a，其適於銲接至電路板 9 之表面接墊 9a₁，這對第二差動訊號接腳 914 分別具有一表面安置段 914a，其亦適於銲接至電路板 9 之表面接墊 9a₂。另外，第一接地接腳 916 亦具有一表面安置段 916a，其亦適於銲接至電路板 9 之表面接墊 9a₃。

第二接腳列 920 包括一第二接地接腳 922、一電源接腳 924（例如：Vcc）、一對位於第二接地接腳 922 及電源接腳 924 之間的第三差動訊號接腳 926。在本實施例中，這對第三差動訊號接腳 926 為 USB 3.0 架構中支援 USB 1.0

架構或 USB 2.0 架構的一對傳送/接收差動訊號接腳 D^+ 及 D^- 。此外，第二接地接腳 922 靠近這對第二差動訊號接腳 914（例如：接收差動訊號接腳 R_x^+ 及 R_x^- ）並排配置，而電源接腳 924 靠近這對第一差動訊號接腳 912（例如：傳送差動訊號接腳 T_x^+ 及 T_x^- ）並排配置。

第二接地接腳 922 具有一導孔穿置段 922a，其適於銲接至電路板 9 之一貫通導孔 9b₁，電源接腳 924 具有一導孔穿置段 924a，其適於銲接至電路板 9 之一貫通導孔 9b₂，而這對第三差動訊號接腳 926 分別具有一導孔穿置段 926a，其適於銲接至電路板 9 之一貫通導孔 9b₃。

電連接器 90 的第一差動訊號接腳 912，第二差動訊號接腳 914 及第一接地接腳 916 以表面安置的方式銲接至電路板 9，可改善兩對差動訊號接腳 912 及 914 與第一接地接腳 916 在電路板 9 內及突出於電路板 9 下方的部分引起較大的寄生電容而對訊號通道的品質造成影響並衰減所傳播的訊號。據此，電連接器 90 的傳輸速度高於電連接器 70 的傳輸速度。

圖 7 及圖 8 分別繪示本創作更一實施例的一種 USB 3.0 電連接器的前視圖與側視圖。請參考圖 7 及圖 8，本實施例之一種電連接器 100 適於銲接至一電路板 9，並與電路板 9 構成了一電子組裝體。

電連接器 100 包括一金屬殼體 102、一連接金屬殼體 102 的絕緣座體 104 及一設於絕緣座體 104 上的接腳排列 1000。電連接器 100 與電連接器 90 的主要差異處在於，電

連接器 100 的接腳排列 1000 包括一第一接腳列 1010、一第二接腳列 1020 及一第三接腳列 1030。

第一接腳列 1010 包括一對第一差動訊號接腳 1012、一對第二差動訊號接腳 1014 及一位於這兩對差動訊號接腳 1012 及 1014 之間的第一接地接腳 1016，其排列方式如同前述之電連接器 90 的第一接腳列 910。在本實施例中，這對第一差動訊號接腳 1012 為 USB 3.0 架構中的一對傳送差動訊號接腳 T_x^+ 及 T_x^- ，而這對第二差動訊號接腳 1014 為 USB 3.0 架構中的一對接收差動訊號接腳 R_x^+ 及 R_x^- 。

此外，這對第一差動訊號接腳 1012 分別具有一表面安置段 1012a，這對第二差動訊號接腳 1014 分別具有一表面安置段 1014a，而第一接地接腳 1016 亦具有一表面安置段 1016a，其適於分別銲接至電路板之表面接墊(未繪示)。

另一方面，第二接腳列 1020 包括一電源接腳 1024 及一第一訊號接腳 1028，而第三接腳列 1030 包括一第二訊號接腳 1026 及一第二接地接腳 1022。第二接腳列 1020 與第三接腳列 1030 彼此並排且對齊地設置於絕緣座體 104 的兩側。第一訊號接腳 1028 與第二訊號接腳 1026 形成一對第三差動訊號接腳。在本實施例中，第一訊號接腳 1028 及第二訊號接腳 1026 分別為支援 USB 1.0 架構或 USB 2.0 架構的一對傳送/接收差動訊號接腳 D^- 及 D^+ 。

第二接地接腳 1022 具有一導孔穿置段 1022a，電源接腳 1024 具有一導孔穿置段 1024a，適於銲接至電路板之貫通導孔。類似地，這對第三差動訊號接腳 1026 及 1028 分

別具有一導孔穿置段 1026a 及 1028a，其適於分別銲接至電路板之貫通導孔（未繪示）。

電連接器 90 可例如是 USB3.0 之電連接器中型號為 Standard-A 之電連接器，而電連接器 100 可例如是 USB3.0 之電連接器中型號為 Standard-B 之電連接器。據此，電連接器 90 的傳輸速度高於電連接器 70 的傳輸速度，而將接腳排列中的第一接腳列以表面安置段銲接至電路板之表面接墊的表面安置方式能適用於不同類型之電連接器。

圖 9 繪示圖 2 及圖 4 之安裝至電路板的電連接器其 USB 3.0 差動模式的效能比較。請參考圖 5，由於 USB 3.0 之訊號速度達到 5 Gbps，所以對應的時脈為 2.5 GHz。最好考慮將通道效能提升到三倍頻率範圍，即 7.5 GHz。

從 USB 3.0 差動模式的響應比較來看，圖 4 之以表面安置方式銲接至電路板的差動訊號接腳的差動返回耗損（differential return loss）Sdd11_smd 具有較大的頻寬，而圖 2 之以導孔穿置方式銲接至電路板的差動訊號接腳的差動返回耗損 Sdd11_org 具有較小的頻寬。

隨著返回耗損的顯著改善，相較於圖 2 之既有結構的差動介入耗損（differential insertion loss）Sdd12_org，圖 4 之本實施例的差動介入耗損 Sdd12_smd 也有所提升，特別是在較高頻的範圍。此外，改善後的介入耗損 Sdd12_smd 的響應跳動效應（response ringing effect）更小於原有的差動介入耗損 Sdd12_org。

由上可知，對於訊號傳播而言，圖 4 相較於圖 2 提供

了一個較好的訊號通道。這個原因可能在於，圖 2 的電連接器結構其兩對差動訊號接腳 712 及 714 (參照圖 1) 之位於電路板 7 內及突出於電路板 7 下方的部分會引起較大的寄生電容，並在較高頻率引起響應，如此會對訊號通道的品質造成影響，並衰減所傳播的訊號。而本創作中針對兩對差動訊號接腳 712 及 714 連接至電路板的表面接墊並經由電路板的表面佈線連接至電路板上所配置的控制晶片，此佈線設計可獲得較佳的訊號品質，特別是針對高速訊號。

綜上所述，本創作將電連接器的某些對關鍵的差動訊號引腳或接地接腳，以表面安置的方式銲接至電路板的表面接墊，故可避免影響關鍵訊號的傳輸，並維持高速訊號通道的品質。此外，本創作改變了電連接器的某些對關鍵的差動訊號接腳的形狀，以使其可銲接至電路板的表面接墊，因此電連接器的其他元件仍可沿用既有的 USB 3.0 電連接器，因而節省了電連接器的開發成本。

雖然本創作已以實施例揭露如上，然其並非用以限定本創作，任何所屬技術領域中具有通常知識者，在不脫離本創作之精神和範圍內，當可作些許之更動與潤飾，故本創作之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 及圖 2 分別繪示本創作一實施例的一種 USB 3.0 電連接器組裝至電路板的前後。

圖 3 及圖 4 分別繪示本創作另一實施例的一種 USB

3.0 電連接器組裝至電路板的前後。

圖 5 及圖 6 分別繪示本創作再一實施例的一種 USB

3.0 電連接器組裝至電路板的前後。

圖 7 及圖 8 分別繪示本創作更一實施例的一種 USB

3.0 電連接器的前視圖與側視圖。

圖 9 繪示圖 2 及圖 4 之安裝至電路板的電連接器其 USB 3.0 差動模式的效能比較。

【主要元件符號說明】

7：電路板

7b：貫通導孔

8：電路板

8a₁：表面接墊

8a₂：表面接墊

8b₁：貫通導孔

8b₂：貫通導孔

8b₃：貫通導孔

8b₄：貫通導孔

9：電路板

9a₁：表面接墊

9a₂：表面接墊

9a₃：表面接墊

9b₁：貫通導孔

9b₂：貫通導孔

9b₃：貫通導孔

70：電連接器

72：金屬殼體

74：絕緣座體

80：電連接器

82：金屬殼體

84：絕緣座體

90：電連接器

92：金屬殼體

94：絕緣座體

100：電連接器

102：金屬殼體

104：絕緣座體

700：接腳排列

710：第一接腳列

- | | |
|--------------|---------------|
| 712：第一差動訊號接腳 | 714：第二差動訊號接腳 |
| 716：第一接地接腳 | 720：第二接腳列 |
| 722：第二接地接腳 | 724：電源接腳 |
| 726：第三差動訊號接腳 | 800：接腳排列 |
| 810：第一接腳列 | 812：第一差動訊號接腳 |
| 812a：表面安置段 | 814：第二差動訊號接腳 |
| 814a：表面安置段 | 816：第一接地接腳 |
| 816a：導孔穿置段 | 820：第二接腳列 |
| 822：第二接地接腳 | 822a：導孔穿置段 |
| 824：電源接腳 | 824a：導孔穿置段 |
| 826：第三差動訊號接腳 | 826a：導孔穿置段 |
| 900：接腳排列 | 910：第一接腳列 |
| 912：第一差動訊號接腳 | 912a：表面安置段 |
| 914：第二差動訊號接腳 | 914a：表面安置段 |
| 916：第一接地接腳 | 916a：表面安置段 |
| 920：第二接腳列 | 922：第二接地接腳 |
| 922a：導孔穿置段 | 924：電源接腳 |
| 924a：導孔穿置段 | 926：第三差動訊號接腳 |
| 926a：導孔穿置段 | 1000：接腳排列 |
| 1010：第一接腳列 | 1012：第一差動訊號接腳 |
| 1012a：表面安置段 | 1014：第二差動訊號接腳 |
| 1014a：表面安置段 | 1016：第一接地接腳 |
| 1016a：表面安置段 | 1020：第二接腳列 |
| 1022：第二接地接腳 | 1022a：導孔穿置段 |

1024：電源接腳

1024a：導孔穿置段

1026：第二訊號接腳

1026a：導孔穿置段

1028：第一訊號接腳

1028a：導孔穿置段

1030：第三接腳列

六、申請專利範圍：

1. 一種接腳排列，適用於一電連接器，該接腳排列包括：

一第一接腳列，包括：

一對第一差動訊號接腳；

一對第二差動訊號接腳；以及

一第一接地接腳，位於該兩對差動訊號接腳之間，

其中該對第一差動訊號接腳、該對第二差動訊號接腳及該第一接地接腳分別具有一表面安置段，其適於銲接至一電路板之一表面接墊。

2. 如申請專利範圍第 1 項所述之接腳排列，其中該對第一差動訊號接腳為通用序列匯流排 3.0 架構 (Universal Serial Bus 3.0; USB 3.0 架構) 中的一對傳送 (Transmitting) 差動訊號接腳 T_x^+ 及 T_x^- ，而該對第二差動訊號接腳為 USB 3.0 架構中的一對接收 (Receiving) 差動訊號接腳 R_x^+ 及 R_x^- 。

3. 如申請專利範圍第 1 項所述之接腳排列，更包括：

一第二接腳列，與該第一接腳列並排，該第二接腳列包括：

一第二接地接腳；

一電源接腳；以及

一對第三差動訊號接腳，位於該第二接地接腳及該電源接腳之間，

其中該第二接地接腳、該電源接腳及該對第三差動訊號接腳分別具有一導孔穿置段，其適於銲接至該電路板之一貫通導孔。

4. 如申請專利範圍第 3 項所述之接腳排列，其中該對第三差動訊號接腳為 USB 3.0 架構中支援 USB 1.0 架構或 USB 2.0 架構的一對傳送/接收差動訊號接腳 D^+ 及 D^- 。

5. 如申請專利範圍第 3 項所述之接腳排列，其中該對第一差動訊號接腳為 USB 3.0 架構中的一對傳送差動訊號接腳 T_x^+ 及 T_x^- ，而該電源接腳靠近該對傳送差動訊號接腳 T_x^+ 及 T_x^- 並排配置。

6. 如申請專利範圍第 3 項所述之接腳排列，其中該對第二差動訊號接腳為 USB 3.0 架構中的一對接收差動訊號接腳 R_x^+ 及 R_x^- ，且該第二接地接腳靠近該對接收差動訊號接腳 R_x^+ 及 R_x^- 並排配置。

7. 如申請專利範圍第 1 項所述之接腳排列，更包括：
一第二接腳列，包括一第一訊號接腳以及一電源接腳；以及

一第三接腳列，包括一第二訊號接腳以及一第二接地接腳，

其中該第一訊號接腳與該第二訊號接腳形成一對第三差動訊號接腳，該第二接腳列與該第三接腳列彼此並排，該第二接地接腳、該電源接腳及該對第三差動訊號接腳分別具有一導孔穿置段，其適於銲接至該電路板之一貫通導孔。

8. 如申請專利範圍第 7 項所述之接腳排列，其中該對第三差動訊號接腳為支援 USB 1.0 架構或 USB 2.0 架構的一對傳送/接收差動訊號接腳 D^+ 及 D^- 。

9. 一種電連接器，包括：

一金屬殼體；

一絕緣座體，連接該金屬殼體；以及

一接腳排列，設於該絕緣座體上，該接腳排列包括：

一第一接腳列，包括：

一對第一差動訊號接腳；

一對第二差動訊號接腳；以及

一第一接地接腳，位於該兩對差動訊號接腳之間，

其中該對第一差動訊號接腳、該對第二差動訊號接腳及該第一接地接腳分別具有一表面安置段，其適於銲接至一電路板之一表面接墊。

10. 如申請專利範圍第 9 項所述之電連接器，其中該對第一差動訊號接腳為 USB 3.0 架構中的一對傳送差動訊號接腳 T_x^+ 及 T_x^- ，而該對第二差動訊號接腳為 USB 3.0 架構中的一對接收差動訊號接腳 R_x^+ 及 R_x^- 。

11 如申請專利範圍第 9 項所述之電連接器，其中該接腳排列更包括：

一第二接腳列，與該第一接腳列並排，該第二接腳列包括：

一第二接地接腳；

一電源接腳；以及

一對第三差動訊號接腳，位於該第二接地接腳及該電源接腳之間，

其中該第二接地接腳、該電源接腳及該對第三差動訊號接腳分別具有一導孔穿置段，其適於銲接至該電路板之一貫通導孔。

12. 如申請專利範圍第 11 項所述之電連接器，其中該對第三差動訊號接腳為 USB 3.0 架構中支援 USB 1.0 架構或 USB 2.0 架構的一對傳送/接收差動訊號接腳 D^+ 及 D^- 。

13. 如申請專利範圍第 11 項所述之電連接器，其中該對第一差動訊號接腳為 USB 3.0 架構中的一對傳送差動訊號接腳 T_x^+ 及 T_x^- ，而該電源接腳靠近該對傳送差動訊號接腳 T_x^+ 及 T_x^- 並排配置。

14. 如申請專利範圍第 11 項所述之電連接器，其中該對第二差動訊號接腳為 USB 3.0 架構中的一對接收差動訊號接腳 R_x^+ 及 R_x^- ，且該第二接地接腳靠近該對接收差動訊號接腳 R_x^+ 及 R_x^- 並排配置。

15. 如申請專利範圍第 9 項所述之電連接器，其中該接腳排列更包括：

一第二接腳列，包括一第一訊號接腳以及一電源接腳；以及

一第三接腳列，包括一第二訊號接腳以及一第二接地接腳，

其中該第一訊號接腳與該第二訊號接腳形成一對第

三差動訊號接腳，該第二接腳列與該第三接腳列彼此並排，該第二接地接腳、該電源接腳及該對第三差動訊號接腳分別具有一導孔穿置段，其適於銲接至該電路板之一貫通導孔。

16. 如申請專利範圍第 15 項所述之電連接器，其中該對第三差動訊號接腳為支援 USB 1.0 架構或 USB 2.0 架構的一對傳送/接收差動訊號接腳 D^+ 及 D^- 。

17. 一種電子組裝，包括：

一電路板，具有多個表面接墊及多個貫通導孔；以及
一電連接器，包括：

一金屬殼體；

一絕緣座體，連接該金屬殼體；以及

一接腳排列，設於該絕緣座體上，該接腳排列包括：

一第一接腳列，包括：

一對第一差動訊號接腳；

一對第二差動訊號接腳；以及

一第一接地接腳，位於該兩對差動訊號接腳之間，

其中該對第一差動訊號接腳、該對第二差動訊號接腳及該第一接地接腳分別具有一表面安置段，其分別銲接至該些表面接墊。

18. 如申請專利範圍第 17 項所述之電子組裝，其中該

對第一差動訊號接腳為 USB 3.0 架構中的一對傳送差動訊號接腳 T_x^+ 及 T_x^- ，而該對第二差動訊號接腳為 USB 3.0 架構中的一對接收差動訊號接腳 R_x^+ 及 R_x^- 。

19. 如申請專利範圍第 17 項所述之電子組裝，其中該接腳排列更包括：

一第二接腳列，與該第一接腳列並排，該第二接腳列包括：

一第二接地接腳；

一電源接腳；以及

一對第三差動訊號接腳，位於該第二接地接腳及該電源接腳之間，

其中該第二接地接腳、該電源接腳及該對第三差動訊號接腳分別具有一導孔穿置段，其分別銲接至這些貫通導孔。

20. 如申請專利範圍第 19 項所述之電子組裝，其中該對第三差動訊號接腳為 USB 3.0 架構中支援 USB 1.0 架構或 USB 2.0 架構的一對傳送/接收差動訊號接腳 D^+ 及 D^- 。

21. 如申請專利範圍第 19 項所述之電子組裝，其中該對第一差動訊號接腳為 USB 3.0 架構中的一對傳送差動訊號接腳 T_x^+ 及 T_x^- ，而該電源接腳靠近該對傳送差動訊號接腳 T_x^+ 及 T_x^- 並排配置。

22. 如申請專利範圍第 19 項所述之電子組裝，其中該對第二差動訊號接腳為 USB 3.0 架構中的一對接收差動訊號接腳 R_x^+ 及 R_x^- ，且該第二接地接腳靠近該對接收差動訊號接腳 R_x^+ 及 R_x^- 並排配置。

23. 如申請專利範圍第 17 項所述之電子組裝，其中該接腳排列更包括：

一第二接腳列，包括一第一訊號接腳以及一電源接腳；以及

一第三接腳列，包括一第二訊號接腳以及一第二接地接腳，

其中該第一訊號接腳與該第二訊號接腳形成一對第三差動訊號接腳，該第二接腳列與該第三接腳列彼此並排，該第二接地接腳、該電源接腳及該對第三差動訊號接腳分別具有一導孔穿置段，其分別銲接至該些貫通導孔。

24. 如申請專利範圍第 23 項所述之電子組裝，其中該對第三差動訊號接腳為支援 USB 1.0 架構或 USB 2.0 架構的一對傳送/接收差動訊號接腳 D^+ 及 D^- 。

七、圖式：

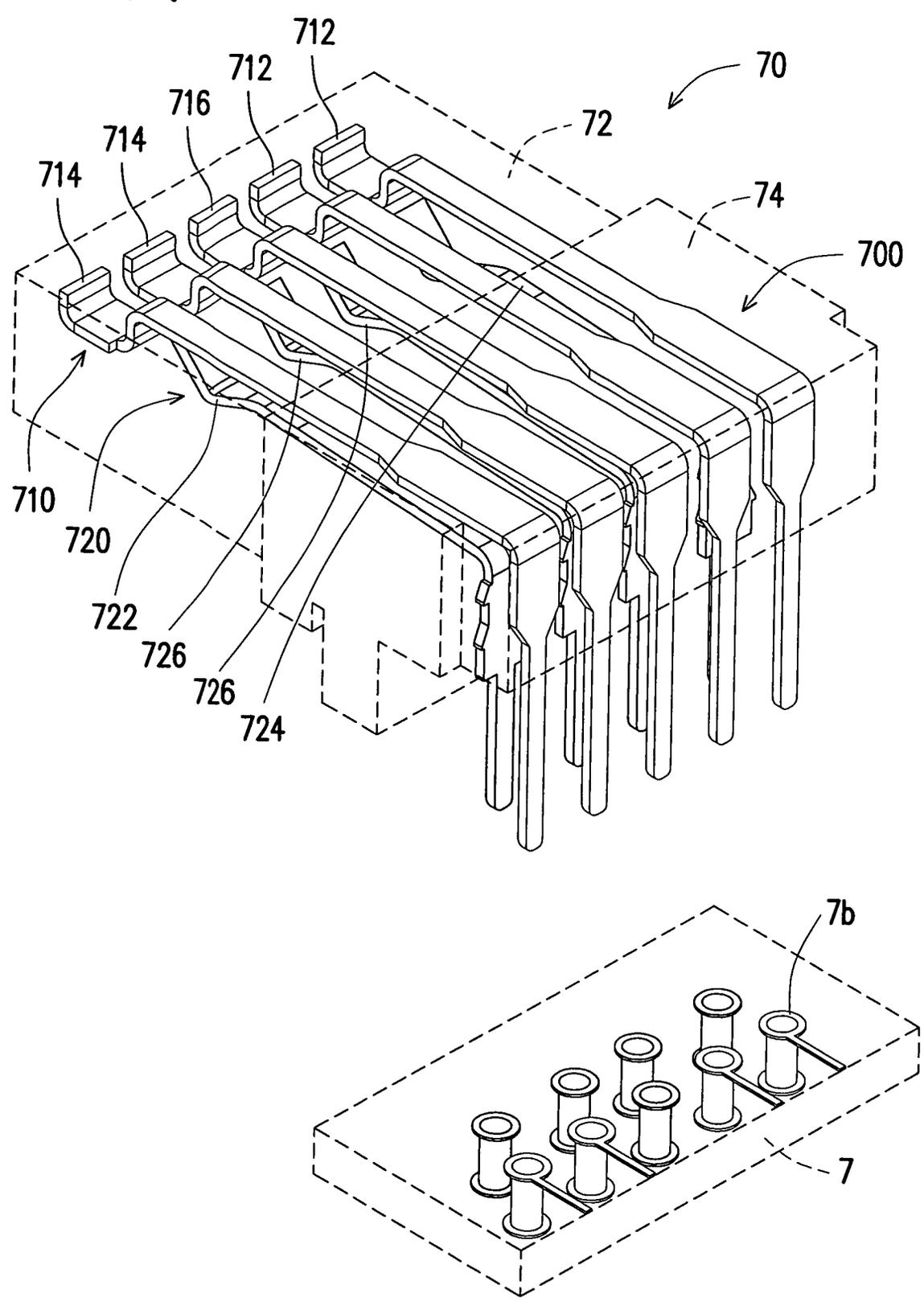


圖 1

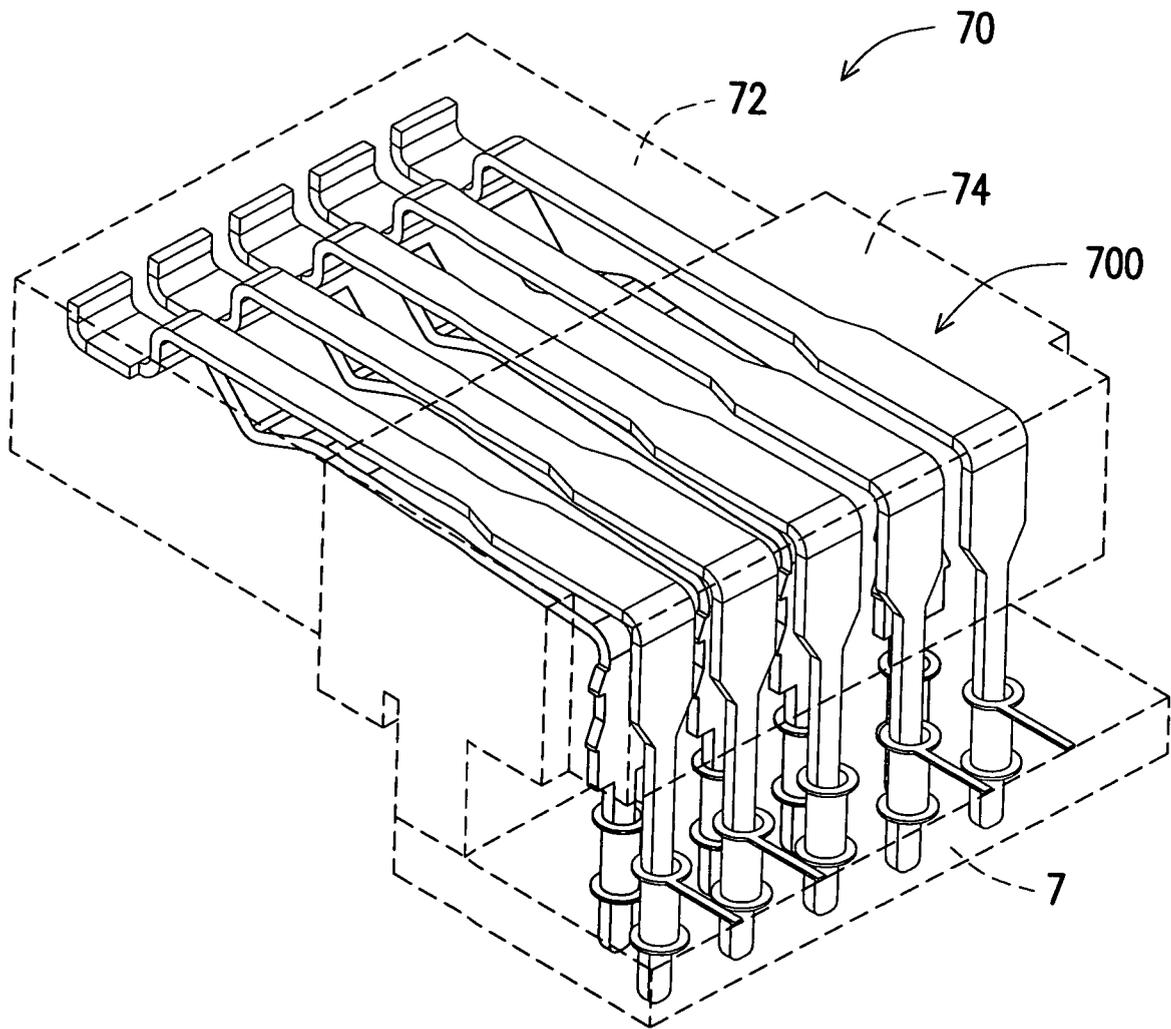


圖 2

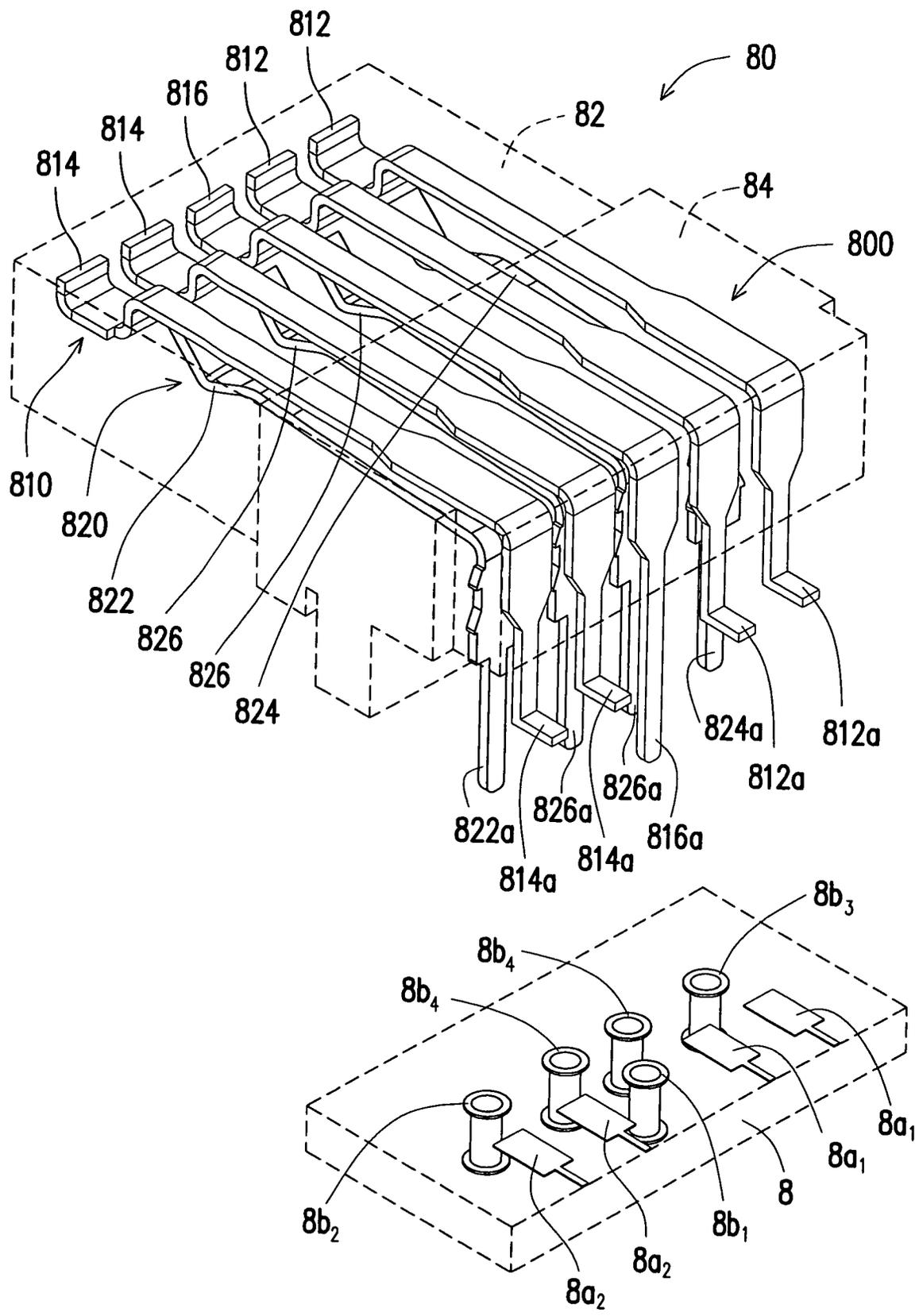


圖 3

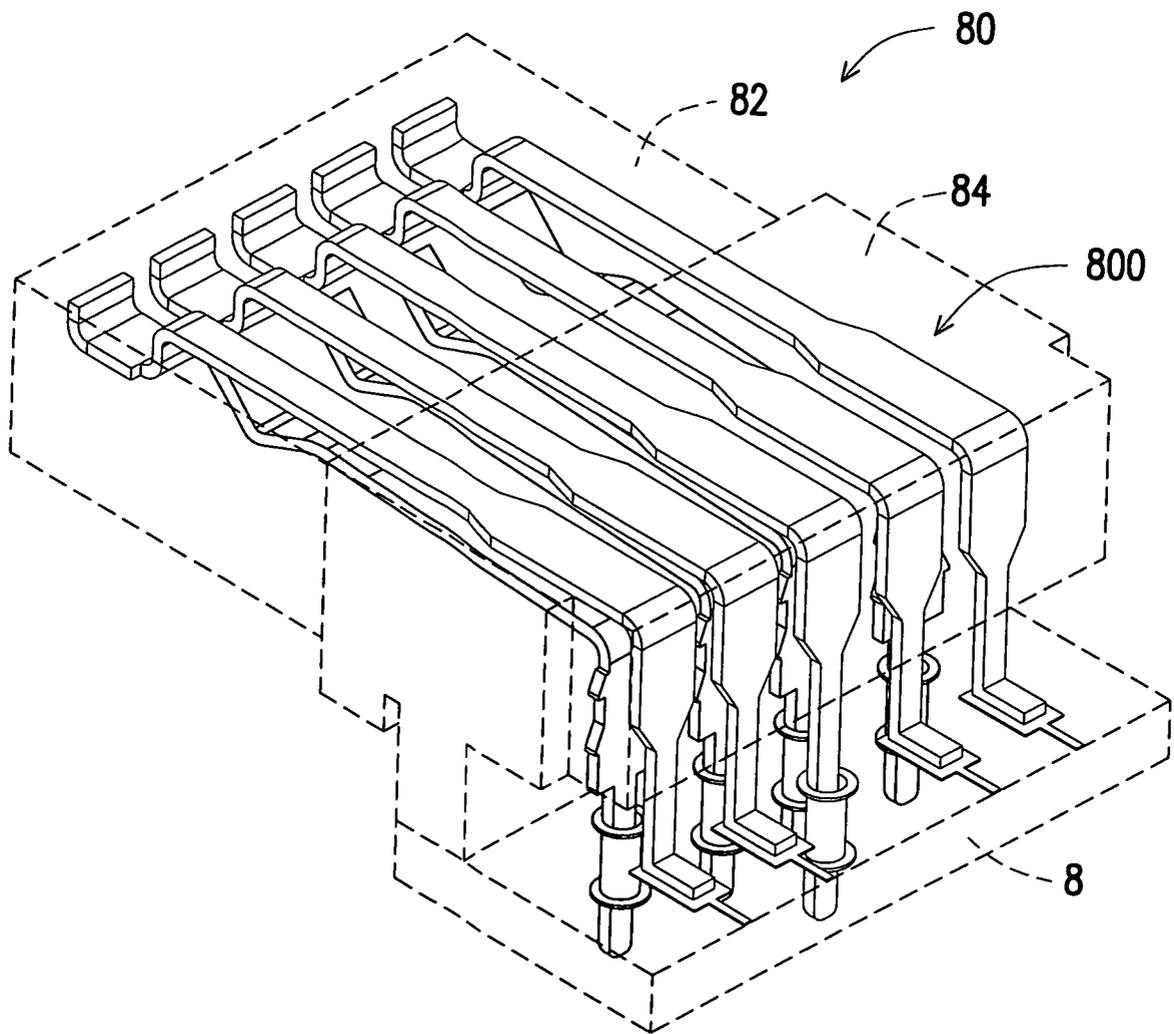


圖 4

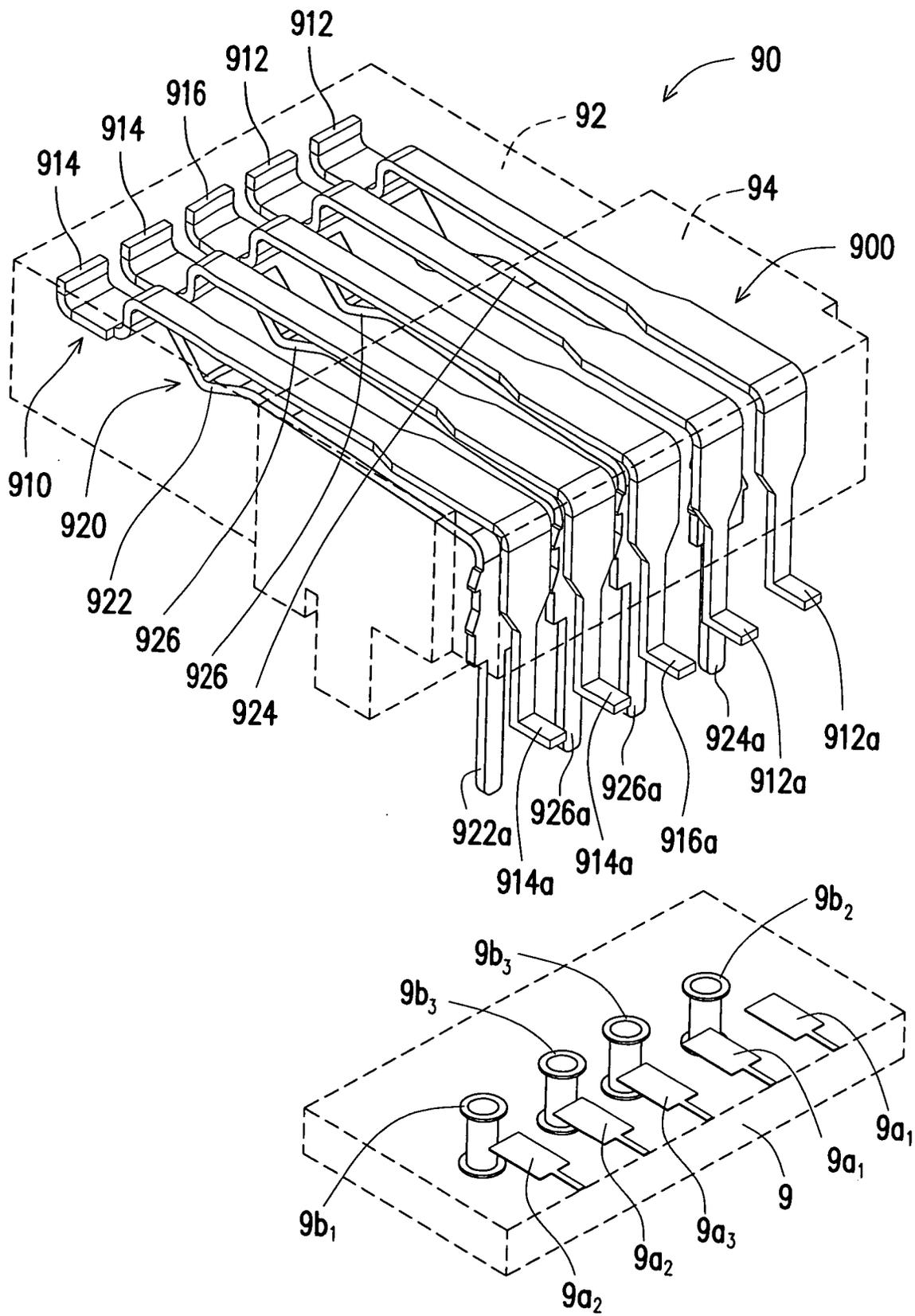


圖 5

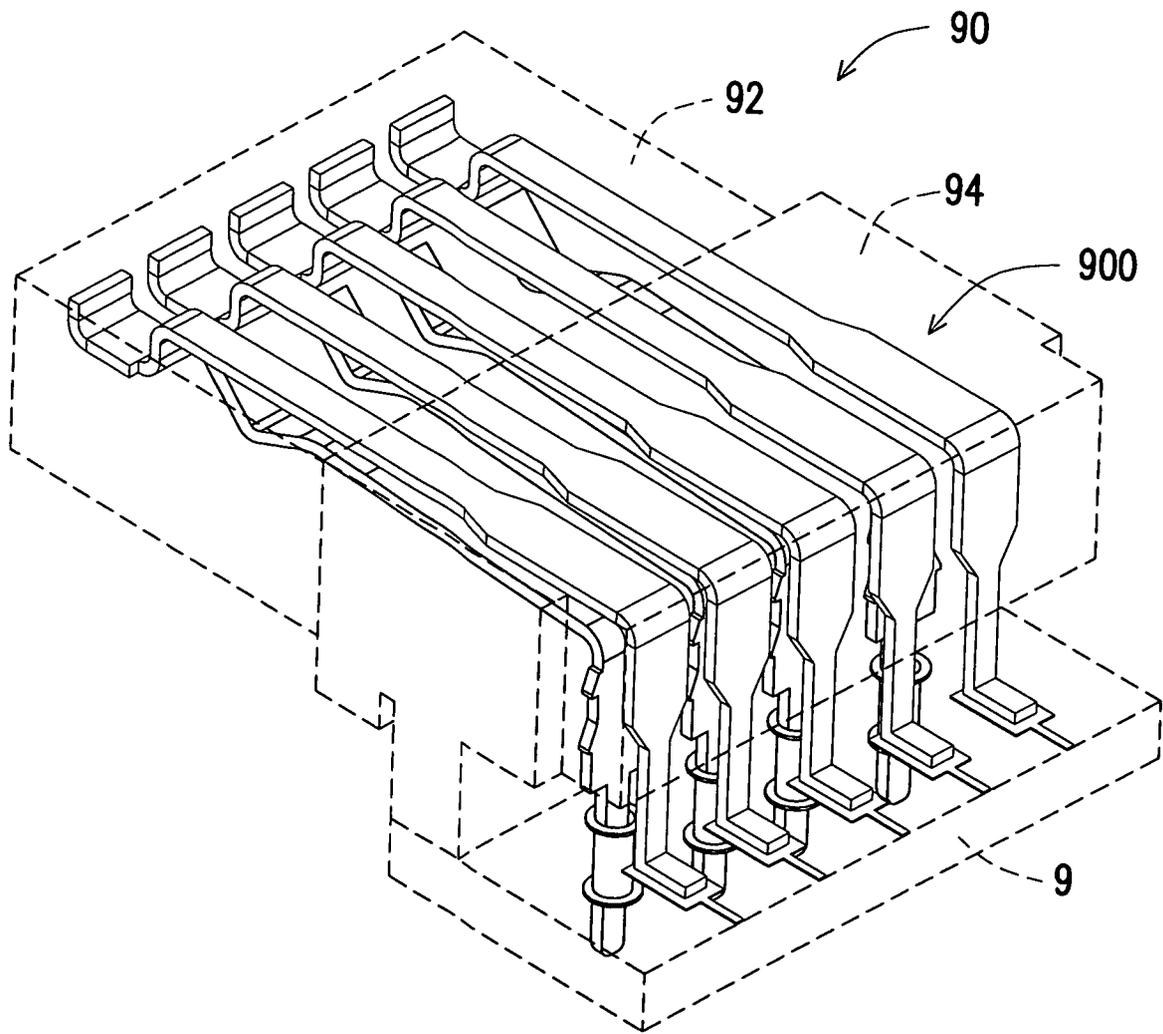


圖 6

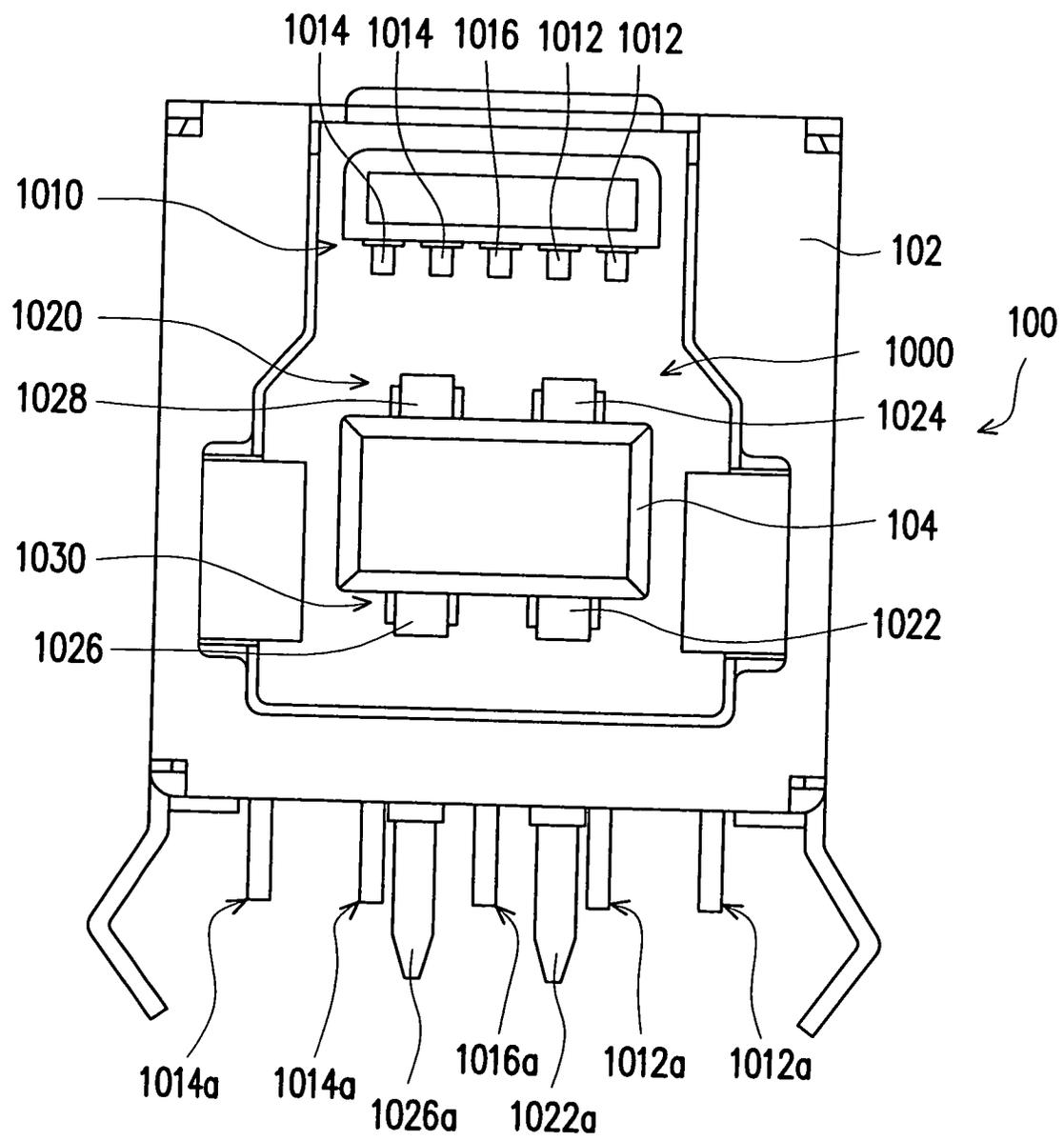


圖 7

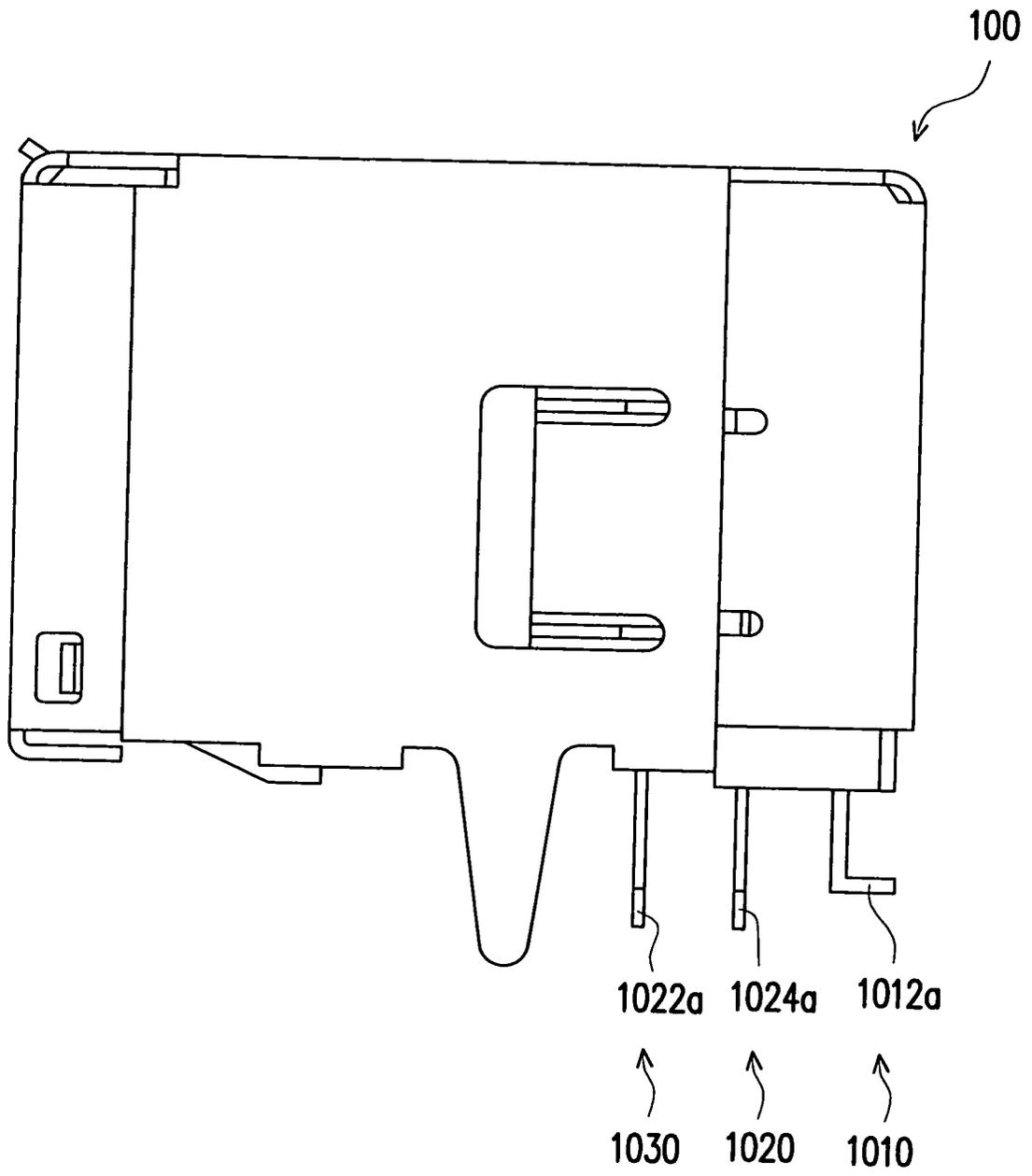


圖 8

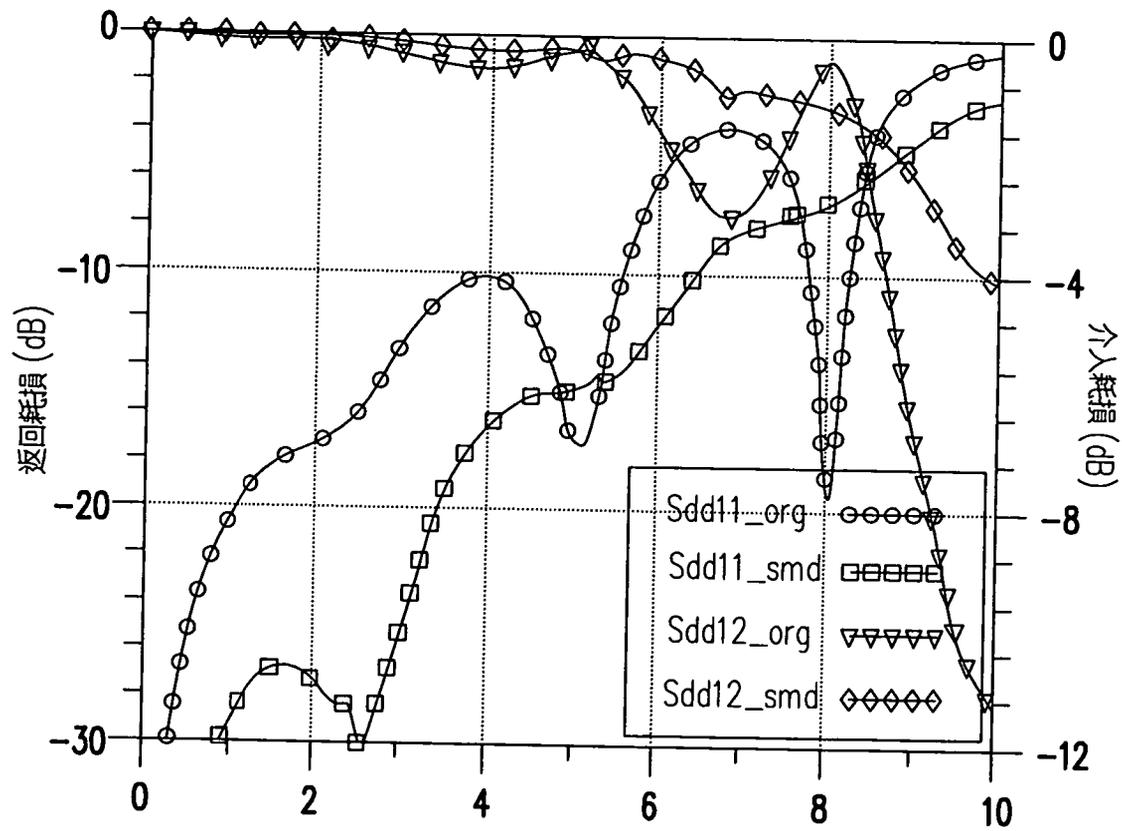


圖 9