公告本

319903

申請日期	86.5.23
案號	86107267
類別	H01L 21/8242 Int.Cl[6]

A4 86033
C4

319903

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	一種積體電路電容器之電荷儲存電極的製造方法
	英文	
二、發明 創作 人	姓名	曾鴻輝
	國籍	中華民國
	住、居所	新竹市中央路二八一巷二五號五樓
三、申請人	姓名（名稱）	世界先進積體電路股份有限公司
	國籍	中華民國
	住、居所（事務所）	新竹科學工業園區新竹縣園區三路一二三號
	代表人姓名	張忠謀

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（　）

1.發明之技術領域

本發明是關於積體電路之動態隨機存取記憶體（DRAM）的製造方法，特別是關於高密度堆疊式動態隨機存取記憶體（stack DRAM）的製造方法。

2.發明背景

臺灣目前已經成爲積體電路王國，1995 年新竹科學工業園區之積體電路產值超過新臺幣 1000 億，而新竹科學工業園區主要的積體電路產品是數位金氧半場效電晶體積體電路（digital MOSFET IC）。傳統製造金氧半場效電晶體積體電路之方法是在矽半導體晶圓上形成隔離金氧半場效電晶體所需要的場氧化層，然後，再製造金氧半場效電晶體（MOSFET），金氧半場效電晶體並可分爲 P 通道金氧半場效電晶體（PMOSFET）、 N 通道金氧半場效電晶體（NMOSFET）和互補式金氧半場效電晶體（CMOSFET）。

但隨著臺灣積體電路研究發展能力的突飛猛進，臺灣最近幾年已經開始生產製造高技術層次的動態隨機存取記憶體。例如，在政府策略性零組件工業之政策下所輔導成立的位於新竹科學工業園區的世界先進積體電路公司（Vanguard International Semiconductor Corporation），便在 1995 年開始八吋晶圓之四佰萬位元堆疊式動態隨機存取記憶體的生產行銷。另一方面，國內企業鑑於世界先進積體電路公司成功的開發出八吋晶圓之四佰萬位元堆疊式動態隨機存取記憶體，也開始如火如荼的跟美國、日本的知名積體電路公司進行策略聯盟，開發八吋晶圓之動態隨機存取記憶體產品，例如，南亞集團跟日本沖電氣（OKI）進行策略聯盟在觀音工業區設廠生產動態隨機存取記憶體，力捷電腦集團跟日本三菱公司（mitsubishi）進行策略聯盟成立力晶半導體公司（Powerchip Semiconductor Corporation）在新竹科學工業園區設廠生產動態隨機存取記憶體，華邦電子（winbond）跟日本東芝公司（toshiba）進行策略聯盟在新竹科學工業園區設廠生產動態隨機存取記憶體，宏碁電腦公司（acer）跟美國德州儀器公司（TI）進行策略聯盟成立德碁半導體公司（TI-Acer），而國內規模最大的臺灣積體電路製造公司（tsmc）和聯華電子（UMC）也擴廠生產動態隨機存取記憶體。由於動態隨機存取記憶體在各種積體電路的需求量最大，是半導體產業之稻米，因此，在不久的未來，動態隨機存取記憶體將締造新竹科學工業園區最大的產值，其重要性不言可喻。新竹科學工業園區之各大積體電路公司之技術層次已經進入設計準則 0.4 到 0.35 微米之一仟六佰萬位元動態隨機存取記憶體的量產階段，例如，世界先進積體電路公司、茂矽電子、臺灣積體電路製造公司和德碁半導體公司都已經具備這種能力。

典型的動態隨機存取記憶體是在矽半導體晶圓上製造一個金氧半場效電晶體與電容器，並利用所述金氧半場效電晶體的源極（source）來連接電容器的電荷儲存電極（storage node）以形成動態隨機存取記憶體的記憶元。數目龐大的記憶元聚集成爲記憶元陣列。另一方面，在記憶元陣列的附近則有其它電路圍繞，例如感測放大器（sense amplifier）等電路，這些外部電路，稱爲週邊電路區域（peripheral circuit）。因此，要達到動態隨機存取記憶體之高積集密度的目的，必需縮小記憶體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（　）

之記憶元的尺寸，然而電容器尺寸的縮小會降低電容值，使得記憶體電路的訊號/雜訊（Signal Noise；S/N）比例降低，造成電路誤判或電路不穩定等缺點。職是之故，爲了達成高積集密度的動態隨機存取記憶體，必需尋找更尖端的製程技術，以在降低記憶元之平面電路佈局面積之同時，能夠維持或增加電容器之電容值。

電容的公式是 $C = \varepsilon A/T$，其中，ε 是電容器介電層（capacitor dielectric）之介電常數，A 是電容器下層電極之表面積，T 是電容器下層電極之厚度，因此，要增加電容器之電容可以從兩個方向著手，第一個方向是採用高介電常數的材料作爲電容器介電層，例如，Ta_2O_5、TiO_2 和 $SrTiO_3$ 材料都具有非常高的介電常數，可惜，由於這些高介電常數的材料之薄膜品質不佳，存在有絕緣層的奔潰電壓等可靠性問題，因此到目前爲止還無法應用到動態隨機存取記憶體。

使用高介電常數的電容器介電層既然不甚可行，吾人由電容的公式 $C = \varepsilon A/T$ 可知電容的大小跟電容器下層電極之表面積成正比，因此，增加電容器下層電極之表面積是增加電容器之電容的另一個方向，而目前最普遍的是所謂三度空間電容器（3-D capacitor）。所述三度空間電容器是在所述轉移閘電晶體之上方或下方的第三度空間形成電容器，以在有限的平面電路佈局面積內增加電容器之電容值。電容器製造在所述轉移閘電晶體之上方時，稱爲堆疊式電容器（stack capacitor），而電容器製造在所述轉移閘電晶體之下方時稱爲凹溝式電容器（trench capacitor）。目前，動態隨機存取記憶體工業主要是使用堆疊式電容器結構，例如，日本和韓國的半導體公司主要是採用堆疊式電容器結構。

Watanabe 等人於 IEDM 1988 年第 600 頁所發表之「stacked capacitor cells for high density dynamic RAMs」與 Wakamiya 等人於 VLSI Technology 1989 第 69 頁所發表之「novel stacked capacitor cell for 64 Mb DRAM」均揭露了堆疊式電容器結構。S. Kimura 等人的美國專利第 4742018 號和 T.Ema 美國專利 4977102 號亦揭露堆疊式電容器以增加電容器電容。日本富士通公司的 Masao Taguchi 等人在美國專利第 5021357 號更揭露了改良的堆疊式電容器結構，稱爲鰭型電容器結構 (fin capacitor)，大幅增加電容器電容，提高動態隨機存取記憶體之集積密度。日本 Hitachi 公司的 T. Kaga 等人更在 1994 年 IEDM 第 927 頁之一篇題目爲「A 0.29 um^2 MIM-CROWN cell and process technology for 1-Gigabit DRAMs」的論文，揭露了一種更爲先進的稱爲「MIM-CROWN 結構」的堆疊式電容器，這些電容器結構均能大幅增加電容器的電容值，提高動態隨機存取記憶體元件之集積密度。

本發明揭露了一種新穎的堆疊式電容器的製造方法，可以大幅縮小電容器之平面電路佈局面積和大幅提高電容器的電容，因此能應用在超高集積密度之堆疊式動態隨機存取記憶體產品的製造。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（　）

3.發明之簡要說明

本發明的主要目的是提供一種高電容之堆疊式電容器的製造方法。

本發明的另一個目的是提供一種高集積密度之堆疊式動態隨機存取記憶體的製造方法。

本發明之主要方法如下。首先，以標準製程在矽半導體晶圓上形成隔離金氧半場效電晶體所需要的場氧化層，接著，形成金氧半場效電晶體，而在形成金氧半場效電晶體複晶矽閘極（polysilicon gate electrode）之同時也形成複晶矽字語線（polysilicon wordline）。

接著，沈積一層第一介電層、第二介電層和非晶矽（amorphous silicon），並平坦化所述第二介電層。然後，利用微影技術和電漿蝕刻技術在電容器區域（capacitor region）蝕去所述第一介電層、第二介電層和非晶矽以形成記憶元接觸窗（cell contact）。未來，堆疊式電容器之電荷儲存電極將透過所述記憶元接觸窗跟金氧半場效電晶體之源極作電性接觸。

接著，形成一層很薄的複晶矽半球型晶粒（polysilicon Hemi-Spherical Grain；HSG），所述「薄的複晶矽半球型晶粒」沒有填滿所述記憶元接觸窗。接著，利用微影技術和電漿蝕刻技術蝕刻電容器區域以外的所述「薄的複晶矽半球型晶粒」和「非晶矽」。然後，去除所述非晶矽表面之自然氧化層，在大於 10^{-6} torr 的高眞空的情況下，對所述非晶矽進行回火處理，以在所述非晶矽的側表面形成粗糙表面。所述「薄的複晶矽半球型晶粒」、「非晶矽」和「粗糙表面」構成電容器的電荷儲存電極，由於所述電荷儲存電極表面粗糙不平，故能增加電荷儲存電極表面積，大幅提高電容器的電容，提高動態隨機存取記憶體的集積密度。

最後，在所述電荷儲存電極的表面形成一層電容器介電層（capacitor dielectric）和複晶矽，再利用微影技術和蝕刻技術蝕刻所述電容器介電層和複晶矽，以形成電容器的上層電極（plate electrode），一種具有高電容和高集積密度之堆疊式動態隨機存取記憶體於焉完成。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（　）

4.圖示的簡要說明

圖一到圖九是本發明之實施例的製程剖面示意圖。

圖一 是在矽半導體晶圓上形成轉移閘電晶體和字語線後的製程剖面示意圖；
圖二 是沈積一層第一介電層與第二介電層，並平坦化所述第二介電層後的製程剖面示意圖；
圖三 是沈積一層非晶矽並利用微影技術形成光阻圖案後的製程剖面示意圖；
圖四 是利用電漿蝕刻技術在電容器區域（capacitor region）蝕去所述第一介電層、第二介電層和非晶矽以形成記憶元接觸窗（cell contact）後的製程剖面示意圖；
圖五 是去除所述光阻圖案後的製程剖面示意圖；
圖六 是形成一層很薄的複晶矽半球型晶粒（polysilicon Hemi-Spherical Grain；HSG）後的製程剖面示意圖；
圖七 是利用微影技術和電漿蝕刻技術蝕刻電容器區域以外的所述「薄的複晶矽半球型晶粒」和「非晶矽」後的製程剖面示意圖；
圖八 是對所述「非晶矽」進行回火處理後的製程剖面示意圖；
圖九 是對所述「非晶矽」進行回火處理，以在所述非晶矽的側表面形成粗糙表面後的製程剖面示意圖。

5.發明之實施例

現在請參考圖一。首先，在電阻值約 2.5 ohm-cm、晶格方向（100）之 P 型矽半導體晶圓 10 上形成場氧化層 12，所述場氧化層 12 通常是利用傳統的局部熱氧化技術（LOCOS）氧化所述 P 型矽半導體基板 10 而形成，其厚度介於 3500 埃到 6500 埃之間，作爲隔離金氧半場效電晶體之用。當然，也可以利用傳統的淺凹溝隔離技術（Shallow Trench Isolation；STI）來形成隔離金氧半場效電晶體所需之場氧化層 12。然後，在所述 P 型矽半導體晶圓 10 之表面形成金氧半場效電晶體，所述金氧半場效電晶體包含有閘氧化層 14、閘極 16A、覆蓋氧化層 18（capped oxide）、N^- 淡摻雜源極/汲極 20A/20B、二氧化矽側壁子 22 和 N^+ 源極/汲極 24A/24B，如圖一所示。另外，在形成閘極 16A 之同時也形成字語線 16B，如圖一所示。

請再參考圖一。所述閘氧化層 14 是在含乾氧的高溫環境中熱氧化所述 P 型矽半導體晶圓 10 之表面之矽原子而成，其氧化溫度介於 850 到 1000 ℃之間，其厚度介於 50 到 200 埃之間。所述閘極 16A 則一般是由低壓化學氣相沉積法（LPCVD）形成之複晶矽 16 或鎢複晶矽化物所構成（polycide），若由複晶矽構成，其厚度介於 2000 到 4000 埃之間，若由鎢複晶矽化物構成，則下層複晶矽之厚度介於 1000 到 2000 埃之間，上層矽化鎢之厚度介於 1000 到 2000 埃之間，其總厚度也是介於 2000 到 4000 埃之間。所述覆蓋氧化層 18 是利用低壓化學氣相沉積法形成之無摻雜的二氧化矽，其厚度介於 800 到 1600 埃之間。然後，利用微影技術與電漿蝕刻技術蝕刻所述覆蓋氧化層 18 和複晶矽 16 或鎢複晶矽化物，以形成所述轉移閘電晶體之閘極結構 14/16A/18（gate structure），如圖一所示。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（　）

形成所述複晶矽 16 之反應溫度介於 500 到 700 ℃ 之間，而形成之複晶矽 16 可以未經摻雜，然後再利用離子佈植技術予以摻雜使具導電性，其離子佈植劑量介於 1E13 到 1E16 原子/平方公分之間，離子佈植能量則介於 30 到 80 Kev 之間，以完成對所述複晶矽 16 之摻雜。當然，也能利用同步磷離子攙雜方法（in-situ doped）以完成對所述複晶矽 16 之摻雜，其反應氣體是 PH_3、SiH_4 與 N_2 的混合氣體或 AsH_3、SiH_4 與 N_2 的混合氣體，最後的磷離子濃度介於 1E20 到 1E21 原子/立方公分之間，而較理想的磷離子濃度是 5E20 原子/立方公分之間。對所述複晶矽 16 之電漿蝕刻，是利用磁場增強式活性離子式電漿蝕刻技術（MERIE），其反應氣體則是由六氟化硫、氯氣和溴化氫組成之混合氣體，能提供效果相當理想的單向性蝕刻、蝕刻率和蝕刻均勻度，所述複晶矽 16 對所述閘氧化層 14 之電漿蝕刻選擇率大於 20，非常高。

請再參考圖一。接著，利用磷離子佈植技術來形成所述轉移閘電晶體之 N^- 淡摻雜源極/汲極 20A/20B，其離子佈植劑量介於 1E13 到 3E14 原子／平方公分之間，離子佈植能量則介於 20 到 50 Kev 之間，如圖一所示，所述 N^- 淡摻雜源極/汲極 20A/20B 是爲了降低熱載子效應，以提高所述轉移閘電晶體之可靠性。接著，沉積一層二氧化矽 22，並利用磁場增強式活性離子式電漿蝕刻技術對所述二氧化矽 22 進行垂直單向性的回蝕刻，以在所述閘極 16 之二側形成二氧化矽側壁子 22。而所述二氧化矽 22 通常是利用低壓化學氣相沉積法形成之無攙雜的二氧化矽，其反應氣體是矽甲烷或四已基矽酸鹽（$Si(C_2H_5O)_4$）和氧氣，反應溫度介於 600 到 800 ℃之間，反應壓力介於 0.2 到 0.4 托爾之間，厚度介於 1000 到 2500 埃之間。最後，利用離子砷佈植技術形成 N^+ 源極24A/汲極24B，其離子佈植劑量介於 1E15 到 5E16 原子/平方公分之間，離子佈植能量則介於 30 到 80 Kev 之間，以提供良好的歐姆接觸，如圖一所示。

現在請參考圖二、圖三、圖四與圖五。完成所述轉移閘電晶體和字語線 16B 的製造後，接著，沈積一層第一介電層 26 與第二介電層 28，並利用化學機械式琢磨技術（Chemical Mechanical Polishing；CMP）平坦化所述第二介電層 28，如圖二所示。接著，沈積一層非晶矽 30（amorphous silicon），並利用微影技術在記電容器區域上方形成光阻圖案 32，如圖三所示。所述非晶矽 30 是利用低壓化學氣相沉積法形成，反應氣體是矽甲烷，反應溫度介於 500 ℃ 到 550 ℃ 之間，反應壓力介於 150 mtorr 到 250 mtorr 之間，厚度介於 3000 到 8000 埃之間。接著，以所述光阻圖案 32 作爲蝕刻護罩，利用電漿蝕刻技術蝕刻所述 N^+ 源極 24A 上方之所述第一介電層 26 與第二介電層 28 和非晶矽 30，以露出所述 N^+ 源極 24A，使所述非晶矽 30 成爲非晶矽 30A，以在所述 N^+ 源極 24A 區域形成記憶元接觸窗 33（node contact），如圖四所示，去除所述光阻圖案 32 後，如圖五所示。未來，堆疊式電容器之電荷儲存電極將透過所述記憶元接觸窗 33 跟所述轉移閘電晶體之 N^+ 源極 24A 作電性接觸。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（　）

所述第一介電層 26 可以是利用低壓化學氣相沉積法（LPCVD）形成之無攙雜的二氧化矽，其反應溫度介於 330 到 370 ℃ 之間，其反應氣體是四已基矽酸鹽（TEOS）與氧化氮（N_2O）或甲烷（silane）與氧化氮（N_2O），其厚度介於 800 埃到 1600 埃之間。所述第二介電層 28 則是利用化學氣相沉積法形成之二氧化矽，其厚度介於 3000 到 8000 埃之間。對所述第一介電層 26 與第二介電層 28 之電漿蝕刻以形成所述記憶元接觸窗 33，可以利用磁場增強式活性離子式電漿蝕刻技術（MERIE）或電子迴旋共振電漿蝕刻技術（ECR）或傳統的活性離子式電漿蝕刻技術（RIE），而通常是利用磁場增強式活性離子式電漿蝕刻技術，其電漿反應氣體是三氟氫化碳和氬氣，例如，日本電氣公司（TEL）所製造型號 DRM 之蝕刻機或美國應用材料公司（applied materials）所製造型號 DPS 之蝕刻機，其蝕刻原理均屬於磁場增強式活性離子式電漿蝕刻技術，能提供效果相當理想的單向性蝕刻、蝕刻率和蝕刻均勻度，且對所述 P 型矽半導體基板 10 之電漿蝕刻選擇率也非常高。對所述非晶矽 30 之電漿蝕刻，也是利用磁場增強式活性離子式電漿蝕刻技術或電子迴旋共振電漿蝕刻技術或傳統的活性離子式電漿蝕刻技術，其電漿反應氣體是六氟化硫、氧、氯和溴化氫之混合氣體，均能提供效果相當理想的蝕刻率和蝕刻均勻度，並且，所述非晶矽 30 對所述第二介電層 28 之蝕刻選擇率非常高，介於 25 到 35 之間。

現在參考圖六和圖七。接著，形成一層摻雜的、很薄的複晶矽半球型晶粒 40（polysilicon Hemi-Spherical Grain；HSG），所述「薄的複晶矽半球型晶粒 40」沒有填滿所述記憶元接觸窗 33，如圖六所示。所述「複晶矽半球型晶粒 40」是利用低壓化學氣相沉積法形成，其反應溫度介於 500 到 750 ℃ 之間，其直徑介於 200 到 800 埃之間。接著，利用微影技術和電漿蝕刻技術蝕刻電容器區域以外的所述「薄的複晶矽半球型晶粒 40」和「非晶矽 30A」，使所述非晶矽 30A 成爲非晶矽 30B，如圖七所示。對所述「薄的複晶矽半球型晶粒 40」和「非晶矽 30A」之電漿蝕刻，是利用磁場增強式活性離子式電漿蝕刻，其電漿反應氣體是六氟化硫、氧氣和溴化氫之混合氣體，均能提供效果相當理想的蝕刻率和蝕刻均勻度，並且，所述「薄的複晶矽半球型晶粒 40」和「非晶矽 30A」對所述第二介電層 28 之蝕刻選擇率非常高，介於 25 到 35 之間。

現在參考圖八和圖九。接著，利用稀釋氫氟酸溶液或蒸氣氫氟酸（vapor HF）去除所述「非晶矽 30A」表面之自然氧化層，再在大於 10^{-6} torr 的高眞空的情況下，對所述「非晶矽 30B」進行回火處理 88，回火溫度介於 550 ℃ 到 650 ℃ 之間，如圖八所示，以在所述「非晶矽 30B」的側表面形成粗糙表面 50，其直徑介於 100 到 500 埃之間，使所述「非晶矽 30B」成爲所述「非晶矽 30C」，如圖九所示。所述「薄的複晶矽半球型晶粒 40」、「非晶矽 30C」和「粗糙表面 50」構成電容器的電荷儲存電極 30C/40/50，由於所述電荷儲存電極 30C/40/50 表面粗糙不平，故能增加電荷儲存電極 30C/40/50 表面積，大幅提高電容器的電容，提高動態隨機存取記憶體的集積密度。

完成電荷儲存電極 30C/40/50 的製造後，接著，以標準製程在所述電容器的電荷儲存電極 30C/40/50 表面形成一層厚度極薄的電容器介電層，接著，形成一層複

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（　）

晶矽。最後，利用微影技術與磁場增強式活性離子式電漿蝕刻技術蝕刻所述薄的電容器介電層和複晶矽，以形成電容器的上層電極（top electrode），一種具備高電容電容器和高集積密度之堆疊式動態隨機存取記憶體於焉完成。

所述電容器介電層通常是由氧化氮化矽（Oxynitride）、氮化矽（Nitride）和二氧化矽（Oxide）藉由下述方法形成。首先，在溫度介於 800℃ 到 950℃ 之間時熱氧化由複晶矽構成之所述電荷儲存電極 30C/40/50，以形成厚度介於 40 埃到 200 埃之間的氧化矽。接著，在溫度介於 650℃ 到 750℃ 之間時以低壓化學氣相沉積法形成厚度介於 40 埃到 60 埃之間的氮化矽。最後，在溫度介於 800℃ 到 950℃ 之間時氧化所述氮化矽，以形成厚度介於 20 埃到 50 埃之間的氧化氮化矽。自然，所述電容器介電層亦可由其它高介電常數材料組成，例如五氧二鉭（Ta_2O_5），或由 TiO_2 和 $SrTiO_3$ 等高介電常數材料所組成。

所述複晶矽之形成方法是利用同步摻雜之低壓化學氣相沉積法形成，其反應氣體是 PH_3、SiH_4 與 N_2 或 AsH_3、SiH_4 與 N_2 的混合氣體，摻雜有磷和砷等雜質原子，其反應溫度介於 500 到 650 ℃ 之間，其厚度介於 1000 到 2000 埃之間，所述第二複晶矽也必需具備導電性，其雜質離子濃度介於 1E20 到 1E21 原子/立方公分之間，而較理想的濃度是 5E20 原子/立方公分。而形成電容器的上層電極之電漿蝕刻，可以利用磁場增強式活性離子式電漿蝕刻技術（MERIE），其電漿反應氣體是六氟化硫、氧氣和溴化氫之混合氣體。

以上係以最佳實施例來闡述本發明，而非限制本發明，並且，熟知半導體技藝之人士皆能明瞭，適當而作些微的改變及調整，仍將不失本發明之要義所在，亦不脫離本發明之精神和範圍。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A5
B5

四、中文發明摘要（發明之名稱：　　）

一種積體電路電容器之電荷儲存電極的製造方法

本發明揭露了一種高密度堆疊式動態隨機存取記憶體（DRAM）的製造方法。形成場效電晶體和字語線後，接著沈積一層第一介電層、第二介電層和非晶矽（amorphous silicon），並平坦化所述第二介電層。然後，利用微影技術和電漿蝕刻技術在電容器區域（capacitor region）蝕去所述第一介電層、第二介電層和非晶矽以形成記憶元接觸窗（cell contact）。接著，形成一層很薄的複晶矽半球型晶粒（polysilicon Hemi-Spherical Grain；HSG），所述「薄的複晶矽半球型晶粒」沒有填滿所述記憶元接觸窗。接著，利用微影技術和電漿蝕刻技術蝕刻電容器區域以外的所述「薄的複晶矽半球型晶粒」和「非晶矽」。然後，去除所述非晶矽表面之自然氧化層，對所述非晶矽進行回火處理，以在所述非晶矽的側表面形成粗糙表面。所述「薄的複晶矽半球型晶粒」、「非晶矽」和「粗糙表面」構成電容器的電荷儲存電極，由於所述電荷儲存電極表面粗糙不平，故能增加電荷儲存電極表面積，大幅提高電容器的電容，提高動態隨機存取記憶體的集積密度。最後，在所述電荷儲存電極的表面形成一層電容器介電層和複晶矽，再利用微影技術和蝕刻技術蝕刻所述電容器介電層和複晶矽，以形成電容器的上層電極（plate electrode），一種具有高電容和高集積密度之堆疊式動態隨機存取記憶體於焉完成。

英文發明摘要（發明之名稱：　　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1．一種積體電路之複晶矽結構的製造方法，係包含下列步驟：

在半導體基板上形成一層介電層，並平坦化所述介電層；
沈積一層非晶矽（amorphous silicon）；
利用微影技術和蝕刻技術蝕刻所述介電層與非晶矽以露出所述半導體基板，以形成洞孔（hole）；
沿著所述洞孔壁與所述非晶矽形成一層複晶矽半球型晶粒（polysilicon Hemi-Spherical Grain；HSG）；
利用微影技術和蝕刻技術蝕刻所述「複晶矽半球型晶粒」和「非晶矽」；
去除所述非晶矽表面之自然氧化層；
對所述非晶矽進行回火處理，以在所述非晶矽的側表面形成粗糙表面。

2．如申請專利範圍第 1 項所述之製造方法，其中所述半導體基板含有電性元件/電子元件（electrical/electronic devices）和薄膜。

3．如申請專利範圍第 1 項所述之製造方法，其中所述介電層是利用低壓化學氣相沉積法（LPCVD）形成之摻雜的或無摻雜的二氧化矽，其厚度介於 3000 到 8000 埃之間。

4．如申請專利範圍第 1 項所述之製造方法，其中所述非晶矽是利用低壓化學氣相沉積法形成，反應氣體是矽甲烷，反應溫度介於 500 ℃ 到 550 ℃ 之間， 反應壓力介於 150 mtorr 到 250 mtorr 之間，厚度介於 3000 到 8000 埃之間。。

5．如申請專利範圍第 1 項所述之製造方法，其中所述形成洞孔之電漿蝕刻，是利用磁場增強式活性離子式電漿蝕刻技術（MERIE）或電子迴旋共振電漿蝕刻技術（ECR）或傳統的活性離子式電漿蝕刻技術（RIE），對所述非晶矽之蝕刻，其電漿反應氣體是六氟化硫、氧、氯和溴化氫之混合氣體；對所述介電層之蝕刻，其電漿反應氣體是三氟氫化碳和氬氣之混合氣體。

6．如申請專利範圍第 1 項所述之製造方法，其中所述「複晶矽半球型晶粒」是利用低壓化學氣相沉積法形成，其反應溫度介於 500 到 750 ℃ 之間，其直徑介於 200 到 800 埃之間。

7．如申請專利範圍第 1 項所述之製造方法，其中所述對非晶矽進行之回火處理以在所述非晶矽的側表面形成粗糙表面，其回火環境之眞空度大於 10^{-6} torr，回火溫度介於 550 ℃ 到 650 ℃ 之間，

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（　）

8．一種堆疊式動態隨機存取記憶體的製造方法，係包含下列步驟：

在矽半導體晶圓上形成場效電晶體；
沈積一層第一介電層和第二介電層，並平坦化所述第二介電層；
沈積一層非晶矽（amorphous silicon）；
利用微影技術和蝕刻技術在電容器區域（capacitor region）蝕去所述第一介電層、第二介電層和非晶矽以形成記憶元接觸窗（cell contact）；
沿著所述接觸窗壁與所述非晶矽上形成一層複晶矽半球型晶粒（polysilicon Hemi-Spherical Grain；HSG）；
利用微影技術和蝕刻技術蝕刻電容器區域以外的所述「複晶矽半球型晶粒」和「非晶矽」；
去除所述非晶矽表面之自然氧化層；
對所述非晶矽進行回火處理，以在所述非晶矽的側表面形成粗糙表面，所述「複晶矽半球型晶粒」、「非晶矽」和「粗糙表面」構成電容器的電荷儲存電極；
形成一層電容器介電層；
形成一層複晶矽；
利用微影技術和蝕刻技術蝕去所述電容器介電層和複晶矽，以形成電容器的上層電極。

9．如申請專利範圍第 8 項所述之製造方法，其中所述場效電晶體含有含有閘氧化層、閘極與源極/汲極。

10．如申請專利範圍第 8 項所述之製造方法，其中所述第一介電層是利用低壓化學氣相沉積法（LPCVD）形成之無攙雜的二氧化矽，其反應溫度介於 330 到 370 ℃ 之間，其反應氣體是四已基矽酸鹽（TEOS）與氧化氮（N_2O）或甲烷（silane）與氧化氮（N_2O），其厚度介於 1000 到 2000 埃之間。

11．如申請專利範圍第 8 項所述之製造方法，其中所述第二介電層是利用化學氣相沉積法形成之二氧化矽，其厚度介於 3000 到 8000 埃之間。

12．如申請專利範圍第 8 項所述之製造方法，其中所述非晶矽是利用低壓化學氣相沉積法形成，反應氣體是矽甲烷，反應溫度介於 500 ℃ 到 550 ℃ 之間， 反應壓力介於 150 mtorr 到 250 mtorr 之間，厚度介於 3000 到 8000 埃之間。

13．如申請專利範圍第 8 項所述之製造方法，其中所述形成記憶元接觸窗之電漿蝕刻，是利用磁場增強式活性離子式電漿蝕刻技術（MERIE）或電子迴旋共振電漿蝕刻技術（ECR）或傳統的活性離子式電漿蝕刻技術（RIE），對所述非晶矽之蝕刻，其電漿反應氣體是六氟化硫、氧、氯和溴化氫之混合氣體；對所述介電層之蝕刻，其電漿反應氣體是三氟氫化碳和氬氣之混合氣體。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

14．如申請專利範圍第 8 項所述之製造方法，其中所述「複晶矽半球型晶粒」是利用低壓化學氣相沉積法形成，其反應溫度介於 500 到 750 ℃ 之間，其直徑介於 200 到 800 埃之間。

15．如申請專利範圍第 8 項所述之製造方法，其中所述對非晶矽進行之回火處理以在所述非晶矽的側表面形成粗糙表面，其回火環境之真空度大於 10^{-6} torr，回火溫度介於 550 ℃ 到 650 ℃ 之間，

16．如申請專利範圍第 8 項所述之製造方法，其中所述電容器介電層是由氧化氮化矽、氮化矽氧化矽藉由下述方法形成：首先，在溫度介於 800℃ 到 950℃ 之間時熱氧化由複晶矽構成之電荷儲存電極，以形成厚度介於 40 埃到 200 埃之間的氧化矽。接著，在溫度介於 650℃ 到 750℃ 之間時以低壓化學氣相沉積法形成厚度介於 40 埃到 60 埃之間的氮化矽。最後，在溫度介於 800℃ 到 950℃ 之間時氧化所述氮化矽，以形成厚度介於 20 埃到 50 埃之間的氧化氮化矽。

17．如申請專利範圍第 8 項所述之製造方法，其中所述電容器介電層是由 Ta_2O_5 、TiO_2 和 $SrTiO_3$ 等材料所組成。

18．如申請專利範圍第 8 項所述之製造方法，其中所述複晶矽是利用同步攙雜之低壓化學氣相沉積法形成，其反應氣體是 PH_3、SiH_4 與 N_2 或 AsH_3、SiH_4 與 N_2 的混合氣體，反應溫度介於 500 到 650 ℃ 之間，其厚度介於 1000 到 2000 埃之間，其雜質離子濃度介於 1E20 到 1E21 原子/立方公分之間。

19．如申請專利範圍第 8 項所述之製造方法，其中所述形成形成電容器的上層電極之蝕刻是利用磁場增強式活性離子式電漿蝕刻技術或電子迴旋共振電漿蝕刻技術或傳統的活性離子式電漿蝕刻技術等電漿蝕刻技術，其電漿反應氣體是六氟化硫、氧、氯和溴化氫之混合氣體。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

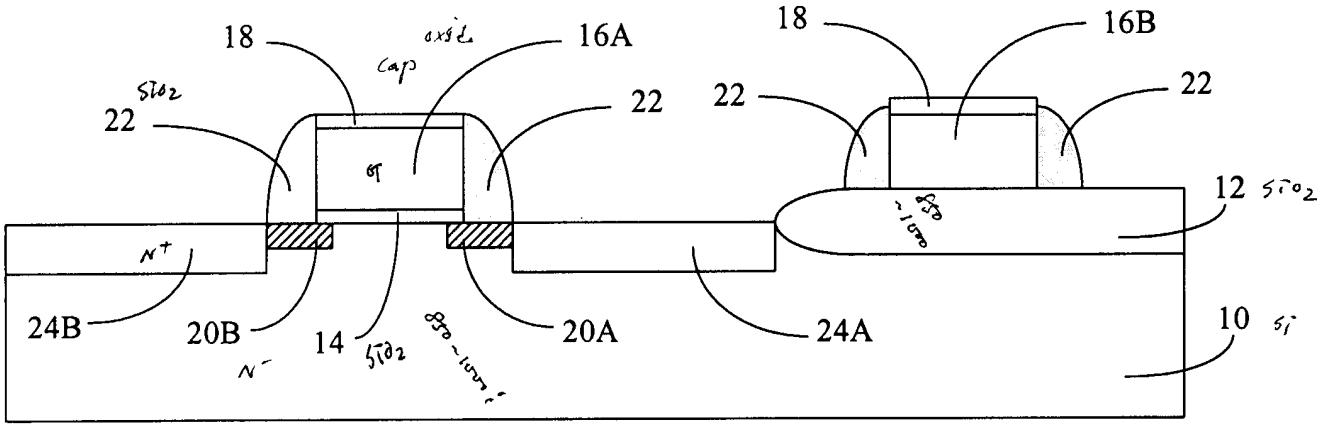


圖 一

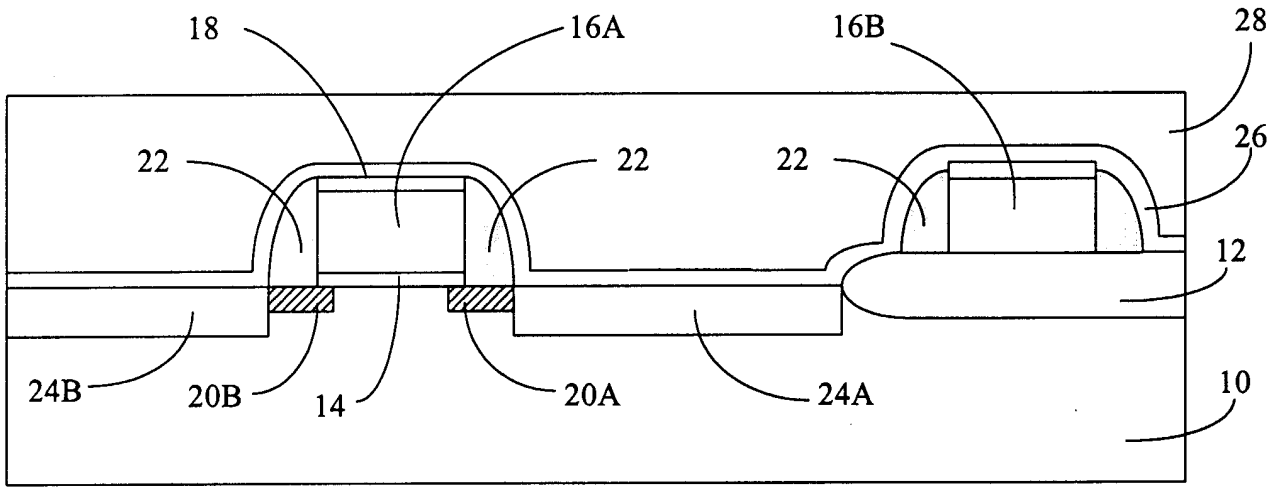


圖 二

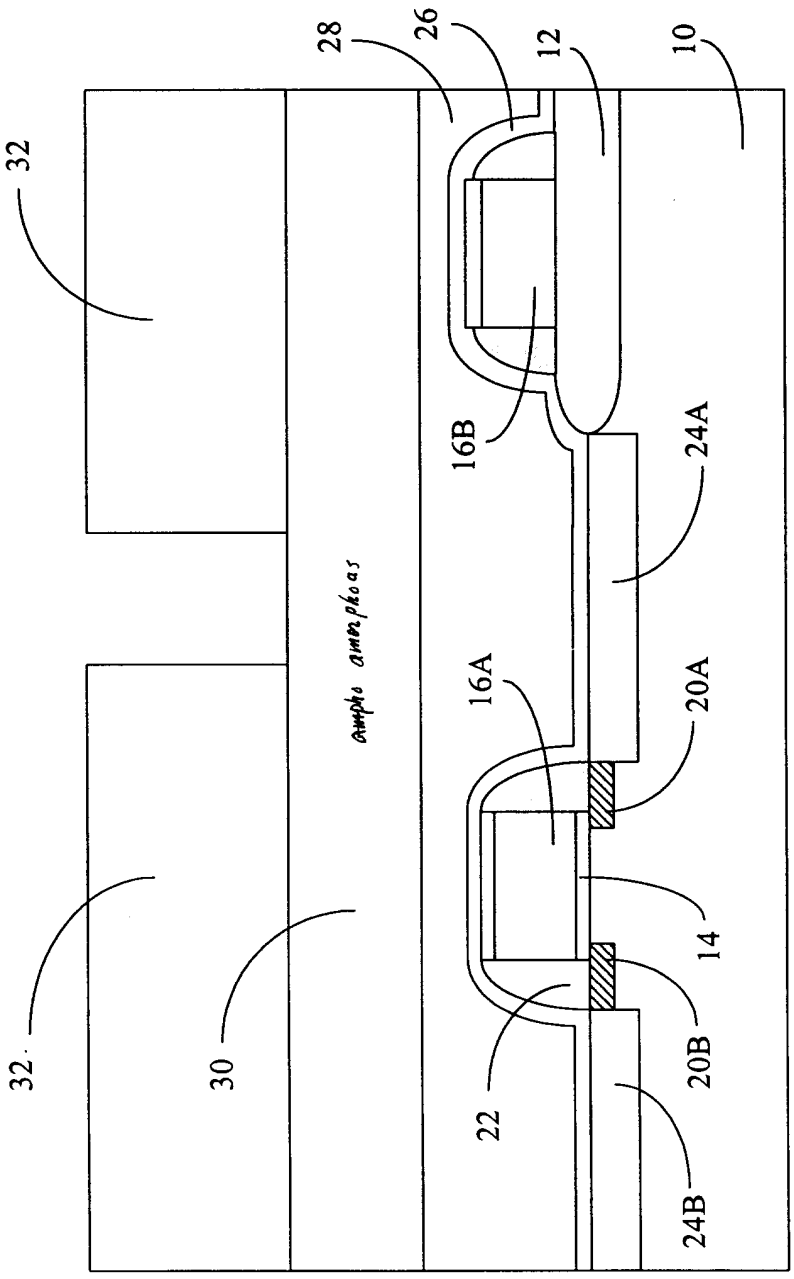


圖 11

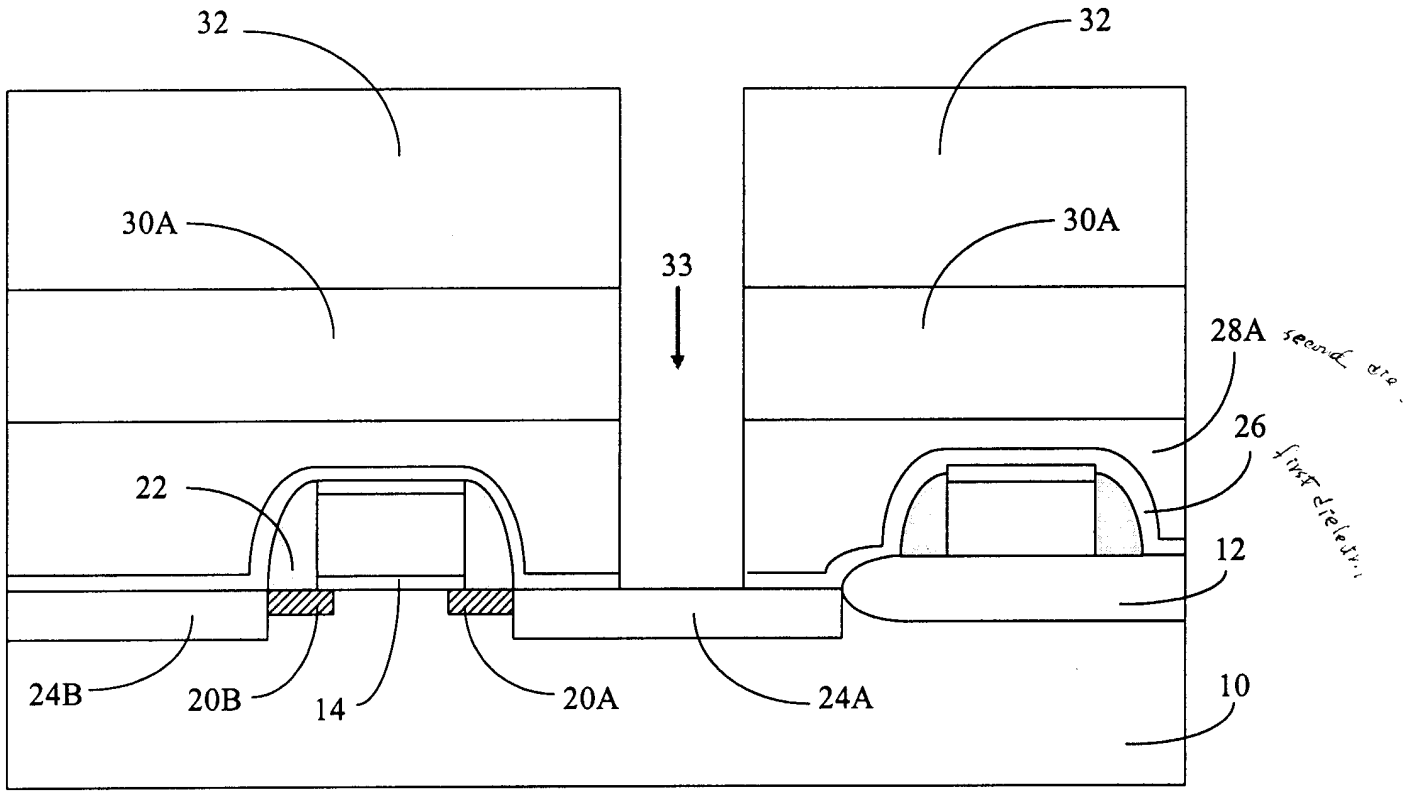


圖 四

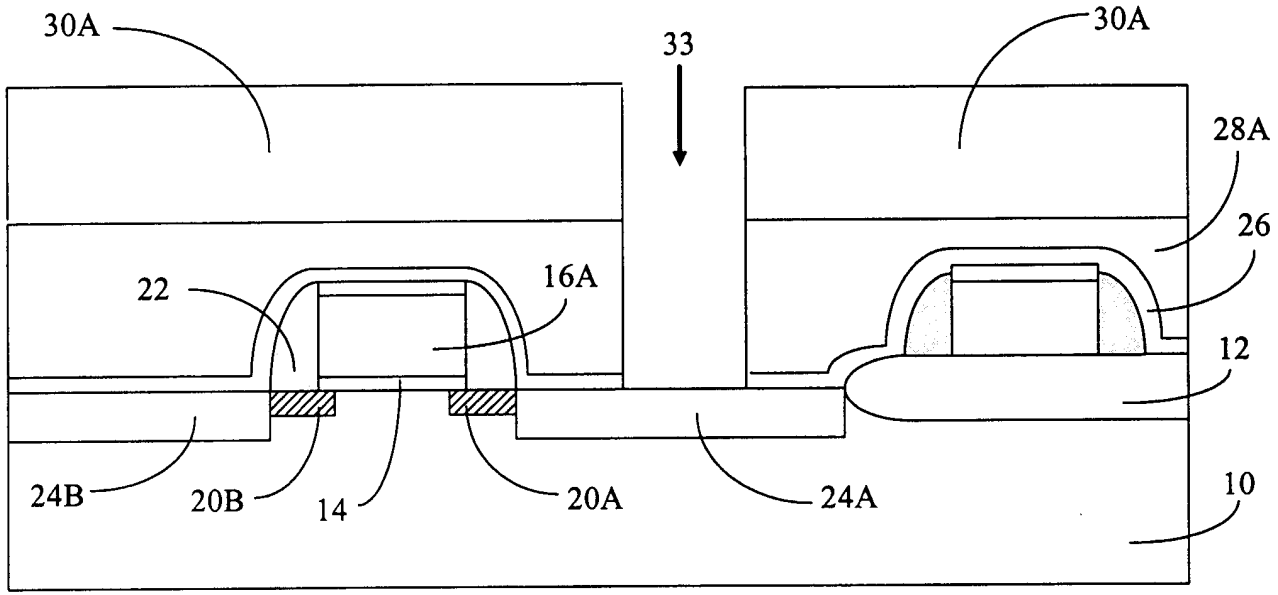
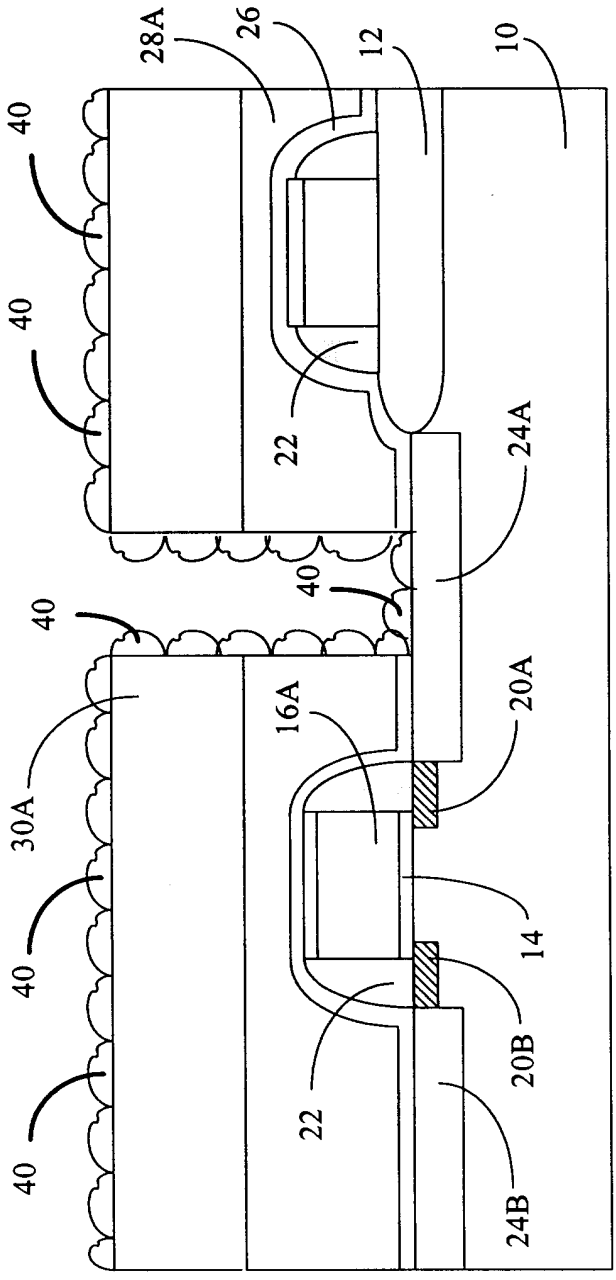


圖 五



圖六

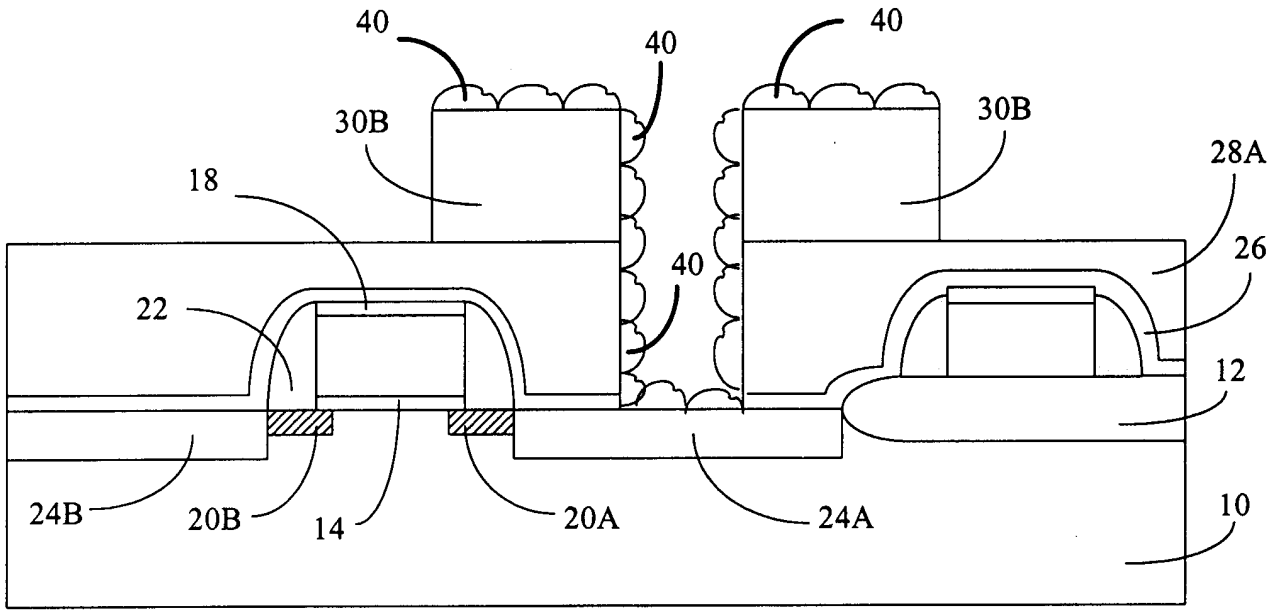


圖 七

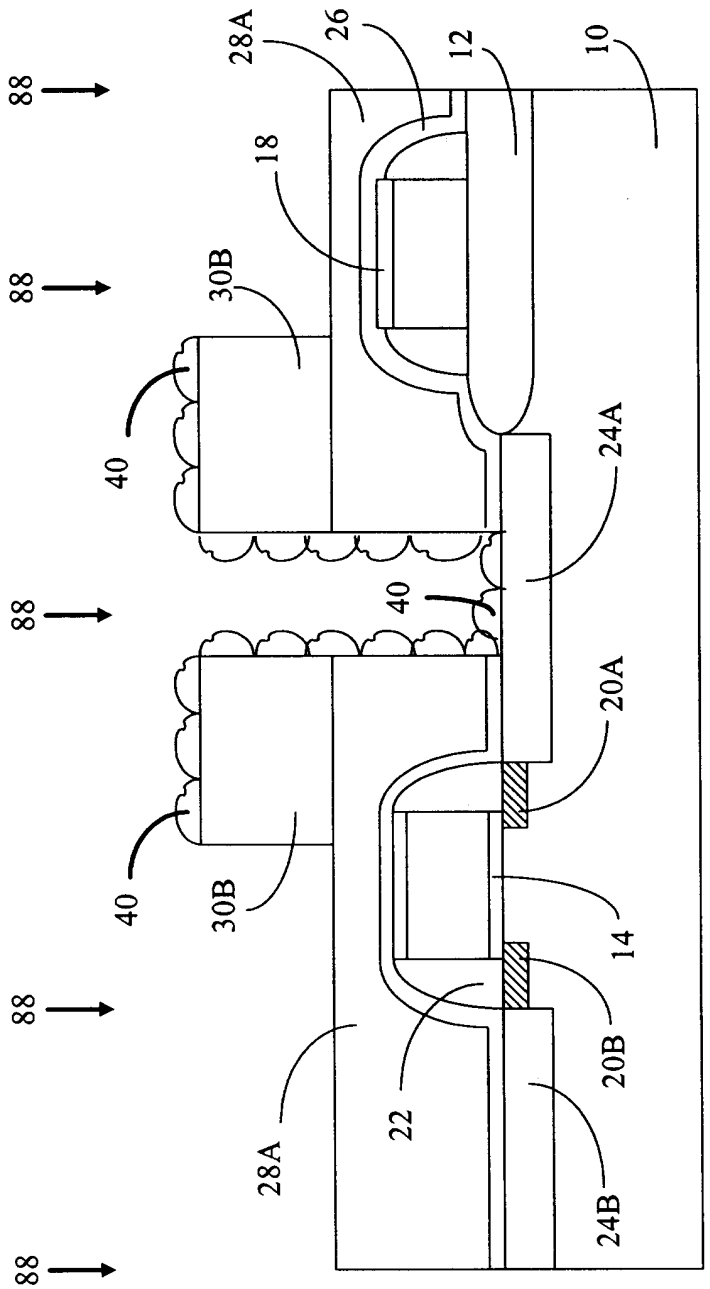
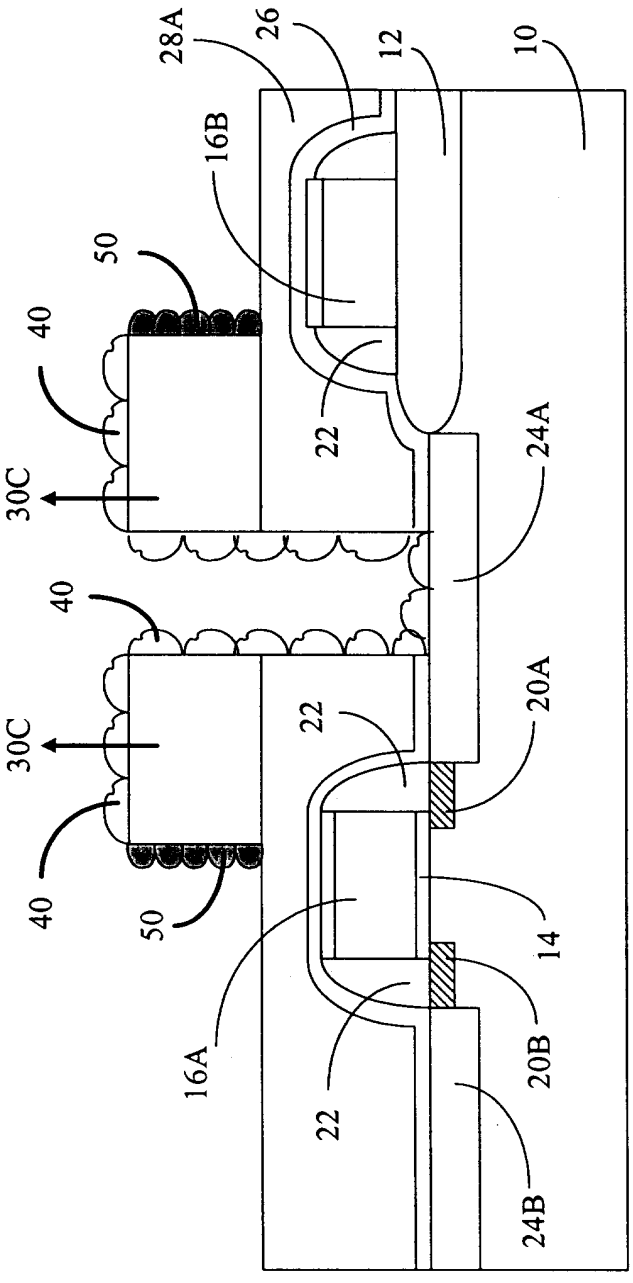

88
88
88
88
88
28A
26
12
10
18
30B
40
40
24A
40
20A
30B
40
14
20B
22
28A
24B

圖 八


28A
26
12
10
16B
50
40
30C
22
24A
40
30C
22
20A
40
50
14
16A
20B
22
24B

圖九