

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4838431号
(P4838431)

(45) 発行日 平成23年12月14日(2011.12.14)

(24) 登録日 平成23年10月7日(2011.10.7)

(51) Int.Cl.

F 1

G09G	3/22	(2006.01)	G09G	3/22	D
G09G	3/20	(2006.01)	G09G	3/20	622C
H04N	5/68	(2006.01)	G09G	3/20	623B
			G09G	3/20	641A
			G09G	3/20	612U

請求項の数 5 (全 27 頁) 最終頁に続く

(21) 出願番号

特願2001-20114 (P2001-20114)

(22) 出願日

平成13年1月29日 (2001.1.29)

(65) 公開番号

特開2002-221932 (P2002-221932A)

(43) 公開日

平成14年8月9日 (2002.8.9)

審査請求日

平成19年6月18日 (2007.6.18)

(73) 特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100085006

弁理士 世良 和信

(74) 代理人 100100549

弁理士 川口 嘉之

(74) 代理人 100106622

弁理士 和久田 純一

(72) 発明者 阿部 直人

東京都大田区下丸子3丁目30番2号 キ
ヤノン株式会社 内

審査官 武田 悟

最終頁に続く

(54) 【発明の名称】 画像表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数の冷陰極型電子放出素子と、前記複数の冷陰極型電子放出素子をマトリクス状に接続する複数の走査配線及び複数の変調配線と、

前記複数の走査配線に選択電位を印加し始めるタイミングが等間隔となるように、順次、前記複数の走査配線に選択電位を印加する走査回路と、

前記複数の変調配線に輝度信号の値に応じたパルス幅を有する駆動パルスを印加する変調回路と、を有し、

1若しくは複数のライン分の輝度信号の中の最大値又は該最大値に応じた最大パルス幅に応じて、該走査配線に選択電位を印加する期間が走査配線毎に決まること

を特徴とする画像表示装置であって、

前記走査配線に選択電位を印加する期間は、前記1若しくは複数のライン分の輝度信号の中の最大値に応じた最大パルス幅よりも長く、入力信号のフレーム周波数と走査配線数により決まる1ラインの表示に要する時間より短い期間であること

を特徴とする画像表示装置。

【請求項 2】

複数の冷陰極型電子放出素子と、前記複数の冷陰極型電子放出素子をマトリクス状に接続する複数の走査配線及び複数の変調配線と、

10

20

前記複数の走査配線に選択電位を順次印加する走査回路と、
前記複数の変調配線に輝度信号の値に応じたパルス幅を有する駆動パルスを印加する変調回路と、を有し、
同一フレーム内における前記複数の走査配線に選択電位を印加する期間は同一であり、かつ、1若しくは複数のフレーム分の輝度信号の中の最大値又は該最大値に応じた最大パルス幅に応じて、前記走査配線に選択電位を印加する期間がフレーム毎に決まることを特徴とする画像表示装置。

【請求項3】

前記走査配線に選択電位を印加する期間は、前記1若しくは複数のフレーム分の輝度信号の中の最大値に応じた最大パルス幅よりも長く、入力信号のフレーム周波数と走査配線数により決まる1ラインの表示に要する時間より短い期間であること
を特徴とする請求項2に記載の画像表示装置。 10

【請求項4】

前記変調回路は、前記複数の変調配線に、立ち上がり時刻又は立ち下がり時刻が同一である駆動パルスを印加すること
を特徴とする請求項1乃至3のいずれかに記載の画像表示装置。

【請求項5】

前記走査配線に選択電位を印加する期間は、該走査配線に接続された複数の変調配線に前記駆動パルスを印加する期間の前及び後の少なくとも100nsec以上の期間を含むこと 20

を特徴とする請求項1乃至4のいずれかに記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はテレビジョン画像信号等の画像表示装置に関し、より詳細には、マトリクス画像表示パネルの走査配線を線順次駆動し、変調配線をパルス幅変調したパルスで駆動し画像を表示する画像表示装置及びそのような画像表示装置に用いられる電子源の駆動方法に関する。

【0002】

【従来の技術】 30

従来、冷陰極素子 - 例えは表面伝導型放出素子や、電界放出型素子(以下FE型と記す)や、金属/絶縁層/金属型放出素子(以下MIM型と記す) - を用いた電子源の応用が研究されている。

【0003】

例えば、それらを大面積にわたり多数の素子を形成し、画像表示装置、画像記録装置などの画像形成装置や、荷電ビーム源、等が研究されている。

【0004】

特に、マトリクス画像表示パネルにおいて、線順次走査とパルス幅変調の組み合わせについて研究がされている。

【0005】 40

例えば、本出願人による「特開2000-075830 走査ドライバ回路と前記回路を含む画像形成装置」において開示されるように、多数の素子を配列したマトリクス画像表示パネルの走査配線を駆動するための方法が研究されている。

【0006】

本出願人による「特開2000-075830 走査ドライバ回路と前記回路を含む画像形成装置」において開示されるように、多数の冷陰極素子を配列したマトリクス画像表示パネルの変調配線をパルス幅変調し走査配線を順次駆動する場合、例えは、冷陰極素子の動作電圧が16V時、走査電圧を-8V、変調電圧を+8Vとした。そして、走査配線を線順次駆動し、輝度に対応するパルス幅で変調配線を駆動し画像をマトリクス画像表示パネルに表示していた。 50

【0007】

このような従来の構成においてマトリクス画像表示パネルに画像表示が行うことができた。

【0008】**【発明が解決しようとする課題】**

しかしわざかではあるが、コントラストの悪化正確に言えば黒表示時および低輝度時の輝度が高くなるという問題が生じた。

【0009】

このような問題点が発生する要因を図16から図18で説明する。

【0010】

図16は、本マトリクス画像表示パネルで使用している冷陰極素子の特性を示す図であり、図16において横軸は冷陰極素子の駆動電圧(V_f)、縦軸は冷陰極素子に流れる素子電流(I_f)、素子から放出される放出電流(I_e)を示す。駆動電圧(V_f)が16Vのとき素子電流(I_f)は0.8[mA]、放出電流(I_e)は0.5[μA]である。なお本特性は冷陰極素子の一例であり冷陰極素子製造プロセス等により特性は異なる。

【0011】

図17は、マトリクス画像表示パネルの駆動原理を示す図である。図17は説明の簡便化のため 4×4 のマトリクスのモノクロパネルを示した。図17において、510はマトリクス画像表示パネル、511は変調信号配線(X1～X4)、512は走査信号配線(Y1～Y4)、513は図16の特性を持つ冷陰極素子であり、冷陰極素子513に対向して設置される不図示の蛍光体が塗布されているアノード電極に冷陰極素子513は電子放出し蛍光体を発光させる。

【0012】

そして、走査配線(Y1～Y4)512を順次選択(走査)し、変調信号配線(X1～X4)511に輝度信号に対応したパルス幅の電圧を印加し、画像を表示する。

【0013】

図18は変調信号配線(X1～X4)511と走査配線(Y1～Y4)512の駆動電圧を示したタイミング図である。図では1フレーム分の印加電圧の変化を示した。図18(タイミング図)において、Y1ライン表示期間を期間T1、Y2ライン表示期間を期間T2、Y3ライン表示期間を期間T3、Y4ライン表示期間を期間T4、と示して以降説明する。

【0014】

期間T1において、高輝度の表示のため、X1～X4に長いパルスが加わり、Y1ラインを表示している。期間T2において、X1は低輝度その他は中輝度の表示のため、X1は短いパルス、X2～X4は中間の長さのパルスが加わり、Y2ラインを表示している。期間T3において、低輝度表示のため、X1～X4に短いパルスが加わり、Y3ラインを表示している。期間T4において、中輝度の表示のため、X1～X4に中間の長さのパルスが加わり、Y4ラインを表示している。そして一画面を形成する。

【0015】

前述したように、選択された走査配線に接続された冷陰極素子513は所望のパルス幅に対応した電子を放出し順次走査し画像を形成するが、以下のような理由により、コントラストの悪化という問題点が生じた。

【0016】

本発明者らは、電圧マージンを確保するために、冷陰極素子を15V動作電圧で、従来例と同様に変調配線電圧の絶対値と走査配線電圧の絶対値が等しくなるように、変調配線電圧+7.5V、走査配線電圧が-7.5Vとなるように駆動した。

【0017】

この場合、図18において

1 期間T1のA部分すなわち、Y1ラインに選択電位が加わりX1～X4を駆動している時、Y1ラインに接続されている冷陰極素子513には変調配線電圧+7.5V、走査配線電圧-

10

20

30

40

50

7 . 5 Vの差の電圧すなわち 1 5 Vが加わり、図 1 6 の特性図を見て明らかのように放出電流が流れ発光する。この時、Y2 ~ Y4に接続されている冷陰極素子 5 1 3 は変調配線電圧 + 7 . 5 Vのが加わるが、図 1 6 の特性図を見てわかるように、ごくわずか電子を放出するためごくわずか発光する。

【 0 0 1 8 】

2 期間T3のB部分すなわち、Y3ラインに選択電位が加わりX1 ~ X4を駆動していない時、Y3 ラインに接続されている冷陰極素子 5 1 3 には変調配線電圧 0 V、走査配線電圧 - 7 . 5 Vの差の電圧すなわち 7 . 5 Vが加わり、図 1 6 の特性図を見て明らかのように、ごくわずか電子を放出するためごくわずか発光する。

【 0 0 1 9 】

特に、全面を黒表示あるいは低輝度で表示する場合、2 の状態がすべてのラインの選択期間で起き、パネルがごくわずか発光してしまい、結果としてコントラストがわずかながら劣化してしまう画像となってしまった。

【 0 0 2 0 】

また、実際に駆動回路を I C 化する場合は、ローコスト化のために駆動電圧の配分を変える必要があった。

【 0 0 2 1 】

すなわち、実際に駆動回路を I C 化する場合、単に走査動作を行う走査配線ドライバに比べ、輝度データの転送やパルス幅変調器を内蔵しなくてはならない変調配線ドライバの回路構成が複雑である。そのため、ドライバ全体をローコストにするためには、変調配線ドライバの集積度を上げる必要がある。すなわち、変調配線ドライバは走査配線ドライバに比べ細線化プロセスを使用するとドライバ全体としてローコスト化可能である。より具体的には、変調配線ドライバのプロセス耐圧を、走査配線ドライバで使用するプロセス耐圧より低くするのが望ましい。

【 0 0 2 2 】

そのため、本発明者らは、1 5 V動作電圧の冷陰極素子を変調配線電圧が + 5 V、走査配線電圧が - 1 0 Vとなるように駆動電圧のバランスを崩して駆動させた。この場合変調配線ドライバは、7 V耐圧の CMOS プロセスで、+ 5 Vの駆動電圧を供給した、これは + 7 . 5 V出力のために必要なプロセスに比べローコストであった。一方走査ドライバは大電流を要求しているため 7 . 5 V出力であっても 1 0 V出力であっても現在選択できるプロセスは同一のものとなり、ドライバ I C のコストには優位な差はなかった。そして、このようなプロセスの I C を採用することによってローコストな駆動回路が供給できた。

【 0 0 2 3 】

そしてローコストに、マトリクス画像表示パネルに画像表示を行うことができた。しかしながら、この場合更に、コントラストが悪化する、正確に言えば黒表示時および低輝度時の輝度が高くなるという問題が生じた。

【 0 0 2 4 】

バランスを崩して駆動した場合についてコントラスト悪化の説明を行う。図 1 8 において 3 期間T1のA部分すなわちY1ラインに選択電位が加わりX1 ~ X4を駆動している時、Y1 ラインに接続されている冷陰極素子 5 1 3 には変調配線電圧 + 5 V、走査配線電圧 - 1 0 V の差の電圧すなわち 1 5 Vが加わり、図 1 6 の特性図を見て明らかのように放出電流が流れ発光する。この時、Y2 ~ Y4に接続されている冷陰極素子 5 1 3 に対して変調配線電圧 + 5 Vのが加わるが、図 1 6 の特性図を見てわかるように、ほとんど電子を放出しないためほとんど発光はしない。

【 0 0 2 5 】

4 期間T3のB部分すなわちY3ラインに選択電位が加わりX1 ~ X4を駆動していない時、Y3 ラインに接続されている冷陰極素子 5 1 3 には変調配線電圧 0 V、走査配線電圧 - 1 0 V の差の電圧すなわち 1 0 Vが加わり、図 1 6 の特性図を見て明らかのように、電子を放出するため発光する。

【 0 0 2 6 】

10

20

30

40

50

特に、全面を黒表示あるいは低輝度で表示する場合、4の状態がすべての走査ラインの選択期間で起き、パネルが発光してしまい、結果としてコントラストが劣化してしまう画像となってしまった。

【0027】

変調配線電圧が+5V、走査配線電圧が-10Vで駆動する場合、3のコントラスト劣化要因は1より非常に小さいものではあったが、冷陰極素子の特性上、4のコントラスト劣化要因が2よりはるかに大きいので総合的にみて変調配線電圧+7.5V、走査配線電圧が-7.5Vとなるように駆動させた場合のコントラスト劣化より、更に、コントラストが悪化する、正確に言えば黒表示時および低輝度時の輝度が高くなるという問題が生じた。

10

【0028】

本発明はかかる従来技術の課題を解決するためになされたものであって、その目的は、複数の冷陰極素子等の画像表示素子をマトリクス状に配列した画像表示装置の変調配線をパルス幅変調し、走査配線を順次駆動する場合に、黒表示時および低輝度時の輝度浮き上がりを防止でき、良好なコントラストを提供する画像表示装置を提供することにある。

【0029】

さらに、従来例と同様に変調配線電圧の絶対値と走査配線電圧の絶対値が等しくなるよう駆動させた場合のみならず、15V動作電圧の冷陰極素子を変調配線電圧が+5V、走査配線電圧が-10Vのようにバランスを崩して駆動した場合でも、黒表示時および低輝度時の輝度浮き上がりを防止でき、良好なコントラストを提供する画像表示装置を提供することにある。

20

【0030】

【課題を解決するための手段】

上記目的を達成するために本発明は、

複数の表示素子と、

前記複数の表示素子をマトリクス状に接続する複数の走査配線及び複数の変調配線と、
前記複数の走査配線に選択電位を印加し始めるタイミングが等間隔となるように、順次
、前記複数の走査配線に選択電位を印加する走査回路と、

前記複数の変調配線に輝度信号に応じたパルス幅を有する駆動パルスを印加する変調回路と、を有し、

30

前記走査配線に接続された複数の表示素子の輝度信号に応じて、該走査配線に選択電位を印加する期間が走査配線毎に決まること

を特徴とする画像表示装置である。

【0051】

【発明の実施の形態】

始めに、本発明の要旨を解りやすく説明するために、図16、図17、図18、図15とともに本発明の要旨を簡単に説明する。また、本発明の効果がわかりやすい例として、冷陰極素子を変調配線電圧が+5V、走査配線電圧が-10Vのようにバランスを崩して駆動した場合について説明する。

40

【0052】

図16、図17、図18の図の説明はすでに行っているので説明を省略する。

【0053】

図15は本発明の要旨を解りやすく説明するためのタイミング図であり、図18と同様なタイミング図である。図15において図18で説明した部分の説明は省略する。図15においてCは変調配線(X1～X4)の最大パルス幅の時刻を示す破線であり、従来例と異なり走査駆動電圧(Y1～Y4)はこの時刻直後に非選択電位に戻るように走査ドライバは制御されている。

【0054】

図15に示すタイミングを見てわかるように、変調配線電圧が加わった時は必ず走査配線電圧が加わるので、冷陰極素子には図18に示す場合と同じ時間駆動電圧を供給すること

50

ができる。従って、同じ時間だけ冷陰極素子 513 を駆動し、結果として同じ画像を得ることができる。

【0055】

一方、コントラスト悪化要因である変調配線または走査配線どちらか一方のみ駆動されている時間について説明する。

【0056】

図15のタイミング動作において、

5 期間T1のA部分すなわちY1ラインをX1～X4が駆動している時、Y1ラインに接続されている冷陰極素子 513 には変調配線電圧 +5V、走査配線電圧 -10V の差の電圧すなわち 15V が加わり、図16の特性図を見て明らかなように放出電流が流れ発光する。この時、Y2～Y4に接続されている冷陰極素子 513 に対して変調配線電圧 +5V のが加わるが、図16の特性図を見てわかるように、電子を放出しないため発光はしない。10

6 期間T3のB部分すなわちY3ラインをX1～X4が駆動していない時、Y1ラインに接続されている冷陰極素子 513 には変調配線電圧 0V、走査配線電圧 0V の差の電圧すなわち 0V が加わり、図16の特性図を見るまでもなく電子放出は無く、結果として発光しない。

【0057】

そのため、従来のバランスを崩した電圧で駆動する場合に比べ、従来は 4 で示したように、期間T3のB部分すなわちY3ラインをX1～X4が駆動していない時、Y1ラインに接続されている冷陰極素子 513 に 10V が加わっていた。しかし、本発明の形態では図15に示すように、冷陰極素子に加わる電圧は 0V となり、黒表示時あるいは低輝度時パネルの発光を抑えることができる。そして、コントラストの良好な画像を表示できる。20

【0058】

バランスを崩していない駆動電圧で駆動した場合も同様に、期間T3のBの部分において、黒表示時あるいは低輝度時パネルの発光を抑えることができ、結果としてコントラストの良好な画像を表示できる。

【0059】

(第一の実施例)

次に、本発明の第一の実施例を示す。

【0060】

本発明に係る画像表示装置に使用するマトリクス画像表示パネルは、薄型の真空容器内に、基板上に多数の電子源例えば冷陰極素子を配列してなるマルチ電子源と、電子の照射により画像を形成する画像形成部材とを対向して備えている。30

【0061】

冷陰極素子は、例えばフォトリソグラフィー・エッチングのような製造技術を用いれば基板上に精密に位置決めして形成できるため、微小な間隔で多数個を配列することが可能である。しかも、従来から CRT 等で用いられてきた熱陰極と比較すると、陰極自身や周辺部が比較的低温な状態で駆動できるため、より微細な配列ピッチのマルチ電子源を容易に実現できる。

【0062】

初めに、本発明の第一の実施例の構成を、図1をもとに説明する。40

【0063】

図1は、本発明の画像表示装置の第一の実施例の全体構成を説明する図である。図1において、1は薄型の真空容器内に、基板上に多数の電子源例えば冷陰極素子を配列してなるマルチ電子源を持つマトリクス画像表示パネルであり、図1に示すように、例えば水平方向に 480 素子すなわち 160 画素 (RGB) × 3 が配置され、例えば、垂直方向に 240 素子が配置されている。本実施例では、480 素子 × 240 素子のマトリクス画像表示パネルの例を示すが、素子数に関しては必要に応じて製品用途により決定されるので、この限りではない。マトリクス画像表示パネル 1 の各冷陰極素子は、画像表示時の色に合わせ、Ru,v (v=1,4,7,...) 、Gu,v (v=2,5,8,...) 、Bu,v (v=3,6,9,...) で示した。

【0064】

10

20

30

40

50

マトリクス画像表示パネル1は、例えばRGBストライプ配列の画素配置をもつ。2はアナログデジタル変換器(A/Dコンバータ)であり、不図示のデコーダにより例えばNTSC信号からRGB信号にデコードされたアナログRGBコンポーネント信号(信号名をS0とする)を、各々例えば8bit幅のデジタルRGB信号(信号名をS1とする)を、データ並び替え部3は、A/Dコンバータ2またはコンピュータ等のデジタルRGB信号(信号名をS1とする)を入力しマトリクス画像表示パネル1の画素配列に合わせデジタルデータを並べ替え出力する機能を有する(信号名をS2とする)。4は輝度データ変換器(画像信号を輝度信号に変換する手段)であり、入力されたデジタルデータを所望の輝度特性に変換する変換テーブルに基づき、例えば放送用にガンマ変換された信号の逆変換を行なう(出力信号名をS3:輝度信号とする)。5はシフトレジスタであり輝度データ変換器4から送られる輝度信号をシフトクロック(SCLK)で順次シフト転送し、マトリクス画像表示パネル1のそれぞれの素子に対応したデジタルデータ(XD1～XD480)を形成する。6は変調信号発生部であり、シフトレジスタ5からのデジタルデータに応じて、PWMクロック(PCLK)をもとにパルス幅を決定する(XDP1～XDP480)。7は変調配線ドライバ(変調配線駆動手段)であり、変調信号発生部6のパルス幅出力(XDP1～XDP480)に応じて、マトリクス画像表示パネル1の変調配線を駆動する(駆動信号をX1～X480とする)。

【0065】

8は走査配線ドライバ(走査配線駆動手段)であり、マトリクス画像表示パネル1の走査配線端子に接続される。81は走査信号発生部であり、垂直同期信号に同期したYST信号を水平同期信号に同期したHDで順次シフトし走査配線数に対応しパラレルに出力する。82はアンド回路であり、走査信号発生部81のパラレル出力各々と走査配線駆動時間決定部の出力をANDし出力する。83はMOSトランジスタ等で構成されるスイッチ手段でありアンド回路82の出力レベルによってスイッチを切り替え選択電位(-Vss)・非選択電位(GND)を切り替え出力する。

【0066】

9は走査配線駆動時間決定部(走査配線駆動時間決定手段)であり、輝度データ変換部の出力S3の1走査期間内の最大値を記憶し対応するパルス幅を出力する。

【0067】

10はタイミング制御部であり、各機能ブロックに所望のタイミングの制御信号を、入力画像の同期信号及びデータサンプリングクロック(DCLK)等から作る。

図8は画像表示装置の全体構成のタイミング図である。

【0068】

次に、図1および図8に従って画像表示装置の全体構成の動作を説明する。

【0069】

図1において、不図示のデコーダにより、例えばNTSC信号からRGB信号にデコードされたアナログRGBコンポーネント信号(S0)を、A/Dコンバータ2は、各々例えば8bit幅のデジタルRGB信号(S1)に変換する。データ並び替え部3は、A/Dコンバータ2またはコンピュータ等のデジタルRGB信号(S1)を入力する。この際、1走査ライン(1H)のデータ数は、マトリクス画像表示パネル1の変調配線側の画素数で決めるが簡単になる。本実施例の場合、マトリクス画像表示パネル1の変調配線側の画素数を160に決めた。A/Dコンバータ2またはコンピュータ等のデジタルRGB信号(S1)は不図示のデータサンプリングクロック(DCLK)と同期して出力される。図8に示すように、データ並び替え部3の入力信号(S1)は、RGBパラレル信号を、データサンプリングクロック(DCLK)の3倍の周波数のクロックである不図示のシフトクロック(SCLK)のタイミングで切り替えられ、マトリクス画像表示パネル1のRGB画素配列に従って、順次出力される。

【0070】

データ並び替え部3の出力信号(S2)は、輝度データ変換器4に入力される。輝度データ変換器4は、あらかじめ、所望のデータが記憶されている不図示の変換テーブル(ROM)

10

20

30

40

50

)により、データ並び替え部3の出力信号(S2)を例えればCRTのガンマ特性と同等の輝度特性に変換する(出力信号をS3:輝度信号とする)。

【0071】

輝度データ変換器4の出力である輝度信号(S3)は、シフトレジスタ5に送られ、ソフトクロック(SCLK)で順次シフト転送し、マトリクス画像表示パネル1のそれぞれの素子に対応したディジタルデータ(XD1～XD480)を水平走査時間単位でシリアルパラレル変換し出力する。例えば8bit幅のディジタルデータ(XD1～XD480)が変調信号発生部6に入力する。

【0072】

そして、水平走査時間単位で、ロードパルス(Ldx)により変調信号発生部6内の不図示のラッチ回路にラッチされる。ロードパルス(Ldx)の時刻を基準とし、変調信号発生部6は素子毎にディジタルデータ(「設定値」とPWMクロック(PCLK)に応じてパルス幅を決定する。すなわち変調信号発生部6は、「PWMクロック(PCLK)数」が「設定値」と等くなるまでの時間で決まるパルス幅(XDP1～XDP480)を出力する。そして変調配線ドライバ7は、変調信号発生部6の出力にもとづき変調配線を駆動する。

10

【0073】

一方、輝度データ変換器4の出力である輝度信号(S3)は、順次、走査配線駆動時間決定部9に入力される。走査配線駆動時間決定部9は水平走査時間単位で輝度信号(S3)の最大値を検出し、次の水平走査時間単位の間、最大値を保持出力する。そして、前記最大値をもとに、変調信号発生部6の出力するパルス幅の立ち上がり時刻直前に立ち上がり、「PWMクロック(PCLK)数」×「輝度信号(S3)の最大値」で決まるパルス幅の立ち下がる時刻の後にたち下がるパルス(S10)を出力する。例えば、変調信号発生部6が出力する輝度信号(S3)の最大値である変調配線のパルス幅(XDPmax)に比べ、走査配線駆動時間決定部9の出力(S10)は1PCLK周期前に立ち上がり1PCLK周期後に立ち下がるようにした。これは一例であり、2PCLK周期前に立ち上がり2PCLK周期後に立ち下がってもかまわない。ディレイ量が大きいほどパネル内の波形は乱れないので水平走査時間内に入るならば、もっと大きなディレイ量でもよい。

20

【0074】

より具体的には、走査配線駆動時間決定部9の出力(S10)の少なくとも100nSec、より良好には200nSec以上後に変調配線ドライバ7は駆動パルスを出力する、そして、変調配線ドライバ7の最長の駆動パルスが立ち下がった後、少なくとも100nSec、より良好には200nSec以上後に走査配線駆動時間決定部9の出力(S10)は選択出力を非選択出力にすることによって、パネル内の駆動波形を乱れないようにできた。

30

【0075】

本実施例に於いて、NTSC信号を240本の走査配線のマトリクス画像表示パネル1で表示させるために、インターレースされている有効走査線の485本の内480本をフィールド毎にマトリクス画像表示パネル1に重ね書きし駆動した。NTSC信号の1フィールドをマトリクス画像表示パネル1では1フレームとして扱った。すなわちマトリクス画像表示パネル1をフレーム周波数60Hz、走査ライン240本の画像信号として駆動した。

40

【0076】

この時、1走査ラインの表示に要する時間は、NTSC信号ではおよそ63.5μSecであり、その時間内の約56.5μSecを駆動パルス(X1～480)の最大時間と決めた。PWMクロック(PCLK)は、ディジタルデータ(「設定値」)を8bitに選んだので、PWMクロック(PCLK)のパルス数は、256個の時に約56.5μSecとなるような周波数を選んだ。すなわち1パルスのパルス幅は約220nSecのクロック、約4.5MHzの周波数のクロックをPWMクロック(PCLK)とした。

【0077】

また、図8を見てわかるように、走査配線駆動時間決定部9の出力信号(S10)は変調配線駆動パルス(XDP1,XDP2...)の立ち上がりの1PCLK前に立ち上がり、変調配線駆動パルス幅の最大値(Xmax)の立下りの1PCLK後に立ち下がるように制御した。なお、本例で

50

は変調配線ドライバ7、走査配線ドライバ8の遅延時間が非常に短いとして説明した。遅延時間が長い場合は遅延時間を考慮して駆動波形が上記関係を満たすようにタイミングを決定する。

【0078】

走査配線ドライバ8は、図8に示したように走査開始時刻を決める信号(YST)を水平同期信号(HD)に同期して順次転送することによって走査配線を駆動する。

【0079】

走査配線ドライバ8は、水平同期信号(HD)に同期して走査配線の順次1番目(Y1)から240番目(Y240)を選択電圧-Vss(例えば-10V)で順次駆動する。この時、走査配線ドライバ8は、選択していない他の走査配線の電圧を非選択電圧0Vに駆動する。

10

【0080】

走査信号発生部81は、垂直同期信号に同期したYST信号を水平同期信号HDで順次シフトし走査配線数に対応しパラレルに出力する。アンド回路82は走査信号発生部81のパラレル出力各々と走査配線駆動時間決定部の出力(S10)をANDし出力する。走査配線駆動時間決定部の出力がロウレベルの時は強制的に走査配線ドライバ8の出力を非選択電位に設定する。スイッチ手段83はアンド回路82の出力レベルによってスイッチを切り替え選択電位(例えば-10V)・非選択電位(GND)を切り替え出力する。

【0081】

走査配線駆動時間決定部9は、輝度データ変換部4の出力である輝度信号(S3)の最大値を記憶し、次の水平走査期間に対応するパルス幅(S10)を出力するので、変調配線駆動波形、走査配線駆動波形は図8(Y1,Y2,...)のようになる。

20

【0082】

次に、実際の走査配線駆動時間決定部9の構成を図2(a)、ピークホールド器の構成を図2(b)に示す。図2(a)、図2(b)において、91はピークホールド器、92は加算器、93は定数レジスタ、94はラッチ回路、95はパルス幅変調器、91aは比較器、91bはラッチ回路である。

【0083】

次に、走査配線駆動時間決定部9の動作を図9のタイミング図で説明する。

【0084】

1水平走査期間ごとに、HDパルスに同期したResパルスによりラッチ回路91bの記憶内容が0にクリアされる。輝度データ変換器4の出力である輝度信号(S3)はピークホールド器91に順次入力される。順次シフトクロック(SCLK)に同期して入力される輝度信号(S3)はラッチ回路91bの出力と比較器91aで比較され、もし輝度信号(S3)が大きければ比較器91aの出力であるラッチパルスにより新たに輝度信号(S3)がラッチ回路91bに記憶される。1水平走査期間内の順次入力される輝度信号(S3)とラッチ回路91bの出力を比較し大きければラッチ回路にラッチする。そして、1水平走査期間内を終了すると、ピークホールド器91は、1水平走査期間内の輝度信号(S3)の最大値を出力する(S11)。図9にその状態を示した、図9では初めにラッチ回路に一番目の赤の輝度信号であるR1がラッチされ、順次比較され、次にR1 < G2となつた緑の輝度信号(S3)G2がラッチされ、順次比較されG2 < R3、R3 < G3なる輝度信号(S3)がラッチ回路の出力として変更される。そして、k番目の走査ラインを終了しラッチ回路にはk番目の走査配線における最大値(Xmax(k))が記憶され、出力される(S11)。

30

【0085】

加算器92は、この信号(S11)と定数レジスタ93の定数(例えば2)を加算する(S13)。定数レジスタ93の定数は前述したディレイ量を決定するための値であり1走査期間内に収まるならば2に限らない。

40

【0086】

ラッチ回路94はこの加算結果を1走査期間ごとに、HDパルスに同期して記憶する。すなわちk番目の走査ラインにおいてk-1番目の走査ラインにおける最大値(Xmax(

50

$k - 1) + 2$ が記憶されて出力されている。

【0087】

この時、シフトレジスタ5にk番目の走査ラインに相当する輝度信号(S3)は転送されている。変調信号発生部6は水平同期信号HDでロードされているので、k番目の走査ラインにおいてk-1番目の走査ラインの輝度データに基づいて、変調配線を駆動する。

【0088】

ラッチ回路94の出力はパルス幅変調器95に入力され、水平同期信号HDに同期した変調信号発生部6の開始パルス(Ldx)より1PCLK前に出力される開始パルス(Ldy)に従って、変調信号発生部6のパルス出力の1PCLK前に立ち上がるような「PWMクロック(PCLK)数」×「 $X_{max}(k-1) + 2$ 」で決まるパルス幅を出力(S10)する。

10

【0089】

ここでは、定数レジスタの内容は2としたが、変調配線の最大駆動パルス幅より長くなるように1水平同期期間内に収まるように選べばよい。

【0090】

この構成によって、変調配線のパルス幅変調をされた駆動パルスの最大パルス幅より1PCLK分長く選択電圧を選ぶことができた。このため、本実施例では前述したように、6で説明した図15のBの期間の冷陰極素子に加わる電圧は0Vとなり、黒表示時あるいは低輝度時パネルの発光を抑えることができた。

【0091】

そして、少ないハードウェアで、前述した走査駆動波形(図15)を実現し、黒表示時あるいは低輝度時パネルの発光を抑えることができ、結果としてコントラストの良好な画像を表示できた。

20

【0092】

本実施例では、変調配線のパルス幅変調は立ち上がり時刻を同一にしたが、同様な構成で立ち下がり時刻を同一にしたパルス幅変調であっても、同様な効果が得られた。

【0093】

(第二の実施例)

次に、本発明の第二の実施例を示す。

【0094】

本発明の第二の実施例を図3に示す。

30

【0095】

本発明の第二の実施例の構成について、図3をもとに説明する。画像表示装置の全体構成のタイミング図は第一の実施例とほぼ同じなので、図8をもとに説明する。図3において、第一の実施例と同じ構成については同様の符号を用い、説明を省略する。

【0096】

図3において、9は走査配線駆動時間決定部であり、変調信号発生部6のパルス幅出力(XDP1～XDP480)を入力し、変調信号発生部6の最大パルス幅に対応したパルス幅を持つパルスを出力する(S10)。

【0097】

次に、図3にしたがって動作を説明する。第一の実施例と同じ動作であるブロックについては説明を省略する。

40

【0098】

図3において、不図示のデコーダにより、例えばNTSC信号からRGB信号にデコードされたアナログRGBコンポーネント信号(S0)を、A/Dコンバータ2は、各々例えば8bit幅のディジタルRGB信号(S1)に変換する。データ並び替え部3は、A/Dコンバータ2またはコンピュータ等のデジタルRGB信号(S1)を入力する。この際、1走査ライン(1H)のデータ数は、マトリクス画像表示パネル1の変調配線側の画素数で決めると処理が簡単になる。本実施例の場合、マトリクス画像表示パネル1の変調配線側の画素数を160に決めた。A/Dコンバータ2またはコンピュータ等のデジタルRGB信号(S1)は不図示のデータサンプリングクロック(DCLK)と同期して出力される。第

50

一の実施例と同様に、図8に示すように、データ並び替え部3の入力信号(S1)は、RGBパラレル信号を、データサンプリングクロック(DCLK)の3倍の周波数のクロックである不図示のシフトクロック(SCLK)のタイミングで切り替えられ、マトリクス画像表示パネル1のRGB画素配列に従って、順次出力される。

【0099】

データ並び替え部3の出力信号(S2)は、輝度データ変換器4に入力される。輝度データ変換器4は、あらかじめ、所望のデータが記憶されている不図示の変換テーブル(ROM)により、データ並び替え部3の出力信号(S2)を例えばCRTのガンマ特性と同等の輝度特性に変換する(出力信号をS3:輝度信号とする)。

【0100】

輝度データ変換器4の出力である輝度信号(S3)は、シフトレジスタ5に送られ、シフトクロック(SCLK)で順次シフト転送し、マトリクス画像表示パネル1のそれぞれの素子に対応したデジタルデータ(XD1～XD480)を水平走査時間単位で出力する。例えば8bit幅のデジタルデータ(XD1～XD480)が変調信号発生部6に入力される。従来例でも示したとおり、変調信号発生部6は、素子毎にデジタルデータ(「設定値」とPWMクロック(PCLK)に応じてパルス幅を決定する。すなわち変調信号発生部6は、「PWMクロック(PCLK)数」が「設定値」と等くなるまでの時間で決まるパルス幅を出力する(XDP1～XDP480)。7は変調配線ドライバであり、変調信号発生部6のパルス幅出力(XDP1～XDP480)に応じて、マトリクス画像表示パネル1の変調配線を駆動する(駆動信号をX1～X480とする)。

10

【0101】

一方、変調信号発生部6出力(XDP1～XDP480)は走査配線駆動時間決定部9に入力される。走査配線駆動時間決定部9は変調信号発生部6の出力(XDP1～XDP480)であるパルス幅変調されたパルス幅をORし最長のパルス幅に対応したパルス(S10)を出力する。

20

【0102】

また、走査配線駆動時間決定部9の出力信号(S10)は変調配線駆動パルス(X1,X2,...)の立ち上がりの1PCLK前に立ち上がり、変調配線駆動パルスの最大値(Xmax)の立下りの1PCLK後に立ち下がるように制御した。

【0103】

30

第一の実施例と同様に、走査配線ドライバ8は、図8に示したように走査開始時刻を決める信号(YST)を水平同期信号(HD)に同期して順次転送することによって走査配線を駆動する。

【0104】

走査配線ドライバ8は、水平同期信号(HD)に同期して走査配線を順次1番目(Y1)から240番目(Y240)を選択電圧-Vss(例えば-10V)で駆動する。この時、走査配線ドライバ8は、選択していない他の走査配線の電圧を非選択電圧0Vに駆動する。

【0105】

走査信号発生部81は、垂直同期信号に同期したYST信号を水平同期信号に同期したHDで順次シフトし走査配線数に対応しパラレルに出力する。アンド回路82は走査信号発生部81のパラレル出力各々と走査配線駆動時間決定部の出力(S10)をANDし出力する。走査配線駆動時間決定部の出力がロウレベルの時は強制的に走査配線ドライバ8の出力を非選択電位に設定する。スイッチ手段83はアンド回路82の出力レベルによってスイッチを切り替え選択電位(例えば-10V)・非選択電位(GND)を切り替え出力する。

40

【0106】

走査配線駆動時間決定部9は変調信号発生部6の出力(XDP1～XDP480)であるパルス幅変調されたパルス幅をORし最長のパルス幅に対応したパルス(S10)を出力する。走査配線駆動波形は図8(Y1,Y2,...)のようになる。

【0107】

50

次に、実際の走査配線駆動時間決定部9の構成を図4に示す。図4において、96は変調信号発生部6の出力(XDP1～XDP480)をORするオア回路、97はディレイ回路、98は2入力オア回路、99はパルス発生器である。

【0108】

図10に第二の実施例のタイミング図を示す。

【0109】

走査配線駆動時間決定部9の動作を図4および図10で説明する。

【0110】

変調信号発生部6の出力(XDP1～XDP480)をオア回路96はORしS14なる信号を出力する。(オア回路96の出力は変調信号発生部6の出力(XDP1～XDP480)の最長のパルスと等しい)。ここでオア回路96は便宜上1個で記述したが、複数で構成してもかまわない。例えば、変調配線ドライバIC単位にオア回路を持ち変調信号発生部6の出力をq個ORし、その出力r個を更にORしてもかまわない($q \times r = 480$)。オア回路96の出力はディレイ回路97で1PCLKディレイされる(S15)。一方、パルス発生器99は変調信号発生部6の立ち上がりに先立つパルス(Ldy)をもとに3PCLK分のパルスを出力する。そして2入力オア回路98はディレイ回路97の出力(S15)、パルス発生器99の出力(S16)をORし出力する(S10)。

【0111】

すなわち、2入力オア回路98の出力S10は、変調信号発生部6のパルス出力の1PCLK前にハイレベルとなり、変調信号発生部6のパルス幅変調をされた最大パルス幅より1PCLK後にローレベルになる。

【0112】

そして、走査配線ドライバ8は、変調配線ドライバの出力する時間の1PCLK前に選択電位を出力し、変調配線ドライバの最長パルスより1PCLK分後に非選択電圧になる。

【0113】

すなわち第一の実施例と同様な駆動が可能となる。

【0114】

このため、本実施例では、前述したように、6で説明した図15のBの期間の冷陰極素子に加わる電圧は0Vとなり、黒表示時あるいは低輝度時パネルの発光を抑えることができた。

30

【0115】

そして、少ないハードウェアで前述した走査駆動波形を実現し、黒表示時あるいは低輝度時パネルの発光を抑えることができ、結果としてコントラストの良好な画像を表示できた。

【0116】

本実施例では、変調配線のパルス幅変調は立ち上がり時刻を同一にしたが、同様な構成で立ち下がり時刻を同一にしたパルス幅変調であっても、同様な効果が得られた。

【0117】

(第三の実施例)

第一、第二の実施例で示したように、少ないハードウェアでコントラストを向上することができた。しかしながら走査駆動波形は各走査配線毎に輝度信号あるいは列配線ドライバの最大値から決定したため、静止画のような画像を表示する場合、走査配線毎に走査配線駆動時間が異なり、結果として走査配線毎にコントラストが異なる(黒表示時あるいは低輝度時パネルの発光レベルが変わる)ことがわざかながら認められた。

40

【0118】

第三の実施例では、走査駆動波形(駆動時間)は複数のフレームの輝度信号あるいは列配線ドライバの最大値から決定することによって、走査配線毎にコントラストが異なる(黒表示時あるいは低輝度時パネルの発光レベルが変わらない)ように駆動する例を示す。

【0119】

50

本発明の第三の実施例は第一の実施例とほぼ同じ形態であり、走査配線駆動時間決定部9の内部構成が異なるだけである。

【0120】

全体の構成図は第一の実施例と同様に図1であり、画像表示装置の全体構成のタイミング図を図11に示す。

【0121】

第三の実施例を図1および図11をもとに説明する。

【0122】

図1において、第一の実施例と同じブロックについての説明は省略する。

【0123】

図1において、9は走査配線駆動時間決定部であり、輝度データ変換器4の出力(S3)を入力し、変調信号発生部6の複数フレーム間内の最大パルス幅に対応したパルス幅を持つパルスを出力する(S10)。

【0124】

次に図1にしたがって動作を説明する。第一の実施例と同じ動作であるブロックについては説明を省略する。

【0125】

図1において、不図示のデコーダにより、例えばNTSC信号からRGB信号にデコードされたアナログRGBコンポーネント信号(S0)を、A/Dコンバータ2は、各々例えば8bit幅のデジタルRGB信号(S1)に変換する。データ並び替え部3は、A/Dコンバータ2またはコンピュータ等のデジタルRGB信号(S1)を入力する。この際、1走査ライン(1H)のデータ数は、マトリクス画像表示パネル1の変調配線側の画素数で決める処理が簡単になる。本実施例の場合、マトリクス画像表示パネル1の変調配線側の画素数を160に決めた。A/Dコンバータ2またはコンピュータ等のデジタルRGB信号(S1)は不図示のデータサンプリングクロック(DCLK)と同期して出力される。第一の実施例と同様に、図11に示すように、データ並び替え部3の入力信号(S1)は、RGBパラレル信号を、データサンプリングクロック(DCLK)の3倍の周波数のクロックである不図示のシフトクロック(SCLK)のタイミングで切り替えられ、マトリクス画像表示パネル1のRGB画素配列に従って、順次出力される。

【0126】

データ並び替え部3の出力信号(S2)は、輝度データ変換器4に入力される。輝度データ変換器4は、あらかじめ、所望のデータが記憶されている不図示の変換テーブル(ROM)により、データ並び替え部3の出力信号(S2)を例えばCRTのガンマ特性と同等の輝度特性に変換する(出力信号をS3:輝度信号とする)。

【0127】

輝度データ変換器4の出力である輝度信号(S3)は、シフトレジスタ5に送られ、シフトクロック(SCLK)で順次シフト転送し、マトリクス画像表示パネル1のそれぞれの素子に対応したデジタルデータ(XD1～XD480)を水平走査時間単位で出力する。例えば8bit幅のデジタルデータ(XD1～XD480)が変調信号発生部6に入力される。従来例でも示したとおり、変調信号発生部6は、素子毎にデジタルデータ(「設定値」とPWMクロック(PCLK)に応じてパルス幅を決定する。すなわち変調信号発生部6は、「PWMクロック(PCLK)数」が「設定値」と等くなるまでの時間で決まるパルス幅を出力する(XDP1～XDP480)。7は変調配線ドライバであり、変調信号発生部6のパルス幅出力(XDP1～XDP480)に応じて、マトリクス画像表示パネル1の変調配線を駆動する(駆動信号をX1～X480とする)。

【0128】

一方、輝度データ変換器4の出力である輝度信号(S3)は、順次、走査配線駆動時間決定部9に入力される。走査配線駆動時間決定部9は複数のフレーム単位で輝度信号(S3)の最大値を検出する。そして前記最大値をもとに、変調信号発生部6の出力するパルス幅の立ち上がり時刻直前に立ち上がり、「PWMクロック(PCLK)数」×「輝度信号(S3)の複数

10

20

30

40

50

フレームでの最大値」で決まる時刻の後にたち下がるパルス (S10) を出力する。

【0129】

例えば、変調信号発生部 6 が出力する輝度信号 (S3) の複数フレームでの最大値である変調配線のパルス幅(XDPmax)に比べ、走査配線駆動時間決定部 9 の出力 (S10) は 1 PCLK 周期前に立ち上がり 1 PCLK 周期後に立ち下がるようにした。これは一例であり、2 PCLK 周期前に立ち上がり 2 PCLK 周期後に立ち下がってもかまわない。ディレイ量が大きいほどパネル内の波形は乱れないで水平走査時間内に入るならば、もっと大きなディレイ量でもよい。

【0130】

より具体的には、走査配線駆動時間決定部 9 の出力 (S10) の少なくとも 100nSec、より良好には 200nSec 以上後に変調配線ドライバ 7 は駆動パルスを出力する、そして、変調配線ドライバ 7 の最長の駆動パルスが立ち下がった後、少なくとも 100nSec、より良好には 200nSec 以上後に走査配線駆動時間決定部 9 の出力 (S10) は選択出力を非選択出力にすることによって、パネル内の駆動波形を乱れないようにできた。

10

【0131】

また、図 11 を見てわかるように、走査配線駆動時間決定部 9 の出力信号 (S10) は変調配線駆動パルス (XDP1, XDP2, ...) の立ち上がりの 1 PCLK 前に立ち上がり、複数フレーム単位での変調配線駆動パルス幅の最大値 (Xmax) の立下りの 1 PCLK 後に立ち下がるように制御した。なお、本例では変調配線ドライバ 7、走査配線ドライバ 8 の遅延時間が非常に短いとして説明した。遅延時間が長い場合は遅延時間を考慮して駆動波形が上記関係を満たすようにタイミングを決定する。

20

【0132】

走査配線ドライバ 8 は、図 11 に示したように走査開始時刻を決める信号 (YST) を水平同期信号 (HD) に同期して順次転送することによって走査配線を駆動する。

【0133】

走査配線ドライバ 8 は、水平同期信号 (HD) に同期して走査配線を順次 1 番目 (Y1) から 240 番目 (Y240) を選択電圧-Vss (例えば -10V) で順次駆動する。この時、走査配線ドライバ 8 は、選択していない他の走査配線の電圧を非選択電圧 0V に駆動する。

【0134】

走査信号発生部 81 は、垂直同期信号に同期した YST 信号を水平同期信号 HD で順次シフトし走査配線数に対応しパラレルに出力する。アンド回路 82 は走査信号発生部 81 のパラレル出力各々と走査配線駆動時間決定部の出力 (S10) を AND し出力する。走査配線駆動時間決定部の出力がロウレベルの時は強制的に走査配線ドライバ 8 の出力を非選択電位に設定する。スイッチ手段 83 はアンド回路 82 の出力レベルによってスイッチを切り替え選択電位 (例えば -10V)・非選択電位 (GND) を切り替え出力する。

30

【0135】

走査配線駆動時間決定部 9 は、複数フレーム単位で輝度データ変換部 4 の出力である輝度信号 (S3) の最大値を記憶し、次の水平走査期間に対応するパルス幅 (S10) を出力するので、変調配線駆動波形、走査配線駆動波形は図 11 (Y1, Y2, ...) のようになる。

【0136】

40

次に、実際の走査配線駆動時間決定部 9 の構成を図 5 に示す。第三の実施例の走査配線駆動時間決定部 9 はほぼ第一の実施例の走査配線駆動時間決定部 9 と同じであり、異なる部分のみ説明する。

【0137】

図 5において、100a、100b、100c は図 2 (b) に示されるようなピークホールド器、101 は入力信号 (S18a, S18b, S18c) の最大値を出力する (S11) 最大値選択回路、102 はタイミング発生回路、S17a, S17b, S17c はピークホールド器 100a, 100b, 100c に入力される Res パルスである。

【0138】

第三の実施例のタイミング図を図 12 に示す。

50

【0139】

図5において、複数フレーム期間（この例では3フレーム）ごとに、垂直同期信号V Dパルスに同期したR e sパルス（S 1 7 a, S 1 7 b, S 1 7 c）によりピークホールド器1 0 0 a、1 0 0 b、1 0 0 cのラッチはリセットされ3フレーム間の輝度信号（S 3）の最大値を検出する。最大値選択回路1 0 1はピークホールド器1 0 0 a、1 0 0 b、1 0 0 cの出力S 1 8 a, S 1 8 b, S 1 8 cの最大値を出力（S 1 1）する。最大値の出力（S 1 1）は現フレームの現走査ラインから過去2フレームにさかのぼった輝度信号（S 3）の最大値が記憶される。

【0140】

図12を用いより具体的に説明する。図12ではF k番目のフレームにおいてR e sパルス（S 1 7 a）が入り、ピークホールド器1 0 0 aはF k番目のフレーム（現在のフレーム）から現在の走査ラインの期間、順次輝度信号（S 3）の最大値を検出し記憶し出力する。一方ピークホールド器1 0 0 bはF k 1番目のフレームにおいてR e sパルス（S 1 7 b）が入り、ピークホールド器1 0 0 bはF k 1番目のフレームから現在の走査ラインの期間、順次輝度信号（S 3）の最大値を検出し記憶し出力する。さらにピークホールド器1 0 0 cはF k 2番目のフレームにおいてR e sパルス（S 1 7 c）が入り、ピークホールド器1 0 0 bはF k 2番目のフレームから現在の走査ラインの期間、順次輝度信号（S 3）の最大値を検出し記憶し出力する。

【0141】

そして、最大値選択回路1 0 1は、現在のフレーム（F k番目のフレーム）の最大値であるピークホールド器1 0 0 aの出力S 1 8 a、1フレーム前（F k -1）から現在のフレームまでの最大値であるピークホールド器1 0 0 bの出力S 1 8 b、2フレーム前（F k -2）から現在のフレームまでの最大値であるピークホールド器1 0 0 cの出力S 1 8 cの中の最大値（すなわちX m a x（F k））を選択し出力する（S 1 1）。

【0142】

すなわち、常に現在のフレームの現在の走査ラインから過去2フレームにさかのぼった期間の輝度信号（S 3）の最大値を出力する（S 1 1）。

【0143】

第三の実施例では、現在のフレームの現在の走査ラインから過去2フレームにさかのぼった期間の輝度信号（S 3）の最大値を出力する構成を示したが、フレーム数は1以上であればいくらでもかまわない。大きければ走査配線毎にコントラストが異なる点について改善効果が期待できるが、全体のコントラストが低下するようになる。実際には1~180フレーム程度が良好であった。

【0144】

加算器9 2は、この信号（S 1 1）と定数レジスタ9 3の定数（例えば2）を加算する（S 1 3）。定数レジスタ9 3の定数は前述したディレイ量を決定するための値であり1走査期間内に収まるならば2に限らない。ラッチ回路9 4はこの加算結果を1走査期間ごとに、水平同期信号H Dに同期して記憶する。

【0145】

第一の実施例同様に、ラッチ回路9 4により、輝度データ（S 3）のシフトレジスタ5から変調信号発生部6にロードされるディレイをあわせた。

【0146】

ラッチ回路9 4の出力はパルス幅変調器9 5に入力され、水平同期信号HDに同期した変調信号発生部6の開始パルス（Ldx）より1PCLK前に出力される開始パルス（Ldy）に従って、変調信号発生部6のパルス出力の1 P C L K前に立ち上がるような「PWMクロック（PCLK）数」×「Xmax（F k）（すなわち輝度信号（S3）のF k -2からF kフレーム内の最大値）+2」で決まるパルス幅を出力（S 1 0）する。

【0147】

ここでは定数レジスタの内容は2としたが変調配線の最大駆動パルス幅より長くなるように1水平同期期間内に収るように選べばよい。

10

20

30

40

50

【0148】

この構成によって、変調配線のパルス幅変調をされた駆動パルスの複数フレーム内の最大パルス幅より 1 P C L K 分長く選択電圧を選ぶことができた。このため、本実施例では、前述したように、図 6 で説明した図 15 の B の期間の冷陰極素子に加わる電圧は 0 V となり、黒表示時あるいは低輝度時パネルの発光を抑えることができた。

【0149】

そして、少ないハードウェアで、前述した走査駆動波形(図 15)を実現し、黒表示時あるいは低輝度時パネルの発光を抑えることができ、結果としてコントラストの良好な画像を表示できた。

【0150】

また第一、第二の実施例で生じた走査配線毎に走査配線駆動時間が異なり、結果として走査配線毎にコントラストが異なる（黒表示時あるいは低輝度時パネルの発光レベルが変わること）点についても十分改善できた。

【0151】**(第四の実施例)**

第三の実施例で示したように、静止画のような画像を表示する場合であっても、走査配線毎にコントラストが異なる（黒表示時あるいは低輝度時パネルの発光レベルが変わらない）ように駆動することができた。

【0152】

第四の実施例では、第三の実施例同様に、走査配線毎にコントラストが異なる（黒表示時あるいは低輝度時パネルの発光レベルが変わらない）ように駆動することを目的にしている。第三の実施例では過去のフレームから現在のフレームの現在走査しているラインまでの期間の輝度信号 (S 3) の最大値に対応したパルス幅で走査配線を駆動したが、第四の実施例では、過去のフレームから現在のフレーム全ての輝度信号 (S 3) の最大値に対応したパルス幅で走査配線を駆動する例である。

【0153】

本発明の第四の実施例は第三の実施例とほぼ同じ形態であるが、フレームバッファを持つことが大きく異なる。

【0154】

全体の構成図を図 6 に示す。

【0155】

図 6 において、第三の実施例と同じブロックについての説明は省略する。

【0156】

図 6 において、9 は走査配線駆動時間決定部であり、輝度データ変換器 4 の出力 (S 3) を入力し、変調信号発生部 6 の複数フレーム期間内の最大パルス幅に対応したパルス幅を持つパルスを出力する (S 10)。11 はフレームバッファであり、走査配線駆動時間決定部 9 の処理ディレイにあわせ輝度データ変換器 4 の出力 (S 3) を1フレーム遅延出力する (S 3a)。

【0157】

全体構成の動作は第三の実施例とほぼ同じなので省略する。

【0158】

第四の実施例の走査配線駆動時間決定部 9 の動作およびフレームバッファ 11 の関係のみ説明する。

【0159】

図 7 に走査配線駆動時間決定部 9 の詳細を、図 13 にタイミング図を示す。

【0160】

第四の実施例の走査配線駆動時間決定部 9 は第三の実施例の走査配線駆動時間決定部 9 とほぼ同じである。

【0161】

図 7 において、103a、103b、103c は図 2 (b) に示されるようなピークホール

10

20

30

40

50

ド器、104は入力信号(S20a、S20b、S20c)を切り替え出力(S21)するスイッチ、105はタイミング発生回路、S19a、S19b、S19cはピークホールド器103a、103b、103cに入力されるResパルス、S20a、S20b、S20cはピークホールド器103a、103b、103cそれぞれがResパルス印加後の最大値出力、S20dはスイッチ104の切り替え信号、106は垂直同期信号VDに同期した信号でラッチするラッチ回路である。

【0162】

図7において複数フレーム期間(この例では3フレーム)ごとに、VDパルスに同期したResパルス(S19a、S19b、S19c)によりピークホールド器103a、103b、103cの内部にあるラッチはリセットされ、それぞれ3フレーム間の輝度信号(S3)の最大値を検出し出力する。スイッチ104は切り替え信号S20dに従って接点a、b、cを選択し、過去3フレームの輝度信号(S3)の最大値を出力する。
10

【0163】

図13にタイミング図を示す。図13を参照して更に詳細に説明する。

【0164】

Fk-3番目のフレームにおいて、Resパルス(S19a)が入り、ピークホールド器103aはFk-3番目のフレームより順次輝度信号(S3)の最大値を検出し、Fk番目のフレーム直前(Fk-1番目のフレーム終了時)に、Fk-3番目のフレームからFk-1番目のフレームの輝度信号(S3)の最大値を出力する(Xmax(Fk-1))。スイッチ104は図13に示すような切り替え信号がタイミング発生部105から供給される。そしてスイッチ104は、Fk-1番目のフレームにおいて接点aの信号S20aを出力(S21)する、ラッチ回路106は垂直同期信号VDでS21をラッチし、次の1フレーム保持する(S11)。すなわち、Fk番目のフレームにおいて、ラッチ回路106はピークホールド器103aの出力であるFk-3番目のフレームからFk-1番目のフレームの輝度信号(S3)の最大値(Xmax(Fk-1))を出力する。
20

【0165】

同様に、Fk+1番目のフレームにおいては、ラッチ回路106はピークホールド器103bの出力であるFk-2番目のフレームからFk番目のフレームの輝度信号(S3)の最大値(Xmax(Fk))を出力する。また、Fk+2番目のフレームにおいては、ラッチ回路106はピークホールド器103cの出力であるFk-1番目のフレームからFk+1番目のフレームの輝度信号(S3)の最大値(Xmax(Fk+1))を出力する。
30

【0166】

すなわち、常に過去3フレームにさかのぼった輝度信号(S3)の最大値がラッチ回路106から1フレーム遅れて出力される(S11)。

【0167】

第四の実施例では、過去3フレームにさかのぼった輝度信号(S3)の最大値を出力する構成を示したが、もちろんフレーム数は1以上であればいくらでもかまわない。大きければ走査配線毎にコントラストが異なる点について改善効果が期待できるが、コントラストが低下するようになる。実際には1~180フレーム程度が良好であった。

【0168】

加算器92は、この信号(S11)と定数レジスタ93の定数(例えば2)を加算する(S13)。定数レジスタ93の定数は前述したディレイ量を決定するための値であり1走査期間内に収まるならば2に限らない。加算器92の出力はパルス幅変調器95に入力され、水平同期信号HDに同期した変調信号発生部6の開始パルス(Ldx)より1PCLK前に出力される開始パルス(Ldy)に従って、変調信号発生部6のパルス出力の1PCLK前に立ち上がるような「PWMクロック(PCLK)数」×「Xmax(Fk)(すなわち輝度信号(S3)のFk-2からFkフレーム内の最大値)+2」で決まるパルス幅を出力(S10)する。
40

【0169】

ここでは定数レジスタの内容は2としたが変調配線の最大駆動パルス幅より長くなるように1水平同期期間内に収まるように選べばよい。

【 0 1 7 0 】

一方、走査配線駆動時間決定部 9において説明したように、輝度信号(S 3)の最大値を出力するために1フレームの遅れが生じてしまった。そのため第四の実施例においてフレームバッファ 11を設け輝度信号(S 3)を1フレーム分遅らせ(S 3a)シフトレジスタ5に転送し、変調信号発生部6にロードし変調配線ドライバはマトリクス表示パネル1の変調配線を駆動する。その結果、走査配線駆動時間決定部9の出力する走査配線駆動時間を決定するパルス(S 10)に変調配線ドライバの出力をあわせることができた。

【 0 1 7 1 】

この構成によって、変調配線のパルス幅変調をされた駆動パルスの複数フレーム内の最大パルス幅より1PCLK分長く選択電圧を選ぶことができた。このため、本実施例では、前述したように、¹⁰ 6で説明した図15のBの期間の冷陰極素子に加わる電圧は0Vとなり、黒表示時あるいは低輝度時パネルの発光を抑えることができた。

【 0 1 7 2 】

そして、少ないハードウェアで、前述した走査駆動波形(図15)を実現し、黒表示時あるいは低輝度時パネルの発光を抑えることができ、結果としてコントラストの良好な画像を表示できた。

【 0 1 7 3 】

また第一、第二の実施例で生じた走査配線毎に走査配線駆動時間が異なり、結果として走査配線毎にコントラストが異なる(黒表示時あるいは低輝度時パネルの発光レベルが変わる)点についても十分改善できた。²⁰

【 0 1 7 4 】**(第五の実施例)**

第五の実施例は、ほぼ第三の実施例と同じ構成である。第三の実施例では、走査配線毎に走査配線駆動時間が異なり、結果として走査配線毎にコントラストが異なる点を良好にするために、第三の実施例では、走査駆動波形(駆動時間)は複数のフレームの輝度信号あるいは列配線ドライバの最大値から決定することによって、走査配線毎にコントラストが異なる(黒表示時あるいは低輝度時パネルの発光レベルが変わらない)ように駆動していた。

【 0 1 7 5 】

本発明の第五の実施例では、走査駆動波形(駆動時間)は複数の走査配線の輝度信号あるいは列配線ドライバの最大値から決定することによって、走査配線毎にコントラストが異なる(黒表示時あるいは低輝度時パネルの発光レベルが変わらない)ように駆動している。³⁰

【 0 1 7 6 】

本発明の第五の実施例は第三の実施例と同じ形態であり、走査配線駆動時間決定部9のResパルスのタイミングのみ異なるだけである。

【 0 1 7 7 】

全体の構成図は第三の実施例と同様に図1であり、画像表示装置の全体構成のタイミング図は図11であり、走査配線駆動時間決定部9の構成も第三の実施例と同様に図5に示す構成である。これらの構成・動作の説明は省略する。⁴⁰

【 0 1 7 8 】

第五の実施例の走査配線駆動時間決定部9のタイミング図を図14に示す。

【 0 1 7 9 】

以下に第三の実施例と異なる点のみ説明する。

【 0 1 8 0 】

図5において、複数の走査期間(この例では3走査ライン)ごとに、水平同期信号HDパルスに同期したResパルス(S 17a, S 17b, S 17c)によりピークホールド器100a、100b、100cのラッチはリセットされ3走査ライン間の輝度信号(S 3)の最大値を検出する。最大値選択回路101はピークホールド器100a、100b、100cの出力S 18a, S 18b, S 18cの最大値を出力(S 11)する。最大値の⁵⁰

出力 (S11) は現走査ラインから過去 2 走査ラインにさかのぼった輝度信号 (S3) の最大値が記憶される。

【0181】

図14を用いて、より具体的に説明する。図14ではk番目の走査ラインにおいてResパルス (S17a) が入り、ピークホールド器100aはk番目の走査ライン(現在の走査ライン)より順次輝度信号 (S3) の最大値を検出し記憶し出力する。一方ピークホールド器100bはk-1番目の走査ラインにおいてResパルス (S17b) が入り、ピークホールド器100bはk-1番目の走査ラインより順次輝度信号 (S3) の最大値を検出し記憶し出力する。さらにピークホールド器100cはk-2番目の走査ラインにおいてResパルス (S17c) が入り、ピークホールド器100bはk-2番目の走査ラインより順次輝度信号 (S3) の最大値を検出し記憶し出力する。

10

【0182】

そして、最大値選択回路101は、現在の走査ライン (k番目の走査ライン) の最大値であるピークホールド器100aの出力S18a、1走査ライン前 (k-1) から現在の走査ラインまでの最大値であるピークホールド器100bの出力S18b、2走査ライン前 (k-2) から現在の走査ラインまでの最大値であるピークホールド器100cの出力S18cの中の最大値を選択し出力する (S11)。

20

【0183】

すなわち、常に現在の走査ラインから過去 2 走査ラインにさかのぼった期間の輝度信号 (S3) の最大値を出力する (S11)。

【0184】

第五の実施例では、過去 2 走査ラインにさかのぼった期間の輝度信号 (S3) の最大値を出力する構成を示したが、走査ライン数は 1 以上であればいくらでもかまわない。大きければ走査配線毎にコントラストが異なる点について改善効果が期待できるが、全体のコントラストが低下するようになる。実際には 1 ~ 120 走査ライン程度が良好であった。

【0185】

加算器92は、この信号 (S11) と定数レジスタ93の定数 (例えば2) を加算する (S13)。定数レジスタ93の定数は前述したディレイ量を決定するための値であり 1 走査期間内に収まるならば 2 に限らない。

30

【0186】

第一の実施例同様に、ラッチ回路94により、輝度データ (S3) のシフトレジスタ5から変調信号発生部6にロードされるディレイをあわせた。。

【0187】

ラッチ回路94の出力はパルス幅変調器95に入力され、水平同期信号HDに同期した変調信号発生部6の開始パルス (Ldx) より 1 PCLK前に出力される開始パルス (Ldy) に従って、変調信号発生部6のパルス出力の 1 P C L K 前に立ち上がるような「PWMクロック (PCLK) 数」×「Xmax(k) (すなわち輝度信号 (S3) の k-2 から k 走査ライン内の最大値) + 2」で決まるパルス幅を出力 (S10) する。

【0188】

ここでは、定数レジスタの内容は 2 としたが変調配線の最大駆動パルス幅より長くなるように 1 水平同期期間内に収まるように選べばよい。

40

【0189】

この構成によって、変調配線のパルス幅変調をされた駆動パルスの複数フレーム内の最大パルス幅より 1 P C L K 分長く選択電圧を選ぶことができた。このため、本実施例では、前述したように、図6で説明した図15のBの期間の冷陰極素子に加わる電圧は 0 V となり、黒表示時あるいは低輝度時パネルの発光を抑えることができた。

【0190】

そして、少ないハードウェアで、前述した走査駆動波形(図15)を実現し、黒表示時あるいは低輝度時パネルの発光を抑えることができ、結果としてコントラストの良好な画像を表示できた。

50

【0191】

また、第三の実施例同様に、第一、第二の実施例で生じた走査配線毎に走査配線駆動時間が異なり、結果として走査配線毎にコントラストが異なる（黒表示時あるいは低輝度時パネルの発光レベルが変わる）点についても改善できた。

【0192】

（その他の実施例）また、本発明は、冷陰極型電子放出素子で、構成を説明したが、他の電子放出素子に対しても適用できる。

【0193】

例えば、前記冷陰極型電子源は、表面伝導型放出素子或いは、F E（電界放出）型放出素子或いは、M I M（金属／絶縁層／金属）型放出素子で構成されても問題なく本発明は適応できる。10

【0194】**【発明の効果】**

以上説明したように、本発明に係る画像表示装置及び画像表示装置の駆動方法によれば、複数の冷陰極素子等の画像表示素子をマトリクス状に配列した画像表示装置の変調配線をパルス幅変調し、走査配線を順次駆動する場合に、黒表示時および低輝度時の輝度浮き上がりを防止でき、良好なコントラストを提供することができる。

【0195】

さらに、従来例と同様に変調配線電圧の絶対値と走査配線電圧の絶対値が等しくなるように駆動させた場合のみならず、15V動作電圧の冷陰極素子を変調配線電圧が+5V、走査配線電圧が-10Vのようにバランスを崩して駆動した場合でも、黒表示時および低輝度時の輝度浮き上がりを防止でき、良好なコントラストを提供することができる。すなわち、本発明の構成によれば、コントラストの劣化無に駆動電圧を選ぶことができる。そのため、駆動電圧の制約無に任意のプロセスにより駆動I Cの実現ができる、それにより、コストを優先した駆動I Cでドライバを実現でき、結果として良好なコントラストで駆動回路をローコスト化できる。20

【図面の簡単な説明】

【図1】図1は第一の実施例に係る画像表示装置の全体構成図である。

【図2】図2(a)は第一の実施例に係る画像表示装置の走査配線駆動時間決定部のブロック図、図2(b)は第一の実施例のピークホールド器のブロック図である。30

【図3】図3は第二の実施例に係る画像表示装置の全体構成図である。

【図4】図4は第二の実施例に係る画像表示装置の走査配線駆動時間決定部のブロック図である。

【図5】図5は第三の実施例に係る画像表示装置の走査配線駆動時間決定部のブロック図である。

【図6】図6は第四の実施例に係る画像表示装置の全体構成図である。

【図7】図7は第四の実施例に係る画像表示装置の走査配線駆動時間決定部のブロック図である。

【図8】図8は第一の実施例に係る画像表示装置のタイミング図である。

【図9】図9は第一の実施例に係る画像表示装置の走査配線駆動時間決定部のタイミング図である。40

【図10】図10は第二の実施例に係る画像表示装置の走査配線駆動時間決定部のタイミング図である。

【図11】図11は第三の実施例に係る画像表示装置のタイミング図である。

【図12】図12は第四の実施例に係る画像表示装置の走査配線駆動時間決定部のタイミング図である。

【図13】図13は第五の実施例に係る画像表示装置の走査配線駆動時間決定部のタイミング図である。

【図14】図14は第六の実施例に係る画像表示装置の走査配線駆動時間決定部のタイミング図である。50

【図15】図15は本発明の要旨を簡単に説明するためのタイミング図である。

【図16】図16は実施例で用いた表面伝導型放出素子の典型的な特性を示すグラフである。

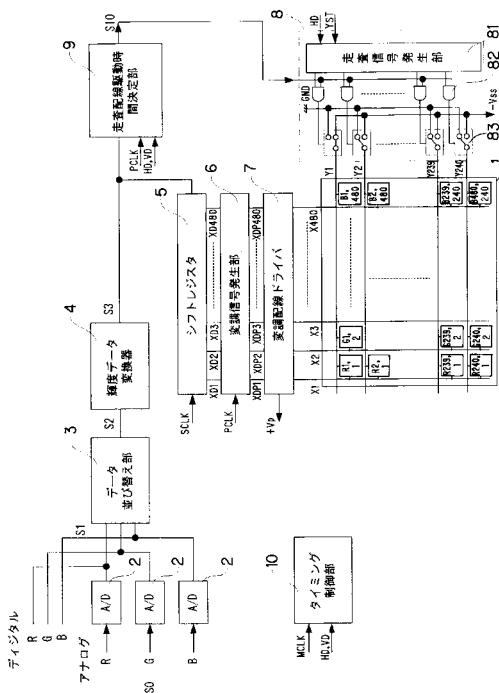
【図17】図17は従来例の問題点を説明するためのマトリクス画像表示パネルの回路図である。

【図18】図18は従来例の問題点を説明するためのタイミング図である。

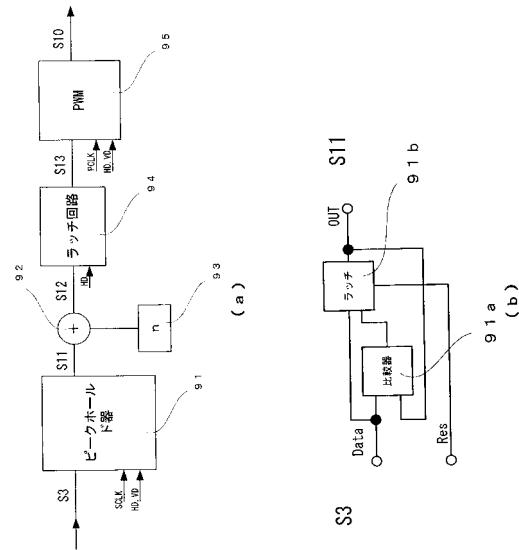
【符号の説明】

1	マトリクス画像表示パネル	
2	アナログディジタル変換器	
3	データ並び替え部	10
4	輝度データ変換器	
5	シフトレジスタ	
6	変調信号発生部	
7	変調配線ドライバ	
8	走査配線ドライバ	
9	走査配線駆動時間決定部	
10	タイミング制御部	
8 1	走査信号発生部	
8 2	アンド回路	
8 3	スイッチ手段	20
9 1	ピークホールド器	
9 2	加算器	
9 3	定数レジスタ	
9 4	ラッチ回路	
9 5	パルス幅変調器	
9 1 a	比較器	
9 1 b	ラッチ回路	
9 6	オア回路	
9 7	ディレイ回路	
9 8	2入力オア回路	30
9 9	パルス発生器	
100 a	ピークホールド器	
100 b	ピークホールド器	
100 c	ピークホールド器	
101	最大値検出回路	
102	タイミング発生回路	
11	フレームバッファ	
103 a	ピークホールド器	
103 b	ピークホールド器	
103 c	ピークホールド器	40
104	スイッチ	
105	タイミング発生回路	
106	ラッチ回路	
510	マトリクス画像表示パネル	
511	変調信号配線	
512	走査信号配線	
513	冷陰極素子	

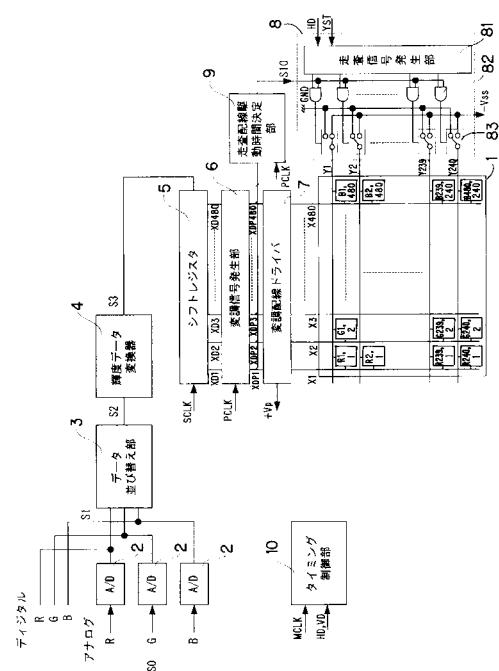
【図1】



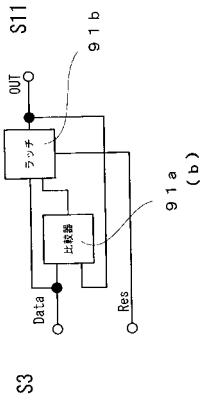
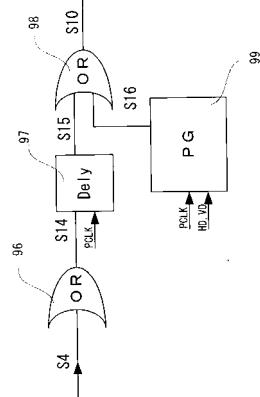
【図2】



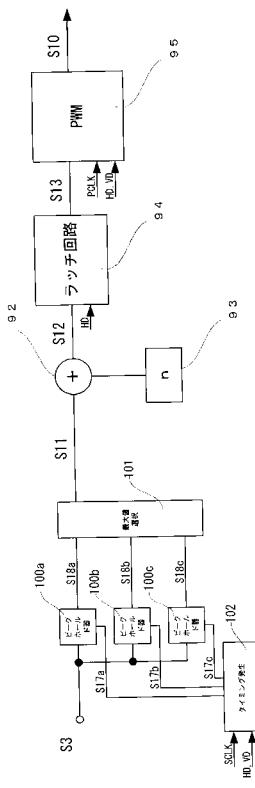
【図3】



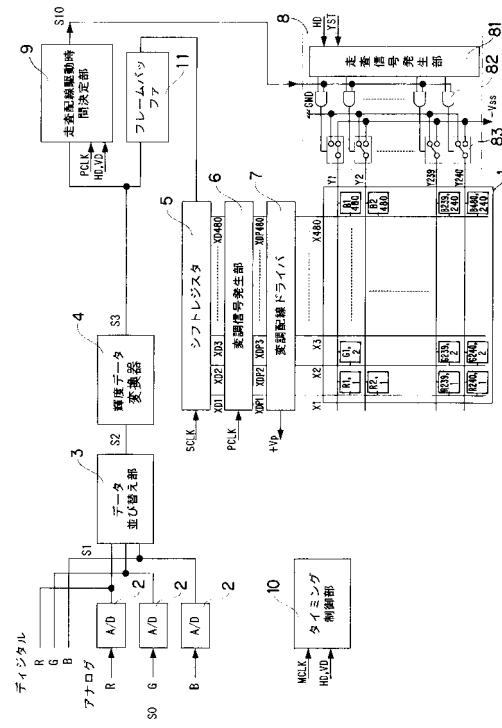
【図4】



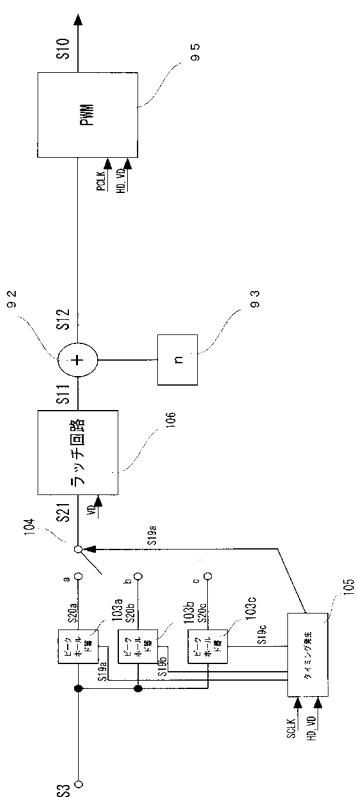
【図5】



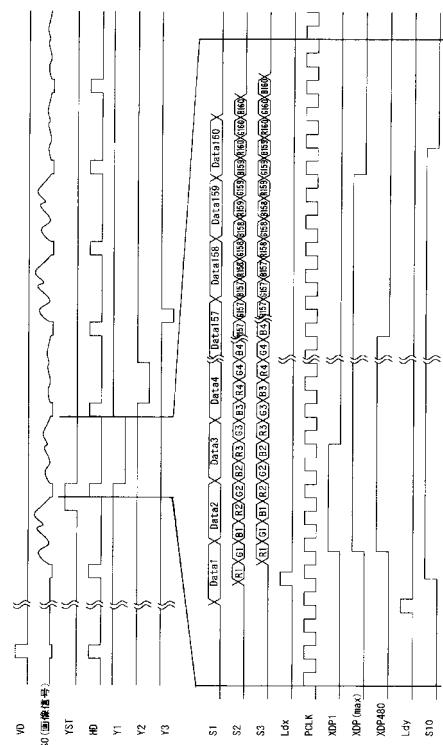
【図6】



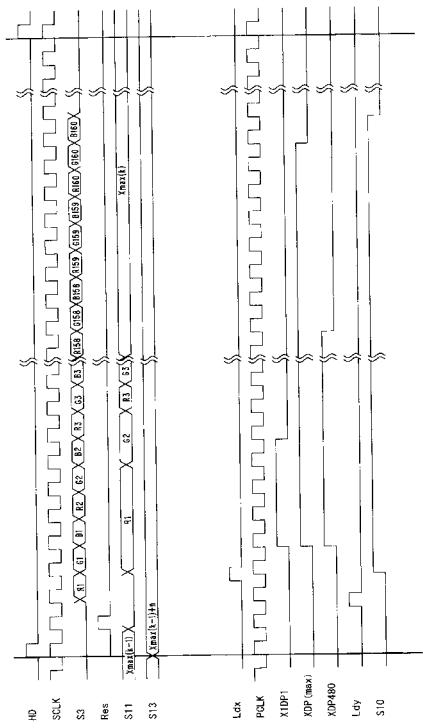
【図7】



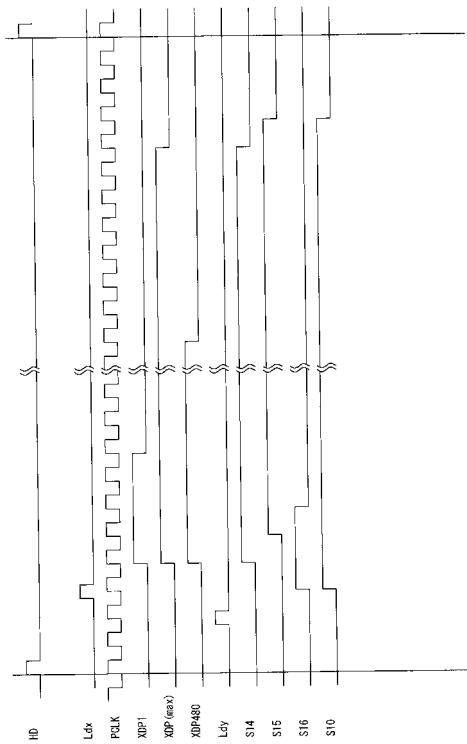
【図8】



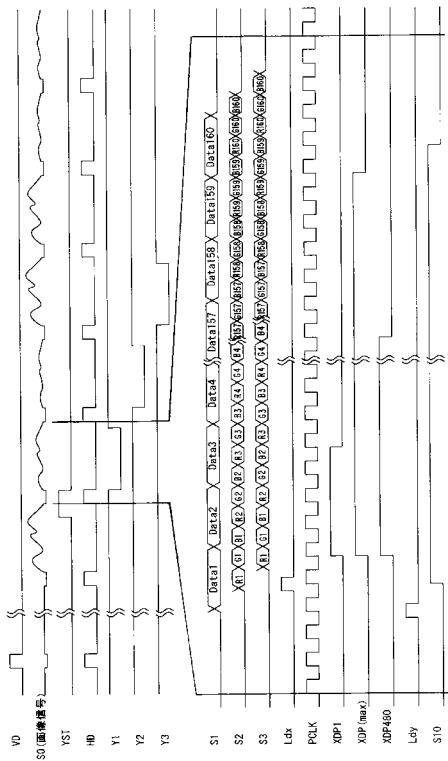
【図9】



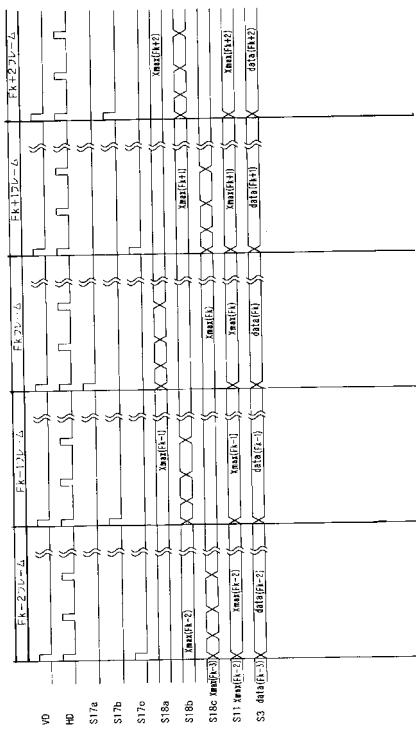
【図10】



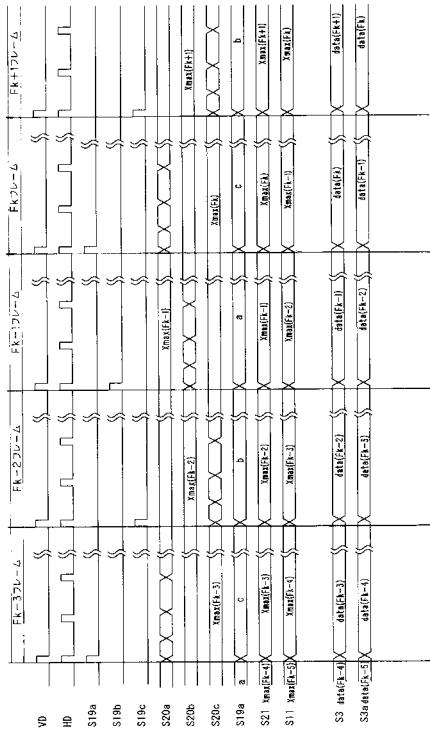
【図11】



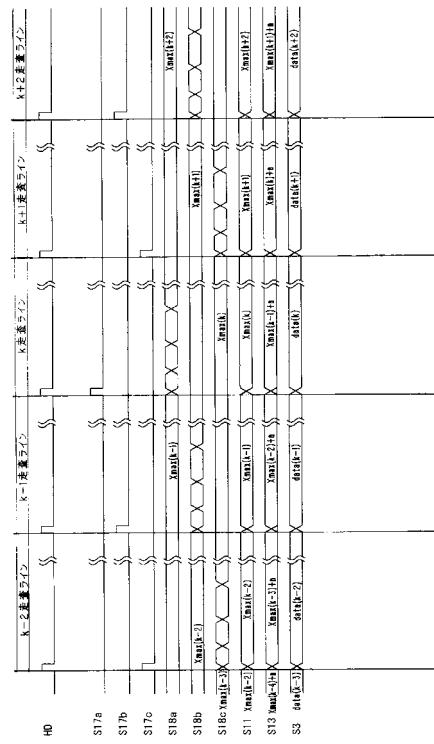
【図12】



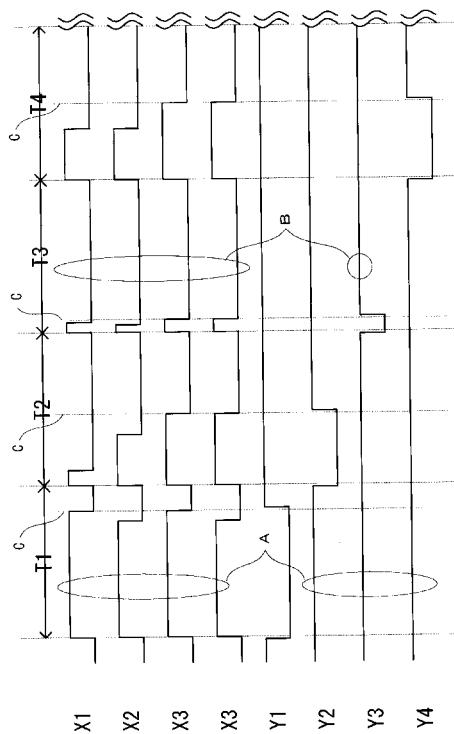
【図13】



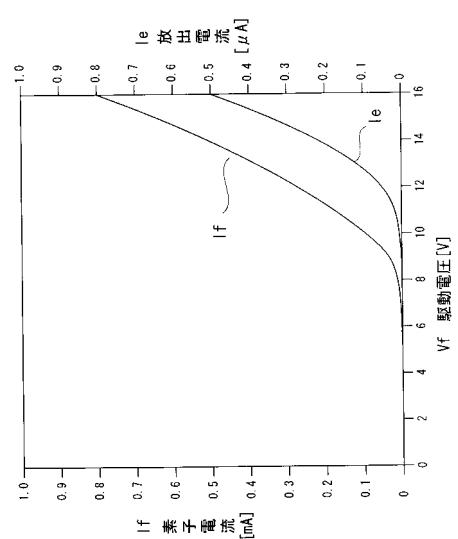
【図14】



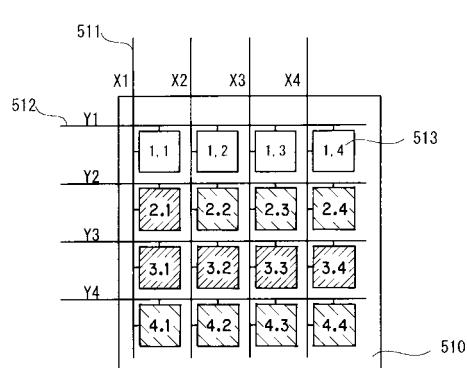
【図15】



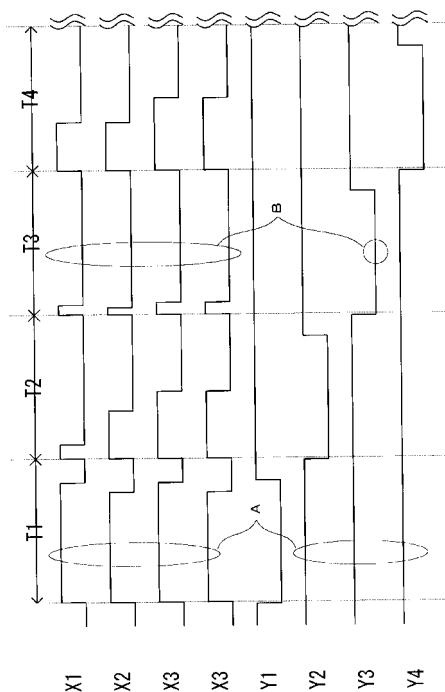
【図16】



【図17】



【図18】



フロントページの続き

(51)Int.Cl.

F I

H 0 4 N 5/68

B

(56)参考文献 特開2 0 0 0 - 2 5 9 1 2 5 (J P , A)

特開2 0 0 0 - 1 2 2 6 0 9 (J P , A)

特開2 0 0 0 - 2 5 0 4 5 8 (J P , A)

特開2 0 0 1 - 3 3 1 1 4 3 (J P , A)

特開昭6 4 - 7 3 3 9 0 (J P , A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38

H04N 5/68