

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3640179号
(P3640179)

(45) 発行日 平成17年4月20日(2005.4.20)

(24) 登録日 平成17年1月28日(2005.1.28)

(51) Int.Cl.⁷

F I

G 1 1 C 16/02

G 1 1 C 17/00

6 1 1 F

G 1 1 C 16/04

G 1 1 C 17/00

6 2 3 Z

G 1 1 C 16/06

G 1 1 C 17/00

6 3 4 Z

H O 1 L 21/8247

H O 1 L 27/10

4 3 4

H O 1 L 27/115

H O 1 L 29/78

3 7 1

請求項の数 6 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2001-221786 (P2001-221786)

(22) 出願日 平成13年7月23日(2001.7.23)

(65) 公開番号 特開2003-36682 (P2003-36682A)

(43) 公開日 平成15年2月7日(2003.2.7)

審査請求日 平成14年5月27日(2002.5.27)

(73) 特許権者 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(74) 代理人 100090479

弁理士 井上 一

(74) 代理人 100090387

弁理士 布施 行夫

(74) 代理人 100090398

弁理士 大淵 美千栄

(72) 発明者 金井 正博

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 亀井 輝彦

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

1つのワードゲートと、第1、第2のコントロールゲートにより制御される第1、第2の不揮発性メモリ素子とを有するメモリセルを、相交差する第1及び第2の方向にそれぞれ複数配列してなるメモリセルアレイ領域と、

前記メモリセルアレイ領域内の前記複数のメモリセルの各々の前記第1、第2のコントロールゲートを駆動するコントロールゲート駆動部と、

を有し、

前記メモリセルアレイ領域は、前記第2の方向で分割された複数のセクタ領域を有し、

前記コントロールゲート駆動部は、前記複数のセクタ領域の各一つにそれぞれ対応する複数のコントロールゲートドライバを有し、前記複数のコントロールゲートドライバの各々は、対応する一つのセクタ領域内の前記第1、第2のコントロールゲートの電位を、他のセクタ領域とは独立して設定可能であり、

前記複数のセクタ領域の各々は、前記第1の方向で分割された各領域内にてそれぞれ複数のメモリセル群を有する複数のブロック領域を有し、

前記複数のブロック領域の各々には、前記複数のメモリセル群にそれぞれ接続されて前記第1の方向に延びる複数のサブビット線が設けられ、

前記複数のブロック領域に亘ってそれぞれ前記第1の方向に延在形成され、前記複数のブロック領域内の前記複数のサブビット線の各々に共通接続される複数のメインビット線が設けられ、

10

20

前記複数のメインビット線の各々と、前記複数のサブビット線の各々の共通接続箇所に、接続 / 非接続をそれぞれ選択する複数の選択スイッチング素子が設けられている、半導体記憶装置。

【請求項 2】

請求項 1 において、

前記複数の選択スイッチング素子の各々は、前記複数のサブビット線の各々の端部に設けられている、不揮発性半導体記憶装置。

【請求項 3】

請求項 2 において、

前記複数のブロック領域の各々に配置される前記複数の選択スイッチング素子は、奇数本目の前記サブビット線的一端と、偶数本目の前記サブビット線他端とに接続されている、不揮発性半導体記憶装置。

10

【請求項 4】

請求項 2 または 3 において、

前記複数の選択スイッチング素子として、前記第 1 の方向で隣接する 2 つの前記ブロック領域内に配置される一方を第 1 選択スイッチング素子とし、他方を第 2 選択スイッチング素子としたとき、同一の前記メインビット線に接続されて前記第 1 の方向で隣り合う前記第 1 および第 2 選択スイッチング素子は、隣接して設けられている、不揮発性半導体記憶装置。

【請求項 5】

20

請求項 4 において、

前記第 1 選択スイッチング素子および前記第 2 選択スイッチング素子は、不純物層を共用する電界効果型トランジスタである、不揮発性半導体記憶装置。

【請求項 6】

請求項 1 乃至 5 のいずれかにおいて、

前記複数のサブビット線の各々の両側に、前記第 2 の方向で隣接する 2 つのメモリセルに接続される第 1 のコントロールゲート及び第 2 のコントロールゲートが設けられ、

前記第 1 のコントロールゲートと前記第 2 のコントロールゲートとは、端部同士がそれぞれ接続された 2 つの連続部を有する、不揮発性半導体記憶装置。

【発明の詳細な説明】

30

【0001】

【発明の属する技術分野】

本発明は、1 つのワードゲートと、2 つのコントロールゲートにより制御される 2 つの不揮発性メモリ素子を備えたメモリセルにて構成される不揮発性半導体記憶装置に関する。

【0002】

【背景技術】

不揮発性半導体装置として、チャンネルとゲートとの間のゲート絶縁層が、酸化シリコン膜、窒化シリコン膜及び酸化シリコン膜の積層体からなり、窒化シリコン膜に電荷がトラップされる MONOS (Metal-Oxide-Nitride-Oxide -Semiconductor または -Substrate) 型が知られている。

40

【0003】

この MONOS 型不揮発性半導体記憶装置は、文献 (Y.Hayashi, et al, 2000 Symposium on VLSI Technology Digest of Technical Papers p.122-p.123) に開示されている。この文献には、1 つのワードゲートと、2 つのコントロールゲートにより制御される 2 つの不揮発性メモリ素子 (MONOS メモリセル) を備えたツイン MONOS フラッシュメモリセルが開示されている。すなわち、1 つのフラッシュメモリセルが、電荷のトラップサイトを 2 つ有している。このような構造を有する複数のツイン MONOS フラッシュメモリセルを行方向及び列方向にそれぞれ複数配列させて、メモリセルアレイ領域が構成される。

【0004】

50

【発明が解決しようとする課題】

このツインMONOSフラッシュメモリセルを駆動するには、2本のビット線と、1本のワード線と、2本のコントロールゲート線とを要する。ただし、多数のメモリセルを駆動するに際して、異なるコントロールゲートであっても同じ電位に設定する場合には、これらの線を共通接続することができる。

【0005】

ここで、フラッシュメモリの動作には、データの消去、プログラム及び読み出しがある。データのプログラム及び読み出しは、通常、8ビットまたは16ビットの選択セルにて同時に実施されるが、データの消去はさらに広い範囲で同時に実施できる。

【0006】

ここで、この種の不揮発性メモリでは、データのディスタurbが課題となっている。データのディスタurbとは、選択セルのコントロールゲート線及びビット線に高電位を印加してプログラム又は消去するとき、共用される配線によって非選択セクタ領域内のセルにも高電位が印加され、プログラム又は消去の度にその状態が繰り返されることでプログラム又は消去されて、非選択セルのデータがディスタurbされることを言う。

【0007】

このような事態を防止するには、選択ゲート回路を設けて、選択セクタのセルにおけるコントロールゲートのみ高電位が印加され、非選択セクタのセルにおけるコントロールゲートには高電位が印加されないようにすることができる。

【0008】

しかし、このようにすると、選択ゲートにて電圧降下が生ずると、プログラム又は消去時に選択セクタのセルのコントロールゲートに高電位を供給するために、電圧降下分を上乗せして供給する必要がある。結果的に、低電圧駆動が妨げられ、特に携帯機器のように低消費電力化が求められる機器には不適合となる。

【0009】

そこで、本発明は、選択セルでのプログラム又は消去時に非選択セクタのセルにてデータがディスタurbされることを回避しながら、読み出し・書き込み時に高速アクセス可能な不揮発性半導体記憶装置を提供することにある。

【0010】

本発明の他の目的は、読み出し・書き込み時に高速アクセスを可能にしながら、メモリセルの集積度の向上を図ることができる、不揮発性半導体記憶装置を提供することにある。

【0011】

本発明の他の目的は、消費電力を低減することができる不揮発性半導体装置を提供することにある。

【0012】**【課題を解決するための手段】**

本発明の一態様に係る半導体記憶装置は、1つのワードゲートと、第1、第2のコントロールゲートにより制御される第1、第2の不揮発性メモリ素子とを有するメモリセルを、相交差する第1及び第2の方向にそれぞれ複数配列してなるメモリセルアレイ領域と、メモリセルアレイ領域内の複数のメモリセルの各々の第1、第2のコントロールゲートを駆動するコントロールゲート駆動部と、を有する。

【0013】

メモリセルアレイ領域は、第2の方向で分割された複数のセクタ領域を有する。

【0014】

コントロールゲート駆動部は、複数のセクタ領域の各一つにそれぞれ対応する複数のコントロールゲートドライバを有する。そして、複数のコントロールゲートドライバの各々は、対応する一つのセクタ領域内の第1、第2のコントロールゲートの電位を、他のセクタ領域とは独立して設定可能である。

【0015】

さらに、複数のセクタ領域の各々は、第1の方向で分割された各領域内にてそれぞれ複数

10

20

30

40

50

のメモリセル群を有する複数のブロック領域を有する。複数のブロック領域の各々には、複数のメモリセル群にそれぞれ接続されて第1の方向に延びる複数のサブビット線が設けられている。複数のブロック領域に亘ってそれぞれ第1の方向に延在形成され、複数のブロック領域内の複数のサブビット線の各々に共通接続される複数のメインビット線が設けられている。そして、複数のメインビット線の各々と、複数のサブビット線の各々との共通接続箇所に、接続／非接続をそれぞれ選択する複数の選択スイッチング素子が設けられている。

【0016】

本発明においては、複数のコントロールゲートドライバの各々は、対応する一つのセクタ領域内の第1，第2のコントロールゲートの電位を、他のセクタ領域とは独立して設定可能である。このため、ある一つのセクタ領域内の選択セルについてプログラムする際には、そのセクタ領域内のメモリセル（選択セル及び非選択セル）のコントロールゲート電位のみを、対応するコントロールゲートドライバによってプログラム又は消去電位とすることができる。他のセクタ領域内では、それに対応するコントロールゲートドライバによって、プログラム又は消去電位以外の電位に設定できるので、非選択のセクタ領域内のセルにてデータがディスタurbされることがない。しかもこのことは、選択ブロック内の所定のセルにおけるコントロールゲートにのみ電位を印加するための選択ゲート回路が不要なため、メモリセルを高集積化することができる。また、その選択ゲート回路での電圧降下も生じないため、低電圧駆動が可能となり、特に携帯機器のメモリとして有効に利用することができる。

【0017】

また、本発明においては、複数のメインビット線の各々と、複数のサブビット線の各々との共通接続箇所に、接続／非接続をそれぞれ選択する複数の選択スイッチング素子が設けられている。このため、選択スイッチング素子によって、選択されたサブビット線とそのメインビット線とを導通状態にさせ、非選択のサブビット線とそのメインビット線M B Lとを非導通状態にすることができる。その結果、読み出し・書き込み時のビット線の配線容量を減らすことができ、読み出し・書き込み時にメモリセルに対するアクセスをより速くすることができる。

【0018】

本発明の一態様においては、複数の選択スイッチング素子の各々は、複数のサブビット線の各々の端部に設けることができる。

【0019】

本発明の一態様においてはさらに、複数のブロック領域の各々に配置される複数の選択スイッチング素子は、奇数本目のサブビット線の一端と、偶数本目のサブビット線他端とに接続されることができる。

【0020】

本発明の一態様においては、複数の選択スイッチング素子として、第1の方向で隣接する2つのブロック領域内に配置される一方を第1選択スイッチング素子とし、他方を第2選択スイッチング素子としたとき、同一のメインビット線に接続されて第1の方向で隣り合う第1および第2選択スイッチング素子は、隣接して設けられることができる。この場合、第1および第2選択スイッチング素子が電界効果型トランジスタからなる場合には、不純物層を共用させることができ、メモリセルの集積度の向上を図ることができる。

【0021】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照して説明する。

【0022】

（メモリセル構造）

図1は不揮発性半導体記憶装置の一断面を示し、図2はその等価回路図である。図1において、1つのメモリセル100は、P型ウェル102上にゲート絶縁膜を介して例えばポリサイドにて形成されたワードゲート104と、第1，第2のコントロールゲート106

10

20

30

40

50

A, 106Bと、第1, 第2のメモリ素子(MONOSメモリセル)108A, 108Bとを有する。

【0023】

第1, 第2のコントロールゲート106A, 106Bは、ワードゲート104の両側壁に形成され、ワードゲート104とはそれぞれ電氣的に絶縁されている。

【0024】

第1, 第2のメモリ素子108A, 108Bの各々は、MONOSのM(金属)に相当するポリシリコンにて形成される第1, 第2のコントロールゲート106A, 106Bの一つと、Sに相当するP型ウェル102との間に、酸化膜(O)、窒化膜(N)及び酸化膜(O)を積層することで構成される。なお、第1, 第2のコントロールゲート106A, 106Bは、シリサイドなどの導電材で構成することができる。

10

【0025】

このように、1つのメモリセル100は、スプリットゲート(第1, 第2のコントロールゲート106A, 106B)を備えた第1, 第2のMONOSメモリセル108A, 108Bを有し、第1, 第2のMONOSメモリセル108A, 108Bにて一つのワードゲート104を共用している。

【0026】

この第1, 第2のMONOSメモリセル108A, 108Bは、それぞれ電荷のトラップサイトとして機能する。第1, 第2のMONOSメモリセル108A, 108Bの各々は、ONO膜109にて電荷をトラップすることが可能である。

20

【0027】

図1及び図2に示すように、行方向(図1及び図2の第2の方向B)に間隔をおいて配列された複数のワードゲート104は、ポリサイドなどで形成される1本のワード線WLに共通接続されている。

【0028】

また、図1に示すコントロールゲート106A, 106Bは、列方向(図1の紙面に垂直な第1の方向A)に沿って延び、列方向に配列される複数のメモリセル100にて共用される。よって、符号106A, 106Bをコントロールゲート線とも称する。

【0029】

ここで、[i]番目のメモリセル100[i]のコントロールゲート線106Bと、[i+1]番目のメモリセル100[i+1]のコントロールゲート線106Aとには、例えばワードゲート, コントロールゲート, ワード線よりも上層の第1層の金属層で形成されるサブコントロールゲート線SCG[i+1]が接続されている。

30

【0030】

P型ウェル102には、[i]番目のメモリセル100[i]のMONOSメモリセル108Bと、[i+1]番目のメモリセル100[i+1]のMONOSメモリセル108Aとに共用される[i+1]番目の不純物層110[i+1]が設けられている。

【0031】

これらの不純物層110[i], [i+1], [i+2]は例えばP型ウェル内に形成されるn型不純物層で、列方向(図1の紙面に垂直な第1の方向A)に沿って延び、列方向に配列される複数のメモリセル100にて共用されるサブビット線として機能する。よって、符号110[i], [i+1], [i+2]などをビット線BL[i], [i+1], [i+2]とも称する。

40

【0032】

(メモリセルからのデータ読み出し)

一つのメモリセル100は、図2に示すように、ワードゲート104により駆動されるトランジスタT2と、第1, 第2のコントロールゲート106A, 106Bによりそれぞれ駆動されるトランジスタT1, T3とを直列に接続したものと模式化することができる。

【0033】

メモリセル100の動作を説明するに際して、図3に示すように、隣接する2つのメモリ

50

セル100[i], [i+1]の各所の電位の設定についてまず説明する。図3は、メモリセル100[i]のワードゲート104の右側のMONOSメモリセル108Bからのデータ読み出しについて説明する図である。

【0034】

この場合、メモリセル100[i]と同じ行にある各ワードゲート104にV_{dd}(例えば1.8V)を印加して、各トランジスタT₂をオンさせる。また、メモリセル100[i]の左側のコントロールゲート106Aに、サブコントロールゲート線SCG[i]を介してオーバーライド電圧(例えば3V)を印加して、MONOSメモリセル108Aに相当するトランジスタT₁をオンさせる。メモリセル100[i]の右側のコントロールゲート106Bの電位V_{CG}として、読み出し電圧V_{read}(例えば1.5V)を印加する。

10

【0035】

このとき、ワードゲート104の右側のMONOSメモリセル108Bに電荷が蓄積されていたか否かで、MONOSメモリセル108Bに相当するトランジスタT₃の動作は以下のように分かれる。

【0036】

図4は、メモリセル100[i]の右側のコントロールゲート106Bへの印加電圧と、それによって制御されるMONOSメモリセル108Bに相当するトランジスタT₃のソース-ドレイン間に流れる電流I_{ds}との関係を示している。

【0037】

20

図4に示すように、MONOSメモリセル108Bに電荷が蓄積されていない場合には、コントロールゲート電位V_{CG}が低いしきい値電圧V_{low}を超えると電流I_{ds}が流れ始める。これに対して、MONOSメモリセル108Bに電荷が蓄積されている場合には、コントロールゲート電位V_{CG}が高いしきい値電圧V_{high}を超えない限り電流I_{ds}が流れ始めない。

【0038】

ここで、データ読み出し時にコントロールゲート106Bに印加される電圧V_{read}は、2つのしきい値電圧V_{low}, V_{high}のほぼ中間電圧に設定されている。

【0039】

従って、MONOSメモリセル108Bに電荷が蓄積されていない場合には電流I_{ds}が流れ、MONOSメモリセル108Bに電荷が蓄積されている場合には電流I_{ds}が流れないことになる。

30

【0040】

ここで、データ読み出し時にはサブビット線SBL[i](不純物層110[i])の電位V_D[i]をセンスアンプに、サブビット線SBL[i+1](不純物層110[i+1])の電位V_D[i+1]を0Vにそれぞれ設定しておく。こうすると、MONOSメモリ素子108B(選択サイド)に電荷が蓄積されていない場合には電流I_{ds}が流れるため、オン状態のトランジスタT₁, T₂を介して、対向サイドのビット線BL[i]に例えば25μA以上の電流が流れる。これに対し、MONOSメモリ素子108B(選択サイド)に電荷が蓄積されている場合には電流I_{ds}が流れないため、トランジスタT₁, T₂がオン状態であっても、対向サイドのビット線BL[i]に流れる電流は例えば10nA未満となる。よって、対向サイドのビット線BL[i]に流れる電流をセンスアンプにて検出することで、ツインメモリセル100[i]のMONOSメモリ素子108B(選択サイド)からのデータ読み出しが可能となる。

40

【0041】

なお、メモリセル100[i+1]でもトランジスタT₁, T₂はオンしているが、トランジスタT₃のコントロールゲート電位V_{CG}は0Vとされ、図3の2つのしきい値電圧V_{low}, V_{high}の双方より電位V_{CG}が低いので、メモリセル100[i+1]にてソース-ドレイン電流は流ることがない。よって、メモリセル100[i+1]でのデータ蓄積状況が、メモリセル100[i]からのデータ読み出しに悪影響を与えることがな

50

い。

【0042】

メモリセル100[i]の左側のMONOSメモリセル108Aからデータを読み出すには、メモリセル100[i-1]、[i]の各所の電位を、上記と同様に設定すればよい。

【0043】

(メモリセルのプログラミング)

図5は、メモリセル100[i]のワードゲート104の右側のMONOSメモリセル108Bのデータプログラミングについて説明する図である。なお、このデータプログラミング動作の前には、後述するデータ消去動作が実施されている。

10

【0044】

図5では、図3と同じく、サブコントロールゲート線SCG[i]の電位はオーバライド電位(例えば2.5V)とされ、サブコントロールゲート線SCG[i+2]の電位は0Vとされている。各ワードゲート104の電位は、ワード線WLによって、電源電圧V_{dd}より低い例えば1.0V程度のプログラム用ワード線選択電圧に設定される。また、メモリセル100[i+1]の右側のコントロールゲート108Bの電位は、サブコントロールゲート線SCG[i+1]を介して、図4に示す書き込み電位V_{write}(例えば5.5V)に設定される。[i+1]番目の不純物層110[i+1](サブビット線SBL[i+1])の電位V_D[i+1]は例えば5Vに設定され、[i]番目の不純物層110[i](ビット線BL[i])の電位V_D[i]は例えばプログラム電流5μA流したときの電圧(0~1V)に設定される。

20

【0045】

こうすると、メモリセル100[i]のトランジスタT₁、T₂がそれぞれオンして、不純物層110[i]に向けて電流I_{ds}が流れる一方で、MONOSメモリセル108BのONO膜109にはチャンネルホットエレクトロン(CHE)がトラップされる。こうして、MONOSメモリセル108Bのプログラミング動作が実施されて、データの「0」または「1」が書き込まれる。

【0046】

(メモリセルのデータ消去)

図6は、ワード線WLに接続された2つのメモリセル100[i]、[i+1]のデータ消去について説明する図である。

30

【0047】

図6では、各ワードゲート104の電位は、ワード線WLによって例えば0Vに設定され、サブコントロールゲート線SCG[i]、[i+1]、[i+2]によって、コントロールゲート106A、106Bの電位は例えば-1~-3V程度(第1の消去用高電位)に設定される。さらに、不純物層(ビット線)110[i]、[i+1]、[i+2]の各電位は、P型ウェル電位と等しい4.5~5V(第2の消去用高電位)に設定される。

【0048】

こうすると、各MONOSメモリセル108A、108BのONO膜109にトラップされていた電子は、金属(M)に印加された第1の消去用高電位と、シリコン(S)に印加された第2の消去用高電位とで形成される電界により、トンネル効果により抜かれて消去される。これにより、複数メモリセルにて同時にデータ消去が可能となる。なお、消去動作としては、上述のものとは異なり、ビット線となる不純物層の表面のバンド-バンドトンネリングによりホットホールを形成し、蓄えられていたエレクトロンを消去するものであっても良い。

40

【0049】

(不揮発性半導体記憶装置の全体構成)

上述のメモリセル100を用いて構成される不揮発性半導体記憶装置の全体構成について、図7(A)~図7(E)を参照して説明する。

【0050】

50

図7(A)は1チップの不揮発性半導体記憶装置の平面レイアウト図であり、ワード線駆動部201を挟んだ左右のメモリセルアレイ領域200A, 200Bは、例えば32個のセクタ領域210にそれぞれ分割されている。1チップの不揮発性半導体記憶装置としては、第0～第63のセクタ領域210を有する。

【0051】

32個のセクタ領域210は、図7(A)に示すように左右のメモリセルアレイ領域200A, 200Bを第2の方向(行方向)Bでそれぞれ分割したもので、各セクタ領域210は第1の方向(列方向)Aを長手方向とする縦長形状を有する。データ消去の最小単位がセクタ領域210であり、セクタ領域210内の記憶データは一括消去される。

【0052】

左右のメモリアレイ領域200A, 200Bの各々は、例えば4K本のワード線WLと2K本のビット線BLを有する。ここで、本実施の形態では1本のビット線BLに2つのMONOSメモリセル108A, 108Bが接続されるため、2K本のビット線BLは4Kbitの記憶容量を意味する。図7(A)の不揮発性半導体記憶装置は左右のメモリアレイ領域200A, 200Bを有するため、メモリ全体として(4K本のワード線WL)×(2K本のビット線BL)×2×2で定義される記憶容量を有する。各セクタ領域210の記憶容量はメモリ全体の記憶容量の1/64であり、(4K本のワード線WL)×(64本のビット線BL)×2で定義される記憶容量を有する。

【0053】

図7(B)は、図7(A)に示す不揮発性半導体記憶装置の一つのセクタ領域210の詳細を示している。図7(B)に示すように、各セクタ領域210は第2の方向にて分割され、16ビットのデータをリード・ライト可能にI/O0～I/O15用のメモリブロック(入出力ビットに対応したメモリブロック)214を有している。

【0054】

各メモリブロック214は、図7(B)に示すように、4k(4096)本のワード線WLを有する。図7(C)に示すように、セクタ領域210は、第1の方向Aにて8個のラージブロック212に分割されている。この各ラージブロック212は、図7(D)に示すように、第1の方向Aにて8個のスモールブロック215に分割されている。

【0055】

各スモールブロック215は、図7(E)に示すように、64本のワード線WLを有する。そして、各スモールブロック215は、行方向に沿って配列された16個のスモールメモリブロック216により構成されている。

【0056】

よって、一つのラージブロック212に配されるワード線WLの総数(冗長用も含む)は、64本×8スモールブロック=512本となる。このため、一つのセクタ領域210に配されるワード線WLの総数は、512(本)×8(ラージブロック)=4096本となる。

【0057】

(セクタ領域の詳細)

図8は、図7(A)に示すセクタ領域0とCGドライバの詳細を示している。

【0058】

図8に示すように、一つのセクタ領域0内にはスモールメモリブロック216が列方向に64個配列され、16ビットの入出力を行うために、16個のI/O0～I/O15に対応した16個のスモールメモリブロック216が行方向に配列されている。

【0059】

行方向に配列された16個のスモールメモリブロック216の16本のサブコントロールゲート線SCG0が、行方向に延びる例えば第2層の金属配線M0に共通接続されている。同様に、16本のサブコントロールゲート線SCG1は金属配線M1に、16本のサブコントロールゲート線SCG2は金属配線M2に、16本のサブコントロールゲート線SCG3は金属配線M3にそれぞれ共通接続されている。

10

20

30

40

50

【0060】

このセクタ領域0のコントロールゲート駆動部であるCGドライバ300が設けられている。このCGドライバ300から列方向に延びる4本のメインコントロールゲート線MCG0～MCG3が設けられ、これらは例えば第3層の金属配線により形成されている。

【0061】

図9は、相隣り合うセクタ領域0とセクタ領域1との関係を示している。セクタ領域0とセクタ領域1とはワード線WLが共用されるが、メインコントロールゲート線MCG及びメインビット線MBLはそれぞれ独立して設けられている。特に図9では、セクタ領域0に対応するCGドライバ300と、セクタ領域1に対応するCGドライバ301とが示され、CGドライバはセクタ領域毎に独立して設けられている。

10

【0062】

また、セクタ0を例に挙げれば、スモールメモリブロック216毎に配置された複数のサブコントロールゲート線SCG0はメインコントロールゲート線MCG0に共通接続されている。このメインコントロールゲート線MCG0からサブコントロールゲート線SCG0に至る各経路途中には、ゲート回路は配置されていない。以上のことは、セクタ領域0以外の他のセクタ領域でも同様である。

【0063】

(スモールメモリブロックの構成)

以下、スモールメモリブロック216を具体的に説明する。図10は、スモールメモリブロックを含むメモリセルアレイ領域におけるメモリセル群とその配線とを説明するための回路概略図である。図11は、図10に示すメモリセルアレイ領域内でのサブビット線と、メインビット線との関係を明確に示す回路配線図である。

20

【0064】

スモールメモリブロック216は、メモリセル100を列方向に例えば64個、行方向に例えば4個配列したものである。一つのスモールメモリブロック216には、例えばサイドウォール状のポリシリコンである4本のサブコントロールゲート線SCG0～SCG3と、データの入出力線である4本のサブビット線SBL0～SBL3と、64本のワード線WLとが接続されている。

【0065】

ここで、偶数のコントロールゲート線SCG0, SCG2には、偶数列(第0列または第2列)の複数メモリセルの各々の第2のサブコントロールゲート106Bと奇数列(第1列または第3列)の複数メモリセルの各々の第1のコントロールゲート106Aとが共通接続されている。同様に、奇数のサブコントロールゲート線SCG1, SCG3には、奇数列(第1列または第3列)の複数メモリセルの各々の第2のコントロールゲート106Bと偶数列(第2列または第4列)の複数メモリセルの各々の第1のコントロールゲート106Aとが共通接続されている。

30

【0066】

各サブビット線SBL0～SBL3は、第1の方向(列方向)Aに沿って伸び、かつ、両サイドに設けられた複数のメモリセル群と共通接続されている。複数のサブビット線SBL0～SBL3の各々は、複数のメインビット線MBL0～MBL3の各一つに接続されている。

40

【0067】

サブビット線SBLとメインビット線MBLとの接続箇所には、図10および図11に示すように、サブビット線SBLとメインビット線MBLとの接続/非接続を選択する選択スイッチング素子Qが設けられている。選択スイッチング素子Qは、サブビット線SBLの端部に設けられている。選択スイッチング素子Qは、選択信号線BLSの電位に基づいて、オン/オフする。選択スイッチング素子Qがオンすると、選択されたスモールメモリブロック216において、サブビット線SBLとメインビット線MBLとが導通状態となる。また、非選択のスモールメモリブロック216におけるサブビット線SBLは、フローティング状態となる。

50

【 0 0 6 8 】

複数の選択スイッチング素子Qの各々は、偶数本目のサブビット線S B L 0 , S B L 2の一端と、奇数本目のサブビット線S B L 1 , S B L 3の他端とに接続されている。すなわち、偶数本目のサブビット線S B L 0 , S B L 2の選択スイッチング素子Qと、奇数本目のサブビット線S B L 1 , S B L 3の選択スイッチング素子Qとは、互いに逆側の端部に設けられている。

【 0 0 6 9 】

第1の方向Aで隣接する2つのスモールメモリブロック216内に配置される一方を第1選択トランジスタQ1とし、他方を第2選択トランジスタQ2としたとき、同一のメインビット線M B Lに接続される第1の方向Aで隣り合う第1および第2選択トランジスタQ1, Q2は、隣接して設けられている。

10

【 0 0 7 0 】

以下、この項における本実施の形態の特徴点を説明する。

【 0 0 7 1 】

(1) サブビット線S B Lは、メインビット線M B Lと選択トランジスタQを介して接続されている。このため、選択されたサブビット線S B Lとメインビット線M B Lとを導通状態にさせ、非選択のサブビット線S B Lとそのメインビット線M B Lとを非導通状態にすることができる。その結果、読み出し・書き込み時のビット線B Lの配線容量を減らすことができ、読み出し・書き込み時においてメモリセルに対するアクセスをより速くすることができる。

20

【 0 0 7 2 】

(2) 複数の選択スイッチング素子Qは、偶数本目のサブビット線S B L 0 , S B L 2の一端と、奇数本目のサブビット線S B L 1 , S B L 3の他端とに設けられている。この場合、次の作用効果を奏することができる。

【 0 0 7 3 】

1) 一方の選択スイッチング素子Qからメモリセル100までの距離と、他方の選択スイッチング素子Qからメモリセル100までの距離とが、各メモリセル100間において等しくなる。このため、サブビット線S B Lの抵抗の和が、各メモリセル100間において等しくなる。したがって、ソース・ドレイン間に加わる電位差が、各メモリセル100間で一定となるため、特性のバラツキを小さくすることができる。

30

【 0 0 7 4 】

2) 偶数のサブビット線S B L間のスペースに、奇数のサブビット線S B Lの選択トランジスタQを配置することができるため、奇数のサブビット線S B Lの選択トランジスタQのチャンネル幅を広くとることができる。また、同様に、偶数のサブビット線S B Lの選択トランジスタQのチャンネル幅を広くとることができる。

【 0 0 7 5 】

3) 同一のメインビット線M B Lに接続される第1の方向Aで隣り合う第1および第2選択トランジスタQ1, Q2は、隣接して設けられている。これにより、選択トランジスタの不純物層を共用させることができる。その結果、メモリの集積度の向上を図ることができる。

40

【 0 0 7 6 】

(スモールメモリブロックの平面レイアウト)

図12は、図10および図11における、不揮発性半導体記憶装置のバルクにおける平面レイアウト図である。なお、図12において、ワード線W Lは、模式的に線で示す。

【 0 0 7 7 】

各サブビット線S B L 0 ~ S B L 3は、半導体基板に設けられたサブビット不純物層によって構成されている。各サブビット線S B L 0 ~ S B L 3は、第1のコントロールゲート106Aと第2のコントロールゲート106bとの間に設けられている。第1のコントロールゲート106Aと第2のコントロールゲート106Bとは、端部同士がそれぞれ連続した2つの連続部160を有している。第1および第2のコントロールゲート106A,

50

106Bとが、両端において連続部を有することにより、片側の端部のみしか連続部を設けていない場合に比べて、コントロールゲートの抵抗を半分にすることができる。

【0078】

第1の方向(列方向)Aで隣り合うサブビット線SBL間(たとえば、スモールメモリブロック0におけるサブビット線SBL1と、スモールメモリブロック1におけるサブビット線SBL1との間)に、ストラップ群領域A10が設けられている。各ストラップ群領域A10には、第1および第2の選択トランジスタQ1、Q2が設けられている。第1の選択トランジスタQ1は、ストラップ群領域A10の一方の側におけるサブビット線SBLと、メインビット線MBLとの接続/非接続を選択する。第2の選択トランジスタQ2は、ストラップ群領域A10の他方の側におけるサブビット線SBLと、メインビット線MBLとの接続/非接続を選択する。選択トランジスタQ1、Q2は、電界効果型トランジスタ(たとえばMOSトランジスタ)により構成されることができる。

10

【0079】

以下、図13を参照しながら、ストラップ群領域A10について具体的に説明する。図13は、図12におけるストラップ群領域A10を拡大した平面図である。図14は、図13におけるA-A線に沿った断面を模式的に示す断面図である。

【0080】

ストラップ群領域A10は、第1および第2のゲート電極120、122と、第1～第3不純物層130、132、134とを含む。第1～第3不純物層130、132、134の導電型は、サブビット線SBLがn型不純物層からなる場合には、n型である。

20

【0081】

ストラップ群領域A10における選択トランジスタQ1、Q2の領域は、素子分離領域170によって画定されている。

【0082】

第1および第2のゲート電極120、122は、第2の方向Bに伸びている。第1不純物層130は、第1および第2ゲート電極120、122間に設けられている。第1不純物層130は、第1および第2選択トランジスタQ1、Q2のソースまたはドレインとして機能する。第1不純物層130は、第1選択トランジスタQ1および第2選択トランジスタQ2によって、共用されている。

【0083】

30

第2不純物層132は、第1ゲート電極120と、サブビット線(サブビット不純物層)SBLとの間に、設けられている。第2不純物層132は、第1選択トランジスタQ1のソースまたはドレインとして機能する。第3不純物層134は、第2ゲート電極122と、サブビット線(サブビット不純物層)SBLとの間に、設けられている。第3不純物層134は、第2の選択トランジスタQ2のソースまたはドレインとして機能する。

【0084】

図13および14に示すように、第1のコントロールゲート106Aと第2のコントロールゲート106Bとの連続部160の下方における半導体基板10には、クロスアンダ不純物層150が設けられている。クロスアンダ不純物層150により、第2不純物層132と、サブビット線(サブビット不純物層)SBLとは、電氣的に接続されている。このように、クロスアンダ不純物層150を形成することで、第1のコントロールゲート106Aと第2のコントロールゲート106Bとの両端が連続していても、クロスアンダ不純物層150を介して、サブビット線(サブビット不純物層)SBLと、第1の選択トランジスタQ1のソースまたはドレインとして機能する第2不純物層150とを電氣的に接続することができる。クロスアンダ不純物層150の導電型は、サブビット線SBLがn型不純物層からなる場合には、n型である。

40

【0085】

また、同様に、第3不純物層134とサブビット線(サブビット不純物層)SBLとは、クロスアンダ不純物層150を介して、電氣的に接続されている。

【0086】

50

(動作説明)

ここで、本実施形態の不揮発性半導体記憶装置でのデータ消去時とプログラム時とについて、設定されるコントロールゲート線CG、ビット線BL及びワード線WLの各電位を、下記の表1～表3に示す。

【0087】

【表1】

	選択セル			
	CG	BL	WL	BLS
消去	-1～-3V	4.5～5V	0V	8V
プログラム	5.5V or 2.5V	5V	1.0V	8V

10

【0088】

【表2】

	非選択セル(選択セクタ内)			
	CG	BL	WL	BLS
消去	-	-	-	-
プログラム	5.5V or 2.5V or 0V	0V	0V	8V

20

【0089】

【表3】

	非選択セル(非選択セクタ内)			
	CG	BL	WL	BLS
消去	0V	0V	0V	8V
プログラム	0V	0V	0V or 1V	8V

30

【0090】

表1において、データ消去時には例えばセクタ領域0(選択セクタ)内は全て選択セルとなり、4096本のワード線WLには0Vが供給される。また、CGドライバ300によって4本のメインコントロールゲート線MCG0～MCG3に第1の消去用高電位(例えば-1～-3V)が供給され、セクタ領域0(選択セクタ)内の全メモリセルのコントロールゲート106A、106Bに、一括して第1の消去用高電位を供給することができる。このとき、セクタ領域0内の全ビット線BLには第2の消去用高電位(例えば4.5～5V)が供給されるが、その供給方法については後述する。なお、選択セルにおける選択信号線BLSには、電位(例えば8V)が供給され、選択スイッチング素子がオンして、選択セルにおけるサブビット線とメインビット線とが接続される。こうして、選択されたセクタ領域0内の全メモリセルにてデータ消去を実施できる。

40

【0091】

このとき、表3に示すように、非選択である例えばセクタ領域1では、4096本の全ワード線WLに0Vが供給されるが、コントロールゲートCG及びビット線BLはセクタ領域0とは独立して0Vを供給できるので、非選択セクタにてデータ消去が実施されること

50

はない。

【 0 0 9 2 】

次に、プログラミング動作について説明する。選択されたセクタ領域 0 内の 1 6 個の I / O にそれぞれ対応する各一つの M O N O S メモリセルにて、1 6 ビット同時にデータプログラミングが実施される。このために、セクタ領域 0 内の選択セルに接続されたいずれか 1 本のワード線 W L に例えば 1 V が供給され、他の 4 0 9 5 本のワード線 W L は 0 V に設定される。また、セクタ領域 0 内の 1 6 個のスモールメモリブロック 2 1 6 において、図 5 の S C G [i] に相当するコントロールゲート線 S C G に 2 . 5 V を供給し、図 5 の S C G [i + 1] に相当するコントロールゲート線 S C G に 5 . 5 V を供給し、他のコントロールゲート線 S C G に 0 V を設定する。さらに、セクタ領域 0 内の各 I / O 0 ~ I / O 1 5 に対応したメモリブロック 2 1 4 において、図 5 のビット線 B L [i + 1] に相当する 1 本のメインビット線 M B L に 5 V を供給し、他のメインビット線 M B L は 0 V に設定する。なお、選択メモリセルにおけるサブビット線 S B L は、選択信号線 B L S の電位に基づいて選択スイッチング素子をオンさせることにより、メインビット線 M B L と接続されることとなる。

10

【 0 0 9 3 】

このとき、表 2 に示すように、選択されたセクタ領域 0 内の非選択セルにおいては、ワード線 W L は 0 V に設定されるが、コントロールゲート線 S C G には 5 . 5 V または 2 . 5 V の高電位あるいは 0 V が印加される。一方、選択されたセクタ領域 0 内の非選択セルにおけるサブビット線 S B L については、選択信号線 B L S が 8 V に設定され、選択トランジスタがオンするため、そのサブビット線 S B L は 0 V に設定される。

20

【 0 0 9 4 】

一方、表 3 に示すように、非選択のセクタ領域内における非選択セルにおいては、コントロールゲート線 C G 及びメインビット線 M B L には共に 0 V が印加される。よって、非選択セクタ領域内では、プログラム時と同様な高電位が印加されることで生ずるディスタurbが非選択セルに生ずることがない。

【 0 0 9 5 】

選択されたセクタ領域 0 内の非選択セルのコントロールゲートには高電位が印加されてしまうが、このような高電位はセクタ領域 0 にてプログラミングを実施する場合にのみ印加される。よって、いずれか一つのセクタ領域でのプログラミングが実施される度に、他のセクタ領域内の非選択セルに高電位が印加されるものと比較すれば、高電位が印加される頻度が大幅に低減し、ディスタurbが生ずることを防止できる。

30

【 0 0 9 6 】

(比較例の説明)

図 1 5 は、比較例の構成を示している。この比較例では、メモリセルアレイ領域は、列方向で分割され、列方向を長手方向とする複数のセクタ領域 0 , 1 , ... を有する。また比較例では、C G ドライバ 4 0 0 , 4 0 1 はセクタ領域 0 , 1 にそれぞれ対応して設けられずに、両セクタ領域 0 , 1 に共用されている。

【 0 0 9 7 】

ここで、図 1 5 に示すように、セクタ領域 0 に対応して選択ゲート領域 4 0 2 が、セクタ領域 1 に対応して選択ゲート領域 4 0 3 がそれぞれ設けられている。選択ゲート領域 4 0 2 , 4 0 3 に配置された N 型 M O S トランジスタ群は、選択信号線 C G S 0 , C G S 1 の電位に基づいて、C G ドライバ 4 0 0 , 4 0 1 から供給される電位をセクタ領域 0 , 1 に供給するか否かを選択するものである。

40

【 0 0 9 8 】

比較例においても実質的に表 1 ~ 3 に示す本実施形態での設定電位と同じ電位に設定できるが、これらは選択ゲート領域 4 0 2 , 4 0 3 を設けることで達成できるのである。もし選択ゲート領域 4 0 2 , 4 0 3 が存在しなければ、選択されたセクタ領域 0 での選択セルのプログラミング時に、非選択のセクタ領域 1 の非選択セルにも高電位が印加されてしまう。このようにセクタ領域を越えてプログラム時の高電位が非選択セルにも印加されると

50

、プログラムの度に非選択セルに高電位が印加され、ディスタ urb が生じてしまう。

【0099】

比較例では、上記のようなディスタ urb の発生を防止するために、各セクタ領域毎にコントロールゲートのための選択ゲート領域を設けることが不可欠である。

【0100】

さらに比較例では、選択ゲート領域 402, 403 に N 型 MOS トランジスタを使用すると、そこで電圧降下が生ずるため、CG ドライバ 400, 401 からは本来必要な第 1 の消去用高電位に電圧降下分の電圧を上乗せして供給しなければならず、高電圧化してしまう。

【0101】

上述した本発明の実施形態では、ディスタ urb を回避しながらも、所定のコントロールゲートに電位を印加するための選択ゲート領域を省略できる。

【0102】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0103】

例えば、不揮発性メモリ素子 108A, 108B の構造については、MONOS 構造に限定されるものではない。1つのワードゲート 104 と第 1, 第 2 のコントロールゲート 106A, 106B により、2箇所にて独立して電荷をトラップできる他の種々のメモリセルを用いた不揮発性半導体記憶装置に、本発明を適用することができる。

【図面の簡単な説明】

【図 1】本発明の一実施の形態に係る不揮発性半導体記憶装置に用いられるメモリセルの断面図である。

【図 2】図 1 に示すメモリセルの等価回路図である。

【図 3】図 1 に示す不揮発性半導体記憶装置でのデータ読み出し動作を説明するための概略説明図である。

【図 4】図 1 に示すメモリセルでのコントロールゲート電圧 V_{CG} とソース - ドレイン電流 I_{ds} との関係を示す特性図である。

【図 5】図 1 に示す不揮発性半導体記憶装置でのデータ書き込み（プログラム）動作を説明するための概略説明図である。

【図 6】図 1 に示す不揮発性半導体記憶装置でのデータ消去動作を説明するための概略説明図である。

【図 7】図 7 (A) は図 1 に示す不揮発性半導体記憶装置全体の平面レイアウト図、図 7 (B) は図 7 (A) 中の一つのセクタ領域の平面図、図 7 (C) はセクタ領域の平面図、図 7 (D) は図 7 (C) 中の一つのラージブロックの平面図、図 7 (E) は図 7 (D) 中の一つのスモールブロックの平面図である。

【図 8】図 7 (B) に示す一つのセクタ領域の多数のメモリセル群とその配線とを説明するための概略説明図である。

【図 9】隣り合うセクタ領域の関係を示す回路図である。

【図 10】メモリセルアレイ領域におけるメモリセル群とその配線とを説明するための概略図である。

【図 11】図 10 に示すメモリセルアレイ領域内のサブビット線と、メインビット線との関係を示す配線図である。

【図 12】図 10 および図 11 に示すメモリセルアレイ領域のレイアウトを示した平面図である。

【図 13】図 12 におけるストラップ群領域 (A10 の領域) を拡大した平面図である。

【図 14】図 13 における A - A 線に沿った断面を模式的に示す断面図である。

【図 15】図 9 に対する比較例の構成を示す回路図である。

【符号の説明】

100 メモリセル

10

20

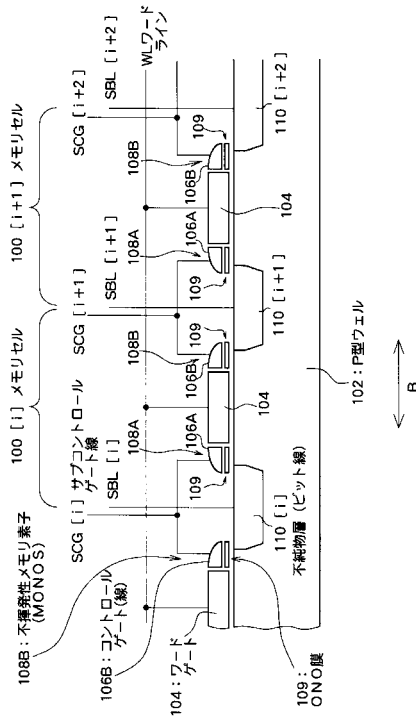
30

40

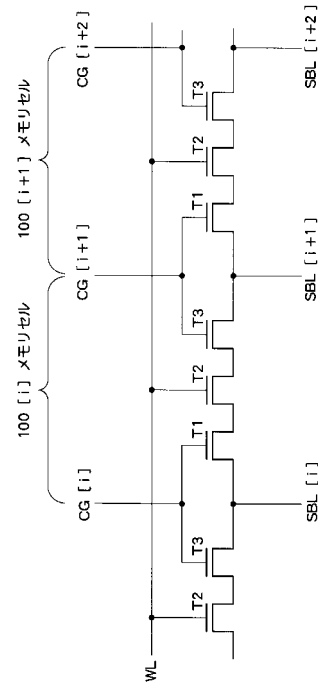
50

1 0 2	P 型ウェル	
1 0 4	ワードゲート	
1 0 6 A , 1 0 6 B	コントロールゲート (線)	
1 0 8 A , 1 0 8 B	不揮発性メモリ素子 (MONOS メモリセル)	
1 0 9	ONO 膜	
1 1 0	不純物層 (ビット線)	
1 2 0	第 1 ゲート電極	
1 2 2	第 2 ゲート電極	
1 3 0	第 1 不純物層	
1 3 2	第 2 不純物層	10
1 3 4	第 3 不純物層	
1 5 0	クロスアンダ不純物層	
1 6 0	連続部	
1 7 0	素子分離領域	
2 0 0 A , 2 0 0 B	メモリセルアレイ領域	
2 0 1	ワード線駆動部	
2 1 0	セクタ領域	
2 1 4	メモリブロック	
2 1 6	スモールメモリブロック	
3 0 0 ~ 3 3 1	C G (コントロールゲート) ドライバ	20
3 4 0 - 0 ~ 3 4 0 - 3 1	ウェルドライバ (消去用ビット線駆動部)	
3 5 0 - 0 ~ 3 5 0 - 3 1	セクタドライバ	
3 6 0 - 0 ~ 3 6 0 - 3 1	Y パス回路	
3 7 0 - 0 ~ 3 7 0 - 3 1	セクタ選択回路	
4 0 0 , 4 0 1	C G (コントロールゲート) ドライバ	
4 0 2 , 4 0 3	選択ゲート領域	
5 0 0	I C チップ	
5 0 2 , 5 0 4	アレイブロック	
5 0 6	C G デコーダ	
5 0 8	X プリデコーダ	30
5 1 0 , 5 1 2	W L (ワード線) ドライバ	
5 1 4	Y デコーダ	
5 1 6 , 5 1 8	センスアンプ / B L ドライバ	
5 2 0	データイン / アウトバッファ	
5 2 2	入出力端子	
5 3 0	コマンド端子	
5 3 2	制御ロジック回路	
5 3 4	電位生成回路	
5 4 0	アドレス端子	
5 4 2	アドレスバッファ	40
W L	ワード線	
B L	ビット線 (不純物層)	
M B L	メインビット線	
S B L	サブビット線	
S C G	サブコントロールゲート線 (第 1 層金属配線)	
M 0 ~ M 3	第 2 層金属配線	
M C G	メインコントロールゲート線 (第 3 層金属配線)	
Q 1 , Q 2	選択スイッチング素子	

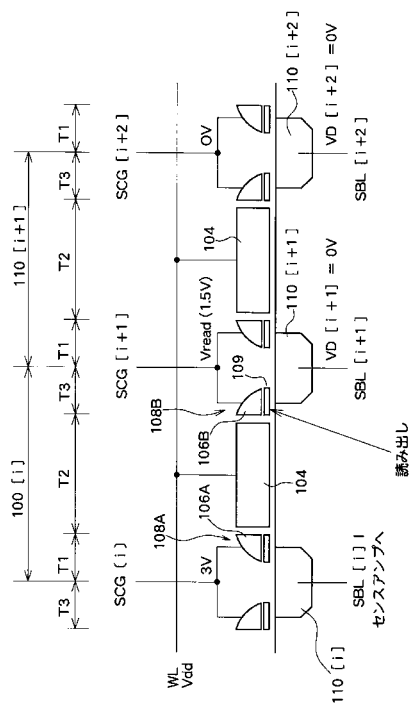
【 図 1 】



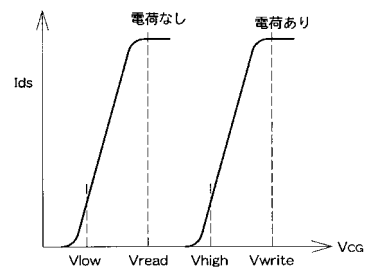
【 図 2 】



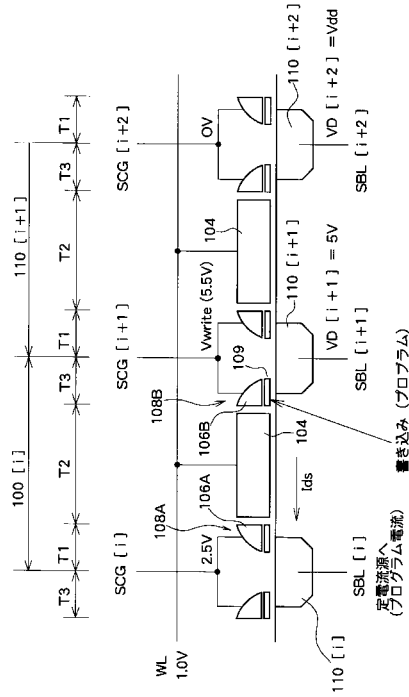
【 図 3 】



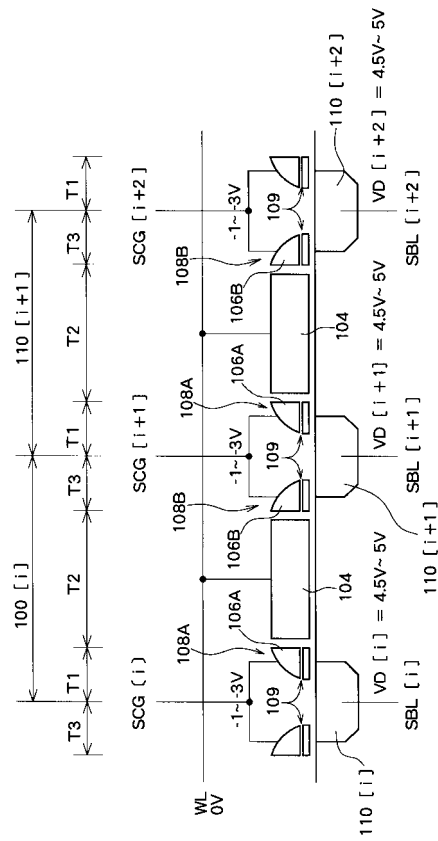
【 図 4 】



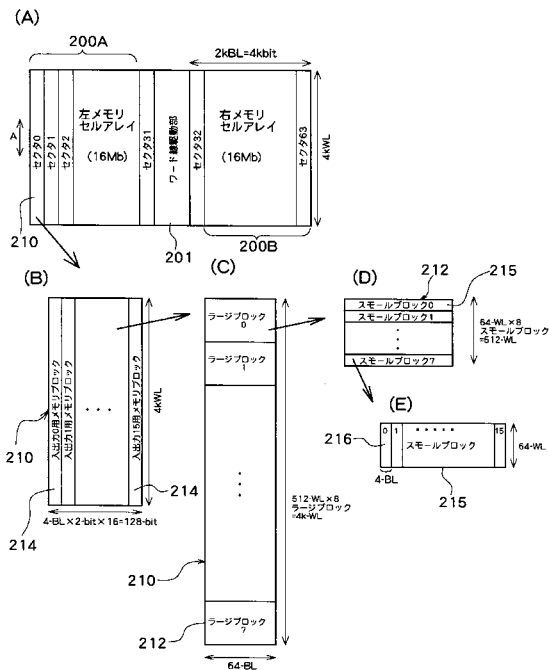
【図 5】



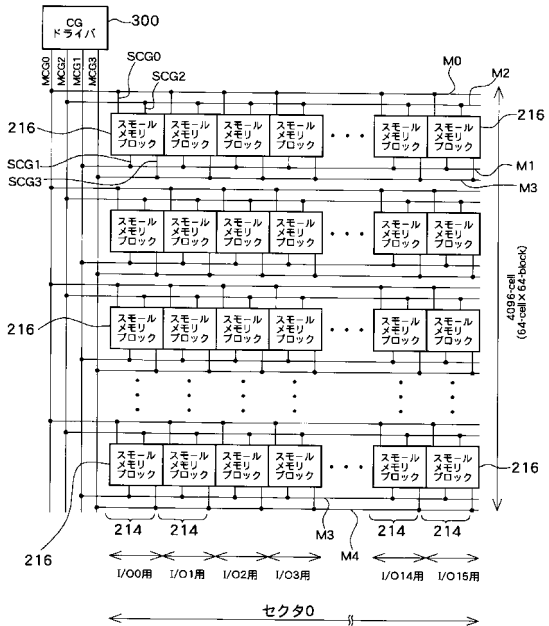
【図 6】



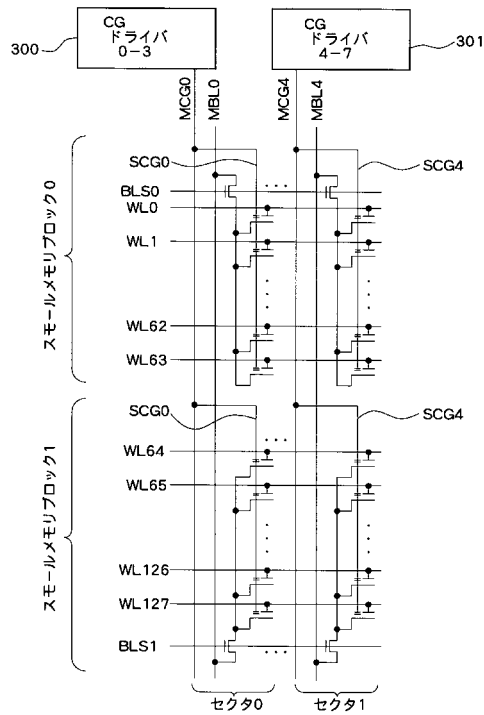
【図 7】



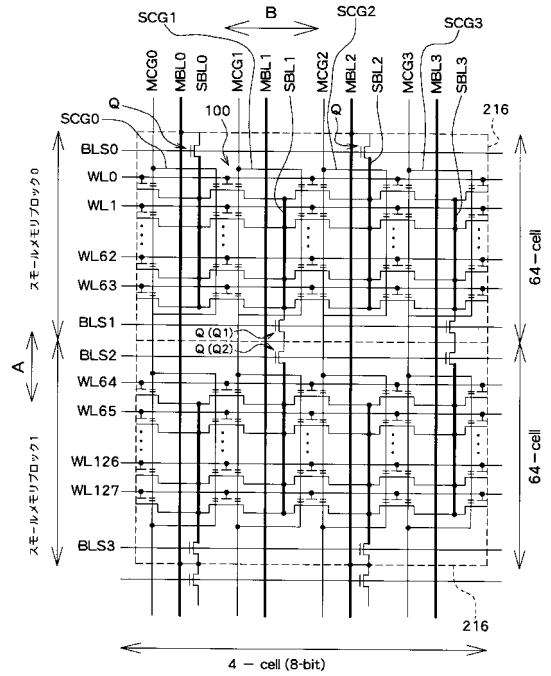
【図 8】



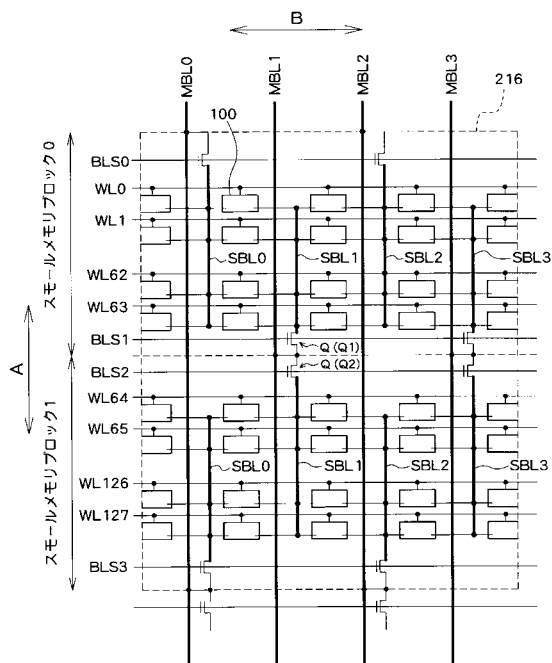
【図 9】



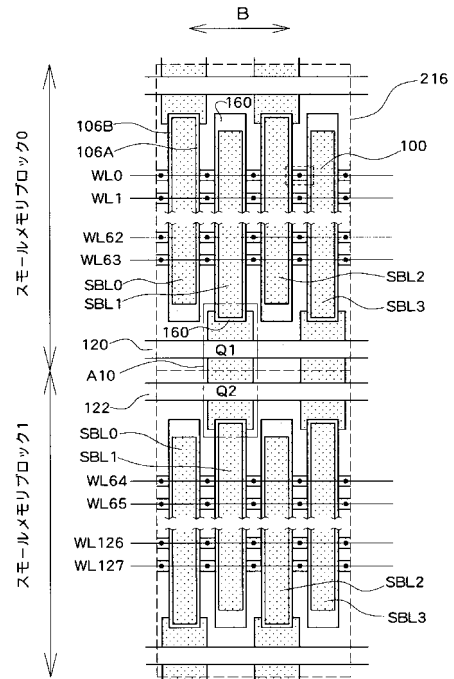
【図 10】



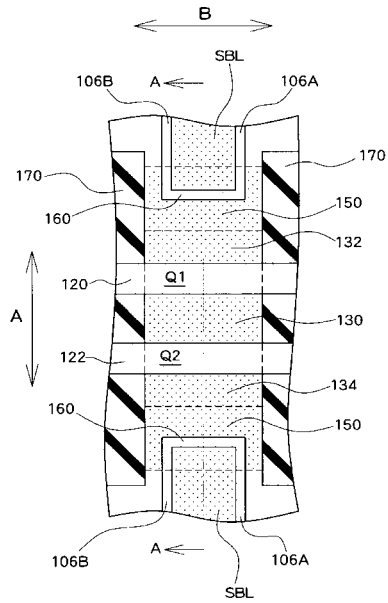
【図 11】



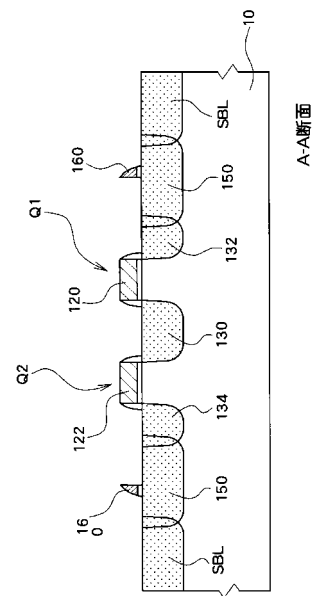
【図 12】



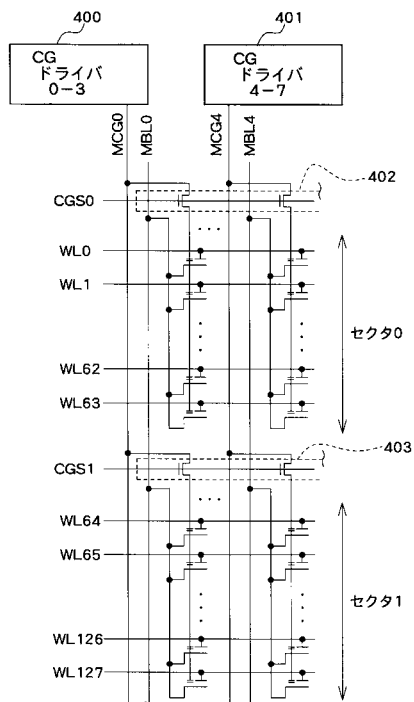
【図 13】



【図 14】



【図 15】



フロントページの続き

(51) Int.Cl.⁷ F I

H 0 1 L 29/788

H 0 1 L 29/792

審査官 小松 正

(56) 参考文献 特開 2 0 0 2 - 3 5 3 3 4 6 (J P , A)

(58) 調査した分野(Int.Cl.⁷, D B 名)

G11C 16/00-16/34

H01L 21/8247, 27/115, 29/788, 29/7927