

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成21年10月8日(2009.10.8)

【公開番号】特開2007-142417(P2007-142417A)

【公開日】平成19年6月7日(2007.6.7)

【年通号数】公開・登録公報2007-021

【出願番号】特願2006-308667(P2006-308667)

【国際特許分類】

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/283 (2006.01)

H 0 1 L 29/41 (2006.01)

【F I】

H 0 1 L 29/78 6 1 7 S

H 0 1 L 29/78 6 1 7 K

H 0 1 L 29/78 6 1 8 C

H 0 1 L 29/78 6 1 7 V

H 0 1 L 29/78 6 1 6 L

H 0 1 L 21/283 B

H 0 1 L 29/44 S

H 0 1 L 29/44 L

【手続補正書】

【提出日】平成21年8月25日(2009.8.25)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

電界効果トランジスタであって、

基板上の半導体ボディを備え、前記半導体ボディは、上面、対向する側壁、および上部コーナを有し、さらに、

前記上面上の第 1 ゲート誘電体層と、

前記対向する側壁上の第 2 ゲート誘電体層と、

前記第 1 ゲート誘電体層および前記第 2 ゲート誘電体層に隣接する前記上部コーナのところの第 3 ゲート誘電体層とを備え、前記第 1 ゲート誘電体層および前記第 2 ゲート誘電体層はともに、前記第 3 ゲート誘電体層よりも厚い、トランジスタ。

【請求項 2】

電界効果トランジスタであって、

基板上の半導体ボディを備え、

前記半導体ボディは、上面、対向する側壁、および上部コーナを有し、

前記半導体ボディは、チャネル領域と、前記チャネル領域に隣接する前記上部コーナにソース/ドレイン領域とを備え、さらに、

前記上面上の第 1 ゲート誘電体層と、

前記対向する側壁上の第 2 ゲート誘電体層と、

前記第 1 ゲート誘電体層および前記第 2 ゲート誘電体層に隣接する前記上部コーナのところの第 3 ゲート誘電体層とを備え、前記第 1 ゲート誘電体層および前記第 2 ゲート誘電

体層はともに、前記第 3 ゲート誘電体層よりも厚い、トランジスタ。

【請求項 3】

前記上部コーナにおける前記ソース/ドレイン領域はソース/ドレイン拡張領域を有し、前記半導体ボディはさらに、対向する端部を有し、前記対向する端部にソース/ドレイン拡散領域を備える、請求項 2 に記載のトランジスタ。

【請求項 4】

前記第 1 ゲート誘電体層および前記第 2 ゲート誘電体層は、前記第 3 ゲート誘電体層よりも少なくとも 3 倍厚い、請求項 1 又は 2 に記載のトランジスタ。

【請求項 5】

前記第 2 ゲート誘電体層の高さは、前記対向する側壁の高さの少なくとも $1/3$ である、請求項 1 又は 2 に記載のトランジスタ。

【請求項 6】

前記第 1 ゲート誘電体層の幅は、前記上面の幅の少なくとも $1/3$ である、請求項 1 又は 2 に記載のトランジスタ。

【請求項 7】

電界効果トランジスタを形成する方法であって、
半導体層の表面上の第 1 誘電体材料をパターン化して第 1 ゲート誘電体層を形成するステップと、
前記第 1 ゲート誘電体層に隣接してスペーサを形成するステップと、
前記半導体層の方向性エッチングを実施して、前記第 1 ゲート誘電体層および前記スペーサの下に半導体ボディを形成するステップと、
前記半導体ボディの対向する側壁上に第 2 ゲート誘電体層を形成するステップと、
前記第 1 ゲート誘電体層および前記第 2 ゲート誘電体層に隣接する前記半導体ボディの上部コーナのところに第 3 ゲート誘電体層を形成するステップとを含み、前記第 1 ゲート誘電体層および前記第 2 ゲート誘電体層はともに、前記第 3 ゲート誘電体層よりも厚く形成される、方法。

【請求項 8】

電界効果トランジスタを形成する方法であって、
半導体層の表面上の第 1 誘電体材料をパターン化して第 1 ゲート誘電体層を形成するステップと、
前記第 1 ゲート誘電体層に隣接してスペーサを形成するステップと、
前記半導体層の方向性エッチングを実施して、前記第 1 ゲート誘電体層および前記スペーサの下に半導体ボディを形成するステップと、
前記半導体ボディの対向する側壁上に第 2 ゲート誘電体層を形成するステップと、
前記第 1 ゲート誘電体層および前記第 2 ゲート誘電体層に隣接する前記半導体ボディの上部コーナのところに第 3 ゲート誘電体層を形成するステップとを含み、前記第 1 ゲート誘電体層および前記第 2 ゲート誘電体層はともに、前記第 3 ゲート誘電体層よりも厚く形成され、さらに、

前記半導体ボディ上でゲート導体をパターン化するステップと、
前記ゲート導体に隣接する前記上部コーナをドーブしてソース/ドレイン領域を形成するステップとを含む、方法。

【請求項 9】

前記ドーブするステップは、注入工程を実施するステップ、外方拡散工程を実施するステップ、および注入工程と外方拡散工程の組合せを実施するステップの 1 つを含む、請求項 8 に記載の方法。

【請求項 10】

前記ドーブするステップの前に、前記半導体ボディの対向する端部のところの前記上面から前記第 1 誘電体層および前記第 3 ゲート誘電体層を除去し、任意選択で、前記ゲート導体に隣接する前記半導体ボディの前記上部コーナから前記第 3 ゲート誘電体層を除去し、そのため、前記ドーブするステップにより、前記ゲート導体に隣接する前記上部コーナ

および前記対向する端部にドーパントが導入され、それによって、それぞれソース/ドレイン拡張領域およびソース/ドレイン拡散領域が形成されるステップをさらに含む、請求項 8 に記載の方法。

【請求項 1 1】

前記第 2 ゲート誘電体層を形成する前記ステップは、

前記第 1 ゲート誘電体層の材料と異なる第 2 誘電体層の材料を被着させるステップと、選択的方向性エッチングを実施して、前記第 1 ゲート誘電体層および前記スペーサから前記第 2 誘電体材料を除去し、前記スペーサを除去し、前記上部コーナのところの前記対向する側壁から前記第 2 誘電体材料を除去するステップとを含み、

前記対向する側壁上の前記第 2 誘電体材料の残りの部分が前記第 2 ゲート誘電体層を形成する、請求項 7 又は 8 に記載の方法。

【請求項 1 2】

前記第 2 ゲート誘電体層を形成する前記ステップは、

前記スペーサを除去するステップと、

前記第 1 ゲート誘電体層の材料と異なる第 2 誘電体材料を被着させるステップと、選択的方向性エッチングを実施して、前記第 1 ゲート誘電体層および前記上部コーナのところの前記対向する側壁から前記第 2 誘電体材料を除去するステップとを含み、

前記対向する側壁上の前記第 2 誘電体材料の残りの部分が前記第 2 ゲート誘電体層を形成する、請求項 7 又は 8 に記載の方法。

【請求項 1 3】

前記第 3 ゲート誘電体層を形成する前記ステップは、前記上部コーナのところの前記半導体ボディ上に酸化物層を成長させるステップを含む、請求項 7 又は 8 に記載の方法。

【請求項 1 4】

前記酸化物層の成長は、前記第 3 ゲート誘電体層が前記第 2 ゲート誘電体層の厚さの約 $1/3$ 未満の厚さで形成されるように制御する、請求項 1 3 に記載の方法。

【請求項 1 5】

前記第 1 ゲート誘電体層は、前記第 1 ゲート誘電体層の幅が前記上面の幅の少なくとも $1/3$ になるように形成され、前記第 2 ゲート誘電体層は、前記第 2 ゲート誘電体層の高さが前記対向する側壁の高さの少なくとも $1/3$ になるように形成される、請求項 7 又は 8 に記載の方法。