

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年12月15日(15.12.2022)



(10) 国際公開番号

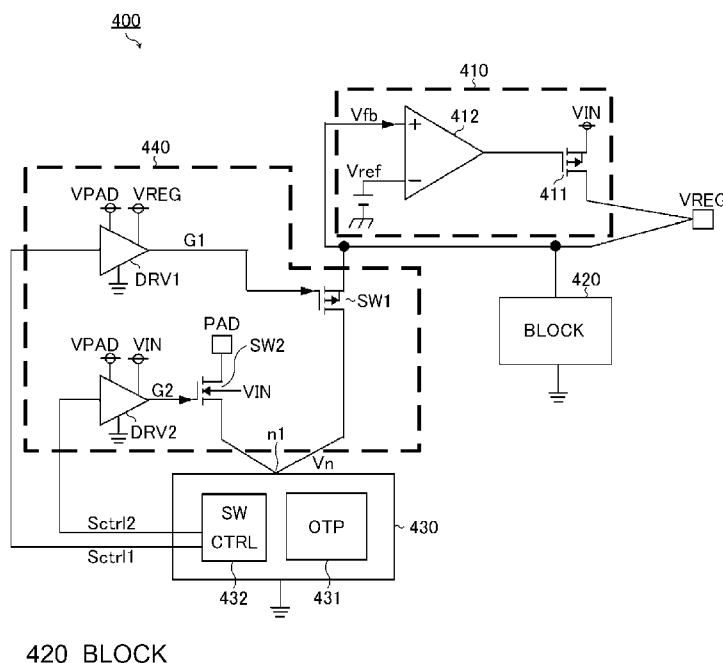
WO 2022/259802 A1

- (51) 国際特許分類:
H01L 27/04 (2006.01) *G05F 1/56* (2006.01)
- (21) 国際出願番号: PCT/JP2022/019926
- (22) 国際出願日: 2022年5月11日(11.05.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-097420 2021年6月10日(10.06.2021) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者: 大西 克彦 (ONISHI Katsuhiko);
〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 特許業務法人 佐野特許事務所 (SANO PATENT OFFICE); 〒5400032 大阪府大阪市中央区天満橋京町 2 - 6 天満橋八千代ビル別館 5 F Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,

(54) Title: SEMICONDUCTOR DEVICE AND VOLTAGE APPLICATION METHOD

(54) 発明の名称: 半導体装置及び電圧印加方法

[図4]



(57) Abstract: For example, a semiconductor device 400 comprises: an internal power supply 410 for generating VREG from VIN; a circuit block 420 operating with VREG; a circuit block 430 operating with a node voltage Vn appearing at an internal node n1; and a switching unit 440 for switching the destinations to which the internal node n1 is to connect to. The switching unit 440 includes a switch SW1 connected between a VREG-applied end and the internal node n1, and a switch SW2 connected between an external terminal PAD and the internal node n1. The circuit block 430 includes a

LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE,
PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

switch control unit 432 configured to control the switches SW1 and SW2. The switch control unit 432, when switching between a first state (SW1-on, SW2-off) and a second state (SW1-off, SW2-on), controls the switching unit 440 to go through a third state (SW1-on, SW2-off).

(57) 要約：例えば、半導体装置400は、VINからVREGを生成する内部電源410と、VREGにより動作する回路ブロック420と、内部ノードn1に現れるノード電圧Vnにより動作する回路ブロック430と、内部ノードn1の接続先を切り替える切替部440と、を有する。切替部440は、VREGの印加端と内部ノードn1との間に接続されたスイッチSW1と、外部端子PADと内部ノードn1との間に接続されたスイッチSW2と、を含む。回路ブロック430は、スイッチSW1及びSW2を制御するように構成されたスイッチ制御部432と、を含む。スイッチ制御部432は、第1状態(SW1オン、SW2オフ)と第2状態(SW1オフ、SW2オン)を切り替える際に、第3状態(SW1オン、SW2オン)を経由するように切替部440を制御する。

明 細 書

発明の名称：半導体装置及び電圧印加方法

技術分野

[0001] 本明細書中に開示されている発明は、半導体装置及び電圧印加方法に関する。

背景技術

[0002] 従来、動作モードに応じて端子の機能を切り替えられる半導体装置が提案されている。

[0003] なお、上記に関連する従来技術の一例としては、特許文献1を挙げることができる。

先行技術文献

特許文献

[0004] 特許文献1：特開2000-150482号公報（例えば段落0013、0016-0017、0026、0043-0045、図1、図2及び図13）

発明の概要

発明が解決しようとする課題

[0005] しかしながら、従来の半導体装置では、単一の端子に複数の機能を持たせる手法について、更なる検討の余地があった。

[0006] 本明細書中に開示されている発明は、本願発明者により見出された上記課題に鑑み、単一の端子に複数の機能を持たせることのできる半導体装置を提供することを目的とする。

課題を解決するための手段

[0007] 例えば、本明細書中に開示されている半導体装置は、入力電圧から内部電源電圧を生成するように構成された内部電源と、前記内部電源電圧により動作するように構成された第1回路ブロックと、内部ノードに現れるノード電圧により動作するように構成された第2回路ブロックと、前記内部ノードの接続先を切り替えるように構成された切替部と、を有し、前記切替部は、前

記内部電源電圧の印加端と前記内部ノードとの間に接続された第 1 スイッチと、外部端子と前記内部ノードとの間に接続された第 2 スイッチと、を含み、前記第 2 回路ブロックは、前記第 1 スイッチ及び前記第 2 スイッチをそれぞれ制御するように構成されたスイッチ制御部を含み、前記スイッチ制御部は、前記第 1 スイッチがオン状態かつ前記第 2 スイッチがオフ状態である第 1 状態と、前記第 1 スイッチがオフ状態かつ前記第 2 スイッチがオン状態である第 2 状態との間で、前記切替部の動作状態を切り替える際に、前記第 1 スイッチ及び前記第 2 スイッチの双方がオン状態である第 3 状態を経由するように前記切替部を制御する構成とされている。

[0008] なお、その他の特徴、要素、ステップ、利点、及び、特性については、以下に続く発明を実施するための形態及びこれに関する添付の図面によって、さらに明らかとなる。

発明の効果

[0009] 本明細書中に開示されている発明によれば、単一の端子に複数の機能を持たせることのできる半導体装置を提供することが可能となる。

図面の簡単な説明

- [0010] [図1]図 1 は、半導体装置の第 1 比較例を示す図である。
[図2]図 2 は、半導体装置の第 2 比較例を示す図である。
[図3]図 3 は、半導体装置の第 3 比較例を示す図である。
[図4]図 4 は、半導体装置の第 1 実施形態を示す図である。
[図5]図 5 は、第 1 実施形態の動作シーケンスを示す図である。
[図6]図 6 は、パッド共用手法の一例を示す図である。
[図7]図 7 は、半導体装置の第 2 実施形態を示す図である。

発明を実施するための形態

[0011] <第 1 比較例>

図 1 は、半導体装置の第 1 比較例（後出の実施形態と対比される回路構成の一例）を示す図である。第 1 比較例の半導体装置 100 は、内部電源 110 と、アナログ回路ブロック 120 と、デジタル回路ブロック 130 と、0

TP [one time programmable] メモリ 140 と、を有する。

[0012] 内部電源 110 は、入力電圧 VIN（例えば 3.3 V）から所定の内部電源電圧 VREG（例えば 1.5 V）を生成するリニアレギュレータであり、例えば、出力トランジスタ 111 と、帰還制御部 112 と、を含む。

[0013] 出力トランジスタ 111 は、入力電圧 VIN の印加端と内部電源電圧 VREG の印加端との間に接続されており、帰還制御部 112 から出力される制御信号に応じて導通度（延いてはオン抵抗値）がリニアに制御される。出力トランジスタ 111 としては、例えば、Pチャネル型 MOSFET [metal oxide semiconductor field effect transistor] を好適に用いることができる。

[0014] 帰還制御部 112 は、内部電源電圧 VREG（またはその分圧電圧）の帰還入力を受け付けており、内部電源電圧 VREG が目標値と一致するように出力トランジスタ 111 を制御する制御信号（＝ゲート信号）を生成する。

[0015] アナログ回路ブロック 120 及びデジタル回路ブロック 130 は、それぞれ、内部電源電圧 VREG の供給を受けて動作する。

[0016] OTP メモリ 140 は、一度だけデータを書き込むことのできる不揮発性の半導体記憶装置である。なお、OTP メモリ 140 は、データ書込時とデータ非書込時（データ読出時を含む）で動作に必要な駆動電圧が異なる。例えば、データ読出時に必要な駆動電圧は 1.5 V であり、内部電源電圧 VREG と同じ電圧であるが、データ書込時に必要な駆動電圧は 5 V である。そのため、OTP メモリ 140 を備えた半導体装置 100 には、一度しか実施されないデータ書き込み動作のためだけに、OTP 電源電圧 OTP_VIN の入力を受け付けるための外部電源端子を別途設ける必要がある。

[0017] なお、別途の外部電源端子を設けずに半導体装置 100 の実装面積をシュリンクする方法としては、アナログ回路ブロック 120 及びデジタル回路ブロック 130 それぞれの耐圧を高めることにより、内部電源電圧 VREG を 5 V まで引き上げられるようにすることが考えられる。しかしながら、アナログ回路ブロック 120 及びデジタル回路ブロック 130 を高耐圧化すると

、それぞれの回路面積が大きくなってしまふ。

[0018] <第2比較例>

図2は、半導体装置の第2比較例（後出の実施形態と対比される回路構成の一例）を示す図である。第2比較例の半導体装置200は、回路ブロック210、220及び230と、切替部240と、スイッチ制御部250と、を有する。

[0019] 回路ブロック210、220及び230は、それぞれ、入力電圧VINの供給を受けて動作する。

[0020] 切替部240は、入力電圧VINの供給を受けて動作し、スイッチ制御部250から出力されるスイッチ制御信号Sctrlに応じて回路ブロック210、220及び230とパッドPAD1及びPAD2との接続経路を切り替える。例えば、切替部240は、回路ブロック210とパッドPAD1との間に接続されたアナログスイッチ241と、回路ブロック230とパッドPAD1との間に接続されたアナログスイッチ242と、回路ブロック230とパッドPAD2との間に接続されたアナログスイッチ243と、回路ブロック220とパッドPAD2との間に接続されたアナログスイッチ244と、を含む。

[0021] スwitch制御部250は、入力電圧VINの供給を受けて動作し、2つのパッドPAD1及びPAD2を3つの回路ブロック210、220及び230で共用するように、スイッチ制御信号Sctrlを生成する。

[0022] このように、外部端子数を減らすためにアナログスイッチを用いて外部端子に繋がる回路ブロックを切り替えることは、従前にも実施されている。

[0023] <第3比較例>

図3は、半導体装置の第3比較例（後出の実施形態と対比される回路構成の一例）を示す図である。第3比較例の半導体装置300は、回路ブロック310及び320と、OTPメモリ330と、切替部340a及び340bと、スイッチ制御部350a及び350bと、を有する。

[0024] 回路ブロック310及び320は、いずれも入力電圧VINの供給を受け

て動作する。

[0025] OTPメモリ330は、一度だけデータを書き込むことのできる不揮発性の半導体記憶装置であり、データ書込時とデータ非書込時（データ読出時を含む）で動作に必要な駆動電圧が異なる。

[0026] 切替部340aは、入力電圧VINの供給を受けて動作し、スイッチ制御部350aから出力されるスイッチ制御信号Sctrl1に応じて回路ブロック310及び320とパッドPAD1及びPAD2との接続経路を切り替える。例えば、切替部340aは、回路ブロック310とパッドPAD1との間に接続されたアナログスイッチ341と、回路ブロック320とパッドPAD2との間に接続されたアナログスイッチ344と、を含む。

[0027] 切替部340bは、OTP電源電圧OTP__VINの供給を受けて動作し、スイッチ制御部350bから出力されるスイッチ制御信号Sctrl2に応じてOTPメモリ330及びスイッチ制御部350bとパッドPAD1及びPAD2との接続経路を切り替える。例えば、切替部340bは、OTPメモリ330及びスイッチ制御部350bとパッドPAD1との間に接続されたアナログスイッチ342と、OTPメモリ330及びスイッチ制御部350bとパッドPAD2との間に接続されたアナログスイッチ343とを含む。

[0028] スイッチ制御部350aは、入力電圧VINの供給を受けて動作し、2つのパッドPAD1及びPAD2を回路ブロック310及び320とOTPメモリ330で共用するように、スイッチ制御信号Sctrl1を生成する。

[0029] スイッチ制御部350bは、OTP電源電圧OTP__VINの供給を受けて動作し、2つのパッドPAD1及びPAD2を回路ブロック310及び320とOTPメモリ330で共用するように、スイッチ制御信号Sctrl2を生成する。

[0030] このように、OTPメモリ330及びスイッチ制御部350bそれぞれの電源が共通である場合、スイッチ制御部350bによる切替部340bの切替制御が困難となる。例えば、パッドPAD1からアナログスイッチ342

を介して電力供給を受けている状態を考える。この状態からアナログスイッチ342をオフし、次いでアナログスイッチ343をオンすることにより、パッドPAD2からの電力供給に切り替えようとした場合、アナログスイッチ342をオフした時点で、スイッチ制御部350bへの電力供給が遮断されてしまうので、切替部340bを正しく制御することができなくなるからである。

[0031] 以下では、このような不具合を解消することのできる新規な実施形態を提案する。

[0032] <第1実施形態>

図4は、半導体装置の第1実施形態を示す図である。第1実施形態の半導体装置400は、内部電源410と、第1回路ブロック420と、第2回路ブロック430と、切替部440と、を有する。

[0033] 内部電源410は、入力電圧VIN（例えば3.3V）から所定の内部電源電圧VREG（例えば1.5V）を生成するリニアレギュレータであり、例えば、出力トランジスタ411と、オペアンプ412と、を含む。

[0034] 出力トランジスタ411は、入力電圧VINの印加端と内部電源電圧VREGの印加端との間に接続されており、オペアンプ412から出力される制御信号に応じて導通度（延いてはオン抵抗値）がリニアに制御される。なお、出力トランジスタ411としては、例えば、Pチャネル型MOSFETを好適に用いることができる。

[0035] オペアンプ412は、非反転入力端（+）に入力される帰還電圧Vfb（例えば内部電源電圧VREG自体またはその分圧電圧）と、反転入力端（-）に入力される参照電圧Vrefとが一致（イマジナリショート）するように、出力トランジスタ111を制御する制御信号（＝ゲート信号）を生成する。本図では、内部電源410の帰還制御部として、最もシンプルなオペアンプ412を例示したが、帰還制御部のトポロジについては任意である。また、例えば、オペアンプ412の入力オフセットが温度依存性を持たないように、オペアンプ412の差動入力段にオフセットキャンセラを導入しても

よい。

[0036] なお、内部電源410は、本図で示したリニアレギュレータのように、内部電源電圧VREGの印加端に対して電流を供給する能力（＝電流ソース能力）のみを有するものが望ましい。その理由については後ほど詳述する。

[0037] 第1回路ブロック420は、内部電源電圧VREGの供給を受けて動作する。第1回路ブロック420の一例としては、アナログ回路ブロックが挙げられる。

[0038] 第2回路ブロック430は、内部ノードn1に現れるノード電圧Vnの供給を受けて動作する。第2回路ブロック430の一例としては、デジタル回路ブロックが挙げられる。本図に即して述べると、第2回路ブロック430は、OTPメモリ431と、スイッチ制御部432を含む。

[0039] OTPメモリ431は、一度だけデータを書き込むことのできる不揮発性の半導体記憶装置である。なお、OTPメモリ431は、データ書込時とデータ非書込時（データ読出時を含む）で動作に必要な駆動電圧が異なる。例えば、データ読出時に必要な駆動電圧は1.5Vであり、内部電源電圧VREGと同じ電圧であるが、データ書込時に必要な駆動電圧は5Vである。

[0040] このように、第2回路ブロック430は、動作モードにより必要な駆動電圧が異なる負荷回路の一例として、OTPメモリ431を含む。OTPメモリ431を具備することにより、例えば、OTPメモリ431に書き込まれたデータに応じて半導体装置400の機能を切り替えることができる。より具体的に述べると、半導体装置400の出荷時において、OTPメモリ431に任意のデータ（例えば、或る用途の機種にはデータ「0」、別の用途に供される機種にはデータ「1」）を書き込むことにより、単一の半導体装置400を複数の用途にそれぞれ適合された複数の機種として展開することが可能となる。

[0041] スイッチ制御部432は、ノード電圧Vnの供給を受けて動作し、ノード電圧Vnの供給断絶を起こすことなく内部ノードn1の接続先を切り替えられるように、切替部440のスイッチ制御信号Sctrl1及びSctrl

2を生成する。なお、スイッチ制御部432による切替部440の制御動作（後出するスイッチSW1及びSW2それぞれのオン／オフ制御動作）については、後ほど詳細に説明する。

[0042] 切替部440は、スイッチ制御部432から出力されるスイッチ制御信号Sctrl1及びSctrl2に基づいて内部ノードn1の接続先を切り替えるように構成された回路ブロックであり、スイッチSW1及びSW2と、ドライバDRV1及びDRV2を含む。

[0043] スイッチSW1は、内部電源電圧VREGの印加端と内部ノードn1との間に接続されており、ドライバDRV1から出力されるゲート信号G1に基づいてオン／オフされる。本図では、スイッチSW1としてPチャネル型MOSFETが用いられている。スイッチSW1のソース及びバックゲートは、内部電源電圧VREGの印加端に接続されている。スイッチSW1のドレインは、内部ノードn1に接続されている。スイッチSW1のゲートは、ドライバDRV1の出力端に接続されている。従って、ゲート信号G1がローレベル（GND）であるときには、スイッチSW1がオンするので、内部電源電圧VREGの印加端と内部ノードn1との間が導通される。一方、ゲート信号G1がハイレベル（VREG又はVPAD）であるときには、スイッチSW1がオフするので、内部電源電圧VREGの印加端と内部ノードn1との間が遮断される。なお、スイッチSW1としては、例えば、Pチャネル型MOSFETとNチャネル型MOSFETを並列接続したアナログスイッチを用いてもよい。

[0044] スイッチSW2は、パッドPAD（＝外部電源電圧VPADが印加される外部端子）と内部ノードn1との間に接続されており、ドライバDRV2から出力されるゲート信号G2に基づいてオン／オフされる。本図では、スイッチSW2としてNチャネル型MOSFETが用いられている。スイッチSW2のドレインは、パッドPADに接続されている。スイッチSW2のソースは、内部ノードn1に接続されている。スイッチSW2のバックゲートは、入力電圧VINの印加端に接続されている。スイッチSW2のゲートは、

ドライバDRV2の出力端に接続されている。従って、ゲート信号G2がハイレベル(VINまたはVPAD)であるときには、スイッチSW2がオンするので、パッドPADと内部ノードn1との間が導通される。一方、ゲート信号G2がローレベル(GND)であるときには、スイッチSW2がオフするので、パッドPADと内部ノードn1との間が遮断される。なお、スイッチSW2としては、Nチャネル型MOSFETに代えてPチャネル型MOSFETを用いてもよいし、Pチャネル型MOSFETとNチャネル型MOSFETを並列接続したアナログスイッチを用いてもよい。

[0045] また、パッドPADとしては、外部電源電圧VPADの入力を受け付けるための専用パッドを設けるのではなく、OTPメモリ431にデータを書き込むことのない通常動作時(データ読出時を含む)において、別の用途に供される既存のパッド(例えばイネーブル信号の入力を受け付けるためのイネーブルパッド)を共用すればよい。なお、パッドPADの共用手法については、別途改めて説明する。

[0046] ドライバDRV1は、内部電源電圧VREGまたは外部電源電圧VPADの供給を受けて動作し、スイッチ制御信号Sctrl1に応じてゲート信号G1を生成する。

[0047] ドライバDRV2は、入力電圧VINまたは外部電源電圧VPADの供給を受けて動作し、スイッチ制御信号Sctrl1に応じてゲート信号G1を生成する。

[0048] 図5は、第1実施形態の動作シーケンス(特にOTPメモリ431へのデータ書込時)を示すタイミングチャートであり、上から順に、スイッチSW1及びSW2のオン/オフ状態、入力電圧VIN、内部電源電圧VREG、外部電源電圧VPAD、及び、ノード電圧Vnが描写されている。

[0049] 以下では、時刻t1~t10に亘って半導体装置400に入力電圧VIN(例えば3.3V)が供給されており、内部電源電圧VREGを目標値VL(例えば1.5V)に合わせ込むように帰還制御が掛かっていることを前提として、動作シーケンスの説明を行う。

- [0050] また、切替部440の動作状態として、第1状態(1)、第2状態(2)及び第3状態(3)を定義する。第1状態(1)は、スイッチSW1をオンしてスイッチSW2をオフする状態のことを指す。一方、第2状態(2)は、スイッチSW1をオフしてスイッチSW2をオンする状態のことを指す。また、第3状態(3)は、スイッチSW1及びSW2をいずれもオンする状態のことを指す。
- [0051] 時刻 $t_1 \sim t_3$ では、切替部440が第1状態(1)となる。すなわち、同期間には、内部ノード n_1 と内部電源電圧 V_{REG} の印加端との間が導通し、内部ノード n_1 とパッドPADとの間が遮断される。従って、 $V_n = V_{REG} (=V_L)$ となる。
- [0052] なお、時刻 t_2 では、第1状態(1)から第3状態(3)への切替前に、外部電源電圧 V_{PAD} が内部電源電圧 V_{REG} の目標値 V_L 以上の第1電圧 V_M に設定されている。ただし、この時点では、内部ノード n_1 とパッドPADとの間が遮断されているので、 $V_n = V_{REG} (=V_L) \neq V_{PAD}$ となる。
- [0053] 上記の第1電圧 V_M は、時刻 t_2 における内部電源電圧 V_{REG} の出力値と等しい電圧値に設定することが理想的である。ただし、第1電圧 V_M 及び内部電源電圧 V_{REG} のばらつき又は変動により、第1電圧 V_M が内部電源電圧 V_{REG} よりも低い場合には、内部電源電圧 V_{REG} の印加端からパッドPADに向けて電流が流れてしまう。このような状況を避けるためには、第1電圧 V_M を内部電源電圧 V_{REG} の目標値 V_L (例えば1.5V)よりもやや高い電圧値(例えば1.6V)に設定しておくことが望ましい。
- [0054] 時刻 $t_3 \sim t_4$ では、切替部440が第3状態(3)となる。すなわち、同期間には、内部ノード n_1 が内部電源電圧 V_{REG} の印加端とパッドPADの双方に繋がった状態となる。なお、先述のように、第1状態(1)から第3状態(3)への切替に先立ち、パッドPADには、外部電源電圧 V_{PAD} として第1電圧 V_M ($\geq V_L$)が印加されている。
- [0055] ここで、内部電源410は、内部電源電圧 V_{REG} の印加端に対して電流

を供給する能力（＝電流ソース能力）のみを有しており、内部電源電圧 V_{REG} の印加端から電流を引き抜く能力（＝電流シンク能力）を持たない。従って、 $V_{PAD} > V_{REG}$ であっても過電流を生じることなく、内部電源電圧 V_{REG} が外部電源電圧 V_{PAD} と一致するまで上昇する。すなわち、第3状態（3）では、 $V_n = V_{REG} = V_{PAD} (=V_M)$ となる。

[0056] なお、上記の第3状態（3）において、内部電源電圧 V_{REG} と同値の外部電源電圧 V_{PAD} をパッド PAD に印加することができるのであれば、内部電源410として電流ソース能力と電流シンク能力の双方を持つタイプを用いることも可能である。

[0057] 時刻 $t_4 \sim t_7$ では、切替部440が第2状態（2）となる。すなわち、同期間には、内部ノード n_1 と内部電源電圧 V_{REG} の印加端との間が遮断され、内部ノード n_1 とパッド PAD との間が導通する。従って、ノード電圧 V_n が外部電源電圧 V_{PAD} に維持されたまま、内部電源電圧 V_{REG} が目標値 V_L に戻る。

[0058] また、切替部440が第2状態（2）とされている間に、外部電源電圧 V_{PAD} が第2電圧 V_H （例えばOTPメモリ431のデータ書込時に必要となる5V）に設定される。より詳細に述べると、時刻 t_5 では、第3状態（3）から第2状態（2）への切替後に、外部電源電圧 V_{PAD} が第1電圧 V_M から第2電圧 V_H に引き上げられ、時刻 t_6 では、第2状態（2）から第3状態（3）への切替前に、外部電源電圧 V_{PAD} が第2電圧 V_H から第1電圧 V_M に引き下げられる。従って、時刻 $t_5 \sim t_6$ では、 $V_n = V_{PAD} = V_H$ となるので、OTPメモリ431にデータを書き込むことができる。

[0059] 時刻 $t_7 \sim t_8$ では、切替部440が再び第3状態（3）となる。すなわち、同期間には、内部ノード n_1 が内部電源電圧 V_{REG} の印加端とパッド PAD の双方に繋がった状態となる。なお、先述のように、第2状態（2）から第3状態（3）への切替に先立ち、パッド PAD には、外部電源電圧 V_{PAD} として第1電圧 $V_M (>V_L)$ が印加されている。従って、第3状態（3）では、 $V_n = V_{REG} = V_{PAD} (=V_M)$ となる。

- [0060] 時刻 $t_8 \sim t_{10}$ では、切替部 440 が第 1 状態 (1) となる。つまり、同期間には、内部ノード n_1 と内部電源電圧 V_{REG} の印加端との間が導通し、内部ノード n_1 とパッド PAD との間が遮断される。従って、 $V_n = V_{REG} (= V_L)$ となる。
- [0061] なお、時刻 t_9 では、第 3 状態 (3) から第 1 状態 (1) への切替後に、外部電源電圧 V_{PAD} の印加が停止されている。ただし、この時点では、内部ノード n_1 とパッド PAD との間が遮断されているので、ノード電圧 V_n は、内部電源電圧 $V_{REG} (= V_L)$ に維持される。
- [0062] このように、第 1 実施形態の半導体装置 400 において、スイッチ制御部 432 は、OTP メモリ 431 のデータ書込時に切替部 440 を第 2 状態 (2) とし、その余の期間、すなわち、OTP メモリ 431 のデータ非書込時 (データ読出時を含む) に切替部 440 を第 1 状態 (1) とする。
- [0063] 特に、スイッチ制御部 432 は、第 1 状態 (1) 及び第 2 状態 (2) 相互間の遷移時にスイッチ SW1 及び SW2 の双方をオンする第 3 状態 (3) を経路するように切替部 440 を制御する。すなわち、内部電源電圧 V_{REG} と外部電源電圧 V_{PAD} との間でノード電圧 V_n を切り替える際にスイッチ SW1 及び SW2 の同時オン区間が設けられている。
- [0064] また、先にも述べたように、内部電源 410 は電流ソース能力のみを有する。従って、スイッチ SW1 及び SW2 が同時にオンされる第 3 状態 (3) において、内部電源電圧 V_{REG} よりもやや高い外部電源電圧 V_{PAD} がパッド PAD に印加されたとしても、パッド PAD から内部電源電圧 V_{REG} の印加端に向けて過電流が流れることはない。このように、第 1 実施形態の半導体装置 400 は、内部電源 410 に電流ソース能力のみを持たせることにより、スイッチ SW1 及び SW2 の同時オンが可能な構成 (言い換えれば、スイッチ SW1 及び SW2 を同時オンしても問題のない構成) とされている。
- [0065] 上記構成を採用することにより、内部電源電圧 V_{REG} の印加端とパッド PAD のうち少なくとも一方が内部ノード n_1 に導通している状態となるの

で、内部電源電圧 V_{REG} と外部電源電圧 V_{PAD} を切り替えるときでもノード電圧 V_n が落ちない。従って、スイッチ制御部432は、常にノード電圧 V_n の供給を受け続けることができるので、内部電源電圧 V_{REG} と外部電源電圧 V_{PAD} の切替時にも何ら支障なく切替部440を制御することが可能となる。

[0066] さらに、第1実施形態の半導体装置400では、先述したように、外部電源電圧 V_{PAD} の入力を受け付けるための外部端子として、専用のパッドを設けることなく既存のパッドPADが共用されている。すなわち、OTPメモリ431のデータ書込時にのみ、既存のパッドPADに外部電源端子としての機能を割り当て、OTPメモリ431のデータ非書込時（データ読出時を含む）には、内部ノード n_1 と内部電源電圧 V_{REG} の印加端との間をショートしておくことができる。

[0067] 本構成によれば、単一の外部端子（パッドPAD）に複数の機能を持たせることで、工場出荷時又は特定の場合にしか使用されることのない外部電源端子を別途用意する必要がなくなる。その結果、半導体装置400の実装面積をシュリンクすることが可能となる。

[0068] 図6は、パッド共用手法の一例を示す図である。OTPメモリ431のデータ書込時に外部電源電圧 V_{PAD} の入力を受け付けるパッドPADとして、既存のパッドを共用する場合には、基本的に同パッドに接続される第3回路ブロック450の高耐圧化が必要となる。従って、既存のパッドのうち、大規模な回路ブロックに繋がるもの、または、多くの回路ブロックに繋がるものについては、OTPメモリ431のデータ書込時に外部電源電圧 V_{PAD} の入力を受け付けるパッドPADとしての共用を避けた方が良い。

[0069] なお、上記のパッドPADとして共用に適した外部端子の一例としては、半導体装置400の動作可否を制御するためのイネーブル信号が入力されるイネーブルパッドを挙げることができる。例えば、上記のパッドPADとしてイネーブルパッドを共用した場合、半導体装置400は、切替部440が先述の第1状態（1）であるときに、パッドPADに入力されるイネーブル

信号に応じて動作可否が切り替えられることになる。

[0070] 一般に、イネーブル信号は、半導体装置400の起動時にディセーブル時の論理レベル（例えばローレベル）からイネーブル時の論理レベル（例えばハイレベル）に切り替わるだけの2値信号であり、さほど高い応答性は要求されない。

[0071] そのため、上記のパッドPADとしてイネーブルパッドを共用する場合には、パッドPADから第3回路ブロック450に流れる電流を制限するための抵抗Rを設けたり、抵抗Rの下流側においてパッドPADから第3回路ブロック450に印加される電圧を制限するためのクランプ（例えばツェナダイオードZD）を設けることができる。従って、第3回路ブロック450を不必要に高耐圧化せずに済むので、回路面積の拡大を最小限に抑えることが可能となる。

[0072] なお、電流を制限するための抵抗Rを設ける上記の対策は、第3回路ブロック450が大電流を消費するような回路ブロックである場合には使えなくなってしまう。なぜなら、第3回路ブロック450に大電流が流れると、抵抗Rでの電圧降下が大きくなり、第3回路ブロック450の電源電圧がドロップしてしまうからである。

[0073] これを鑑みると、OTPメモリ431のデータ書込時に外部電源電圧VPADの入力を受け付けるパッドPADとして、既存のパッドを共用する場合には、大電流を消費するような回路ブロックに繋がるパッドを避けることが望ましい。

[0074] <第2実施形態>

図7は、半導体装置の第2実施形態を示す図である。本図の半導体装置500は、内部電源510と、アナログ回路ブロック520と、デジタル回路ブロック530と、切替部540と、を有する。

[0075] 内部電源510は、入力電圧VIN（例えば3.3V）から所定の内部電源電圧VREG（例えば1.5V）を生成するリニアレギュレータであり、例えば、出力トランジスタ511と、帰還制御部512と、を含む。

- [0076] 出力トランジスタ511は、入力電圧 V_{IN} の印加端と内部電源電圧 V_{REG} の印加端との間に接続されており、帰還制御部512から出力される制御信号に応じて導通度（延いてはオン抵抗値）がリニアに制御される。出力トランジスタ511としては、例えば、Pチャネル型MOSFETを好適に用いることができる。
- [0077] 帰還制御部512は、内部電源電圧 V_{REG} （またはその分圧電圧）の帰還入力を受け付けており、内部電源電圧 V_{REG} が目標値と一致するように出力トランジスタ511を制御する制御信号（＝ゲート信号）を生成する。
- [0078] アナログ回路ブロック520は、内部電源電圧 V_{REG} の供給を受けて動作する。
- [0079] デジタル回路ブロック530は、内部ノードn1に現れるノード電圧 V_n の供給を受けて動作する。なお、デジタル回路ブロック530は、静的電源電流測定テスト（いわゆるIDDQ [quiescent power supply current/quiescent current measurement] テスト）の実施対象となる。また、デジタル回路ブロック530は、ノード電圧 V_n の供給断絶を起こすことなく内部ノードn1の接続先を切り替えられるように、切替部540のスイッチ制御信号 S_{ctrl} を生成するスイッチ制御部としての機能も備えている。
- [0080] 切替部540は、デジタル回路ブロック530から出力されるスイッチ制御信号 S_{ctrl} に基づいて内部ノードn1の接続先を切り替えるように構成された回路ブロックであり、スイッチSW1及びSW2を含む。なお、本図では改めて明示していないが、切替部540の構成要素として、図4のドライバDRV1及びDRV2を含んでいてもよい。
- [0081] スイッチSW1は、内部電源電圧 V_{REG} の印加端と内部ノードn1との間に接続されている。本図では、スイッチSW1としてPチャネル型MOSFETを用いているが、例えば、Pチャネル型MOSFETとNチャネル型MOSFETを並列接続したアナログスイッチを用いてもよい。
- [0082] スイッチSW2は、イネーブルパッドENと内部ノードn1との間に接続されている。上記のイネーブルパッドENは、IDDQテストの非実施時に

はイネーブル信号の入力端子として機能し、IDDQテストの実施時には外部電源電圧VPAD（例えば2V）が印加される外部電源端子、兼、デジタル回路ブロック530に流れる静的電源電流の検出端子として機能する既存パッドの一例である。

[0083] なお、スイッチSW2としては、Pチャネル型MOSFETではなく、Nチャネル型MOSFETが好適である。仮に、スイッチSW2としてPチャネル型MOSFETを用いた場合には、IDDQテストの非実施時にスイッチSW2を確実にオフしておくための論理固定抵抗をスイッチSW2のゲート・ソース間に挿入しておく必要がある。しかしながら、IDDQテスト時には、上記の論理固定抵抗を介して電流が流れてしまうので、デジタル回路ブロック530の静的電源電流を正しく検出することができなくなる。これに対して、スイッチSW2としてNチャネル型MOSFETを用いれば、上記の論理固定抵抗が不要となるので、IDDQテストを正しく実施することが可能となる。

[0084] 本実施形態の半導体装置500において、デジタル回路ブロック530は、基本的に、IDDQテストの非実施時に切替部540を先の第1状態（1）（SW1＝オン、SW2＝オフ）とし、IDDQテストの実施時に切替部540を先の第2状態（2）（SW1＝オフ、SW2＝オン）とする。特に、デジタル回路ブロック530は、第1状態（1）及び第2状態（2）相互間の遷移時において、スイッチSW1及びSW2の双方をオンする第3状態（3）を経由するように切替部540を制御する。また、半導体装置500は、内部電源510に電流ソース能力のみを持たせることで、スイッチSW1及びSW2の同時オンが可能な構成とされている。なお、第2実施形態の動作シーケンス（特にIDDQテストの実施時）については、先出の図5と同様であるので、重複した説明は省略する。

[0085] 上記構成を採用することにより、デジタル回路ブロック530は、常にノード電圧Vnの供給を受け続けることができるので、内部電源電圧VREGと外部電源電圧VPADの切替時にも何ら支障なく切替部540を制御する

ことが可能となる。

[0086] また、第2実施形態の半導体装置500では、IDDQテスト用の外部端子として、既存のイネーブルパッドENが共用されている。このように、単一の外部端子（イネーブルパッドEN）に複数の機能を持たせる構成であれば、IDDQテストの実施時にしか使用されることのない専用の外部端子を別途用意せずに済むので、半導体装置500の実装面積をシュリンクすることが可能となる。

[0087] <総括>

以下では、上記で説明した種々の実施形態について総括的に述べる。

[0088] 例えば、本明細書中に開示されている半導体装置は、入力電圧から内部電源電圧を生成するように構成された内部電源と、前記内部電源電圧により動作するように構成された第1回路ブロックと、内部ノードに現れるノード電圧により動作するように構成された第2回路ブロックと、前記内部ノードの接続先を切り替えるように構成された切替部と、を有し、前記切替部は、前記内部電源電圧の印加端と前記内部ノードとの間に接続された第1スイッチと、パッドと前記内部ノードとの間に接続された第2スイッチと、を含み、前記第2回路ブロックは、前記第1スイッチ及び前記第2スイッチをそれぞれ制御するように構成されたスイッチ制御部を含み、前記スイッチ制御部は、前記第1スイッチがオン状態かつ前記第2スイッチがオフ状態である第1状態と、前記第1スイッチがオフ状態かつ前記第2スイッチがオン状態である第2状態との間で、前記切替部の動作状態を切り替える際に、前記第1スイッチ及び前記第2スイッチの双方がオン状態である第3状態を経由するように前記切替部を制御する構成（第1の構成）とされている。

[0089] なお、上記第1の構成から成る半導体装置において、前記内部電源は、前記内部電源電圧の印加端に電流を供給する能力のみを有する構成（第2の構成）としてもよい。

[0090] また、上記第1または第2の構成から成る半導体装置において、前記第2回路ブロックは、動作モードにより必要な駆動電圧が異なる負荷回路を含む

構成（第3の構成）としてもよい。

[0091] また、上記第3の構成から成る半導体装置において、前記負荷回路は、データ書込時とデータ非書込時に必要な駆動電圧が異なるメモリであり、前記スイッチ制御部は、前記データ非書込時に前記切替部を前記第1状態とし、前記データ書込時に前記切替部を前記第2状態とする構成（第4の構成）としてもよい。

[0092] また、上記第1または第2の構成から成る半導体装置において、前記第2回路ブロックは、静的電源電流測定テストの実施対象となるデジタル回路ブロックであり、前記スイッチ制御部は、前記静的電源電流測定テストの非実施時に前記切替部を前記第1状態とし、前記静的電源電流測定テストの実施時に前記切替部を前記第2状態とする構成（第5の構成）としてもよい。

[0093] また、上記第5の構成から成る半導体装置において、前記第2スイッチは、Nチャネル型MOSFETである構成（第6の構成）としてもよい。

[0094] また、上記第1～第6いずれかの構成から成る半導体装置は、前記パッドから第3回路ブロックに流れる電流を制限する抵抗をさらに有する構成（第7の構成）としてもよい。

[0095] また、上記第7の構成から成る半導体装置は、前記抵抗の下流側において前記パッドから前記第3回路ブロックに印加される電圧を制限するクランプをさらに有する構成（第8の構成）としてもよい。

[0096] また、上記第1～第8いずれかの構成から成る半導体装置は、前記切替部が前記第1状態であるときに前記パッドに入力されるイネーブル信号に応じて動作可否が切り替えられる構成（第9の構成）としてもよい。

[0097] また、例えば、本明細書中に開示されている電圧印加方法は、上記第1～第9いずれかの構成から成る半導体装置に設けられた前記パッドに外部電源電圧を印加する方法であって、前記第1状態から前記第3状態への切替前に前記外部電源電圧を前記内部電源電圧の目標値以上の第1電圧に設定するステップと、前記第3状態から前記第2状態への切替後に前記外部電源電圧を前記第1電圧から第2電圧に引き上げるステップと、前記第2状態から前記

第3状態への切替前に前記外部電源電圧を前記第2電圧から前記第1電圧に引き下げるステップと、前記第3状態から前記第1状態への切替後に前記外部電源電圧の印加を停止するステップと、を有する構成（第10の構成）とされている。

[0098] <その他の変形例>

なお、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態に限定されるものではなく、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

符号の説明

[0099]	100	半導体装置
	110	内部電源
	111	出力トランジスタ
	112	帰還制御部
	120	アナログ回路ブロック
	130	デジタル回路ブロック
	140	OTPメモリ
	200	半導体装置
	210、220、230	回路ブロック
	240	切替部
	241～244	アナログスイッチ
	250	スイッチ制御部
	300	半導体装置
	310、320	回路ブロック
	330	OTPメモリ
	340a、340b	切替部

3 4 1 ~ 3 4 4 アナログスイッチ

3 5 0 a、3 5 0 b スイッチ制御部

4 0 0 半導体装置

4 1 0 内部電源

4 1 1 出力トランジスタ

4 1 2 オペアンプ

4 2 0 第 1 回路ブロック

4 3 0 第 2 回路ブロック

4 3 1 O T P メモリ

4 3 2 スイッチ制御部

4 4 0 切替部

4 5 0 第 3 回路ブロック

5 0 0 半導体装置

5 1 0 内部電源

5 1 1 出力トランジスタ

5 1 2 帰還制御部

5 2 0 アナログ回路ブロック

5 3 0 デジタル回路ブロック

5 4 0 切替部

D R V 1、D R V 2 ドライバ

E N イネーブルパッド

P A D 1、P A D 2、P A D パッド

R 抵抗

S W 1 スイッチ（Pチャネル型MOSFET）

S W 2 スイッチ（Nチャネル型MOSFET）

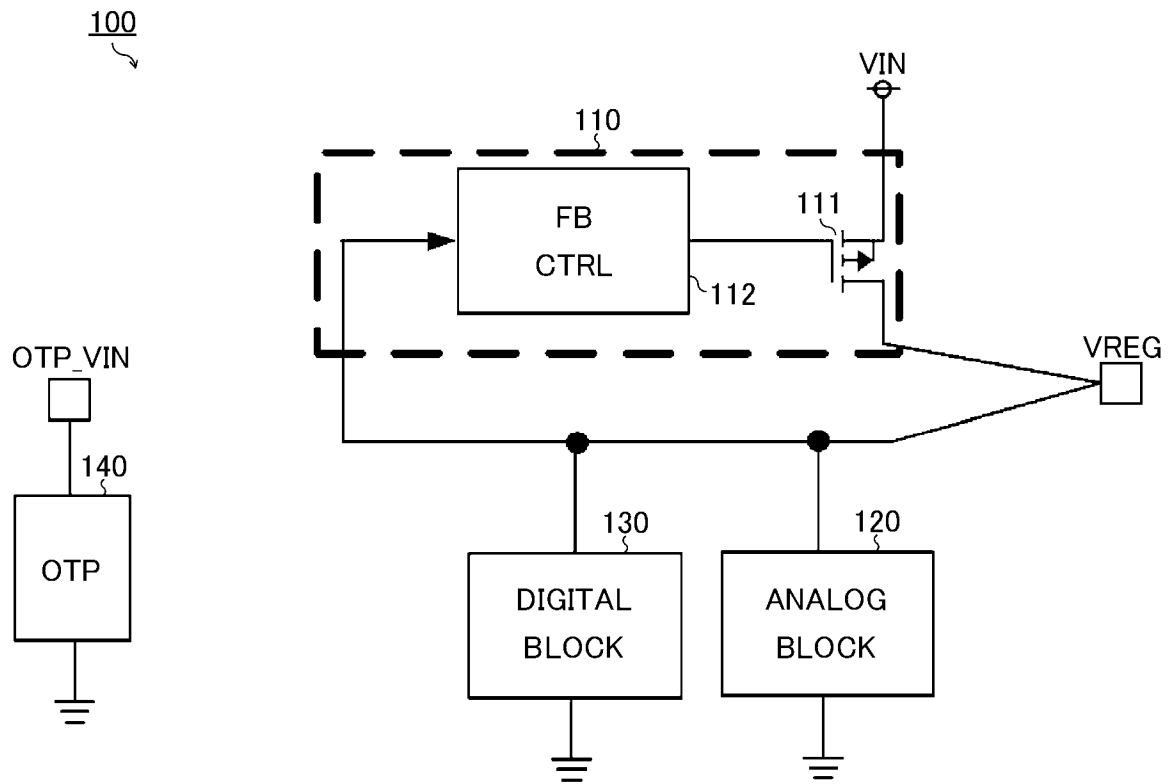
Z D ツェナダイオード（クランパ）

請求の範囲

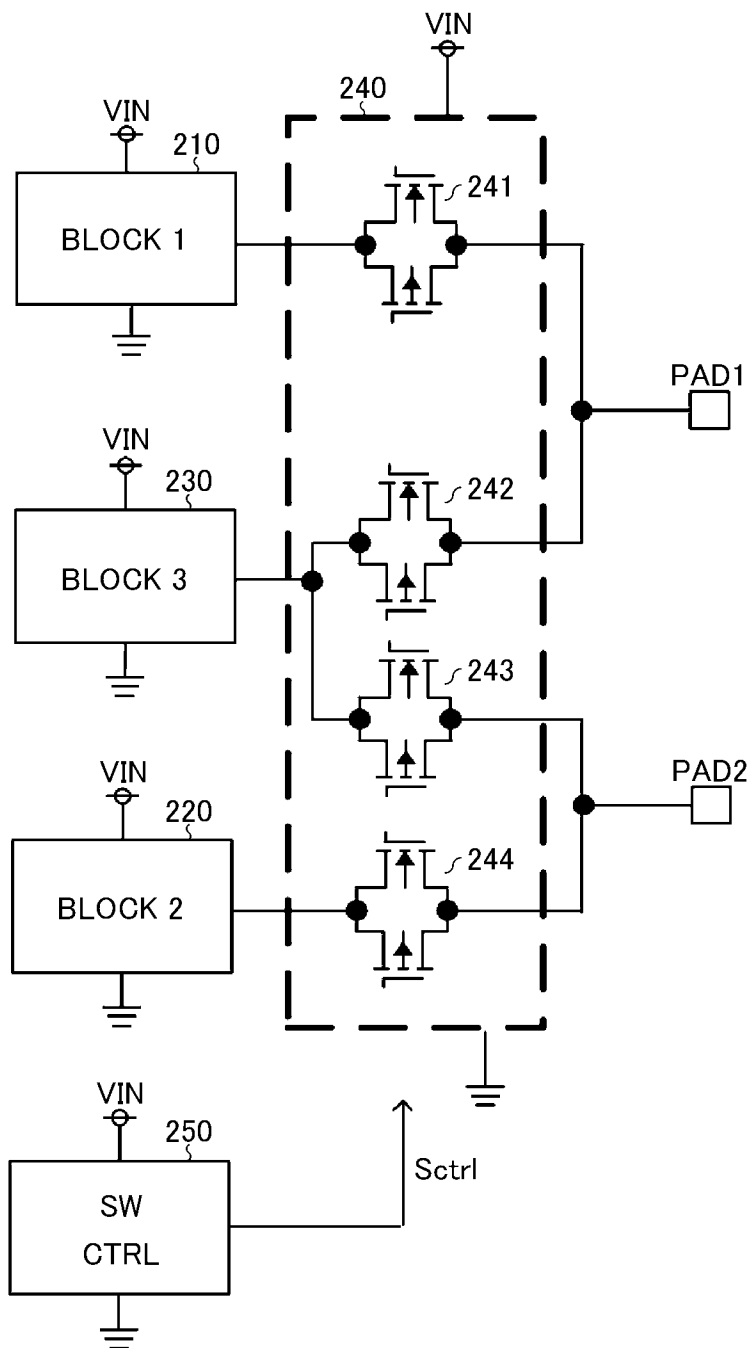
- [請求項1] 入力電圧から内部電源電圧を生成するように構成された内部電源と、
- 、
- 前記内部電源電圧により動作するように構成された第1回路ブロックと、
- 内部ノードに現れるノード電圧により動作するように構成された第2回路ブロックと、
- 前記内部ノードの接続先を切り替えるように構成された切替部と、
- を有し、
- 前記切替部は、前記内部電源電圧の印加端と前記内部ノードとの間に接続された第1スイッチと、外部端子と前記内部ノードとの間に接続された第2スイッチと、を含み、
- 前記第2回路ブロックは、前記第1スイッチ及び前記第2スイッチをそれぞれ制御するように構成されたスイッチ制御部を含み、
- 前記スイッチ制御部は、前記第1スイッチがオン状態かつ前記第2スイッチがオフ状態である第1状態と、前記第1スイッチがオフ状態かつ前記第2スイッチがオン状態である第2状態との間で、前記切替部の動作状態を切り替える際に、前記第1スイッチ及び前記第2スイッチの双方がオン状態である第3状態を経由するように前記切替部を制御する、半導体装置。
- [請求項2] 前記内部電源は、前記内部電源電圧の印加端に電流を供給する能力のみを有する、請求項1に記載の半導体装置。
- [請求項3] 前記第2回路ブロックは、動作モードにより必要な駆動電圧が異なる負荷回路を含む、請求項1または2に記載の半導体装置。
- [請求項4] 前記負荷回路は、データ書込時とデータ非書込時に必要な駆動電圧が異なるメモリであり、前記スイッチ制御部は、前記データ非書込時に前記切替部を前記第1状態とし、前記データ書込時に前記切替部を前記第2状態とする、請求項3に記載の半導体装置。

- [請求項5] 前記第2回路ブロックは、静的電源電流測定テストの実施対象となるデジタル回路ブロックであり、前記スイッチ制御部は、前記静的電源電流測定テストの非実施時に前記切替部を前記第1状態とし、前記静的電源電流測定テストの実施時に前記切替部を前記第2状態とする、請求項1または2に記載の半導体装置。
- [請求項6] 前記第2スイッチはNチャネル型MOSFETである、請求項5に記載の半導体装置。
- [請求項7] 前記外部端子から第3回路ブロックに流れる電流を制限する抵抗をさらに有する、請求項1～6のいずれか一項に記載の半導体装置。
- [請求項8] 前記抵抗の下流側で前記外部端子から前記第3回路ブロックに印加される電圧を制限するクランパをさらに有する、請求項7に記載の半導体装置。
- [請求項9] 前記切替部が前記第1状態であるときに前記外部端子に入力されるイネーブル信号に応じて動作可否が切り替えられる、請求項1～8のいずれか一項に記載の半導体装置。
- [請求項10] 請求項1～9のいずれか一項に記載の半導体装置に設けられた前記外部端子に外部電源電圧を印加する電圧印加方法であって、前記第1状態から前記第3状態への切替前に前記外部電源電圧を前記内部電源電圧の目標値以上の第1電圧に設定するステップと、前記第3状態から前記第2状態への切替後に前記外部電源電圧を前記第1電圧から第2電圧に引き上げるステップと、前記第2状態から前記第3状態への切替前に前記外部電源電圧を前記第2電圧から前記第1電圧に引き下げるステップと、前記第3状態から前記第1状態への切替後に前記外部電源電圧の印加を停止するステップと、を有する、電圧印加方法。

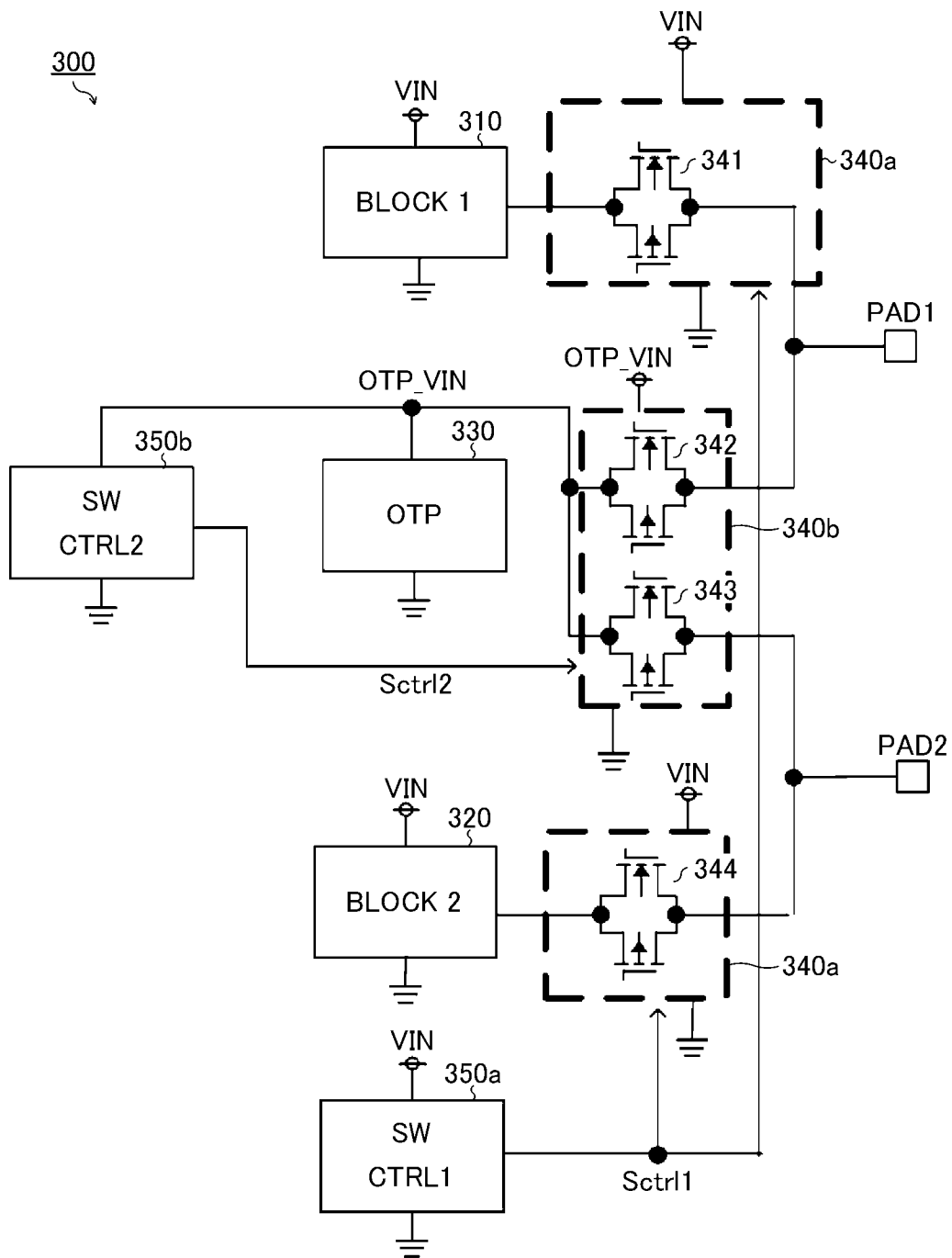
[図1]



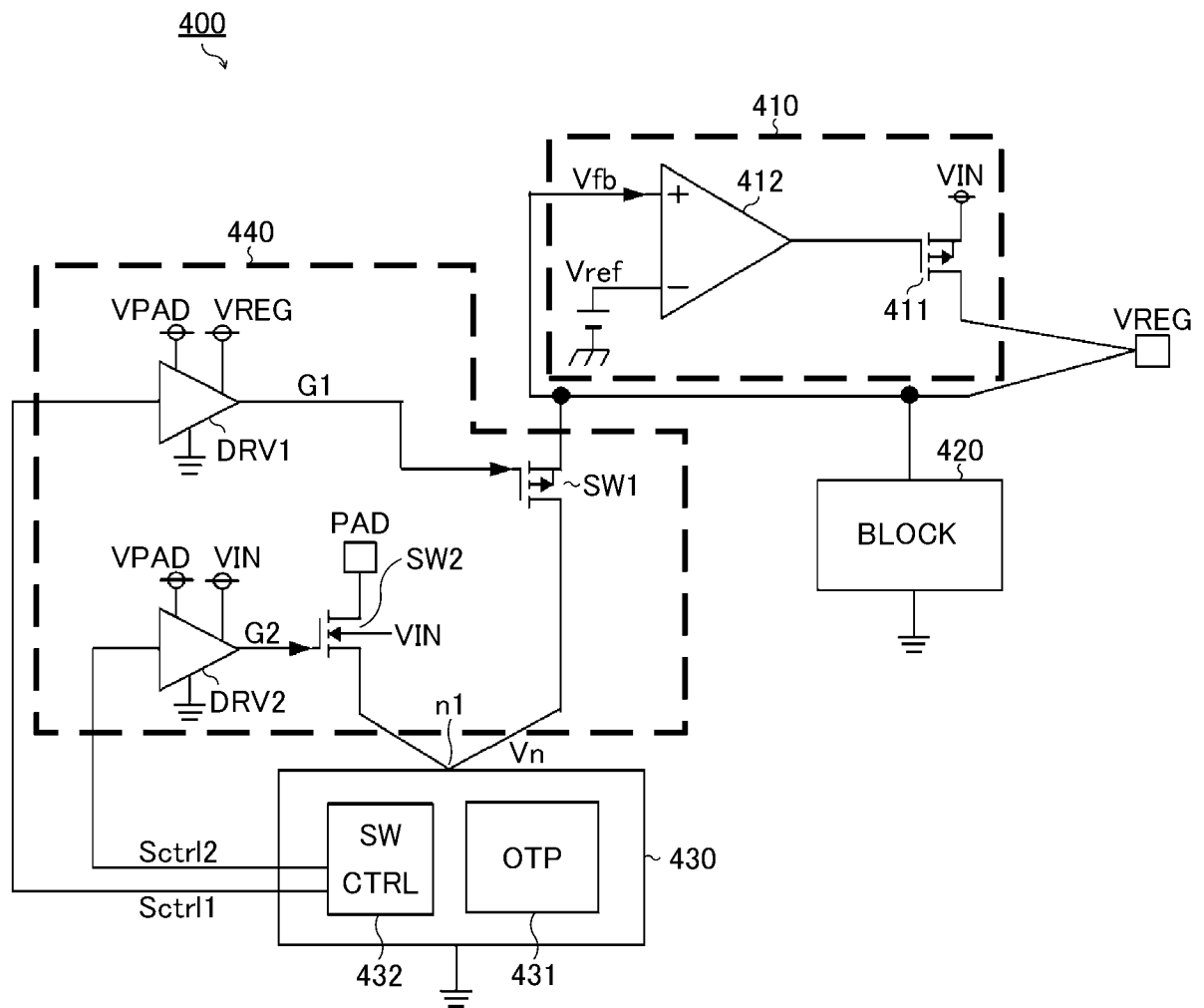
[図2]

200
↘

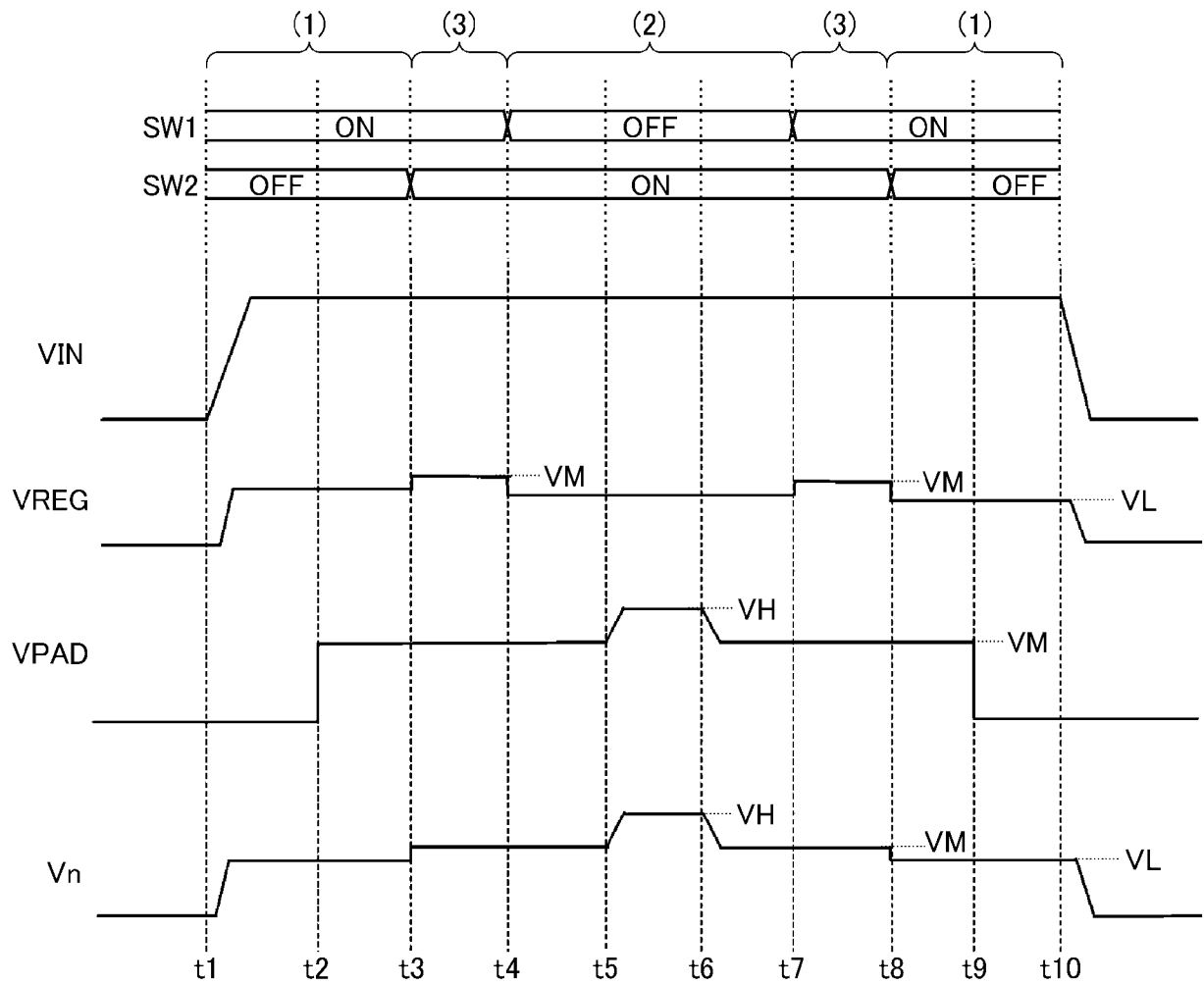
[図3]



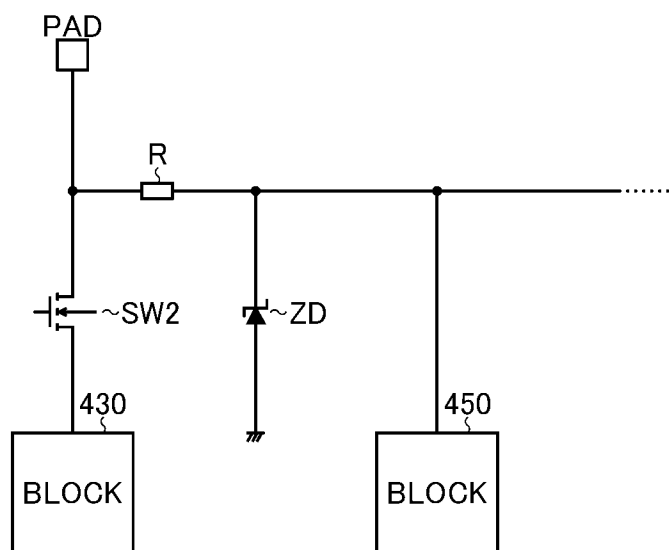
[図4]



[図5]



[図6]



500

510

512

FB CTRL

511

VIN

VREG

EN

540

VIN

SW2

SW1

n1

Vn

520

ANALOG BLOCK

530

DIGITAL BLOCK

Sctrl

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/019926

A. CLASSIFICATION OF SUBJECT MATTER**H01L 27/04**(2006.01)i; **G05F 1/56**(2006.01)i

FI: H01L27/04 E; H01L27/04 D; H01L27/04 F; H01L27/04 T; G05F1/56 310K

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/04; G05F1/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-20819 A (SPANSION LLC) 28 January 2010 (2010-01-28) entire text, all drawings	1-10
A	JP 2012-243022 A (TOSHIBA CORP.) 10 December 2012 (2012-12-10) entire text, all drawings	1-10
A	JP 2008-294208 A (TOSHIBA CORP.) 04 December 2008 (2008-12-04) entire text, all drawings	1-10
A	JP 2016-146009 A (LAPIS SEMICONDUCTOR CO., LTD.) 12 August 2016 (2016-08-12) entire text, all drawings	1-10
A	JP 2007-78697 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 29 March 2007 (2007-03-29) entire text, all drawings	1-10
A	JP 2020-88448 A (POWERCHIP SEMICONDUCTOR MANUFACTURING CORP.) 04 June 2020 (2020-06-04) entire text, all drawings	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

15 July 2022

Date of mailing of the international search report

26 July 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)

3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915

Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/019926

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-67740 A (TOSHIBA CORP.) 11 March 1994 (1994-03-11) entire text, all drawings	1-10

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/019926

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2010-20819	A	28 January 2010	(Family: none)	
JP	2012-243022	A	10 December 2012	US 2012/0294105	A1
JP	2008-294208	A	04 December 2008	(Family: none)	
JP	2016-146009	A	12 August 2016	(Family: none)	
JP	2007-78697	A	29 March 2007	(Family: none)	
JP	2020-88448	A	04 June 2020	US 2020/0160922	A1
				CN 111200356	A
				TW 202021245	A
JP	6-67740	A	11 March 1994	US 5627493	A
				KR 10-1994-0004803	A

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/04(2006.01)i; G05F 1/56(2006.01)i FI: H01L27/04 E; H01L27/04 D; H01L27/04 F; H01L27/04 T; G05F1/56 310K		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L27/04; G05F1/56		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-20819 A（スパンション エルエルシー）28.01.2010（2010-01-28） 全文，全図	1-10
A	JP 2012-243022 A（株式会社東芝）10.12.2012（2012-12-10） 全文，全図	1-10
A	JP 2008-294208 A（株式会社東芝）04.12.2008（2008-12-04） 全文，全図	1-10
A	JP 2016-146009 A（ラビスセミコンダクタ株式会社）12.08.2016（2016-08-12） 全文，全図	1-10
A	JP 2007-78697 A（松下電器産業株式会社）29.03.2007（2007-03-29） 全文，全図	1-10
A	JP 2020-88448 A（力晶積成電子製造股▲フン▼有限公司）04.06.2020（2020-06-04） 全文，全図	1-10
A	JP 6-67740 A（株式会社東芝）11.03.1994（1994-03-11） 全文，全図	1-10
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 15.07.2022		国際調査報告の発送日 26.07.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 市川 武宜 5F 4056 電話番号 03-3581-1101 内線 3514

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/019926

引用文献			公表日	パテントファミリー文献	公表日
JP	2010-20819	A	28.01.2010	(ファミリーなし)	
JP	2012-243022	A	10.12.2012	US	2012/0294105 A1
JP	2008-294208	A	04.12.2008	(ファミリーなし)	
JP	2016-146009	A	12.08.2016	(ファミリーなし)	
JP	2007-78697	A	29.03.2007	(ファミリーなし)	
JP	2020-88448	A	04.06.2020	US	2020/0160922 A1
				CN	111200356 A
				TW	202021245 A
JP	6-67740	A	11.03.1994	US	5627493 A
				KR	10-1994-0004803 A