

申請日期： 92.11.28	IPC分類 H01L 09/76
申請案號： 92133504	

(以上各欄由本局填註)

發明專利說明書 200423401

一、 發明名稱	中文	氮化物—封裝之場效應電晶體
	英文	NITRIDE-ENCAPSULATED FET (NNCFET)
二、 發明人 (共3人)	姓名 (中文)	1. 凱文 K 陳 2. 胡笙 I 哈納法 3. 保羅 M 所羅門
	姓名 (英文)	1. CHAN, KEVIN K. 2. HANAFI, HUSSEIN I. 3. SOLOMON, PAUL M.
	國籍 (中英文)	1. 美國 US 2. 美國 US 3. 美國 US
	住居所 (中文)	1. 美國紐約州10314斯達頓島斯雷頓大道41號 2. 美國紐約州07920貝斯金山飛馳山路80號 3. 美國紐約州10598約克鎮高地市溪畔大道2220號
	住居所 (英文)	1. 41 Slayton Avenue, Staten Island, NY 10314 USA 2. 80 Galloping Hill Rd., Basking Ridge, NJ 07920 USA 3. 2220 Brookside Avenue, Yorktown Heights, NY 10598 USA
	名稱或 姓名 (中文)	1. 國際商業機器股份有限公司
三、 申請人 (共1人)	名稱或 姓名 (英文)	1. INTERNATIONAL BUSINESS MACHINES CORPORATION
	國籍 (中英文)	1. 美國 US
	住居所 (營業所) (中文)	1. 美國紐約州10504亞芒克市新奧爾察德路 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. New Orchard Road, Armonk, NY 10504, USA
	代表人 (中文)	1. 傑羅 羅森梭
	代表人 (英文)	1. Gerald Rosenthal



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

美國 US

2002/12/23

10/328, 258

有

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。

五、發明說明 (1)

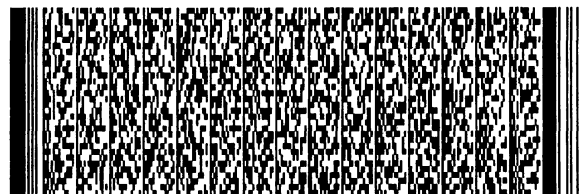
一、【技術領域】

本發明係關於雙閘極場效應電晶體 (DGFETs)，而特別是關於含有自我對準之隔離區域的 DGFETs。本發明亦針對一種製造具前述各項特性之 DGFET 的方法，可利用氮化物或類似者之保護材料，在構成此自我對準隔離區域的過程中封裝此含矽質通道。

二、【先前技術】

為製作積體電路 (IC)，像是具有比起現今可用者更高整合密度的記憶體、邏輯及其他裝置，必須要尋得方法以進一步縮小在其內出現的 FET 裝置。此外，隨著 FET 維度微化，藉傳統方式來控制短通道效應會變得更為困難。短通道效應，即如熟諳本項技藝之人士所知，為短通道 (亦即次於 0.1 微米) 裝置內因此閘極及此源 / 汲極間所分享的二維靜電電荷之故而生的門檻電壓 V_t 減少。

一種跨出標準式單閘極金屬氧化半導體場效應電晶體 (MOSFET) 之演進是雙閘極 MOSFET，其中會將此裝置通道侷限於此頂部及底部閘極介電層之間。相較於傳統的單閘極 MOSFET 結構，這種具有對稱性的閘極結構之結構能夠被微縮約至此通道長度的一半。眾知二閘極或雙閘極 MOSFET 裝置會具有多項佳於傳統單閘極 MOSFET 裝置的優點。詳細地說，雙閘極 MOSFET 裝置佳於彼等的單閘極等同物的優點包含：較高的傳導性、較低的寄生電容及經改善的短通道效



五、發明說明 (2)

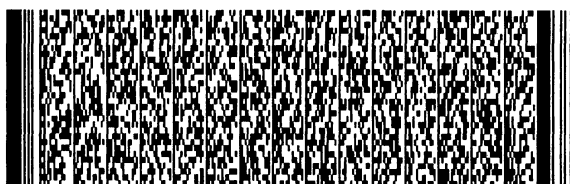
應。例如先前即已對 30 奈米雙閘極 MOSFET 裝置進行過 Monte-Carlo 模擬，並已顯示出雙閘極裝置具有極高的傳導性 (2300 mS/mm)，以及快速的切換速度 (對於 nMOSFET 為 1.1 ps)。

此外，可獲得經改善的短通道特徵低達 20 奈米通道長度而無須於此通道區域內予以摻質。此點可克服通常出現在單閘極 MOSFET 裝置內，而與通道摻質處理相關的隧穿崩潰、摻質之量化及摻質耗竭問題。

可於如下參考文獻中獲得一些先前技藝雙閘極 MOSFET 的範例：

美國專利第 5,188,973 號案描述一雙閘極結構，其中底部閘極並非自我對準於頂部閘極。此先前技藝雙閘極結構係十分不同於本發明所述之雙閘極結構，因為本發明 DGFET 含有當藉氮化物來封裝此矽質通道區域時所構成的自我對準隔離氧化區域。在此 '973 專利裡並未揭示這種自我對準隔離氧化區域及封裝。

美國專利第 5,140,391 號及第 5,349,228 號案描述另外的雙閘極結構。在這些先前技藝雙閘極結構，在構成氧化隔離區域的過程中不會以氮化物封裝此矽質通道區域。此外，這些先前技藝結構並未含有自我對準的氧化物隔離區域。到目前，用於製作雙閘極 MOSFET 的先前技藝方法，按以參數控制而言，要不非常複雜要不就是具有嚴重缺陷。此

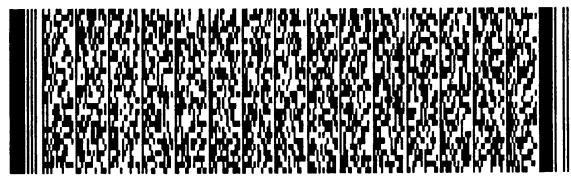
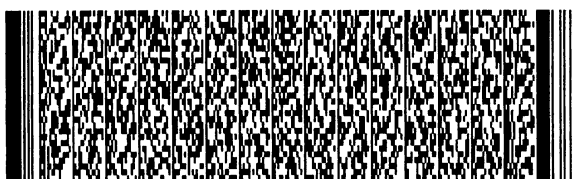


五、發明說明 (3)

外，有些業界已知結構會在背置閘極和源極 / 汲極區域之間具有很高的寄生電容。這可藉由增加此背置閘極介電的厚度來減少，然其代價是降低對背置閘極的控制，以及不佳的縮小性質。當所欲者為低電容時，此背置閘極介電應為約此前置閘極介電的 20 倍厚度，但是當希望的更高的有效控制時，此背置閘極介電應為約此前置閘極介電的 2-4 倍厚度。

共同受讓之美國專利第 5,773,331 號案描述一結構及用以製造一雙閘極 MOSFET 結構之方法，其中上述各項問題已獲解決。特別是，此 '331 號專利描述一種雙閘極 MOSFET，其具有側壁源極及汲極接觸，和自我對準之底部和頂部閘極氧化物。這種如 '331 專利所揭示之結構具有對此底部閘極的低寄生電容，及相較於其他的先前技藝雙閘極 MOSFET，有低的汲極及源極電阻。

在此 '331 專利中，可藉如下步驟獲得此具上述各項特徵之雙閘極 MOSFET：構成一通道層；於此通道層上構成一頂部閘極絕緣層；於此頂部閘極絕緣層上構成一頂部閘極；於此頂部閘極上構成一閘極支柱；鄰接於此頂部閘極及此閘極支柱構成一絕緣側壁層；藉引入摻質物來在此通道層內構成一整合源極 / 汲極區域；於任一側上構成導體非晶質側壁，且鄰接於此絕緣側壁層，非晶質側壁之一者係連接於此汲極區域，而另一者係連接於此源極區域；以



五、發明說明 (4)

及利用這些頂部閘極、閘極支柱、絕緣側壁層及非晶質側壁作為遮罩來蝕刻此通道層，藉此令此遮罩的橫向延伸傳通進入此通道層，而此整合源極/汲極區域會相對於此支撐結構而被提昇。

雖然能夠提供自我對準頂部及底部閘極，然如'331專利案所揭示之先前技藝雙閘極 MOSFET 並無法提供自我對準的氧化物隔離區域，以及完整的矽質通道區域氮化物封裝。從而，此'331專利案並未提供具有其最低可能之寄生電容的 DGFET。

三、【發明內容】

本發明提供一種 DGFET 及構成此種結構之方法，其中可大幅地降低在源極/汲極區域下的寄生電容。在本發明裡供置有自我對準之隔離區域，以降低 DGFET 結構內的寄生電容。此外，本發明將此含矽質通道層加以封裝，讓此背置閘極氧化至一更大範圍，藉此甚可進一步減少此結構之寄生電容。全篇說明書中所採用之名詞「含矽質」係為表示一含有矽質的半導體材料。這種含矽質材料的範例包含矽、鍺化矽、碳化矽、碳鍺化矽及其他類似之含矽質半導體。

本發明申請人既已決定藉一氮化物或另一類似保護性材料來保護含矽質區域的側壁，可消除通道側壁氧化的問



五、發明說明 (5)

題，這通常會出現在缺少封裝的情況下。此外，既已決定在背置閘極介電底下的氮化物層可將含矽質通道的氧化作用阻離於此底部。在氧化及構成此自我對準隔離區域後，會移除掉來自此含矽質通道的保護性材料，即如氮化物，以曝出此含矽質通道之一邊緣，此者可藉由在此自我對準隔離區域上構成含矽質區域之含矽質過發展處理而延伸。可實作這些含矽質區域，而於其內構成經延伸之源極 / 汲極區域，同時可在此所延伸之源極 / 汲極區域上構成一矽化物。

本發明之 DGFET 具有大幅降低之寄生電容，其中包含：

- 一 摻質背置平面區域，具有位於鄰接至此之隔離區域；
- 一 背置閘極介電堆疊，含有至少一底部背置閘極氮化物，此者位於此摻質背置平面區域但不含此隔離區域的表面局部上；
- 一 具位於此背置閘極介電堆疊頂部之邊緣的含矽質層，此等含矽質邊緣各者包含一源極 / 汲極區域；
- 一位於此含矽質層之局部頂部的前置閘極介電；
- 一位於此前置閘極介電之頂部的前置閘極；
- 位於鄰接此前置閘極且在此隔離區域之上的含矽質區域，此等含矽質區域係與此等源極 / 汲極區域相接觸。

在一本發明較佳具體實施例裡，此等隔離區域係自我



五、發明說明 (6)

對準於此前置閘極。

本發明亦提供一種製造上述 DGFET 的方法。詳細地說，本發明之方法包含如下步驟：

提供一結構，此者包含至少一摻質背置平面區域、一含至少一構成於此摻質背置平面區域之頂部的底部背置閘極氮化物之背置閘極介電堆疊、一具位於此背置閘極介電堆疊頂部之邊緣的含矽質層、一位於此含矽質層之頂部的前置閘極介電，以及一構成於此前置閘極介電之頂部的前置閘極，此結構具有鄰接於至少此摻質背置平面區域之隔離溝槽區域；

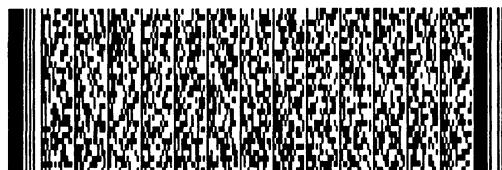
於此前置閘極之經曝出垂直側壁上構成絕緣間隙壁；

於此絕緣間隙壁上構成保護性間隙壁，並覆蓋此含矽質層之各邊緣；

在相鄰接的此結構各區域內構成各絕緣區域，並疊覆此摻質背置平面區域之一局部，藉此此保護性間隙壁及此底部背置閘極可保護此含矽質層不受氧化；

移除保護性間隙壁同時曝露此含矽質層之各邊緣；以及選擇性地在其上發展出含矽質區域並接觸各邊緣。

本發明方法可進一步包含於各含矽質層局部內構成經延伸之源極/汲極區域，以及在此經延伸之源極/汲極區域上構成矽化物區域。

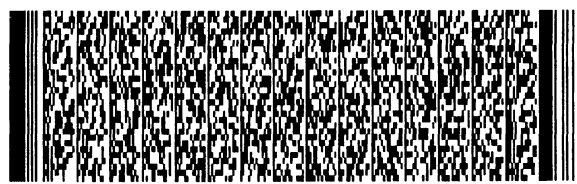


五、發明說明 (7)

四、【實施方式】

現將藉參照於本申請案後載之各圖式以進一步詳細說明本發明，本發明可提供自我對準隔離 DGFET 及一製造此者之方法。應注意在此等圖式及說明中，所述者係依循一具 P 摻質背置平面之 NFET。在此雖圖示與描述此項結構，然本發明亦慮及具相反極性之結構，亦即一具一 N 摻質背置平面的 PFET。可藉如本揭後文所述之摻質物物種改變為相反極性，以製造這種具相反極性之結構。

圖 1 說明一本發明之自我對準隔離 DGFET 截面視圖。詳細而言，本發明之自我對準隔離 DGFET 包含經摻質背置平面區域 32，此者具有位在鄰接於此並且在此經摻質背置平面區域 32 頂部局部的隔離區域 44。如圖 1 所示之結構進一步包含一背置閘極介電堆疊，此者含有一背置閘極氮化物 15 及一背置閘極介電 16，此等位於此經摻質背置平面區域 32 之表面局部的頂部，以及一具有位在此背置閘極介電 16 頂部之邊緣 46 的含矽質層 18（此係本發明之 DGFET 的一薄體區域）。即如圖示，此等邊緣 46 各者包含源極 / 汲極區域 50。本發明 DGFET 也包含經樣式化之閘極電極 36，以及位於此前置閘極介電頂部之經樣式化遮罩 38。在製成如圖 1 所示之結構後就會移除此經樣式化遮罩，並且會植入所曝出的樣式化閘極電極，構成本發明 DGFET 的前置閘極。絕緣間隙壁 40 會被定位在此前置閘極的垂直側壁以及此含矽質層 18 的表面局部之上。



五、發明說明 (8)

如圖 1 所繪列且標示而未於前文中特加說明的其他元件將於後圖 2A-20 中所進一步詳述。圖 2A-2N 為 X-X' 平面左側所示之結構的表示圖。圖 20 顯示在執行進一步處理步驟後的圖 1 結構。

現將藉由參照於圖 2A-2N 以詳細說明構成如圖 1 所示之本發明自我對準隔離 DGFET 的方法。即如前述，圖 20 顯示在既已執行進一步處理步驟後的圖 1 結構。首先參照於圖 2A，此圖說明一可運用於本發明之初始堆疊結構截面視圖。詳細而言，如圖 2A 所示之初始堆疊結構包含一處置晶圓 10、一位於此處置晶圓 10 頂部的底部絕緣物 12、一位於此底部絕緣物 12 頂部之多晶矽背置平面區域 14、一位於此多晶矽背置平面 14 之背置閘極氮化物 15、一位於此背置閘極氮化物 15 頂部之背置閘極介電 16、一位於此背置閘極介電 16 頂部之含矽質層 18、一位於此含矽質層 18 頂部之墊氧化物 20，以及一位於此墊氧化物 20 頂部之拋光停阻層 22。

在一些具體實施例裡，可藉首先提供一轉移晶圓（未以圖示）來製造如圖 2A 所示結構，此晶圓含有構成於此轉移晶圓表面上之含矽質層 18。用於本發明此處之轉移晶圓可為一體型（bulky）矽質晶圓，或採他款含絕緣層上矽質（Silicon-on-insulator）的半導體晶圓。此含矽質層可包含上述之矽質材料，較佳者為矽。當採用矽為含矽質層



五、發明說明 (9)

時，此矽質層可為非晶質、單晶或多晶矽，而較佳者為單晶矽，這是因為這種材料可提供高效能裝置。在一些具體實施例裡，此含矽質層為此轉移晶圓的一部分；一 SOI 轉移晶圓的 SOI 層，在此會將所埋覆的氧化物作為蝕刻停阻，或是僅一體型矽質晶圓的一部分。

此含矽質層 18 是藉由包含例如化學氣相沉積 (CVD)、電漿輔助 CVD、蒸發處理或化學溶液沉積之傳統沉積製程所構成。當最先施用於此轉移晶圓時，此含矽質層 18 可具有任何厚度。通常，此含矽質層 18 會具有從約 50 到 500 奈米的初始厚度，此值會在執行後續的接合 (bonding) 製程中變薄。

然後，藉利用一傳統沉積製程將此背置閘極氮化物 15 構成於此含矽質層 18 頂部，或另藉熱發展製程來構成此背置閘極氮化物 15。此背置閘極氮化物 15 的厚度可變化不一，但此背置閘極氮化物 15 的厚度通常會是從約 1 到約 5 奈米。

其次，利用像是 CVD 之傳統沉積製程，將此背置閘極介電 16 構成於此背置閘極氮化物 15 之上。或另者，可藉一熱製程步驟來構成此背置閘極介電 16。此背置閘極介電 16 可為由一氧化物或氮氧化物所組成，而較佳為氧化物介電物質。可採用作為此背置閘極介電 16 之適當氧化物範例包



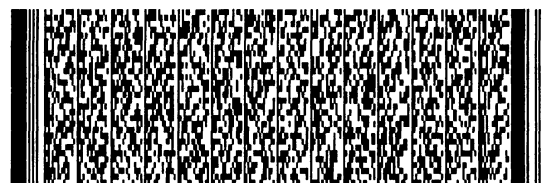
五、發明說明 (10)

含，但不限於，像是： SiO_2 、 Al_2O_3 、 ZrO_2 、 HfO_2 、 Ta_2O_3 、 TiO_2 、鈣鈦礦(perovskite)型態之氧化物及彼等之組合與其多層物。此背置閘極介電 16 的厚度可為變化，但典型此背置閘極介電 16 可具有一從約 2 到約 20 奈米的厚度。

然後，利用像是 CVD 之傳統沉積製程，將此多晶矽背置平面區域 14 構成於此背置閘極介電 16 之上。此多晶矽背置平面區域 14 具有從約 50 到約 500 奈米的厚度。其次，利用傳統沉積製程或傳統熱發展製程，將此底部絕緣物 12 構成於此多晶矽背置平面 14 上。此底部絕緣物 12 可為一氧化物、氮化物或氮氧化物，而較佳者為像是二氧化矽的氧化物。此底部絕緣物 12 的厚度可為變化，但通常此底部絕緣器 12 會具有從約 100 到約 400 奈米的厚度。

在提供含有層 18、16、15、14 及 12 之轉移晶圓後，可利用業界人士所眾知之傳統接合製程，將此底部絕緣物 12 的曝出表面接附於此處置晶圓 10。在接合處理後，會從此接合結構中移除此轉移晶圓而曝出此含矽質層 18。詳細地說，可藉研磨處理與蝕刻處理來移除此轉移晶圓。在研磨處理與蝕刻製程的過程中，此含矽質層 18 可變薄至一低於 20 奈米的厚度。在本發明中，會利用此薄化後含矽質層 18 之一局部作為 DGFET 的本體區域。

在移除此轉移晶圓並薄化此含矽質層 18 後，會藉利用



五、發明說明 (11)

傳統的沉積製程或利用傳統的熱氧化製程，在此被薄化含矽質層 18 上構成此墊氧化物 20。無論採用何種技術，此墊氧化物 20 通常具有從約 2 到約 10 奈米的厚度，而尤以從約 3 到約 5 奈米之厚度為佳。

然後可利用業界人士眾知的傳統沉積製程，在此墊氧化物 20 上構成此拋光停阻層 22，此者係由氮化物及 / 或氮氧化物所組成。此拋光停阻層 22 的厚度可為變化，對本發明並無顯著重要性。

上述說明提供一種如圖 2A 所示之初始結構的方法。在此亦慮及其他方法。同時，在一些具體實施例裡，可能會提供一並不含有此底部絕緣物 12 的初始結構。此外，在一些具體實施例裡，有可能此多晶矽背置平面區域 14 會在此處置晶圓 10 的一部分，在此情況下會從單晶矽質而非多晶矽質構成。

在構成如圖 2A 所示之初始結構後，會將一具有上寬區域 (亦即淺槽開口) 及一下窄區域 (亦即深槽開口) 的絕緣溝槽開口 24 構成於此初始結構內而提供如圖 2B 所示之結構。在此結構內於如圖所示之此者右側處會構成至少一個其他的類似隔離溝槽開口 24。此隔離溝槽開口 24 係按如下方式所構成：首先，利用像是 CVD 及自旋塗層處理之沉積製程，將一傳統光阻 (未以圖示) 施加於此拋光停阻層 22 的表

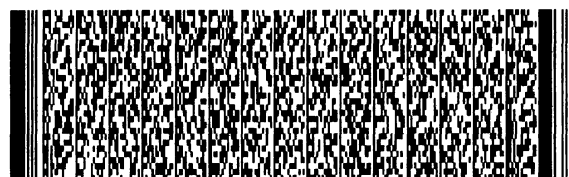
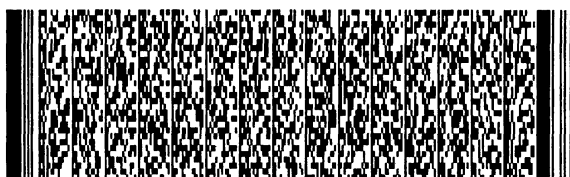


五、發明說明 (12)

面上。然後藉傳統微影蝕刻(包含曝光及顯影作業)將此光阻樣式化,以含納一樣式以製造此平淺溝槽開口。當此樣式化光阻(未以圖示)就定位後,再採用像是反應離子蝕刻處理(RIE)、離子束蝕刻處理或電漿蝕刻處理之蝕刻製程,以將此平淺溝槽樣式轉移成為如圖2A所示的初始結構。在此蝕刻處理的過程中,此拋光停阻層22、此墊氧化物20、此含矽質層18、此背置閘極介電16及此背置閘極氮化物15的各個曝出局部會被移除停止在此多晶矽背置平面區域14內。

在此蝕刻步驟之後,會利用一傳統剝除製程來移除掉此樣式化光阻,並且會施加一第二光阻(未以圖示)且藉微影蝕刻所樣式化以含納一深陷溝槽樣式。然後透過停止於此處置晶圓10之上部表面上的多晶矽背置平面區域14及底部絕緣物12之曝出局部,藉由蝕刻處理將此深陷溝槽樣式轉移成先前蝕刻的結構。在將此深陷溝槽樣式轉移成此結構後,會利用一傳統剝除製程來移除此第二光阻。

在將此隔離溝槽開口24構成入此結構後,會透過一熱氧化製程構成一溝槽襯底氧化物26,藉此覆蓋至少此含矽質層18及此多晶矽背置平面區域14的曝出側壁。然後,將像是CVD氧化物或四乙基正矽酸鹽(tetraethylorthosilicate, TEOS)之介電溝槽材料28填入含有此溝槽襯底氧化物26的隔離溝槽開口24內,並予以

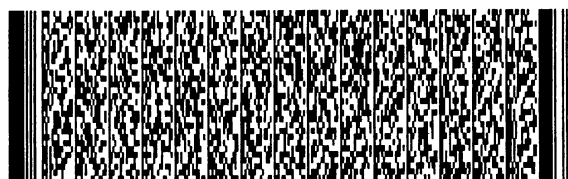
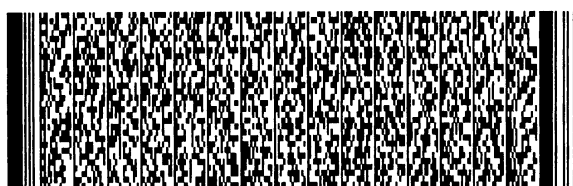


五、發明說明 (13)

平面化至此拋光停阻層 22，提供例如圖 2C 內所示之平面結構。含如圖 2C 內所示之溝槽填塞材料 28 及溝槽襯底氧化物 26 的隔離溝槽區域可將此多晶矽背置平面區域 14 分隔成兩個不同區域。一第二隔離溝槽區域，未以圖示，會位於此圖繪之右端上。

然後將一第一植入遮罩 (未以圖示) 構成於此結構的局部上，之後會將一第一導體型態之離子，即如 N 或 P，被離子植入此結構的多晶矽背置平面區域內，而此者不包含此第一植入遮罩。然後將此第一植入遮罩移除，然後構成一覆蓋至少此先前離子植入區域的第二植入遮罩。在構成此第二植入遮罩後，會將一不同於此第一導體型態之第二導體型態的離子，即如 N 或 P，被離子植入不含此第二植入遮罩的多晶矽背置平面區域內。可改變在這些植入作業中所使用的離子劑量，且可根據所構成之裝置型態而予以最佳化。在此第二離子植入製程後，就會移除此第二離子植入遮罩，然後將此結構予以退火處理，此者係利用可引發並驅動摻質離子向上穿過各多晶矽背置平面區域，一直到將此區域均勻地摻質為止之條件所執行。在本發明裡，此退火處理通常是在按約 950°C 或更高的溫度，且約 30 分鐘或較短時段的情性氣體環境下執行。

圖 2D 說明在既已執行上述各種植入及退火製程後所構成的結構。在此圖中，編號 30 標示一 N 型摻質多晶矽背置

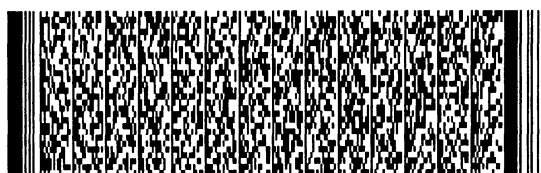


五、發明說明 (14)

平面區域，而編號 32 標示一 P 型摻質多晶矽背置平面區域。此等區域 30 及 32 的摻質濃度是可變的，但通常 N 型摻質背置平面區域 30 具有約 $1E19$ 原子 / 立方公分或更高的摻質濃度，而以約 $5E19$ 原子 / 立方公分的摻質濃度為特別佳者。在 P 型摻質背置平面區域 32 的情況下，此區域通常具有約 $1E19$ 原子 / 立方公分或更高的摻質濃度，而以約 $5E19$ 原子 / 立方公分的摻質濃度為特別佳者。一些摻質背置平面區域可作為本發明 DGFET 之底部閘極電極，亦即此背置閘極。

在構成此摻質背置平面區域後，要利用能夠相較於氧化物，而選擇性地移除此拋光停阻材料之蝕刻製程，將此拋光停阻層 22 自此結構移除。本發明的這項蝕刻步驟可自此結構移除此拋光停阻層 22，並曝出底置的墊氧化物 20。例如，可利用磷酸來選擇性地將此拋光停阻層 22 自此結構移除。在既已自此結構移除此拋光停阻層 22 後，會選擇性地移除所曝出的墊氧化物層 20，亦即層 20，藉以曝出此含矽質層 18。可採用任何能夠相較於矽質而選擇性地移除氧化物的傳統蝕刻製程。例如，可利用稀釋的氫氟酸以選擇性地將此墊氧化物層 20 從此結構移除。

在既已選擇性地移除此墊氧化物層 20 後，會在此含矽質層 18 之曝出表面上構成一前置 (或頂部) 閘極介電 34。此前置閘極介電 34 可由與此背置閘極介電 16 相同或互異的介



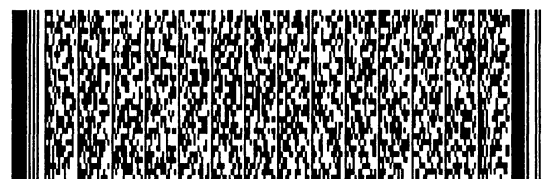
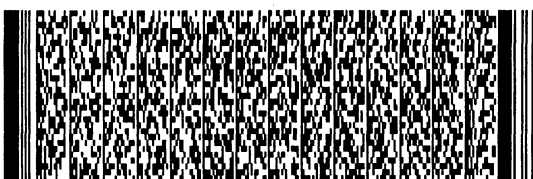
五、發明說明 (15)

電材料以及氮化物所組成。此外，可利用任何像是 CVD 的傳統沉積製程來構成此前置閘極介電 34。可變化此前置閘極介電 34 的厚度，但通常此前置閘極介電 34 具有一從約 1 到約 5 奈米的厚度。

可利用傳統沉積製程來在此結構的頂部構成一包含多薄層之閘極電極材料，這可為像是多晶矽、導體金屬、矽化物或任何彼等組合，然後在此閘極電極材料的頂部，透過傳統的沉積製程，構成一像是一氧化物或氮化物或氮氧化物的遮罩材料。此閘極電極的較佳材料為多晶矽質。

然後將此遮罩及閘極電極材料予以樣式化，俾在臥置於此 P 型摻質背置平面區域 32 上之前置閘極介電 34 的頂部提供一經樣式化之閘極電極 36 及一經樣式化之遮罩 38。可利用一經樣式化阻抗遮罩 (resist mask) (未以圖示) 及蝕刻處理來完成此樣式化處理。含此前置閘極介電 34、經樣式化之閘極電極 36 及一經樣式化之遮罩 38 的所獲結構可例如圖 2E 中所示。然現僅在此圖及其餘圖式裡繪出一部分的溝槽隔離區域。

會在此前置閘極介電 34 的局部上，以及至少經樣式化之閘極電極 36 及一部分經樣式化之遮罩 38 所曝出的側壁上構成各絕緣間隙壁 40。此等絕緣間隙壁 40 是由一例如包括二氧化矽之絕緣材料所組成，此者可忍受氮化矽質蝕刻。



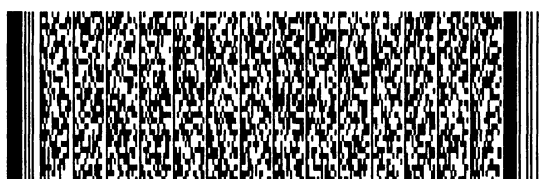
五、發明說明 (16)

此等絕緣間隙壁 40 是藉由沉積絕緣材料及蝕刻處理所構成。這些間隙壁通常具有一從約 0.5 到約 3 奈米的橫向厚度，而尤以從約 1 到約 2 奈米的橫向厚度為佳。經執行如上各步驟後所構成之結構可如圖 2F 所示。

圖 2G 顯示在移除此前置閘極介電 34 及此含矽質層 18 的各曝出局部，這些並未受此絕緣間隙壁 40 所保護，而停阻於此背置閘極介電 16 之表面後的結構。圖 2G 內的所示結構是利用一像是 RIE 之選擇性蝕刻製程所構成。此含矽質層 18 現具有一邊緣 46。

在一選擇性具體實施例裡 (未以圖示)，於本發明此時可對此含矽質層 18 的曝出邊緣 46 植入以源極 / 汲極植入物。如在本製程的此階段內進行，會在構成此含矽質層 18 內的源極 / 汲極區域過程中利用一斜角離子植入製程。

其次，會移除此背置閘極介電 16 的曝出局部，停阻於此背置閘極氮化物 15 之一表面的頂部。在本發明此點會利用一選擇性蝕刻製程，像是相對於移除氮化物為選擇性之化學濕性蝕刻，來移除此背置閘極介電 16 的各局部。經執行此蝕刻製程後的所獲結構可如圖 2H 所示。在本發明此點將此源極 / 汲極區域構成於此含矽質層 18 之曝出邊緣 46 內亦歸屬本發明考慮範圍內。在此情況下，可採用斜角離子植入製程。



五、發明說明 (17)

圖 2I 顯示經在此背置閘極氮化物 15、此含矽質層 18、此前置閘極介電 34 及此絕緣間隙壁 40 各側壁上構成各保護性間隙壁 42 之後所構成的結構。此等保護性間隙壁 42 是藉由一沉積製程然後加以蝕刻處理所構成。在此蝕刻過程中，會移除此背置閘極氮化物 15 的曝出橫向局部，藉此曝出此底置之摻質背置平面區域 32。此等保護性間隙壁 42 連同於剩餘的背置閘極氮化物 15 可封嵌此含矽質層 18；此含矽質層 18 會從底部及側部被如氮化物之保護性材料所封裝，同時藉薄層 36 及 38 從頂部所封裝。保護性間隙壁是由像是氮化物之材料所構成，以防止此含矽質層 18 不受後續的氧化處理步驟所氧化。

在構成此等保護性間隙壁 42 後，如圖 2I 所示之結構會受於一蝕刻製程，陷凹一部分的曝出摻質背置平面區域 32 而提供例如圖 2J 所示之結構。此圖中將構成於此結構內之陷入開口標註為 43。此陷入開口 43 可或無須將此溝槽襯底 26 自此結構移除，但這並不重要，因為會後續地加置一新氧化層 44。

圖 2K 顯示在如圖 2J 所示之結構受於一熱氧化製程後所構成的結構。即如圖示，在此熱氧化製程後的所獲結構包含各自我對準隔離區域 44。此等自我對準隔離區域 44 係氧化隔離區域。一部分的自我對準隔離區域 44 會在此經樣式



五、發明說明 (18)

化之閘極電極 36 下延展。在此步驟過程中不會漏失此含矽質層 18，這是因為此含矽質層 18 會 (在邊側上及底部上) 被如氮化物之保護性材料所封裝。

在構成此自我對準隔離區域 44 後，會利用可選擇性地移除氮化物的蝕刻製程，從此結構中移除掉各間隙壁 42，以及先前包含於此等間隙壁 42 內的背置閘極氮化物 15 局部。從此結構移除此保護性材料會再次地曝出此含矽質層 18 的各邊緣 46。在此應控制過蝕刻量，使得不會將此氮化物過低蝕刻至此陷入背置閘極。

如先前未予構成，則現可利用一斜角離子植入製程，將此等源極 / 汲極區域 50 構成於所曝出邊緣 46 內。含有此等源極 / 汲極區域 50 的所曝出邊緣 46 可作為一種晶區域，以利發展出一含矽質區域。經執行前述各處理步驟後的所獲結構可如圖 2M 所示。

圖 2N 說明經構成各源極 / 汲極接觸區域 52 之後的所獲結構。此等接觸區域 52 是利用一選擇性橫向磊晶過發展製程所構成，其中會發展出一含矽質區域。此等源極 / 汲極接觸區域 52 是從含有此等源極 / 汲極區域 50 之含矽質層 18 的邊緣 46 所構成。此等接觸區域 52 接觸到至少各絕緣間隙壁 40 的垂直邊緣，並經構成於自我對準隔離區域 44 局部的頂上。



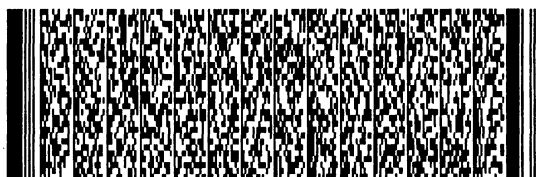
五、發明說明 (19)

在構成此等接觸區域 52 後，會在此結構上構成一阻抗遮罩（未以圖示），此者重疊於此 N 摻質之背置平面區域 30，並且利用一淺型離子植入製程，在此等接觸區域 52 之曝出區域內構成經延伸的源極 / 汲極區域 54。此淺型植入製程係為確保不會將摻質物植入到作為本發明 DGFET 通道之含矽質層 18 的各局部所必要者。可利用上述的阻抗阻斷處理及離子植入作業步驟來構成 PFFT（未以圖示）植入。

然後利用傳統式沉積及蝕刻處理，在所延伸的源極 / 汲極區域 54 上構成各間隙壁 56。注意，各間隙壁 56 的局部會接觸到各絕緣間隙壁 40 的曝出垂直表面。然後將位於樣式化閘極電極 36 上的遮罩 38 移除。

然後在此結構之各局部上構成一阻抗遮罩（未以圖示），並且利用一選擇性蝕刻製程，像是 RIE，將構成於摻質背置平面區域上之自我對準隔離區域 44 的曝出局部移除。在執行過此選擇性蝕刻製程後，將上述阻抗遮罩從此結構予以剝除。

構成另一阻抗遮罩（未以圖示），然後將 N 型摻質物深型植入到所曝出 N 摻質背置平面區域 30 各局部、所曝出磊晶矽質源極 / 汲極接觸區域 52 各局部、以及閘極電極 36 的各局部之內。在圖 20 裡，編號 58 標註 N 閘極區域，而編號



五、發明說明 (20)

60標註外部 N源極 /汲極區域。此外部 N摻質之源極 /汲極區域 60會透過經延伸之源極 /汲極區域 54，接觸到構成在此含矽質層 18之邊緣 46內的內部源極 /汲極區域。本圖未繪示出此 N型摻質之背置平面接觸區域。然後移除阻抗，且於此結構之 P-FET區域內重複上述步驟。

圖 20也顯示在將區域 58和 60各曝出局部以及此 N型摻質背置平面區域矽質化之後所構成的結構。可利用一傳統矽化處理製程來構成如編號 64所標註的矽化物區域，其中包括在此等區域 58及 60之上和此 N型摻質背置平面接觸處施加一像是鈦或鈷的折射金屬、將此結構退火以令在含有折射金屬的範圍內構成矽化物，以及將任何並未反應之折射金屬自此結構移除。

本發明雖既已按其較佳具體實施例所特定圖示及描述，然熟諳本項技藝之人士應即瞭解確可著手形式及細節上的前揭與其他變化，而無虞悖離本發明精神及範疇。從而本發明並非侷限於前文所描述及說明之精確形式與細節，而應歸屬後載申請專利範圍內。



圖式簡單說明

五、【圖式簡單說明】

圖 1係一圖像表示(經一截面視圖)，此圖顯示出本發明之 DGFET，此者包含自我對準之隔離區域，及一藉保護性材料所封裝之含矽質通道區域。

圖 2係一圖像表示(經一截面視圖)，此圖說明本發明所採用以製造如圖 1所示之 DGFET結構的各項基本處理步驟。

【圖式元件符號說明】

10處置晶圓

12底部絕緣物

14多晶矽背置平面區域

15背置閘極氮化物

16背置閘極介電

18含矽質層

20平板氧化物

22拋光停阻層

24隔離溝槽開口

26溝槽氧化物路線

28介電溝槽材料

30N型摻質多晶矽背置平面區域

32P型摻質多晶矽背置平面區域

34前置閘極介電

36經樣式化之閘極電極



圖式簡單說明

38經樣式化遮罩

40絕緣間隙壁

42保護性間隙壁

43陷入開口

44隔離區域

46邊緣

50源極 /汲極區域

52源極 /汲極接觸區域

54源極 /汲極區域

56間隙壁

58N閘極區域

60外部 N源極 /汲極區域

64矽化物區域

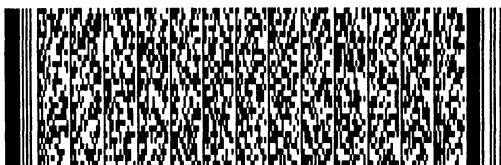


四、中文發明摘要 (發明名稱：氮化物—封裝之場效應電晶體)

茲提供一種雙閘極場效應電晶體 (DGFET) 結構及構成此種結構之方法，其中可實質性地降低在源極 / 汲極區域下的寄生電容。在本發明裡，提供有自我對準之隔離區域以降低此 DGFET 結構內的寄生電容。此外，本發明將此含矽質通道層加以封裝，讓此背置閘極 (back gate) 氧化至一更大範圍，藉此甚可進一步減少此結構之寄生電容。

五、英文發明摘要 (發明名稱：NITRIDE-ENCAPSULATED FET (NNCFET))

A double-gate field effect transistor (DGFET) structure and method of forming such a structure in which the parasitic capacitance under the source/drain regions is substantially reduced are provided. In the present invention, self-aligned isolation regions are provided to reduce the parasitic capacitance in the DGFET structure. Additionally, the present invention encapsulates



四、中文發明摘要 (發明名稱：氮化物—封裝之場效應電晶體)

五、英文發明摘要 (發明名稱：NITRIDE-ENCAPSULATED FET (NNCFET))

the silicon-containing channel layer to enable the back-gate to be oxidized to a greater extent thereby reducing the parasitic capacitance of the structure even further.



六、申請專利範圍

申請專利範圍

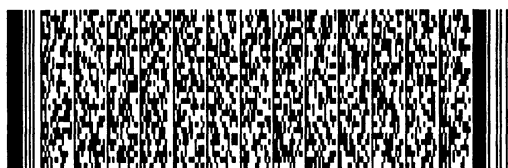
如前詳細說明本發明，所申審者為新穎及意欲由專利法規所保護之項目如下：

1. 一種雙閘極場效應電晶體 (DGFET)，包含：

一摻質背置平面區域，具有位於鄰接至其之隔離區域；
一背置閘極介電堆疊，含有至少一底部背置閘極氮化物，該底部背置閘極氮化物位於該摻質背置平面區域但不含該隔離區域的表面局部上；
一具位於該背置閘極介電堆疊頂部之邊緣的含矽質層，該等含矽質邊緣各者包含一源極 / 汲極區域；
一位於該含矽質層之局部頂部的前置閘極介電；
一位於該前置閘極介電之頂部的前置閘極；以及
位於鄰接該前置閘極且在該隔離區域之上的各含矽質區域，該含矽質區域係與該等源極 / 汲極區域相接觸。

2. 如申請專利範圍第 1 項之 DGFET，其中該含矽質層包含外部源極 / 汲極區域、經延伸之源極 / 汲極區域，以及位於該外部源極 / 汲極區域之上的矽化物，該等外部源極 / 汲極區域係透過該等經延伸之源極 / 汲極區域而連接於該等源極 / 汲極區域。

3. 如申請專利範圍第 1 項之 DGFET，其中進一步包含位於該前置閘極之上的（金屬）矽化物。



六、申請專利範圍

- 4.如申請專利範圍第1項之 DGFET，其中該摻質之背置平面區域包含 P型多晶矽而該前置閘極係一 NFET，或者該摻質之背置平面區域包含 N型多晶矽而該前置閘極係一 PFET。
- 5.如申請專利範圍第1項之 DGFET，其中該隔離區域係自我對準於該前置閘極。
- 6.如申請專利範圍第1項之 DGFET，其中該摻質之背置平面區域係位於一底部絕緣物之上，該底部絕緣物係位於一處置晶圓上。
- 7.如申請專利範圍第1項之 DGFET，其中該背置閘極介電及該前置閘極介電兩者皆為氧化物。
- 8.如申請專利範圍第1項之 DGFET，其中該隔離區域包含一氧化物。
- 9.如申請專利範圍第1項之 DGFET，其中該前置閘極包含多晶矽質。
- 10.如申請專利範圍第1項之 DGFET，其中該含矽質層在該前置閘極下之一局部係作為該 DGFET之一本體區域。



六、申請專利範圍

11.如申請專利範圍第1項之 DGFET，其中進一步包含鄰接於該自我對準隔離區域的隔離溝槽區域。

12.一種用以製造雙閘極場效應電晶體之方法，包含如下步驟：

提供一結構，該結構包含至少一摻質背置平面區域、一含有至少一構成於此摻質背置平面區域之頂部的底部背置閘極氮化物之背置閘極介電堆疊、一具位於該背置閘極介電堆疊頂部之邊緣的含矽質層、一位於該含矽質層之頂部的前置閘極介電，以及一構成於該前置閘極介電之頂部的前置閘極，該結構具有鄰接於至少該摻質背置平面區域之隔離溝槽區域；

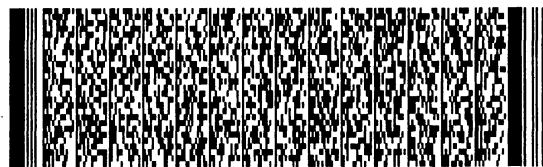
於該前置閘極之經曝出垂直側壁上構成絕緣間隙壁；

於該絕緣間隙壁之四周之該結構上構成保護性間隙壁，並覆蓋該含矽質層之各邊緣；

在相鄰接的該結構各區域內構成各絕緣區域，並疊覆該摻質背置平面區域之一局部，藉該該保護性間隙壁及該底部背置閘極可保護該含矽質層不受氧化；

移除該保護性間隙壁以曝出該含矽質層之各邊緣；以及選擇性地在各邊緣上發展出含矽質區域並接觸各邊緣。

13.如申請專利範圍第12項之方法，其中該結構係利用一鍵結及薄化製程所供置。



六、申請專利範圍

14.如申請專利範圍第12項之方法，其中該等隔離區域係自我對準於該前置閘極，且係藉由一氧化製程所構成。

15.如申請專利範圍第12項之方法，其中在移除該等保護性間隙壁後、且在發展該含矽質區域之前，將各源極/汲極區域植入於該含矽質層的邊緣內。

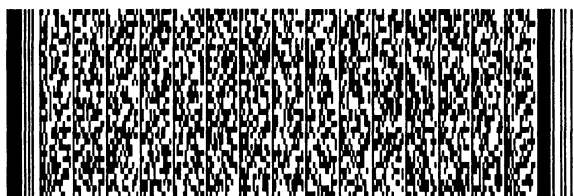
16.如申請專利範圍第15項之方法，其中是藉由一斜角離子植入製程來構成該等源極/汲極區域。

17.如申請專利範圍第12項之方法，其中進一步包含於該含矽質區域及該前置閘極上構成各矽化物區域。

18.如申請專利範圍第12項之方法，其中進一步包含在該含矽質層內構成經延伸源極/汲極區域及外部源極/汲極區域。

19.如申請專利範圍第12項之方法，其中是藉由一磊晶矽質發展製程來構成該等含矽質區域。

20.如申請專利範圍第12項之方法，其中該摻質之背置平面區域係構成於一底部絕緣物上，該底部絕緣物係構成於一處置晶圓上。



六、申請專利範圍

21.如申請專利範圍第12項之方法，其中係藉由一離子植入及退火處理來構成該摻質之背置平面區域。

22.如申請專利範圍第12項之方法，其中該摻質之背置平面區域包含P型多晶矽而該前置閘極係一NFET，或者該摻質之背置平面區域包含N型多晶矽而該前置閘極係一PFET。



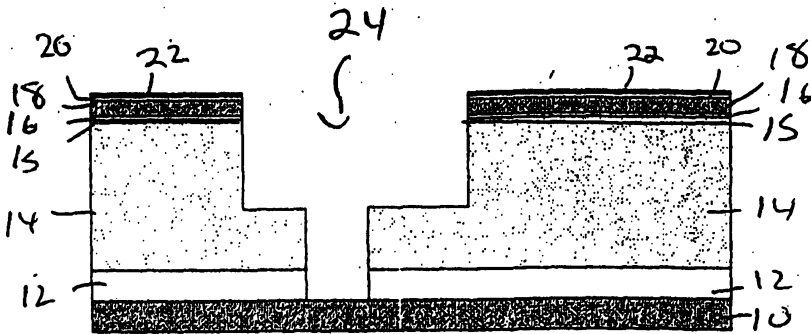


圖 2B

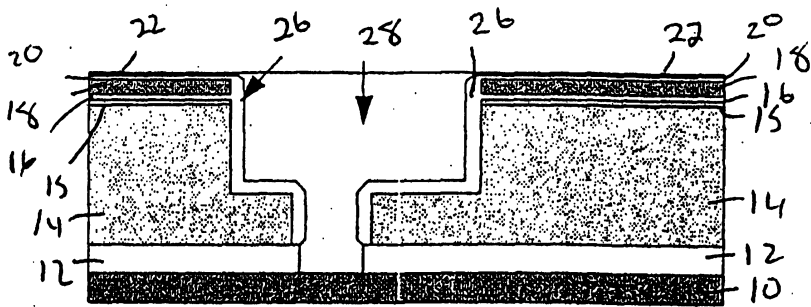


圖 2C

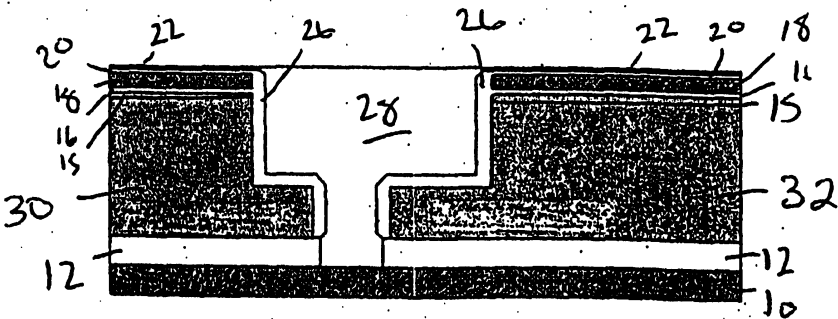


圖 2D

圖 2E

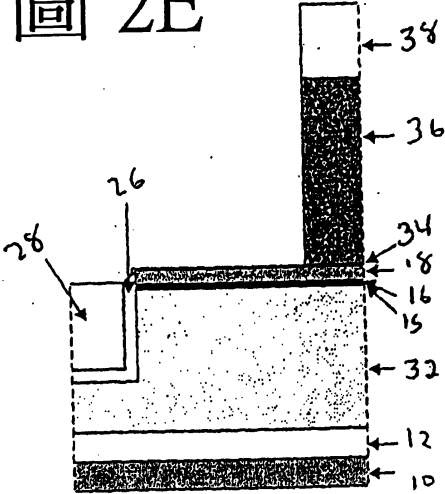


圖 2F

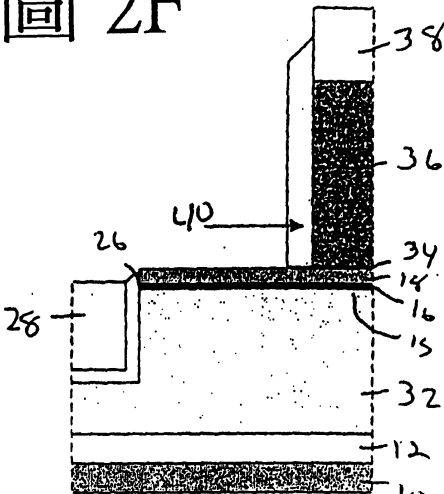


圖 2G

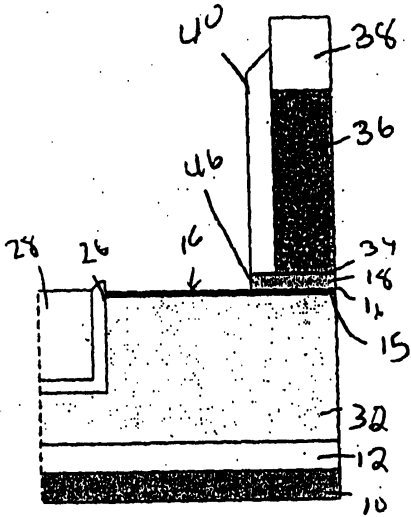


圖 2H

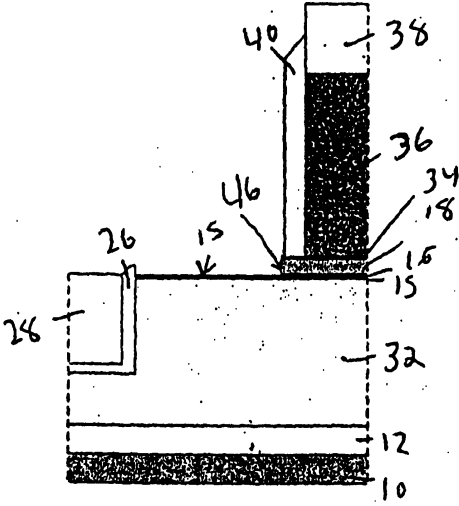


圖 2I

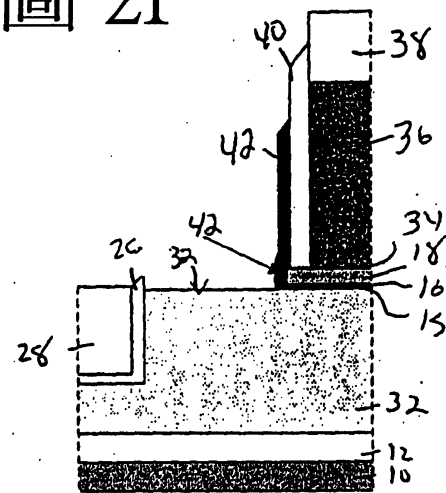


圖 2J

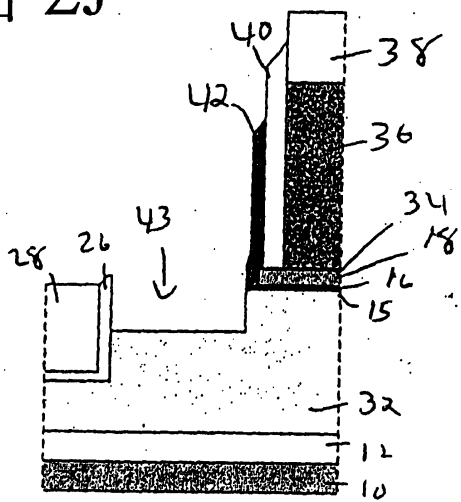


圖 2K

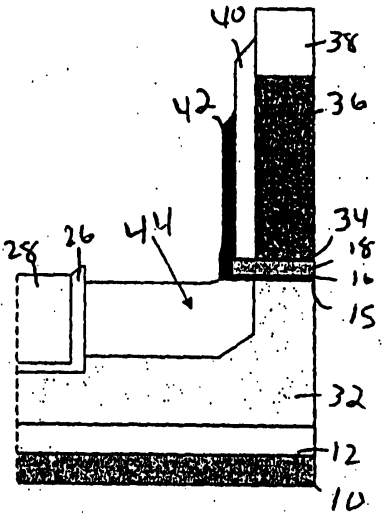


圖 2L

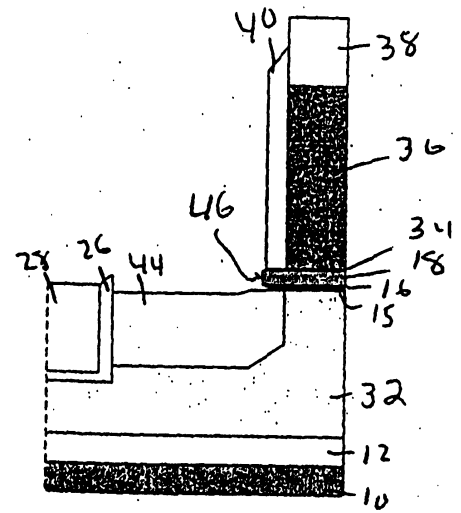


圖 2M

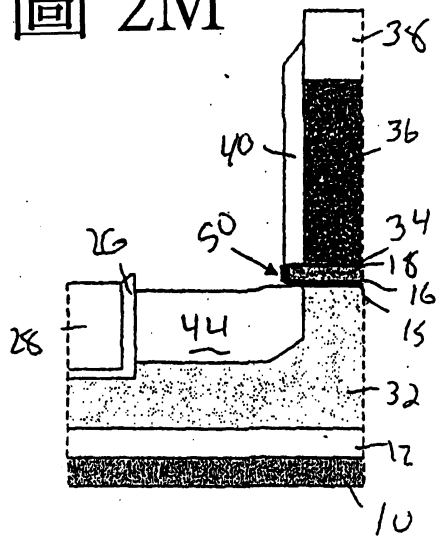


圖 2N

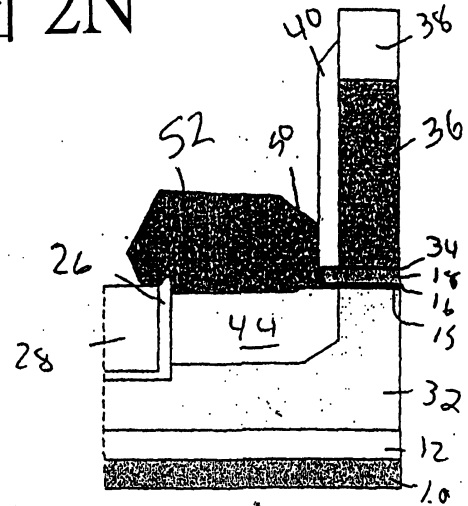
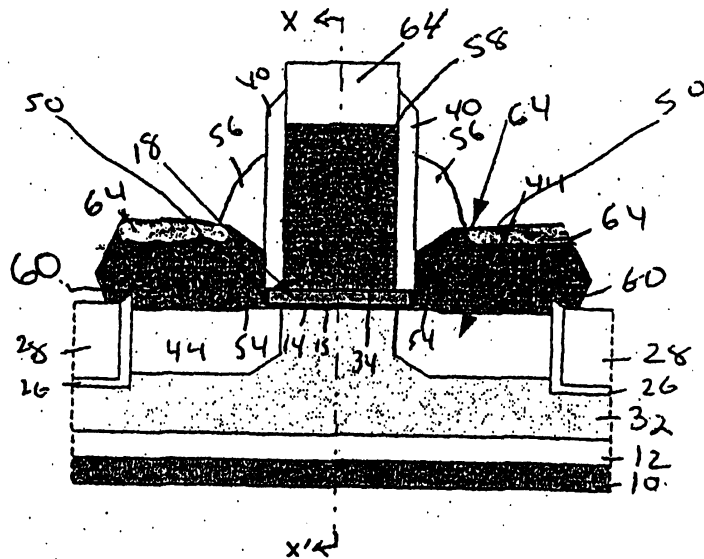


圖 20



六、指定代表圖

(一)、本案代表圖為：圖 1

(二)、本案代表圖之元件代表符號簡單說明：

10處置晶圓	12底部絕緣物
15背置閘極氮化物	16背置閘極介電
18含矽質層	26溝槽氧化物路線
28介電溝槽材料	32 P型摻質多晶矽背置平面區域
34前置閘極介電	36經樣式化之閘極電極
38經樣式化遮罩	40絕緣間隙壁
44隔離區域	46邊緣
50源極 /汲極區域	

