



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202025471 A

(43)公開日：中華民國 109 (2020) 年 07 月 01 日

(21)申請案號：108138934

(22)申請日：中華民國 108 (2019) 年 10 月 29 日

(51)Int. Cl. : *H01L27/146 (2006.01)**H04N5/359 (2011.01)**H04N5/369 (2011.01)*

(30)優先權：2018/11/05 日本

2018-207880

(71)申請人：日商索尼半導體解決方案公司 (日本) SONY SEMICONDUCTOR SOLUTIONS CORPORATION (JP)

日本

(72)發明人：星博則 HOSHI, HIRONORI (JP)；奧山敦 OKUYAMA, ATSUSHI (JP)；押山到 OSHIYAMA, ITARU (JP)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：12 項 圖式數：27 共 76 頁

(54)名稱

攝像元件及製造方法以及電子機器

(57)摘要

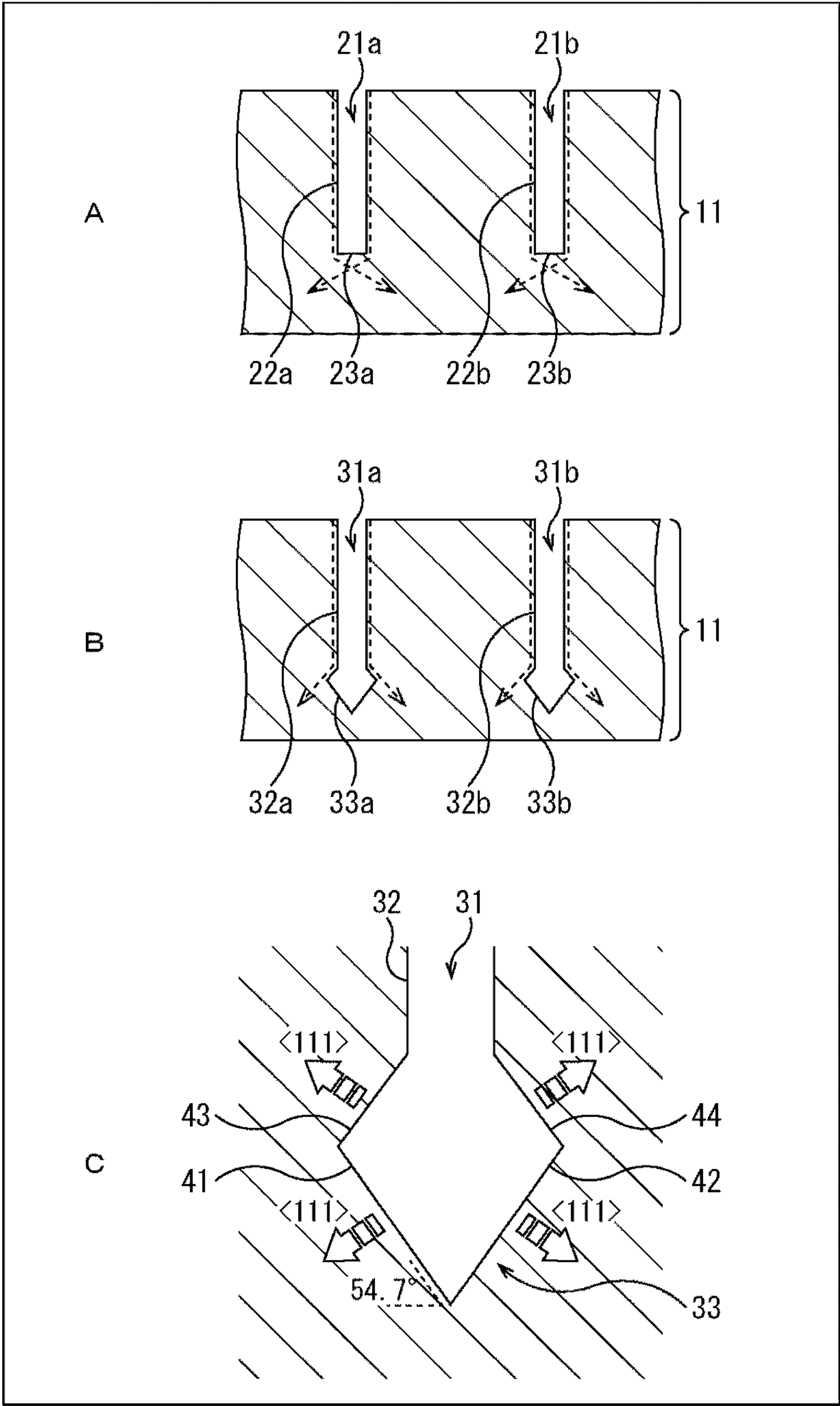
本揭示係關於一種可謀求提高減少串擾之效果的攝像元件及製造方法以及電子機器。

本揭示之攝像元件具備：溝槽部，其自供形成對照射之光進行光電轉換之光電轉換部的半導體基板之受光面側，設置於複數個光電轉換部彼此之間；及突起部，其於溝槽部之一部分，至少設置有以溝槽部之間隔變寬之方式相對於溝槽部之側面傾斜之傾斜面。本技術可應用於例如背面照射型之固態攝像元件。

指定代表圖：

符號簡單說明：

- 11:半導體基板
- 21a:元件分離部
- 21b:元件分離部
- 31:元件分離部
- 31a:元件分離部
- 31b:元件分離部
- 32:溝槽側面
- 33:突起部
- 41:傾斜面
- 42:傾斜面
- 43:傾斜面
- 44:傾斜面
- <111>:方向



【圖1】



202025471

【發明摘要】

【中文發明名稱】

攝像元件及製造方法以及電子機器

【中文】

本揭示係關於一種可謀求提高減少串擾之效果的攝像元件及製造方法以及電子機器。

本揭示之攝像元件具備：溝槽部，其自供形成對照射之光進行光電轉換之光電轉換部的半導體基板之受光面側，設置於複數個光電轉換部彼此之間；及突起部，其於溝槽部之一部分，至少設置有以溝槽部之間隔變寬之方式相對於溝槽部之側面傾斜之傾斜面。本技術可應用於例如背面照射型之固態攝像元件。

【指定代表圖】

圖1

【代表圖之符號簡單說明】

- 11 半導體基板
- 21a 元件分離部
- 21b 元件分離部31 元件分離部
- 31a 元件分離部
- 31b 元件分離部
- 32 溝槽側面
- 33 突起部
- 41 傾斜面
- 42 傾斜面

- 43 傾斜面
- 44 傾斜面
- <111> 方向

【發明說明書】

【中文發明名稱】

攝像元件及製造方法以及電子機器

【技術領域】

【0001】

本揭示係關於一種攝像元件及製造方法以及電子機器，尤其是關於一種可謀求提高減少串擾之效果的攝像元件及製造方法以及電子機器。

【先前技術】

【0002】

先前以來，已知於固態攝像裝置中，尤其於背面照射型之固態攝像裝置中，產生來自相鄰之像素之串擾。尤其，於具有全域快門功能之固態攝像裝置中，因對電荷蓄積部之串擾導致蓄積電荷增加，而使全域快門功能降低。

【0003】

因此，為了避免隨著串擾之產生之解像度或色彩再現性之降低，亮度階差等，使用以分隔相鄰之像素彼此之方式設置元件分離部之技術。

【0004】

例如，於專利文獻1，提案有一種藉由自背面之光電二極體側形成溝槽，且設置如自半導體基板之正面貫通至背面之溝槽，或設置如一部分不貫通之溝槽來實現光學像素分隔的構造。

【0005】

又，於專利文獻2，提案有一種於溝槽之前端，設置與半導體基板水平之遮光部之構造。

[先前技術文獻]

[專利文獻]

【0006】

[專利文獻1]日本專利特開2013-30803號公報

[專利文獻2]日本專利特開2013-98446號公報

【發明內容】

[發明所欲解決之問題]

【0007】

然而，於上述專利文獻1所揭示之構造中，因溝槽端部之光之繞射導致光向相鄰之像素洩漏，藉此產生串擾，且抑制該串擾之效果不夠充分。又，於上述專利文獻2所揭示之構造中，若遮光部之體積過大，則光電二極體之面積變小，不僅感度降低，隨著遮光面積變大，亦成為產生結晶缺陷之主要原因。

【0008】

本揭示係鑑於此種狀況而完成者，可謀求提高減少串擾之效果。

[解決問題之技術手段]

【0009】

本揭示之一態樣之攝像元件具備：半導體基板，其供形成對照射之光進行光電轉換之光電轉換部；溝槽部，其自上述半導體基板之受光面側，設置於複數個上述光電轉換部彼此之間；及突起部，其於上述溝槽部之一部分，至少設置有以上述溝槽部之間隔變寬之方式相對於上述溝槽部之側面傾斜之傾斜面。此處，傾斜面係對例如將第1方向作為厚度方向且沿著與第1方向正交之水平面擴展之具有以面指數{111}表示之第1結晶面

之Si基板，進行使用蝕刻溶液之結晶異向性蝕刻而形成者。例如於使用鹼性溶液之蝕刻之情形時，蝕刻以Si之未結合鍵與OH離子之反應為起點行進。因此，露出至表面之未結合鍵越多越易於蝕刻行進，延伸至背側之背鍵越多，蝕刻越難以行進。即，傾斜面於與基板表面大致水平之方向，具有不足3條之Si背鍵。另一方面，於與Si基板之表面大致垂直之方向，傾斜面具有3條Si背鍵。若於例如圖26之概略說明圖中進行說明，則Si背鍵意指相對於Si{111}面之法線將Si未結合鍵側設為正向時，向與其相反側之負向延伸之結合鍵。於圖26之例中，顯示相對於{111}面呈 $-19.47^{\circ} \sim +19.47^{\circ}$ 之角度之3條背鍵。具體而言，將光電轉換部、傾斜面、電荷保持部設置於Si{111}基板之情形時，傾斜面包含相對於Si基板之厚度方向即第1方向傾斜且沿著以面指數{111}表示之Si{111}基板之第2結晶面的面。

【0010】

本揭示之一態樣之製造方法包含：自供形成對照射之光進行光電轉換之光電轉換部的半導體基板之受光面側，刻入設置於複數個上述光電轉換部彼此之間之溝槽部；及形成：於上述溝槽部之一部分至少設置有以上述溝槽部之間隔變寬之方式相對於上述溝槽部之側面傾斜之傾斜面的突起部。

【0011】

本揭示之一態樣之電子機器具備攝像元件，其具有：半導體基板，其供形成對照射之光進行光電轉換之光電轉換部；溝槽部，其自上述半導體基板之受光面側，設置於複數個上述光電轉換部彼此之間；及突起部，其於上述溝槽部之一部分，至少設置有以上述溝槽部之間隔變寬之方式相對於上述溝槽部之側面傾斜之傾斜面。

【0012】

於本揭示之一態樣中，自供形成對照射之光進行光電轉換之光電轉換部的半導體基板之受光面側，刻入設置於複數個光電轉換部彼此之間的溝槽部，且形成：於該溝槽部之一部分至少設置有以溝槽部之間隔變寬之方式相對於溝槽部之側面傾斜之傾斜面的突起部。

【圖式簡單說明】**【0013】**

圖1A～C係說明應用本技術之攝像元件具備之元件分離部之基本構成例之圖。

圖2A～D係顯示元件分離部之俯視配置例之圖。

圖3A、B係顯示攝像元件之第1構成例之剖視圖。

圖4A、B係顯示攝像元件之第2構成例之剖視圖。

圖5A、B係顯示攝像元件之第3構成例之剖視圖。

圖6A、B係顯示攝像元件之第4構成例之剖視圖。

圖7A、B係顯示元件分離部之變化例之圖。

圖8A、B係顯示攝像元件之第5構成例之剖視圖。

圖9係顯示攝像元件之第6構成例之剖視圖。

圖10係對俯視觀察時之突起部與開口部之關係進行說明之圖。

圖11A、B係顯示攝像元件之第7構成例之剖視圖。

圖12A、B係顯示攝像元件之第8構成例之剖視圖。

圖13A、B係顯示攝像元件之第9構成例之剖視圖。

圖14A～C係顯示元件分離部之俯視配置例之圖。

圖15係對第1製造方法進行說明之圖。

圖16係對第2製造方法進行說明之圖。

圖17係對第3製造方法進行說明之圖。

圖18係對第4製造方法進行說明之圖。

圖19係對第5製造方法進行說明之圖。

圖20係對第5製造方法進行說明之圖。

圖21係對第6製造方法進行說明之圖。

圖22係對第7製造方法進行說明之圖。

圖23係對第8製造方法進行說明之圖。

圖24係顯示攝像裝置之構成例之方塊圖。

圖25係顯示使用影像感測器之使用例之圖。

圖26係說明本揭示之Si基板之結晶面之背鍵之模式圖。

圖27係說明本揭示之Si基板表面之傾斜角之模式圖。

【實施方式】

【0014】

以下，對應用本技術之具體實施形態，一面參照圖式一面詳細地進行說明。

【0015】

<具有突起部之元件分離部之基本構成例>

參照圖1，對應用本技術之攝像元件具備之元件分離部之基本構成例進行說明。

【0016】

於圖1A，顯示一般之元件分離部之剖面構成之一例。於圖1B，顯示具有突起形狀之元件分離部之剖面構成之一例，於圖1C，放大顯示突起

形狀。

【0017】

例如，如圖1A所示，一般，藉由垂直地刻入半導體基板11之背面(或正面)之溝槽，形成元件分離部21。又，如圖所示，2個元件分離部21a及21b將設置於其等間之像素與相鄰之其他像素分隔。且，元件分離部21形成有相對於半導體基板11之背面大致垂直之溝槽側面22，且於元件分離部21之底面，形成有包含相對於溝槽側面22大致垂直之平坦面之平坦部23。

【0018】

相對於此，如圖1B所示，應用本技術之元件分離部31於其前端部分，以垂直地刻入半導體基板11之背面(或正面)之溝槽側面32之間隔變寬之方式，形成剖視觀察下為大致菱形之形狀之突起部33。又，如圖所示，2個元件分離部31a及31b將設置於其等間之像素與相鄰之其他像素分隔。

【0019】

且，突起部33如圖1C所示，剖視觀察下，由相對於形成元件分離部31之溝槽側面32傾斜之複數個傾斜面41至44構成。

【0020】

例如，傾斜面41及42形成為相對於垂直地刻入半導體基板11形成溝槽時之底面(例如，元件分離部21中成為平坦面23之面)以特定之傾斜角度，向該溝槽深處側之傾斜方向擴展。又，傾斜面43及44形成為相對於垂直地刻入半導體基板11形成溝槽時之底面以特定之傾斜角度，向該溝槽之開口側之傾斜方向擴展。

【0021】

具體而言，突起部33可如下形成：對矽基板(100)，進行使用鹼性藥液之矽面方位選擇蝕刻，使蝕刻率較低之矽面(111)露出，藉此成大致菱形之形狀。藉此，例如傾斜面41及42相對於垂直地刻入半導體基板11形成溝槽時之底面以傾斜角 54.7° 形成。即，突起部33由沿著構成半導體基板11之矽結晶之矽面(111)之面方位傾斜之傾斜面41至44構成。

【0022】

且，於圖1A及B中，藉由虛線箭頭表示入射至半導體基板11之光。

【0023】

如圖1A所示，某像素中，於半導體基板11內沿著元件分離部21行進之光於元件分離部21之前端部分，向與該像素相鄰之其他像素之方向折射。因此，於具備元件分離部21之固態攝像元件中，產生因光向其他像素洩漏所致之混色(串擾)。

【0024】

相對於此，如圖1B所示，某像素中，於半導體基板11內沿著元件分離部31行進之光於元件分離部31之突起部33，向該像素自身之方向折射。因此，於具備元件分離部31之固態攝像元件中，可防止光向其他像素洩漏，可抑制產生混色。

【0025】

＜元件分離部之俯視配置例＞

參照圖2，對具有突起部33之元件分離部31之俯視配置進行說明。

【0026】

於固態攝像元件之受光面矩陣狀配置有接受透過彩色濾光片之光之複數個像素。於圖2，顯示將接受紅色光之1個像素R、接受綠色光之2個

像素G及接受藍色光之1個像素B根據所謂之拜耳排列2×2配置之例。

【0027】

例如，如圖2A所示，具有突起部33之元件分離部31可針對所有之像素R、像素G、及像素B格柵狀配置於複數個像素之邊界以分隔其等間。

【0028】

又，如圖2B所示，具有突起部33之元件分離部31可以包含像素R、像素G及像素B中之像素R之方式配置。此種配置例中，於像素R之周圍以外，配置有具有平坦部23之元件分離部21。即，因紅色光到達至半導體基板11之深處而容易成為混色之原因，故藉由以至少包圍像素R之方式配置具有突起部33之元件分離部31，可減少產生混色。

【0029】

又，如圖2C及D所示，具有突起部33之元件分離部31可形成為於成為複數個像素之邊界之格柵狀之交叉部不連續而於交叉部不連續。例如，為了抑制交叉部中因蝕刻速度不同所致之微負載效應，較佳如此以於交叉部不連續之方式形成元件分離部31。

【0030】

圖2C所示之元件分離部31以俯視下觀察兩端部分為平坦形狀之方式形成，且為如交叉部中元件分離部31彼此不重疊之形狀。圖2C所示之元件分離部31以俯視下觀察為兩端部分以約45度傾斜之凸形狀之方式形成，且為如交叉部中元件分離部31彼此重疊之部分變少之形狀。

【0031】

另，除圖2所示之配置例以外，例如像素以單獨之線或點存在之情形時，不考慮微負載效應，可以包圍各個像素之方式連續地(例如，不如圖

2B或C所示於交叉部不連續)形成元件分離部31。

【0032】

＜攝像元件之構成例＞

參照圖3至圖14，對具備具有突起部33之元件分離部31之攝像元件之構成例進行說明。

【0033】

於圖3顯示表示攝像元件之第1構成例之剖視圖。

【0034】

如圖3所示，攝像元件51構成於半導體基板11之背面側，積層有平坦化膜12、濾光片層13、及晶載透鏡層14，且於半導體基板11之正面側，積層有配線層15。即，攝像元件51為對半導體基板11之背面照射光之背面照射型。此處，半導體基板11包含例如Si{111}基板。Si{111}基板係具有{111}之結晶方位之單晶矽基板。

【0035】

又，攝像元件51俯視觀察下矩陣狀配置複數個像素52而構成，於圖3顯示該等像素52中之2個像素52a及52b之剖面。又，攝像元件51中，對每個像素52，將彩色濾光片53配置於濾光片層13，將微透鏡54配置於晶載透鏡層14。

【0036】

且，如圖3A所示，攝像元件51-1為藉由具有突起部33之元件分離部31分隔像素52a及像素52b之構成。參照圖1B，如上所述，元件分離部31具有菱形形狀之突起部33，其藉由以成為相對於半導體基板11之背面垂直之溝槽側面32之方式刻入溝槽，且對該溝槽之前端部分，進行使用鹼性藥

液之矽面方位選擇蝕刻而形成。又，元件分離部31為具有對溝槽埋入金屬等期望之材料而形成，並將該材料於半導體基板11之背面形成為平面之遮光部34之構造。

【0037】

如此，藉由元件分離部31將相鄰之像素52彼此分隔之構造之攝像元件51-1藉由元件分離部31之突起部33將入射至像素52a之光(虛線箭頭)向像素52a之方向折射。因此，攝像元件51-1可防止光自像素52a向像素52b洩漏，即可防止產生混色。

【0038】

另一方面，於圖3B顯示具有平坦部23之元件分離部21將相鄰之像素52分隔之構造之攝像元件51-2。又，元件分離部21與元件分離部31同樣為具有遮光部24之構造。且，於攝像元件51-2中，如圖所示，於元件分離部21之前端部分，光向相鄰之其他像素52洩漏。

【0039】

因此，攝像元件51-1與攝像元件51-2相比，可抑制隨著混色之產生之畫質劣化，可拍攝更高畫質之圖像。

【0040】

於圖4顯示表示攝像元件之第2構成例之剖視圖。另，於圖4所示之攝像元件51A中，對於與圖3之攝像元件51共用之構成，標註同一符號，省略其詳細之說明。

【0041】

如圖4所示，攝像元件51A-1及51A-2構成為與圖3之攝像元件51-1及51-2之不同點在於，於對半導體基板11A積層之平坦化膜12A之內部，對

每個像素52形成內透鏡55。又，元件分離部31A刻入半導體基板11A形成溝槽側面32及突起部33，於半導體基板11A之背面形成遮光部35，且於遮光部34至濾光片層13，亦形成於內透鏡55彼此之間。

【0042】

因此，如圖4A所示，攝像元件51A-1可藉由元件分離部31A防止光自像素52a向像素52b洩漏。

【0043】

另一方面，如圖4B所示，於攝像元件51A-2中，於元件分離部21A之前端部分，光向相鄰之其他像素52洩漏。

【0044】

如此構成之攝像元件51A-1中，與圖3之攝像元件51-1同樣，可抑制隨著混色之產生之畫質劣化，可拍攝更高畫質之圖像。

【0045】

於圖5顯示表示攝像元件之第3構成例之剖視圖。另，圖5所示之攝像元件51B中，對於與圖3之攝像元件51共用之構成，標註同一符號，省略其詳細之說明。

【0046】

如圖5所示，攝像元件51B-1構成為與圖3之攝像元件51-1之不同點在於，在半導體基板11B中，將元件分離部31B形成至配線層15附近。

【0047】

因此，如圖5A中以虛線箭頭所示之光，攝像元件51B-1藉由元件分離部31之突起部33將入射至像素52a之光(虛線箭頭)向像素52a之方向折射。再者，攝像元件51B-1藉由將元件分離部31B形成至配線層15附近，

可使入射至像素52a之光不易碰撞於相鄰之像素52b附近之配線。藉此，攝像元件51B-1可更確實地防止光自像素52a向像素52b洩漏，即，提高防止產生混色之效果。

【0048】

又，如圖5B所示，攝像元件51B-2中，亦將元件分離部21B形成至配線層15附近。

【0049】

然而，攝像元件51B-2中，如圖所示，於元件分離部21B之前端部分，碰撞於相鄰之像素52b附近之配線，且因該配線而散射，致使散射光入射至相鄰之像素52b。

【0050】

如此構成之攝像元件51B-1中，與圖3之攝像元件51-1同樣，可抑制隨著混色之產生之畫質劣化，可拍攝更高畫質之圖像。

【0051】

於圖6顯示表示攝像元件之第4構成例之剖視圖。另，於圖6所示之攝像元件51C中，對於與圖4之攝像元件51A共用之構成，標註同一符號，省略其詳細之說明。

【0052】

即，攝像元件51C-1及51C-2與攝像元件51A-1及51A-2同樣，對每個像素51形成內透鏡55。再者，攝像元件51C-1與圖5之攝像元件51B-1同樣，於半導體基板11C中，將元件分離部31C形成至配線層15附近。

【0053】

如此構成之攝像元件51C-1中，與圖3之攝像元件51A-1及圖5之攝像

元件51B-1同樣，可抑制隨著混色之產生之畫質劣化，可拍攝更高畫質之圖像。

【0054】

此處，於圖7顯示元件分離部31之變化例。

【0055】

圖7A所示之元件分離部31'以貫通半導體基板11之方式形成有溝槽側面32'，且於元件分離部31'之前端部分具有大致三角形之形狀(例如，僅圖1C之傾斜面43及44之形狀)之突起部33'。即，突起部33不限定於大致菱形之形狀，只要為較溝槽側面32更向側面方向突出之形狀，則可採用各種形狀。

【0056】

圖7B所示之元件分離部31''於刻入半導體基板11形成之溝槽側面32''之中段，具有大致菱形之形狀之突起部33''。即，突起部33不限定於形成於元件分離部31之前端部分者，只要為設置於半導體基板11之受光面至元件分離部31''之前端(即，溝槽之底部)間之構成即可。

【0057】

此種形狀之元件分離部31'及元件分離部31''，亦與上述之元件分離部31同樣，可防止入射至半導體基板11之光向其他像素洩漏，可抑制產生混色。

【0058】

於圖8顯示表示攝像元件之第5構成例之剖視圖。另，於圖8所示之攝像元件51D中，對於與圖4之攝像元件51A共用之構成，標註同一符號，省略其詳細之說明。

【0059】

即，圖8所示之攝像元件51D具有所有像素以大致同一時序自光電二極體向電荷蓄積部62傳送電荷之全域快門功能，且為縱向配置光電二極體與電荷蓄積部62之構成。且，攝像元件51D構成為於半導體基板11D之內部，藉由朝水平方向之遮光壁61對電荷蓄積部62遮光，而將電荷蓄積部62與光電二極體分離。又，於遮光壁61，形成有用以設置自光電二極體向電荷蓄積部62傳送電荷用之縱型電晶體(未圖示)之開口部。

【0060】

因此，如圖8A中以虛線箭頭所示之光，攝像元件51D-1將藉由元件分離部31D反射之光向水平方向之遮光壁61反射，藉此，可防止光向電荷蓄積部62洩漏。

【0061】

另一方面，如圖8B所示，攝像元件51D-2中，沿著元件分離部21D傳播之光到達至電荷蓄積部62。

【0062】

如此構成之攝像元件51D-1中，藉由防止光向電荷蓄積部62洩漏，可避免電荷蓄積部62之蓄積電荷增加，可確實地實現全域快門功能。

【0063】

於圖9顯示表示攝像元件之第6構成例之剖視圖。另，於圖9所示之攝像元件51E中，對於與圖8之攝像元件51D共用之構成，標註同一符號，省略其詳細之說明。

【0064】

即，攝像元件51E與圖8之攝像元件51D同樣地，具有全域快門功

能，且於遮光壁61形成有用以設置自光電二極體向電荷蓄積部62傳送電荷用之縱型電晶體(未圖示)的開口部。

【0065】

且，於攝像元件51E中，元件分離部31E之突起部33E形成於溝槽側面32之中段，且突起部33E之水平方向之大小形成為大於遮光壁61之開口部。

【0066】

即，如圖10所示，俯視觀察攝像元件51E時，元件分離部31E之突起部33E形成為較遮光壁61之開口部63更寬。另，攝像元件51E構成為，在遮光壁61之開口部63以外之區域藉由具有平坦部23之元件分離部21將相鄰之像素52彼此分離。

【0067】

藉由此種構成，攝像元件51E相較於圖8之攝像元件51D，可更確實地防止光向電荷蓄積部62洩漏。

【0068】

於圖11顯示表示攝像元件之第7構成例之剖視圖。另，於圖11所示之攝像元件51F中，對於與圖3之攝像元件51共用之構成，標註同一符號，省略其詳細之說明。

【0069】

攝像元件51F具有全域快門功能，且構成為橫向配置光電二極體與電荷蓄積部62。

【0070】

此種構成之攝像元件51F中，電荷蓄積部62被遮光部36及遮光壁37遮

光，且於光電二極體與電荷蓄積部62之間，形成具有突起部33之元件分離部31。

【0071】

因此，如圖11A中以虛線箭頭所示之光，攝像元件51F-1將由元件分離部31F反射之光會向光電二極體側反射，藉此，可防止光向電荷蓄積部62洩漏。

【0072】

另一方面，如圖11B所示，於攝像元件51F-2中，沿著具有平坦部23之元件分離部23F傳播之光會於元件分離部21F之前端部繞射而洩漏至電荷蓄積部62。

【0073】

如此構成之攝像元件51F-1中，藉由防止光向電荷蓄積部62洩漏，可避免電荷蓄積部61之蓄積電荷增加，而確實地實現全域快門功能。

【0074】

於圖12顯示表示攝像元件之第8構成例之剖視圖。另，於圖12所示之攝像元件51G中，對於與圖3之攝像元件51共用之構成，標註同一符號，省略其詳細之說明。

【0075】

攝像元件51G具有全域快門功能，且使用FD(Floating Diffusion：浮動擴散)部64作為蓄積自光電二極體傳送之電荷之電荷蓄積部。且，於攝像元件51G中，以對FD部64遮光之方式設置遮光部36，並以包圍FD部64之周圍之方式自遮光部36形成具有突起部33之元件分離部31。

【0076】

因此，如圖12A中以虛線箭頭所示之光，攝像元件51G-1將藉由元件分離部31G反射之光向光電二極體側反射，藉此，可防止光向FD部64洩漏。

【0077】

另一方面，如圖12B所示，於攝像元件51G-2中，沿著具有平坦部23之元件分離部21G傳播之光於元件分離部21G之前端部繞射，而洩漏至FD部64。

【0078】

如此構成之攝像元件51G-1中，藉由防止光向FD部64洩漏，可避免FD部64之蓄積電荷增加，而確實地實現全域快門功能。

【0079】

於圖13顯示表示攝像元件之第9構成例之剖視圖。另，於圖13所示之攝像元件51H中，對於與圖3之攝像元件51共用之構成，標註同一符號，省略其詳細之說明。

【0080】

攝像元件51H為於1個像素52形成有2個光電二極體之構成，且除藉由元件分離部31分隔相鄰之像素52彼此以外，亦分隔像素52內之2個光電二極體。

【0081】

於圖13A顯示與元件分離部31同樣，藉由具有突起部73之元件分離部71，分隔像素52內之2個光電二極體之構成的攝像元件51H-1。另一方面，於圖13B顯示與元件分離部21同樣，藉由具有平坦部83之元件分離部81，分隔像素52內之2個光電二極體之構成的攝像元件51H-2。

【0082】

例如，如圖12A中以虛線箭頭所示之光，於攝像元件51H-1中，擔心於分隔光電二極體之元件分離部71之突起部73中反射之光洩漏至相鄰之像素52。

【0083】

相對於此，如圖12B中以虛線之箭頭所示之光，於攝像元件51H-2中，由分隔光電二極體之元件分離部81反射之光不會洩漏至相鄰之像素52。

【0084】

因此，如攝像元件51H-2般，於1個像素52形成有2個光電二極體之構成中，較佳對分隔該等光電二極體使用具有平坦部83之元件分離部81，且對像素52彼此之分隔使用具有突起部33之元件分離部31。

【0085】

參照圖14，對具有突起部33之元件分離部31之俯視配置進行說明。

【0086】

於圖14A，顯示如上述之圖9之攝像元件51E般在遮光壁61形成有開口部63之構成中，僅於通過開口部63之部位配置具有突起部33之元件分離部31的配置例。又，於該配置例中，除通過開口部63之部位以外，設置具有平坦部23之元件分離部21。

【0087】

於圖14B，顯示如上述之圖11之攝像元件51F般橫向配置光電二極體PD與電荷蓄積部62之構成中，僅於分隔光電二極體PD與電荷蓄積部62之部位，配置具有突起部33之元件分離部31F的配置例。又，於該配置例

中，於像素彼此之間設置具有平坦部23之元件分離部21。

【0088】

於圖14C，顯示如上述之圖12之攝像元件51G般設置有FD部64之構成中，僅於包圍FD部64之部位，配置具有突起部33之元件分離部31G的配置例。又，於該配置例中，於像素彼此之間，設置具有平坦部23之元件分離部21。

【0089】

<攝像元件之製造方法>

參照圖15至圖23，對應用本技術之攝像元件之製造方法中形成元件分離部31或元件分離部21之製程進行說明。另，於以下之製造方法，作為半導體基板，使用將第1方向設為厚度方向且沿著與第1方向正交之水平面擴展之具有以面指數{111}表示之第1結晶面的Si{111}基板。且，突起部之傾斜面形成為包含對Si{111}基板進行使用蝕刻溶液之結晶異向性蝕刻，相對於第1方向傾斜且沿著以面指數{111}表示之Si{111}基板之第2結晶面的面。又，於Si{111}基板中，相對於<111>方向，即具有3條Si背鍵之方向之蝕刻率，<110>方向即具有1條或2條Si背鍵之方向之蝕刻率充分高。

【0090】

參照圖15，對第1製造方法進行說明。

【0091】

於第1步驟中，如圖15之自上往下第1段所示，藉由對半導體基板11之背面全面成膜氮化矽(Si₃N₄)，僅於形成溝槽102之區域去除氮化矽膜而形成硬罩101。接著，藉由使用硬罩101蝕刻半導體基板11而加工溝槽

102。藉此，溝槽102之側面103形成為相對於半導體基板11之背面大致垂直，溝槽102之底面104形成為較平坦。

【0092】

於第2步驟中，如圖15之自上往下第2段所示，對溝槽102之側面103成膜側壁105。例如，對溝槽102之所有內表面成膜氮化矽之後，回蝕溝槽102之底面部分並去除氮化矽膜，藉此形成側壁105。

【0093】

於第3步驟中，如圖15之自上往下第3段所示，對半導體基板11進行回蝕，將溝槽102之底面104往下挖，且以深於側壁105之方式形成溝槽102之底面106。另，第3步驟之回蝕亦可為可選。

【0094】

於第4步驟中，如圖15之自上往下第4段所示，對半導體基板11進行鹼性蝕刻，於溝槽102之底部，形成擴展為菱形形狀之突出部107。即，藉由使用鹼性藥液進行矽面方位選擇蝕刻，且使蝕刻率較低之矽面(111)露出，可將溝槽102之突出部107形成為如較側面103更寬之菱形形狀。

【0095】

於第5步驟中，如圖15之自上往下第5段所示，藉由於溝槽102埋入金屬等期望之材料，形成具有較溝槽側面32更向側面方向突出之菱形形狀之突起部33之元件分離部31。

【0096】

參照圖16，對第2製造方法進行說明。例如，第2製造方法係分製具有突起部33之元件分離部31、與具有平坦部23之元件分離部21的製造方法。

【0097】

於第11步驟中，如圖16之自上往下第1段所示，與上述之圖15之第1步驟同樣，加工溝槽102-1及102-2。

【0098】

於第12步驟中，如圖16之自上往下第2段所示，對溝槽102-1及102-2之所有內表面成膜氮化矽。藉此，於溝槽102-1之側面103-1形成側壁105-1，且於溝槽102-1之底面104-1形成遮罩108-1。同時，於溝槽102-2之側面103-2形成側壁105-2，且於溝槽102-2之底面104-2形成遮罩108-2。進而，以埋入溝槽102-2之方式塗佈抗蝕劑111。

【0099】

於第13步驟中，如圖16之自上往下第3段所示，回蝕溝槽102-1之底面部分去除遮罩108-1後，去除抗蝕劑111。藉此，半導體基板11於溝槽102-1之底面104-1露出。

【0100】

於第13步驟中，如圖16之自上往下第4段所示，對半導體基板11進行鹼性蝕刻，於溝槽102-1之底部，形成擴展為菱形形狀之突出部107。此時，溝槽102-2之底部因遮罩108-2不會被加工。

【0101】

隨後，去除氮化矽膜，於溝槽102-1及102-2埋入金屬等期望之材料，藉此，以互不相同之深度形成具有突起部33-1及33-2之元件分離部31-1及31-2。

【0102】

參照圖17，對第3製造方法進行說明。例如，第3製造方法係分製於

中段具有突起部33E之元件分離部31E(參照圖9)、與具有平坦部23之元件分離部21的製造方法。

【0103】

於第21步驟中，藉由對半導體基板11之背面成膜氧化矽(SiO_2)形成硬罩101，且蝕刻半導體基板11來加工溝槽102-1及102-2。接著，於溝槽102-1及102-2之內部成膜氧化矽，藉由回蝕去除溝槽102-1之底面104-1及溝槽102-2之底面104-1-2之氧化矽膜。藉此，於溝槽102-1之側面103-1形成側壁105-1，且於溝槽102-2之側面103-2形成側壁105-2。

【0104】

接著，以埋入溝槽102-2之方式塗佈抗蝕劑(未圖示)，並蝕刻半導體基板11，藉此，僅將溝槽102-1之底面104-1往下挖。再者，自溝槽102-2去除抗蝕劑，於溝槽102-1及102-2之內部成膜氮化矽，並藉由回蝕去除溝槽102-1之底面104-1及溝槽102-2之底面104-1-2之氮化矽膜。

【0105】

藉此，如圖17之自上往下第1段所示，於溝槽102-1之側面103-1形成氮化矽膜112-1，且於溝槽102-2之側面103-2形成氮化矽膜112-2。

【0106】

於第22步驟中，藉由蝕刻半導體基板11，將溝槽102-1之底面104-1及溝槽102-2之底面104-2往下挖，且於該下挖之部分成膜氧化矽。藉此，如圖17之自上往下第2段所示，於溝槽102-1內部中未形成氮化矽膜112-1之區域形成硬罩113-1，於溝槽102-2內部中未形成氮化矽膜112-2之區域形成硬罩113-2。

【0107】

於第23步驟中，如圖17之自上往下第3段所示，清洗氮化矽膜112-1及氮化矽膜112-2。藉此，於溝槽102-1之側面103-1之中段之一部分，成半導體基板11露出之狀態，另一方面，溝槽102-2之側面103-2成由側壁105-2及硬罩113-2覆蓋之狀態。

【0108】

於第24步驟中，對半導體基板11進行鹼性蝕刻，矽面方位選擇蝕刻於溝槽102-1之側面103-1之中段露出之半導體基板11，形成突出部109-1。接著，藉由去除氧化矽膜，如圖17之自上往下第4段所示，可分製於中段具有突出部109-1之溝槽102-1、與具有平坦形成之底面104之溝槽102-2。

【0109】

隨後，藉由於溝槽102-1及102-2埋入金屬等期望之材料，形成於中段具有突起部33E之元件分離部31E(參照圖9)、及具有平坦部23之元件分離部21。

【0110】

參照圖18，對第4製造方法進行說明。例如，第4製造方法係分製具有不同尺寸之突起部33之元件分離部31之製造方法。

【0111】

於第31步驟中，藉由對半導體基板11之背面成膜氧化矽形成硬罩101，且蝕刻半導體基板11來加工溝槽102-1及102-2。接著，於溝槽102-1及102-2之內部成膜氧化矽，藉由回蝕去除溝槽102-1之底面104-1及溝槽102-2之底面104-1-2之氧化矽膜。藉此，於溝槽102-1之側面103-1形成側壁105-1，且於溝槽102-2之側面103-2形成側壁105-2。

【0112】

接著，於溝槽102-1及102-2之內部成膜氮化矽。此時，溝槽102-1中，於側面103-1成膜有氮化矽膜112，且溝槽102-2中，以埋入其內部之方式成膜氮化矽膜114。再者，如圖18之自上往下第1段所示，於溝槽102-2側塗佈抗蝕劑115。

【0113】

於第32步驟中，去除抗蝕劑115後，蝕刻半導體基板11，藉此，如圖18之自上往下第2段所示，將溝槽102-1往下挖形成底面106-1。

【0114】

於第33步驟中，去除氮化矽膜112及氮化矽膜114。藉此，如圖18之自上往下第3段所示，溝槽102-1中於側面103-1之前端部分與底面106-1，半導體基板11露出，溝槽102-2中僅於底面104-2，半導體基板11露出。

【0115】

於第34步驟中，對半導體基板11進行鹼性蝕刻，矽面方位選擇蝕刻於溝槽102-1內部之側面103-1之前端部分與底面106-1露出之半導體基板11，形成突出部107-1。另一方面，矽面方位選擇蝕刻於溝槽102-2內部中之底面106-1露出之半導體基板11，形成突出部107-2。

【0116】

即，如圖18之自上往下第4段所示，可分製溝槽102-1之前端部分較大之形狀之突出部107-1，與溝槽102-2之前端部分較小之形狀之突出部107-2。

【0117】

隨後，藉由於溝槽102-1及102-2埋入金屬等期望之材料，形成具有

互不相同之尺寸之突起部33的元件分離部31。

【0118】

參照圖19及圖20，對第5製造方法進行說明。例如，第5製造方法係具有複數個突起部33之元件分離部31之製造方法。

【0119】

於第41步驟中，藉由對半導體基板11之背面成膜氧化矽形成硬罩101，且蝕刻半導體基板1來加工溝槽102。接著，於溝槽102之內部成膜氧化矽，藉由回蝕去除溝槽102之底面104之氧化矽膜，藉此，如圖19之自上往下第1段所示，於溝槽102之側面103形成側壁105。

【0120】

於第42步驟中，藉由蝕刻半導體基板11，將溝槽102之底面104往下挖，於溝槽102之內部成膜氮化矽，藉由回蝕去除溝槽102-1之底面104之氮化矽膜。藉此，如圖19之自上往下第2段所示，於溝槽102之側面103形成氮化矽膜112。

【0121】

於第43步驟中，藉由蝕刻半導體基板11，進而將溝槽102往下挖形成底面106，且於該下挖之部分成膜氧化矽，藉由回蝕去除底面106之氧化矽膜。藉此，如圖19之自上往下第3段所示，於溝槽102內部中未形成氮化矽膜112之區域形成硬罩113。

【0122】

於第43步驟中，藉由蝕刻半導體基板11，進而將溝槽102之底面106往下挖，清洗氮化矽膜112。藉此，如圖20之自上往下第1段所示，於溝槽102之側面103中段之一部分與溝槽102之側面103之前端部分及底面

106，半導體基板11露出。

【0123】

於第45步驟中，對半導體基板11進行鹼性蝕刻，矽面方位選擇蝕刻於溝槽102內部之中段及前端露出之半導體基板11。藉此，於溝槽102之中段形成突出部109，且於溝槽102之前端形成突出部107。

【0124】

隨後，藉由於溝槽102埋入金屬等期望之材料，形成具有2個突起部33之元件分離部31。當然，藉由重複同樣之步驟，可形成具有3個以上之突起部33之元件分離部31。

【0125】

參照圖21，對第6製造方法進行說明。例如，第6製造方法係分製具有不同之深度之突起部33之元件分離部31的製造方法。

【0126】

於第51步驟中，藉由對半導體基板11之背面成膜氧化矽形成硬罩101，且蝕刻半導體基板11來加工溝槽102-1及102-2。接著，於溝槽102-1及102-2之內部成膜氧化矽，藉由回蝕去除溝槽102-1之底面104-1及溝槽102-2之底面104-1-2之氧化矽膜。藉此，於溝槽102-1之側面103-1形成側壁105-1，且於溝槽102-2之側面103-2形成側壁105-2。

【0127】

接著，藉由蝕刻半導體基板11，將溝槽102-1之底面104-1往下挖，且將溝槽102-2之底面104-2往下挖，於溝槽102-1及102-2之內部成膜氮化矽。此時，溝槽102-1中，於側面103-1成膜氮化矽膜112，且溝槽102-2中，以埋入其內部之方式成膜氮化矽膜114。再者，如圖21之自上往下第

1段所示，於溝槽102-2側塗佈抗蝕劑115。

【0128】

於第52步驟中，去除抗蝕劑115後，蝕刻半導體基板11，藉此，進而將溝槽102-1之底面104-1往下挖。接著，藉由CVD(chemical vapor deposition：化學氣相沈積)於溝槽102-1之內部成膜氧化矽膜，藉由回蝕去除溝槽102-1之底面104-1之氧化矽膜。藉此，如圖21之自上往下第2段所示，成膜氧化矽膜116。

【0129】

於第53步驟中，藉由蝕刻半導體基板11，將溝槽102-1往下挖形成底面106-1後，清洗氮化矽膜114。藉此，如圖21之自上往下第3段所示，形成較深形成之底面106-1之溝槽102-1與較淺形成之底面104-2之溝槽102-2。

【0130】

於第54步驟中，對半導體基板11進行鹼性蝕刻，矽面方位選擇蝕刻於溝槽102-1內部中之側面103-1之前端部分與底面106-1露出之半導體基板11，形成突出部107-1。同樣地，矽面方位選擇蝕刻於溝槽102-2內部中之側面103-2之前端部分與底面106-2露出之半導體基板11，形成突出部107-2。

【0131】

即，如圖21之自上往下第4段所示，可分製於較深區域形成有突出部107-1之溝槽102-1、及於較淺區域形成有突出部107-2之溝槽102-2。

【0132】

隨後，藉由去除氮化矽膜及氧化矽膜，於溝槽102-1及102-2埋入金

屬等期望之材料，形成具有互不相同之深度之突起部33-1及33-2的元件分離部31-1及31-2。

【0133】

另，成膜氮化矽與氧化矽之步驟亦可相反，只要可確保清洗時之蝕刻選擇性，則亦可選擇其他之膜種之組合。

【0134】

參照圖22，對第7製造方法進行說明。例如，第7製造方法係具有以使用酸性蝕刻藥液之等向性蝕刻形成之突起部33之元件分離部31的製造方法。

【0135】

於第61步驟中，如圖22之自上往下第1段所示，藉由對半導體基板11之背面成膜氧化矽形成硬罩101，且蝕刻半導體基板11來加工溝槽102。

【0136】

於第62步驟中，如圖22之自上往下第2段所示，對溝槽102之側面103成膜側壁105。例如，對溝槽102之所有內表面成膜氮化矽後，回蝕溝槽102之底面部分去除氮化矽膜，藉此形成側壁105。

【0137】

於第63步驟中，如圖22之自上往下第3段所示，對半導體基板11使用酸性藥液進行等向性蝕刻，於溝槽102之底部，形成擴展為大致球形狀之底面110。

【0138】

於第64步驟中，如圖22之自上往下第4段所示，去除氮化矽膜。

【0139】

隨後，藉由於溝槽102埋入金屬等期望之材料，形成具有以等向性蝕刻形成之突起部33之元件分離部31。

【0140】

參照圖23，對第8製造方法進行說明。例如，第8製造方法係具有埋入不同種材料之突起部33之元件分離部31的製造方法。

【0141】

首先，藉由進行參照圖15說明之第1至第4步驟，將溝槽102之突出部107形成為如較側面103更寬之菱形形狀。

【0142】

隨後，於第71步驟中，如圖23之自上往下第1段所示，對溝槽102埋入鎢121。

【0143】

於第72步驟中，藉由進行回蝕，以使鎢122殘留於溝槽102內部中較側面103更向側面方向突出之突出部之方式，去除溝槽102內部之突出部分以外之鎢121。即，即，如圖23之自上往下第2段所示，設為僅於溝槽102之突出部埋入鎢122之狀態。

【0144】

於第73步驟中，如圖23之自上往下第3段所示，於溝槽102之內部埋入鋁123，藉由CMP(Chemical Mechanical Polishing：化學機械研磨)及乾蝕刻將半導體基板11平坦化。藉此，形成於突起部33之突出部埋入有鎢122，於突起部33之突出部以外埋入有鋁123的元件分離部31。

【0145】

此處，埋入至突起部33之突出部之鎢122係相對於埋入至該突出部以

外之溝槽102之內部之鋁123，相對更容易吸收光之材料(以下，稱為高吸收材料)。即，於突起部33之突出部，埋入吸收係數高於埋入至該突出部以外之溝槽102之內部之材料之吸收係數的高吸收材料。又，埋入至突起部33之突出部以外之溝槽102之內部之鋁123係相對於埋入至突起部33之突出部之鎢122，相對較容易反射光之材料(以下，稱為高反射材料)。即，於突起部33之突出部以外之溝槽102之內部，埋入反射率高於埋入至突起部33之突出部之材料之反射率的高反射材料。

【0146】

例如，已知於元件分離部31之深處產生之反射光容易引起向相鄰之像素52之混色。因此，藉由於突起部33之突出部埋入高吸收材料即鎢122，且於突出部以外之突起部33埋入高反射材料即鋁123，可抑制向相鄰之像素52之混色。即，相較於埋入至突起部33之突出部以外之溝槽102之內部之鋁123，將對光之反射率較低且吸收係數更高之鎢122埋入至突起部33之突出部，可抑制向相鄰之像素52之混色。

【0147】

另，埋入至突起部33之突出部之材質只要為反射率相對低於埋入至突起部33之突出部以外之溝槽102之內部之材質即可，不限定於如上所述之鎢122及鋁123之組合。具體而言，作為高反射材料，除鋁以外，亦可使用銀、金、銅及鈷等，作為高吸收材料，除鎢以外，亦可使用鈿(氮化鈿)、鈦(氮化鈦)、鉻、鉬、鎳及鉑等。

【0148】

＜電子機器之構成例＞

如上所述之攝像元件51可應用於例如數位靜態相機、數位攝影機等

之攝像系統、具備攝像功能之行動電話、或具備攝像功能之其他機器等各種電子機器。

【0149】

圖24係顯示搭載於電子機器之攝像裝置之構成例之方塊圖。

【0150】

如圖24所示，攝像裝置201具備光學系統202、攝像元件203、信號處理電路204、監視器205及記憶體206而構成，且可拍攝靜態圖像及動態圖像。

【0151】

光學系統202具有1片或複數片透鏡而構成，將來自被攝體之像光(入射光)導光至攝像元件203，使其成像於攝像元件203之受光面(感測器部)。

【0152】

作為攝像元件203，應用上述之攝像元件51。於攝像元件203，對應於經由光學系統202成像於受光面之像，於特定期間內蓄積電子。且，將與蓄積於攝像元件203之電子對應之信號供給至信號處理電路204。

【0153】

信號處理電路204對自攝像元件203輸出之像素信號實施各種信號處理。將藉由信號處理電路204實施信號處理所得之圖像(圖像資料)供給至監視器205並顯示，或供給至記憶體206並記憶(記錄)。

【0154】

於如此構成之攝像裝置201中，藉由應用上述之攝像元件51，可拍攝例如抑制串擾之更高畫質之圖像。

【0155】

<影像感測器之使用例>

圖25係顯示使用上述影像感測器(攝像元件)之使用例之圖。

【0156】

上述之影像感測器例如可如下所示用於感測可見光、紅外光、紫外光、X射線等光之各種實例。

【0157】

·數位相機、或附照相機功能之行動機器等拍攝供鑒賞用之圖像之裝置

·為了自動停止等安全駕駛、或識別駕駛者之狀態等，拍攝汽車之前方或後方、周圍、車內等之車載用感測器、監視行駛車輛或道路之監視相機、進行車輛間等之測距之測距感測器等供交通用之裝置

·為了拍攝使用者之手勢而進行遵循該手勢之機器操作，而供TV、或冰箱、空調等家電用之裝置

·內視鏡、或利用紅外光之受光進行血管攝影之裝置等供醫療或保健用之裝置

·預防犯罪用途之監視相機、或人物認證用途之照相機等供保全用之裝置

·拍攝皮膚之皮膚測定器、或拍攝頭皮之顯微鏡等供美容用之裝置

·面向運動用途等之運動相機或穿戴式相機等供運動用之裝置

·用於監視農田或作物之狀態之相機等供農業用之裝置

【0158】

本揭示之Si{111}基板係包含單晶矽，且具有於鏡面指數之表述中以

{111}表示之結晶面之基板或晶圓。本揭示之Si{111}基板亦包含結晶方位偏移數度之例如自{111}面向最接近之[110]方向偏移數度之基板或晶圓。再者，亦包含藉由磊晶法等使單晶矽於該等基板或晶圓上之一部分或全面成長者。

【0159】

又，於本揭示之表述中{111}面係在對稱性上相互等效之結晶面即(111)面、(-111)面、(1-11)面、(11-1)面、(-1-11)面、(-11-1)面、(1-1-1)面及(-1-1-1)面之總稱。因此，亦可將本揭示之說明書等之Si{111}基板之記載改讀為例如Si(1-11)基板。此處，用以表述鏡面指數之負向之指數之橫杠符號亦可以減號代用。

【0160】

又，本實施形態之<110>方向係在對稱性上相互等效之結晶面方向即[110]方向、[101]方向、[011]方向、[-110]方向、[1-10]方向、[-101]方向、[10-1]方向、[0-11]方向、[01-1]方向、[-1-10]方向、[-10-1]方向及[0-1-1]方向之總稱，亦可改讀為任一者。然而，本揭示係於與元件形成面正交之方向、及相對於正交於該元件形成面之方向進而正交之方向(即與元件形成面平行之方向)進行蝕刻者。

【0161】

表1係顯示於本實施形態之Si{111}基板之結晶面即{111}面上沿著<110>方向之蝕刻成立之面與方位之具體組合者。

【0162】

[表1]

蝕刻 方位	元件形成面							
	(111)	(-111)	(1-11)	(11-1)	(-1-11)	(-11-1)	(1-1-1)	(-1-1-1)
[110]		○	○			○	○	
[101]		○		○	○		○	
[011]			○	○	○	○		
[-110]	○			○	○			○
[1-10]	○			○	○			○
[-101]	○		○			○		○
[10-1]	○		○			○		○
[0-11]	○	○					○	○
[01-1]	○	○					○	○
[-1-10]		○	○			○	○	
[-10-1]		○		○			○	
[0-1-1]			○	○	○	○		

【0163】

如表1所示，{111}面與<110>方向之組合存在96(=8×12)種。然而，

本揭示之<110>方向被限定於與元件形成面即{111}面正交之方向、及與元件形成面平行之方向。即，本揭示之Si{111}基板之元件形成面與對該Si{111}基板進行蝕刻之方位之組合自表1中以○顯示之組合之任一者選擇。

【0164】

又，於上述實施形態中，已例示使用Si{111}基板，且蝕刻向X軸方向行進，另一方面，不向Y軸方向及Z軸方向行進之情形。然而，本揭示不限定於此，只要於X軸方向及Y軸方向之兩者，或者X軸方向或Y軸方向之任一者具有蝕刻行進方位即可。又，於Si{111}基板，例如如圖27所示，亦包含以相對於<112>方向有傾斜角之方式加工基板表面之基板之情形。於傾斜角為 19.47° 以下之情形時，即使為具有傾斜角之基板之情形，亦可保證相對於<111>方向，即具有3條Si背鍵之方向之蝕刻率，<110>方向，即具有1條Si背鍵之方向之蝕刻率充分高之關係。若傾斜角變大則步驟數變多，微差密度變高，故較佳為 5° 以下。另，圖27之例中，雖列舉基板表面於<112>方向有傾斜角之情形，但亦可為於<110>方向有傾斜角之情形，傾斜角之方向可為任意。又，Si面方位可使用X射線繞射法、電子線繞射法、電子線背向散射繞射法等解析。由於Si背鍵數為由Si之結晶構造決定者，故可藉由解析Si面方位來解析矽背鍵數。

【0165】

<構成之組合例>

另，本技術亦可採取如下之構成。

(1)

一種攝像元件，其具備：

半導體基板，其供形成對照射之光進行光電轉換之光電轉換部；

溝槽部，其自上述半導體基板之受光面側，設置於複數個上述光電轉換部彼此之間；及

突起部，其於上述溝槽部之一部分，至少設置有以上述溝槽部之間隔變寬之方式相對於上述溝槽部之側面傾斜之傾斜面。

(2)

如上述(1)記載之攝像元件，其中

上述突起部由沿著構成上述半導體基板之結晶之特定面方位的上述傾斜面構成。

(3)

如上述(1)或(2)記載之攝像元件，其中

上述突起部設置於上述溝槽部之前端。

(4)

如上述(1)至(3)中任一項記載之攝像元件，其中

上述突起部設置於上述半導體基板之受光面至上述溝槽部之前端間之中段。

(5)

如上述(1)至(4)中任一項記載之攝像元件，其中

上述突起部設置於上述半導體基板之受光面至上述溝槽部之前端間之複數個部位。

(6)

如上述(1)至(5)中任一項記載之攝像元件，其中

於上述溝槽部及上述突起部埋入抑制光之透過之材料。

(7)

如上述(6)記載之攝像元件，其中

埋入至上述突起部中較上述溝槽部之側面更朝側面方向突出之突出部的第1材料、與埋入至上述突出部以外之上述溝槽部之內部的第2材料之特性各不相同。

(8)

如上述(7)記載之攝像元件，其中

上述第1材料對光之吸收係數高於上述第2材料，且

上述第2材料對光之反射率高於上述第1材料。

(9)

如上述(1)至(8)中任一項記載之攝像元件，其中

上述半導體基板係將第1方向作為厚度方向且沿著與上述第1方向正交之水平面擴展之具有以面指數{111}表示之第1結晶面的Si{111}基板，且

上述突起部之上述傾斜面包含相對於上述第1方向傾斜且沿著以面指數{111}表示之上述Si{111}基板之結晶面之面。

(10)

一種攝像元件，其具有：

Si基板，其將第1方向作為厚度方向且沿著與上述第1方向正交之水平面擴展；

光電轉換部，其設置於上述Si基板，藉由光電轉換產生對應於受光量之電荷；及

突起部，其在設置於複數個上述光電轉換部彼此間之溝槽部之一部

分，至少設置有以上述溝槽部之間隔變寬之方式相對於上述溝槽部之側面傾斜之傾斜面；且

上述突起部包含相對於上述第1方向傾斜且沿著具有3條Si背鍵之第2結晶面之面。

(11)

一種製造方法，其包含：

由製造攝像元件之製造裝置

自供形成對照射之光進行光電轉換之光電轉換部的半導體基板之受光面側，刻入設置於複數個上述光電轉換部彼此之間的溝槽部；及

形成：於上述溝槽部之一部分，至少設置有以使上述溝槽部之間隔變寬之方式相對於上述溝槽部之側面傾斜之傾斜面。

(12)

一種電子機器，其具備攝像元件，該攝像元件具有：

半導體基板，其供形成對照射之光進行光電轉換之光電轉換部；

溝槽部，其自上述半導體基板之受光面側，設置於複數個上述光電轉換部彼此之間；及

突起部，其於上述溝槽部之一部分，至少設置有以上述溝槽部之間隔變寬之方式相對於上述溝槽部之側面傾斜之傾斜面。

(13)

如上述(11)記載之製造方法，其中

上述突起部藉由使用鹼性藥液之矽面方位選擇蝕刻形成。

【0166】

另，本實施形態並非限定於上之述實施形態者，於不脫離本揭示之

主旨之範圍內可進行各種變更。又，本說明書中記載之效果僅為例示並非
受限定者，亦可為其他效果。

【符號說明】

【0167】

- 11 半導體基板
- 11A 半導體基板
- 11B 半導體基板
- 11C 半導體基板
- 11D 半導體基板
- 12 平坦化膜
- 12A 平坦化膜
- 13 濾光片層
- 14 晶載透鏡層
- 15 配線層
- 21 元件分離部
- 21A 元件分離部
- 21a 元件分離部
- 21B 元件分離部
- 21b 元件分離部
- 21D 元件分離部
- 21F 元件分離部
- 21G 元件分離部
- 22 溝槽側面

23	平坦部
24	遮光部
25	遮光部
31	元件分離部
31’	元件分離部
31’’	元件分離部
31A	元件分離部
31a	元件分離部
31B	元件分離部
31b	元件分離部
31C	元件分離部
31D	元件分離部
31E	元件分離部
31F	元件分離部
31G	元件分離部
32	溝槽側面
32’	溝槽側面
32’’	溝槽側面
33	突起部
33’	突起部
33’’	突起部
33E	突起部
34	遮光部

35	遮光部
36	遮光部
37	遮光壁
41	傾斜面
42	傾斜面
43	傾斜面
44	傾斜面
51	攝像元件
51-1	攝像元件
51-2	攝像元件
51A-1	攝像元件
51A-2	攝像元件
51B-1	攝像元件
51B-2	攝像元件
51C-1	攝像元件
51C-2	攝像元件
51D-1	攝像元件
51D-2	攝像元件
51E	攝像元件
51F-1	攝像元件
51F-2	攝像元件
51G-1	攝像元件
51G-2	攝像元件

51H-1	攝像元件
51H-2	攝像元件
52	像素
52a	像素
52b	像素
53	彩色濾光片
54	微透鏡
55	內透鏡
61	遮光壁
62	電荷蓄積部
63	開口部
64	FD部
71	元件分離部
73	突起部
81	元件分離部
83	平坦部
101	硬罩
102	溝槽
102-1	溝槽
102-2	溝槽
103	側面
103-1	側面
103-2	側面

104	底面
104-1	底面
104-2	底面
105	側壁
105-1	側壁
105-2	側壁
106	底面
106-1	底面
106-2	底面
107	突出部
107-1	突出部
107-2	突出部
108-1	遮罩
108-2	遮罩
109	突出部
109-1	突出部
110	底面
111	矽面
<111>	方向
112	氮化矽膜
112-1	氮化矽膜
112-2	氮化矽膜
113	硬罩

113-1	硬罩
113-2	硬罩
114	氮化矽膜
115	抗蝕劑
116	氧化矽膜
121	鎢
122	鎢
123	鋁
201	攝像裝置
202	光學系統
203	攝像元件
204	信號處理電路
205	監視器
206	記憶體
B	像素
G	像素
PD	光電二極體
R	像素

【發明申請專利範圍】

【第1項】

一種攝像元件，其具備：

半導體基板，其供形成對照射之光進行光電轉換之光電轉換部；

溝槽部，其自上述半導體基板之受光面側，設置於複數個上述光電轉換部彼此之間；及

突起部，其於上述溝槽部之一部分，至少設置有以上述溝槽部之間隔變寬之方式相對於上述溝槽部之側面傾斜之傾斜面。

【第2項】

如請求項1之攝像元件，其中

上述突起部由沿著構成上述半導體基板之結晶之特定面方位之上述傾斜面構成。

【第3項】

如請求項1之攝像元件，其中

上述突起部設置於上述溝槽部之前端。

【第4項】

如請求項1之攝像元件，其中

上述突起部設置於上述半導體基板之受光面至上述溝槽部之前端之間之中段。

【第5項】

如請求項1之攝像元件，其中

上述突起部設置於上述半導體基板之受光面至上述溝槽部之前端之間之複數個部位。

【第6項】

如請求項1之攝像元件，其中

於上述溝槽部及上述突起部埋入抑制光透過之材料。

【第7項】

如請求項6之攝像元件，其中

埋入至上述突起部中之較上述溝槽部之側面更朝側面方向突出之突出部的第1材料、與埋入至上述突出部以外之上述溝槽部之內部的第2材料之特性各不相同。

【第8項】

如請求項7之攝像元件，其中

上述第1材料對光之吸收係數高於上述第2材料，且

上述第2材料對光之反射率高於上述第1材料。

【第9項】

如請求項1之攝像元件，其中

上述半導體基板係將第1方向作為厚度方向且沿著與上述第1方向正交之水平面擴展之具有以面指數{111}表示之第1結晶面的Si{111}基板，且

上述突起部之上述傾斜面包含相對於上述第1方向傾斜且沿著以面指數{111}表示之上述Si{111}基板之結晶面的面。

【第10項】

一種攝像元件，其具有：

Si基板，其將第1方向作為厚度方向且沿著與上述第1方向正交之水平面擴展；

光電轉換部，其設置於上述Si基板，藉由光電轉換產生對應於受光

量之電荷；及

突起部，其在設置於複數個上述光電轉換部彼此間之溝槽部之一部分，至少設置有以上述溝槽部之間隔變寬之方式相對於上述溝槽部之側面傾斜之傾斜面；且

上述突起部包含相對於上述第1方向傾斜且沿著具有3條Si背鍵之第2結晶面之面。

【第11項】

一種製造方法，其包含：

由製造攝像元件之製造裝置

自供形成對照射之光進行光電轉換之光電轉換部的半導體基板之受光面側，刻入設置於複數個上述光電轉換部彼此之間的溝槽部；及

形成：於上述溝槽部之一部分至少設置有以上述溝槽部之間隔變寬之方式相對於上述溝槽部之側面傾斜之傾斜面的突起部。

【第12項】

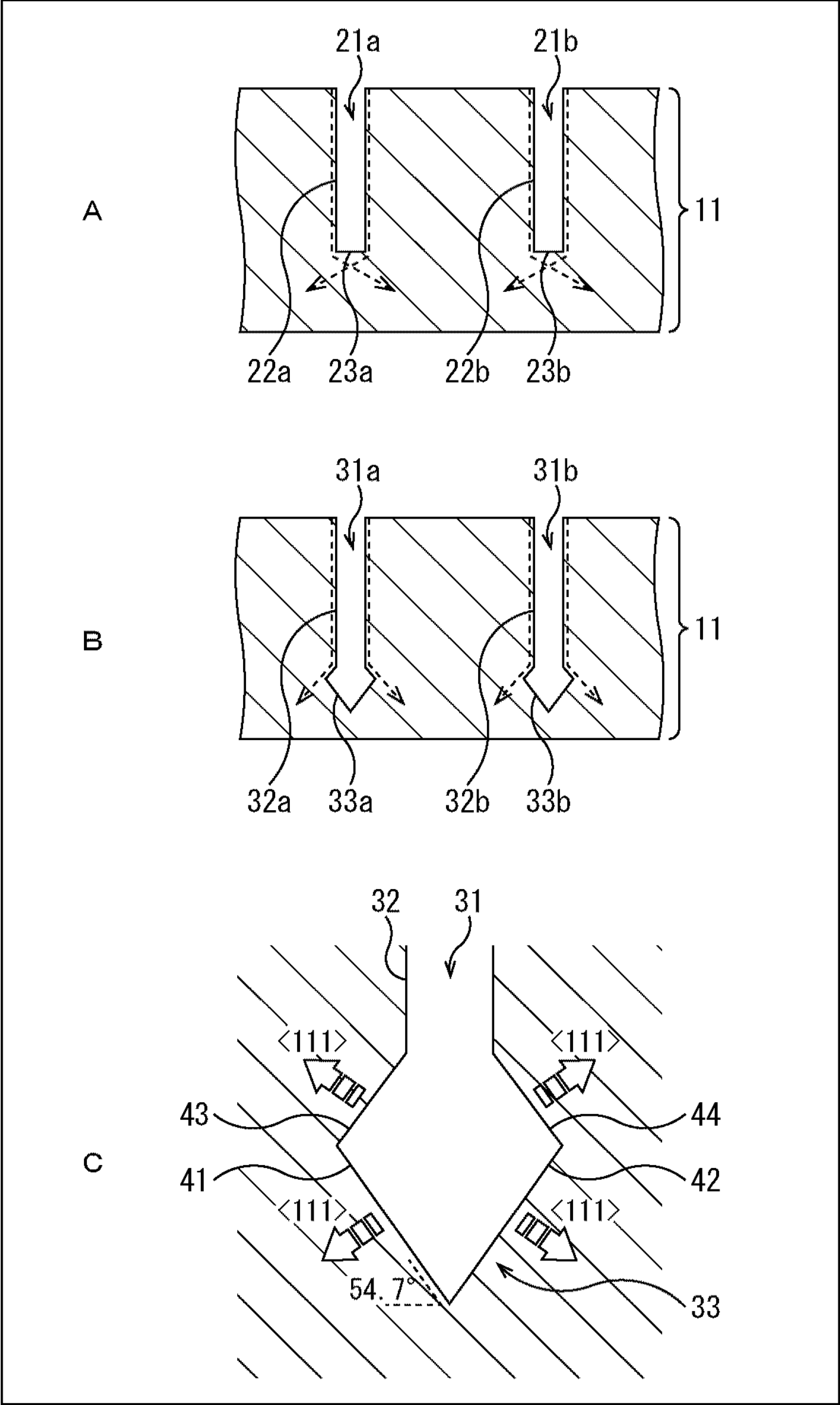
一種電子機器，其具備攝像元件，該攝像元件具有：

半導體基板，其供形成對照射之光進行光電轉換之光電轉換部；

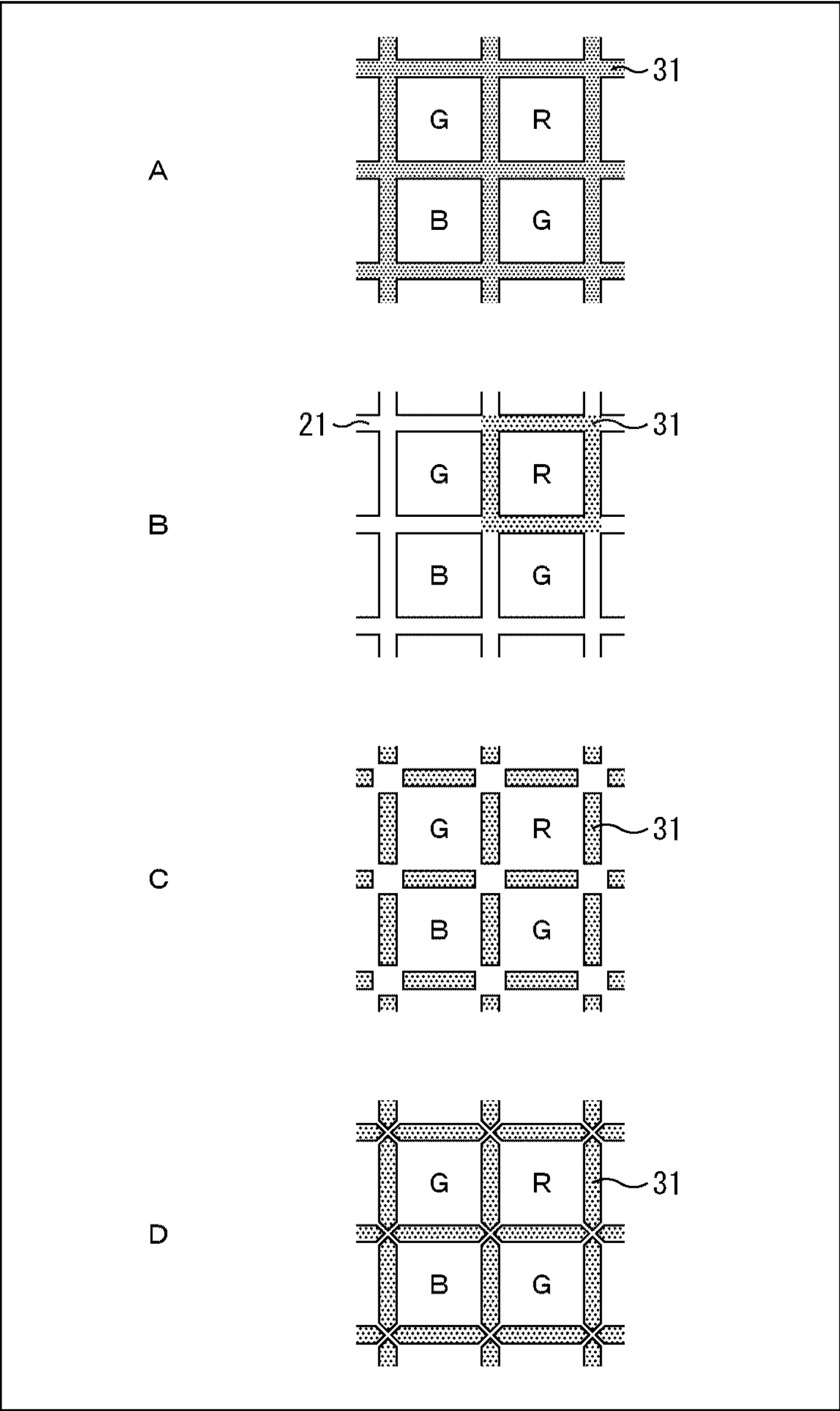
溝槽部，其自上述半導體基板之受光面側，設置於複數個上述光電轉換部彼此之間；及

突起部，其於上述溝槽部之一部分，至少設置有以上述溝槽部之間隔變寬之方式相對於上述溝槽部之側面傾斜的傾斜面。

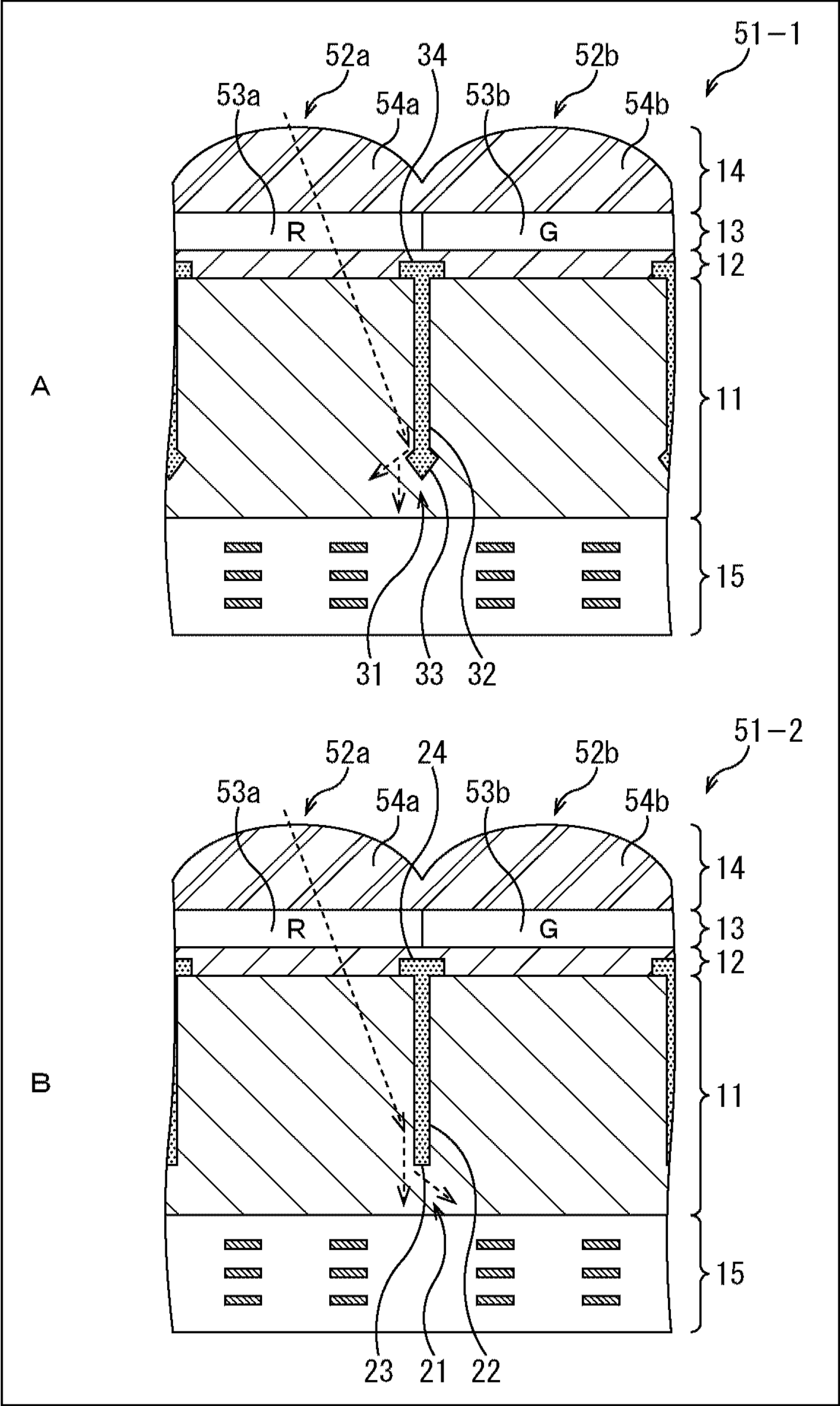
【發明圖式】



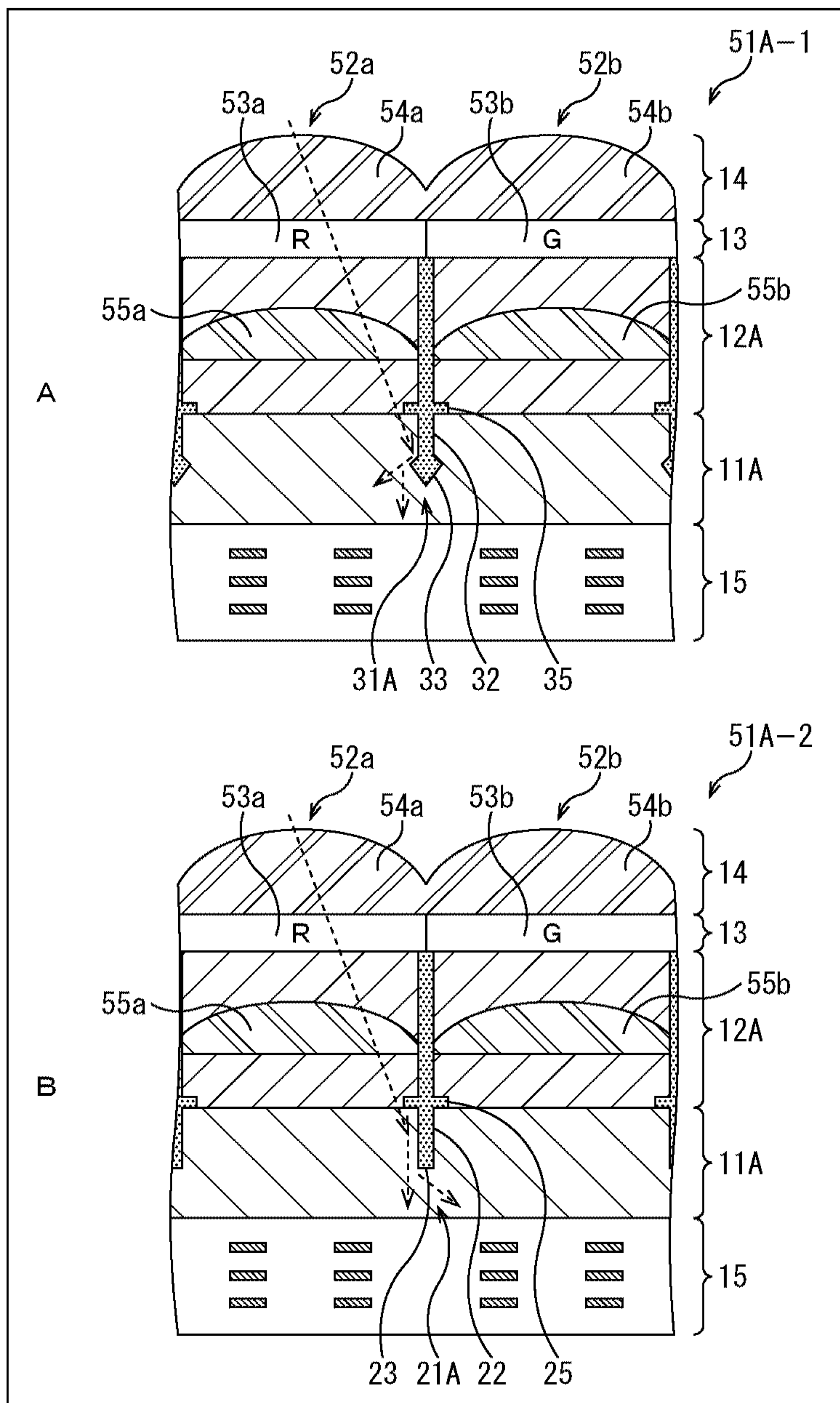
【圖1】



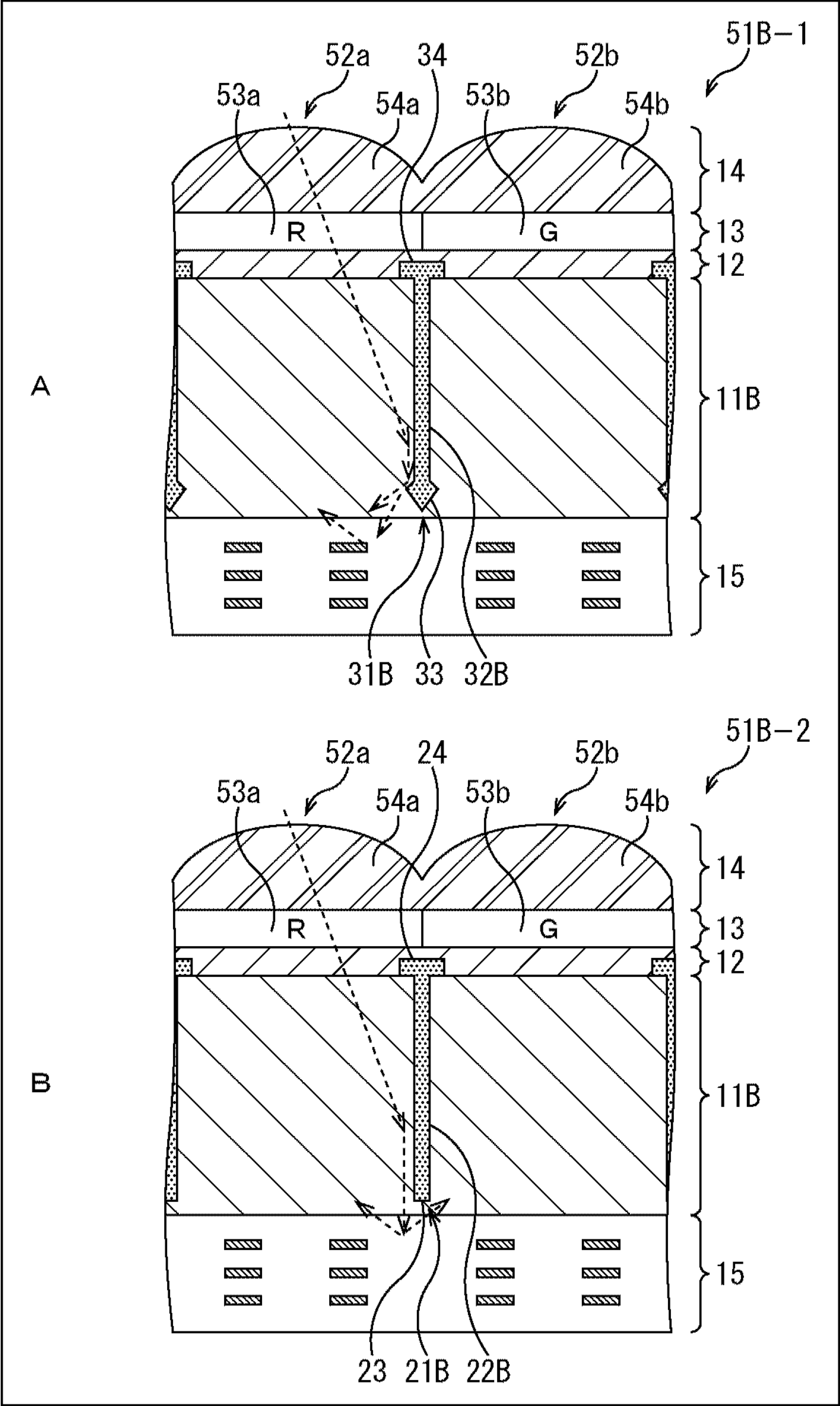
【圖2】



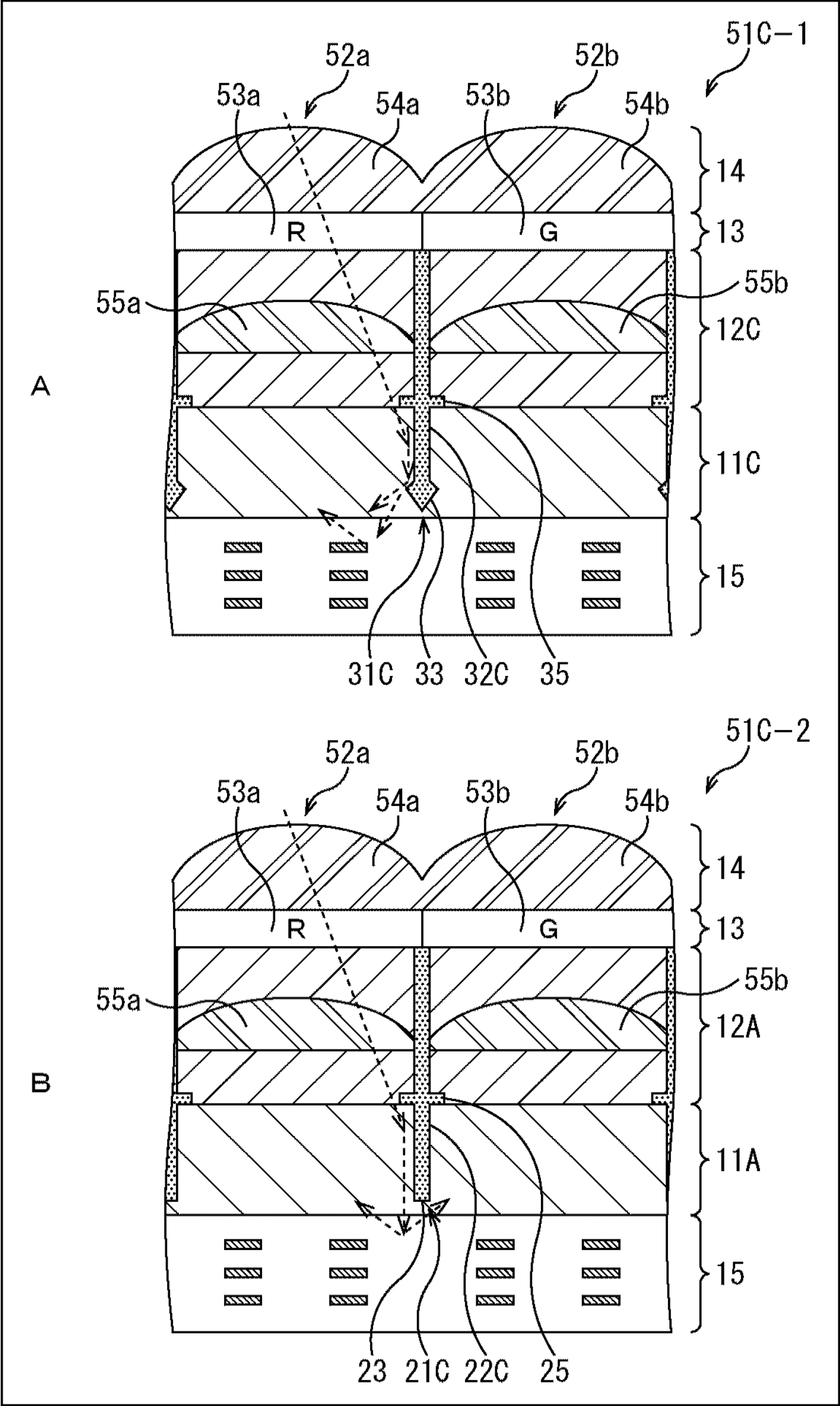
【圖3】



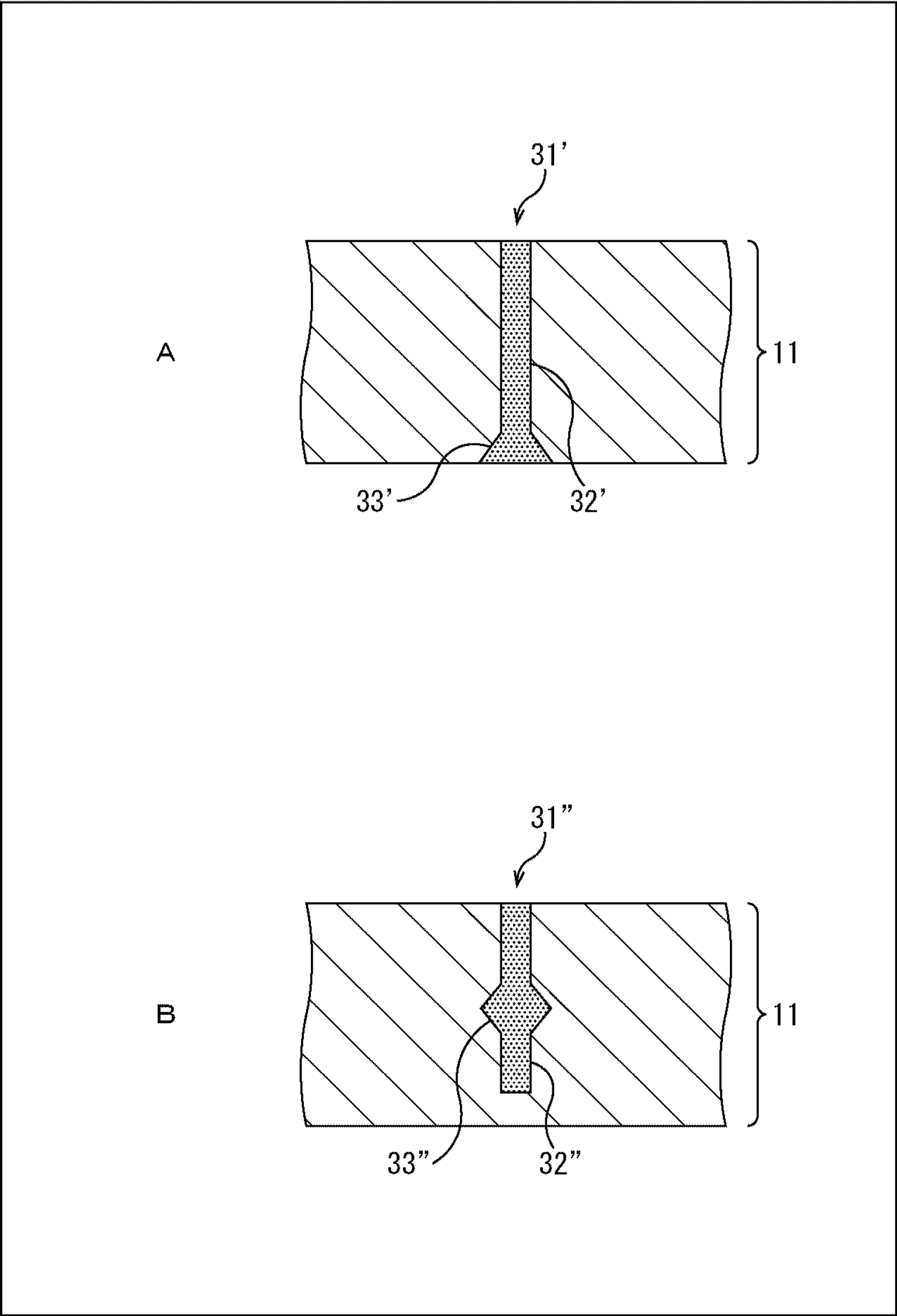
【圖4】



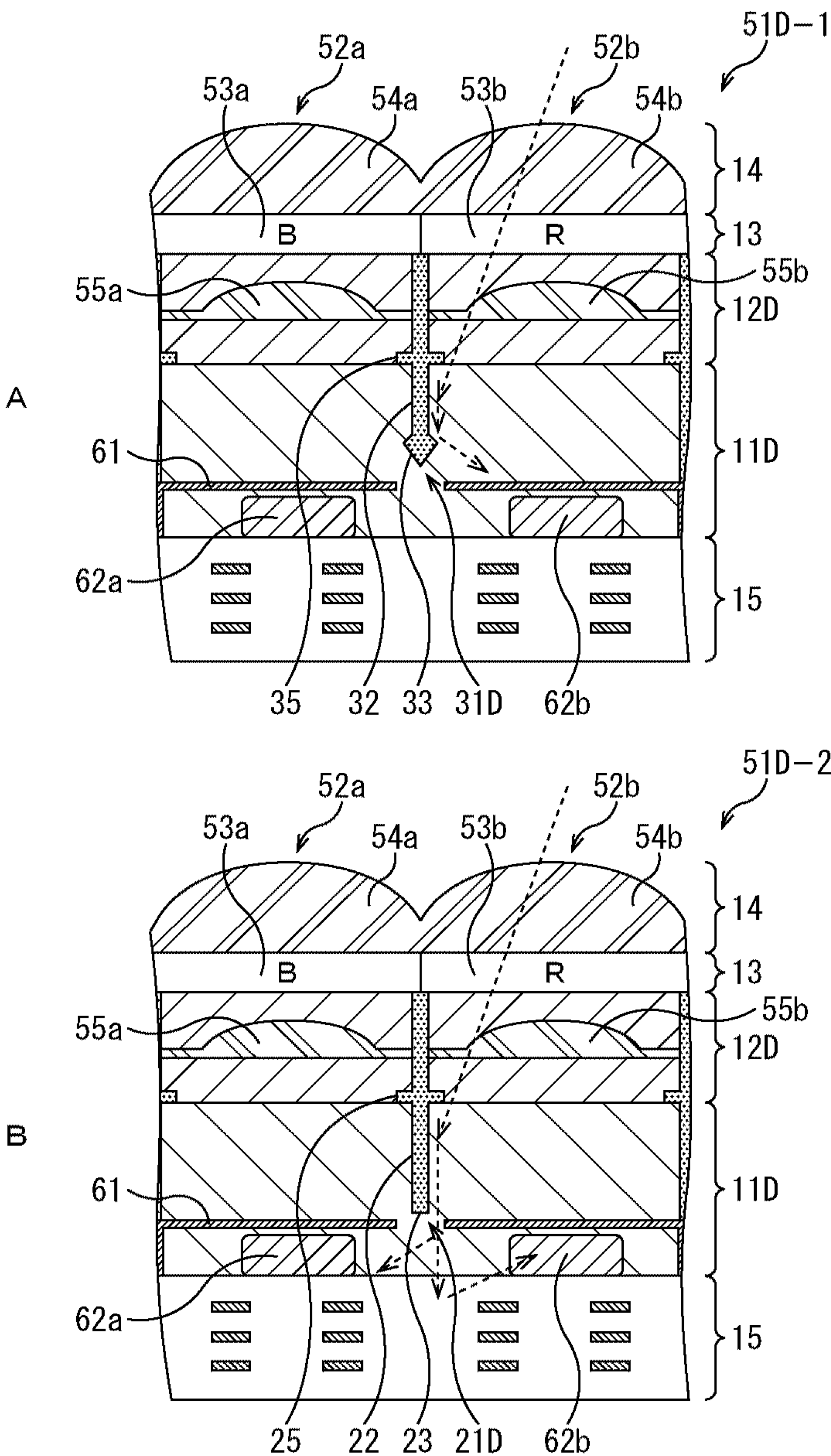
【圖5】



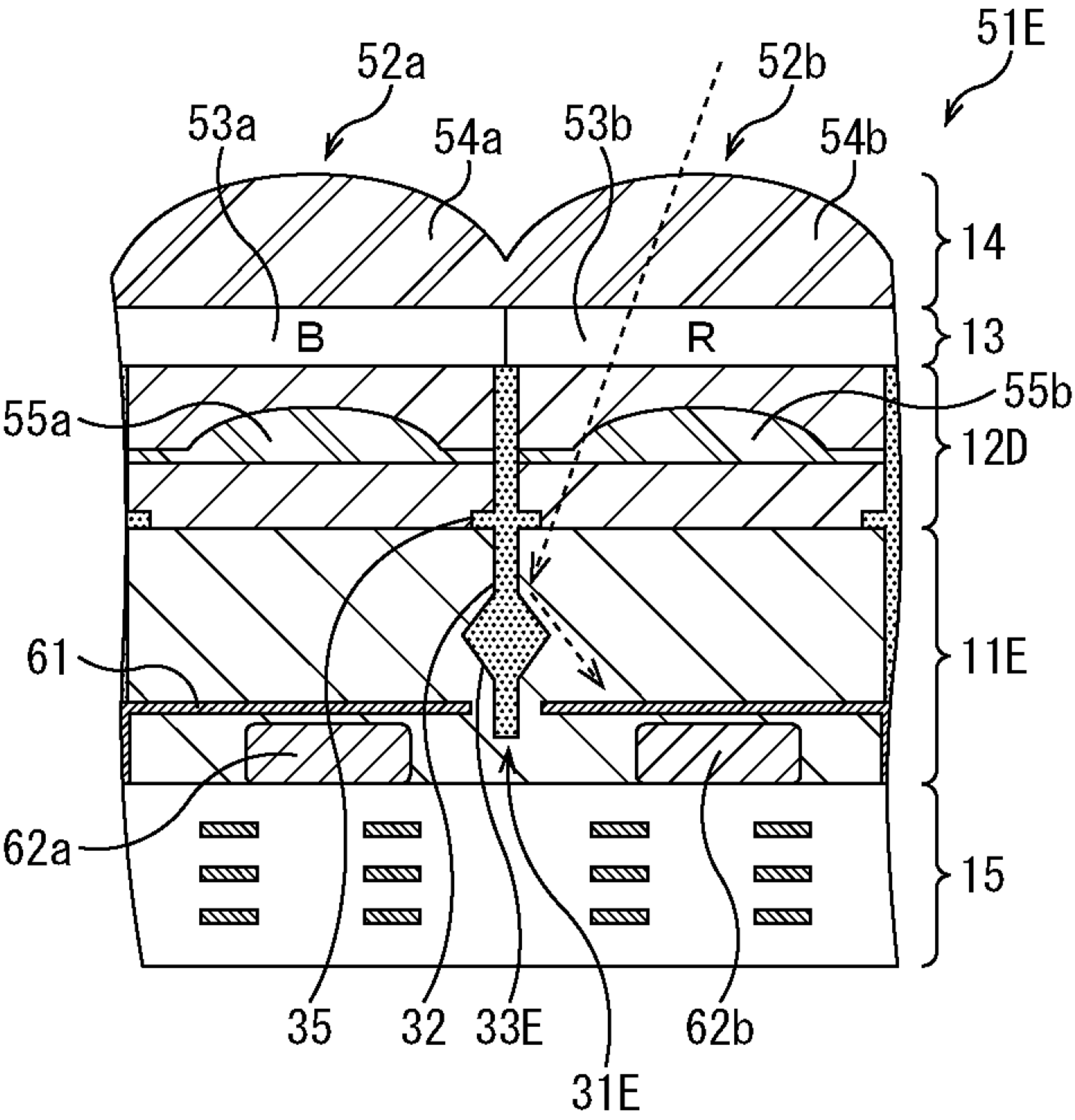
【圖6】



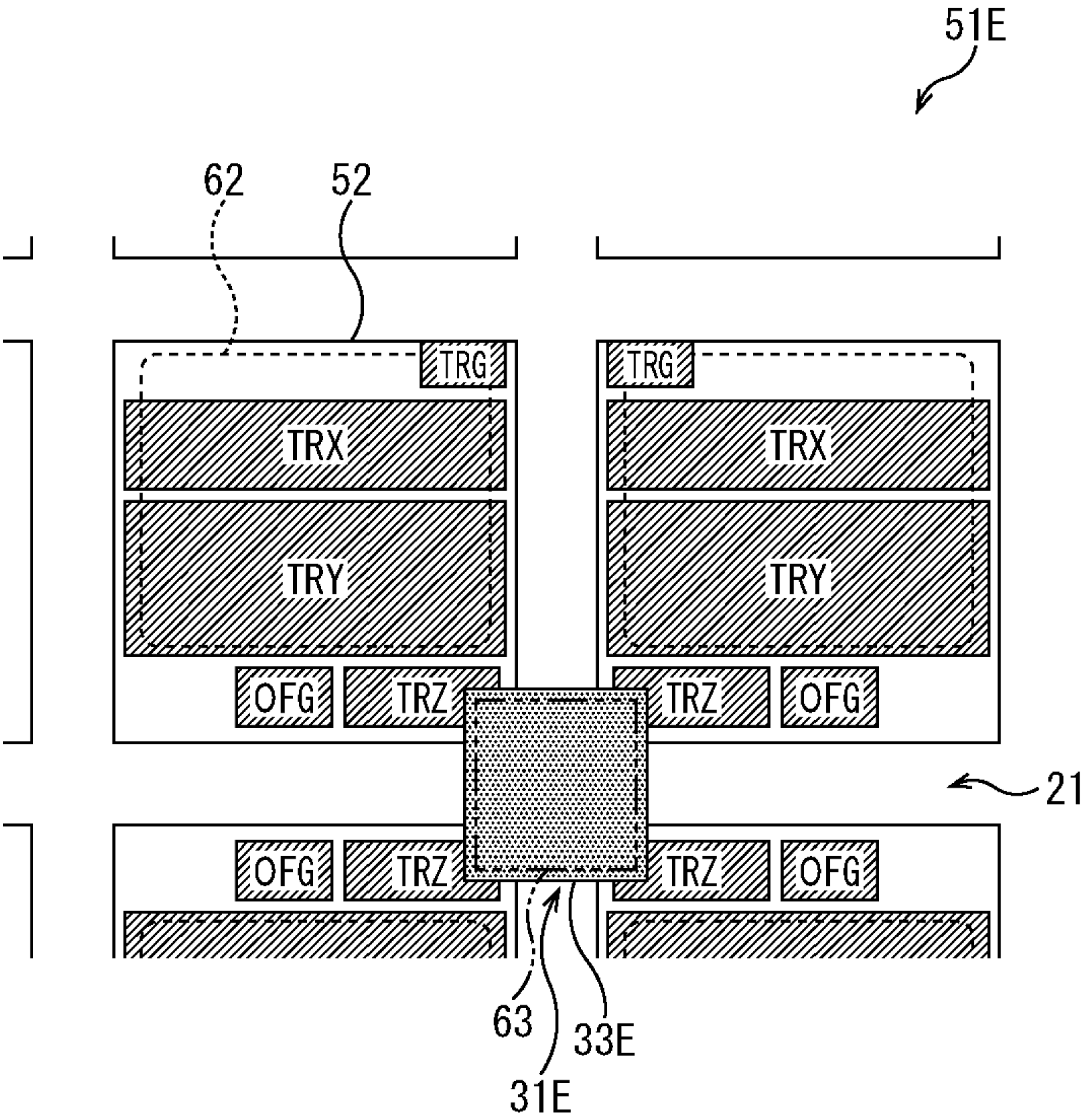
【圖7】



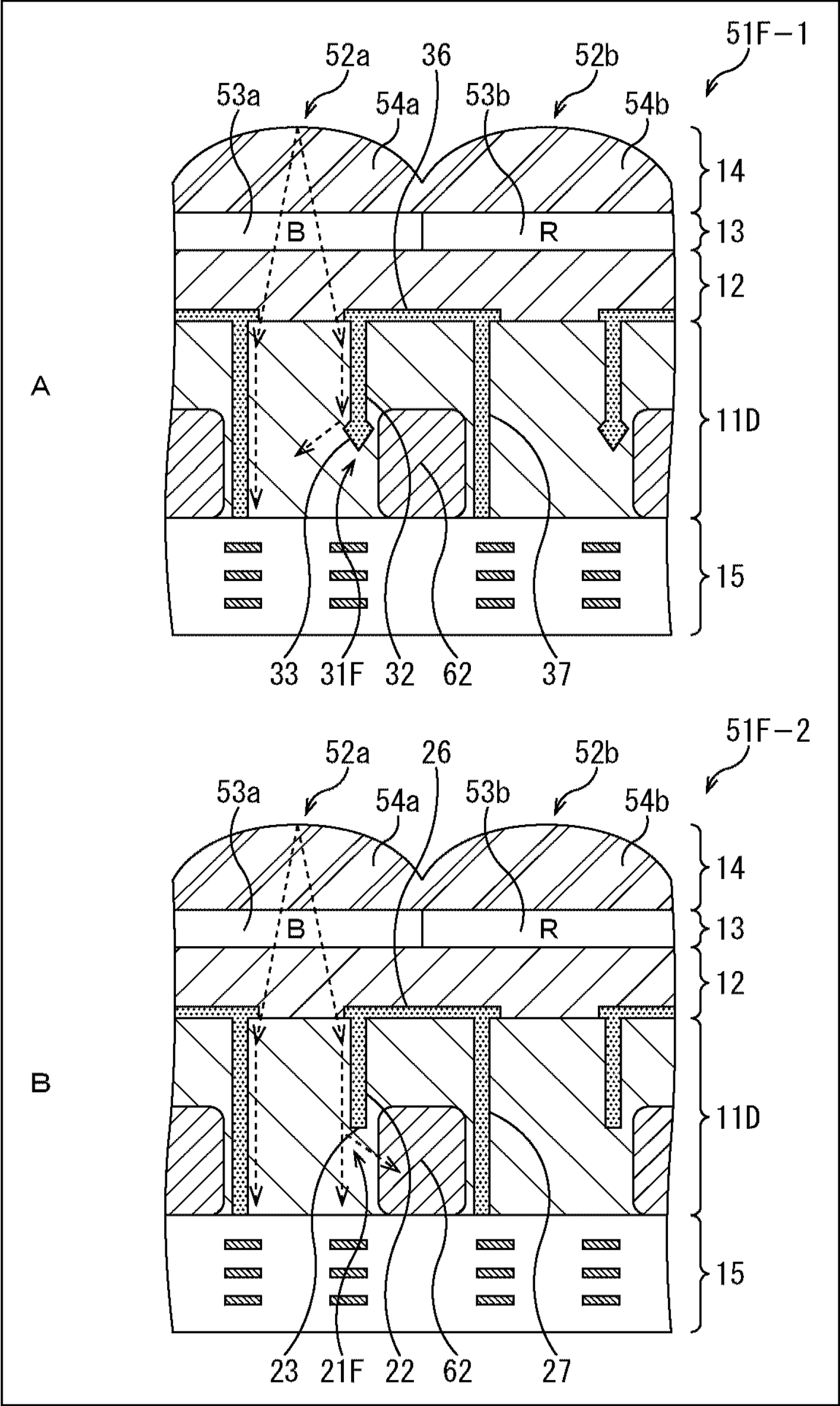
【圖8】



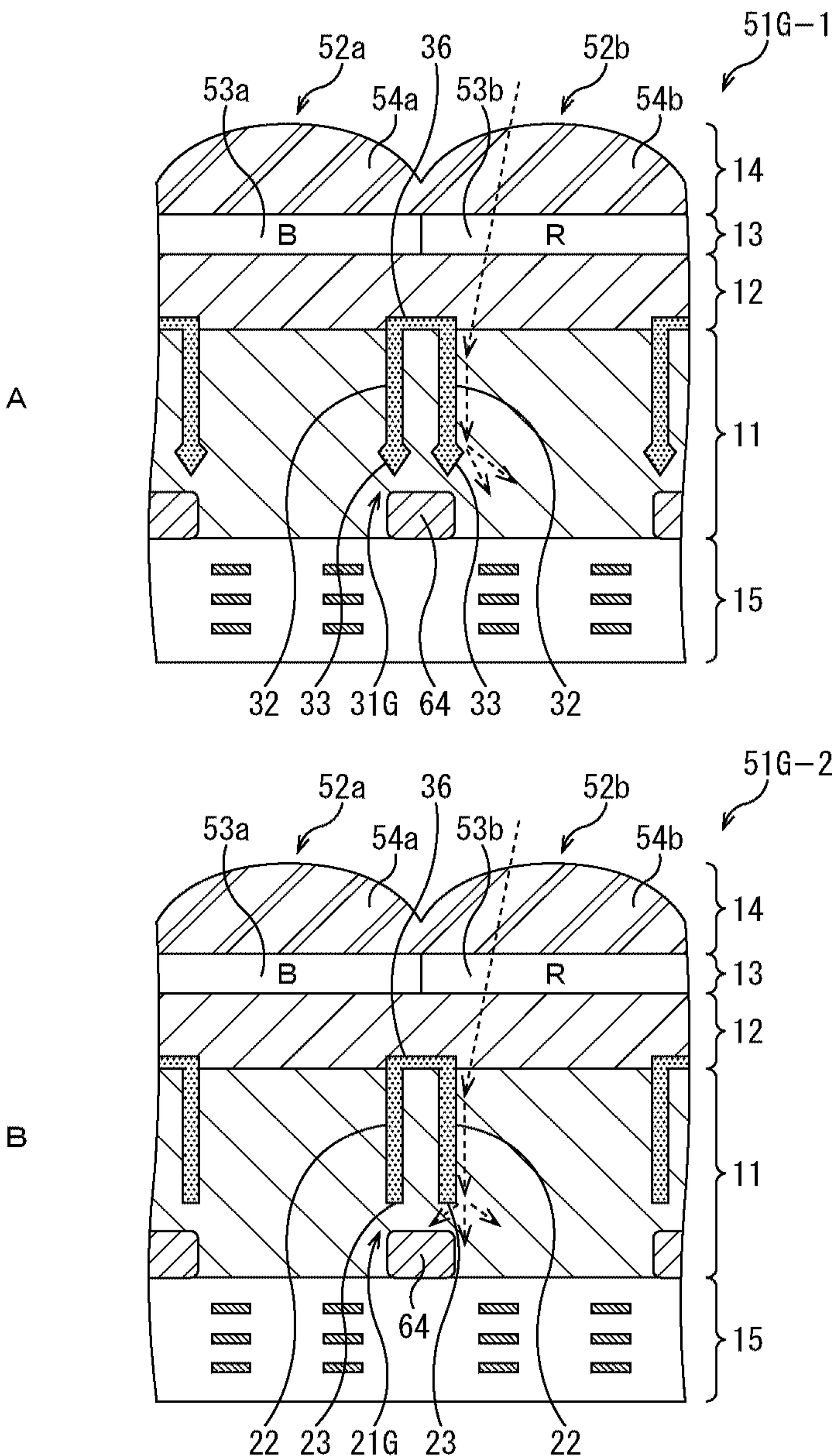
【圖9】



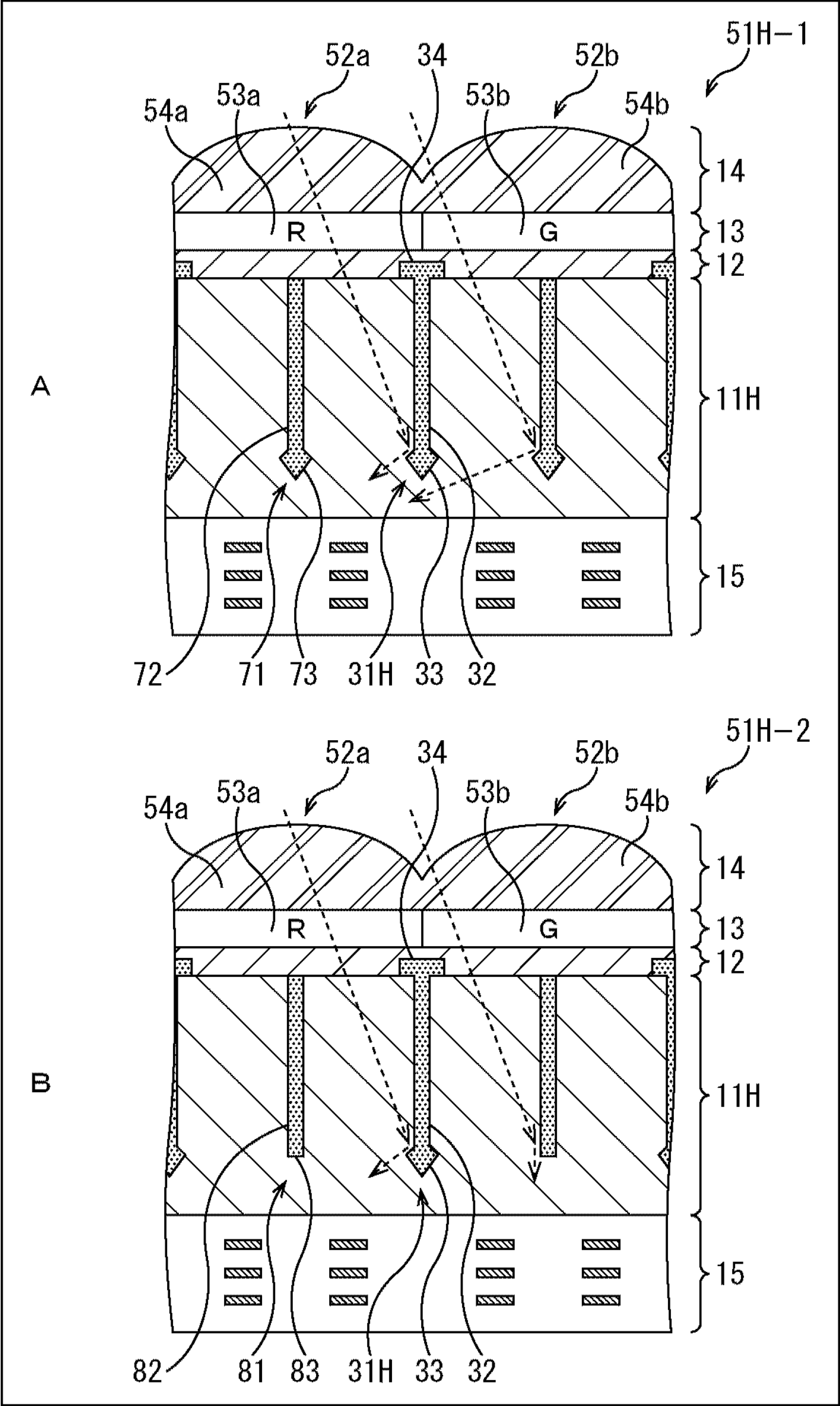
【圖10】



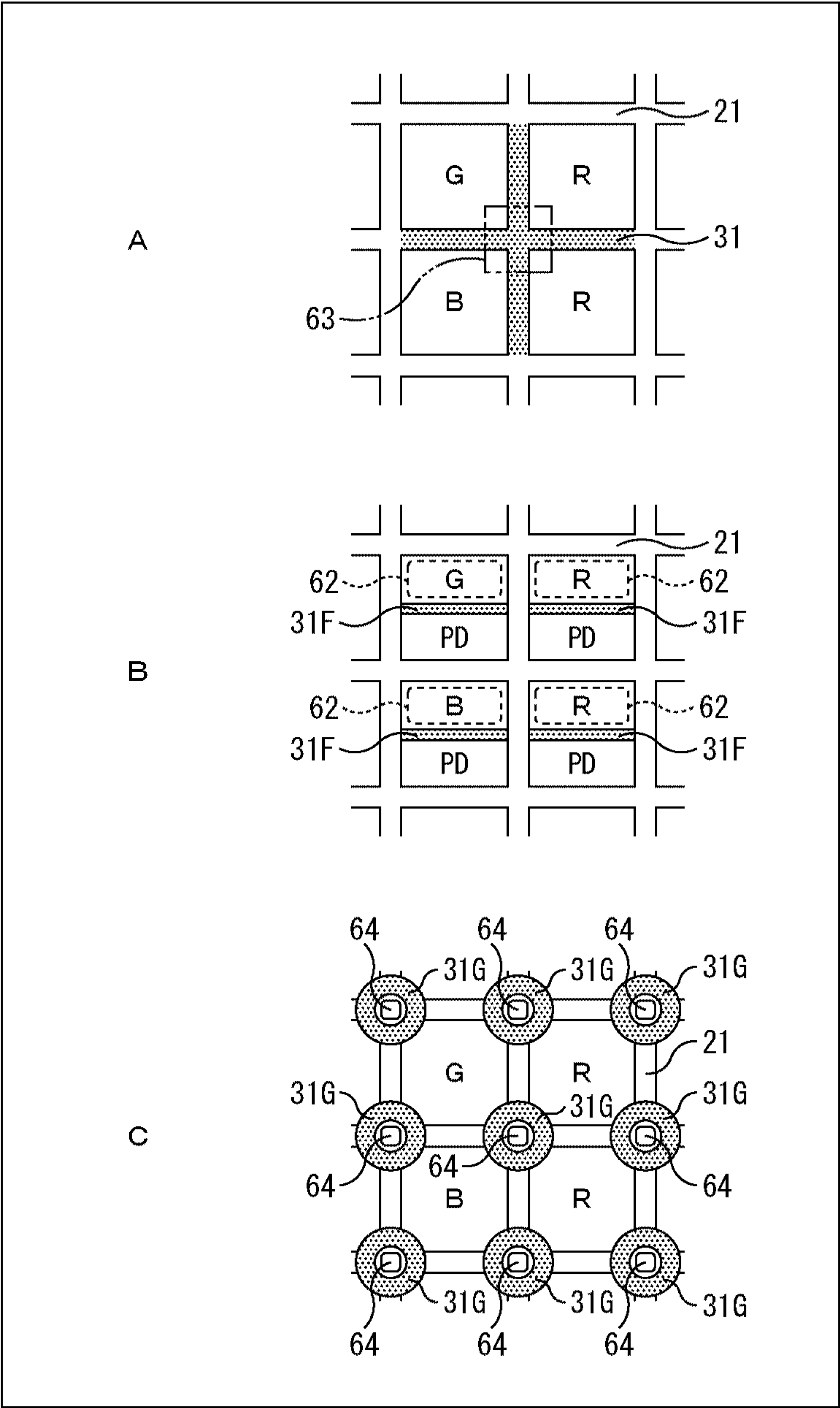
【圖11】



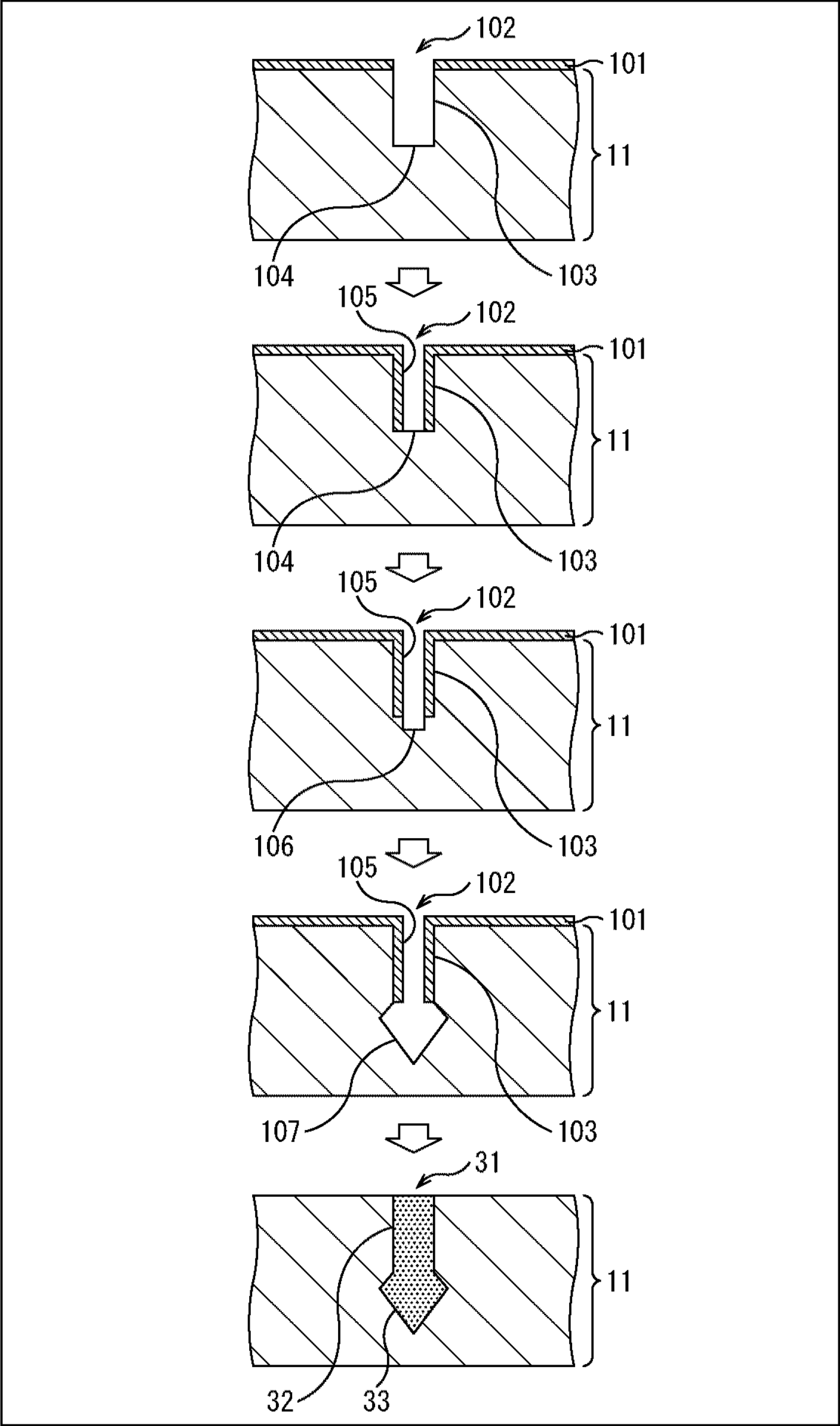
【圖12】



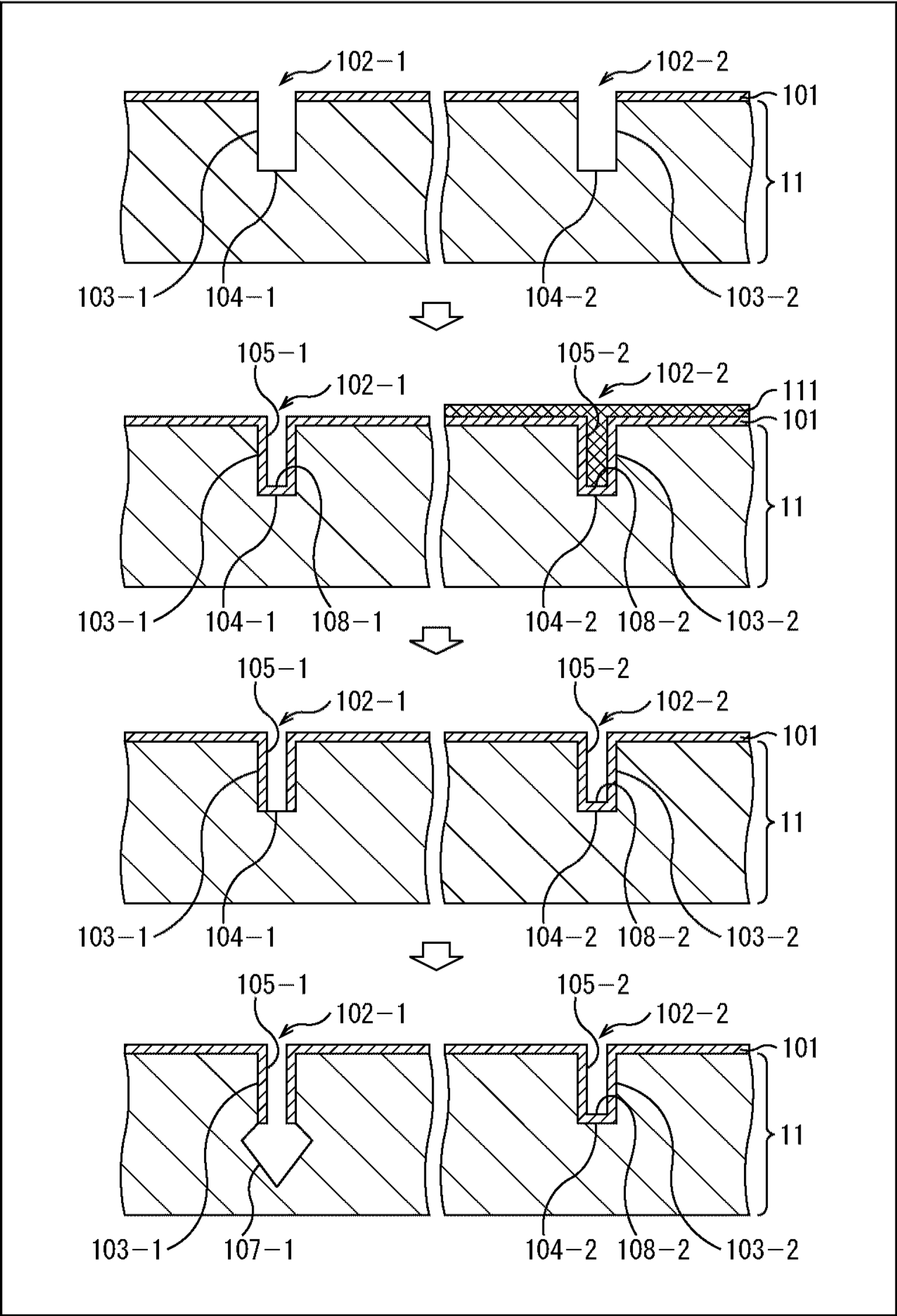
【圖13】



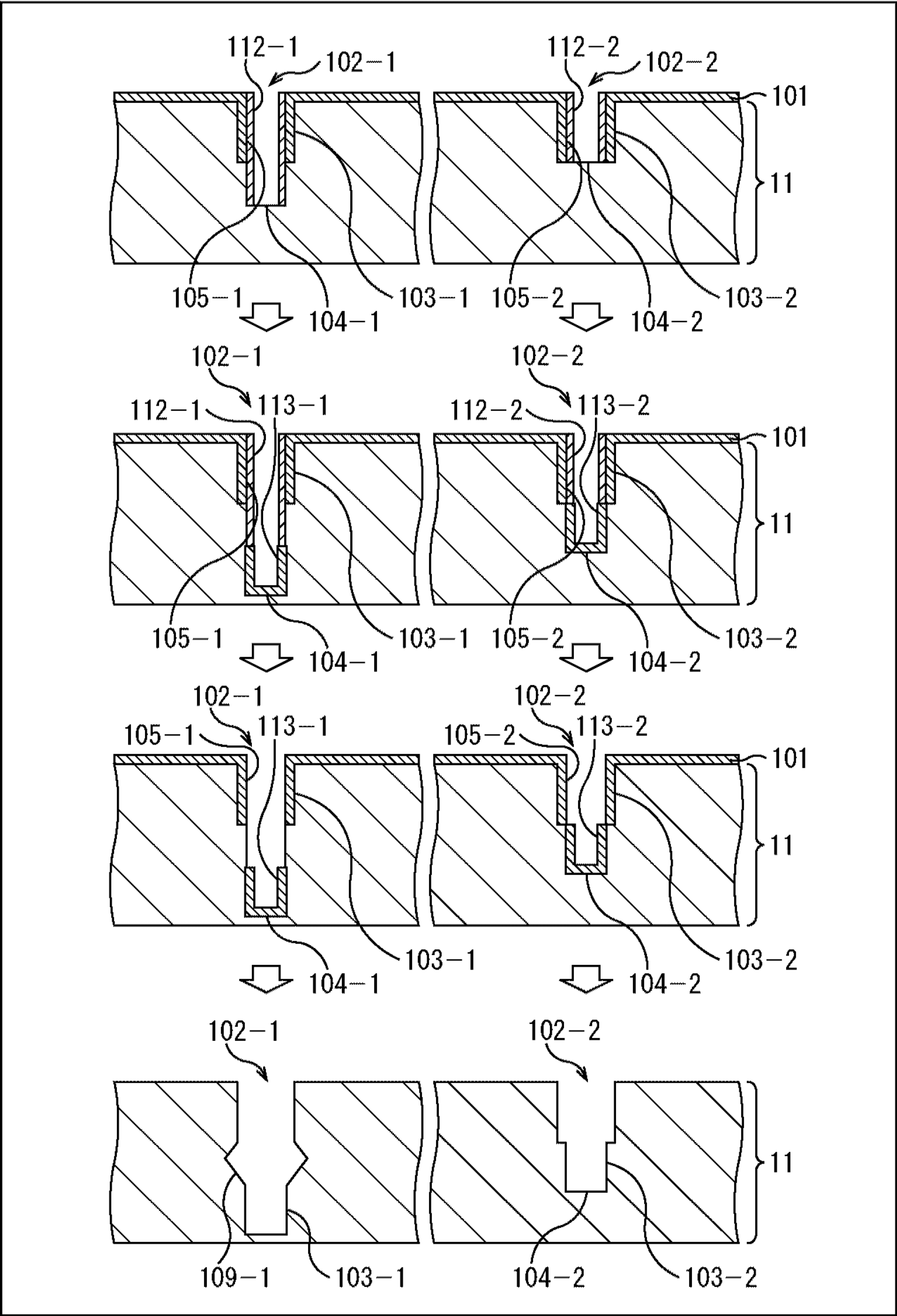
【圖14】



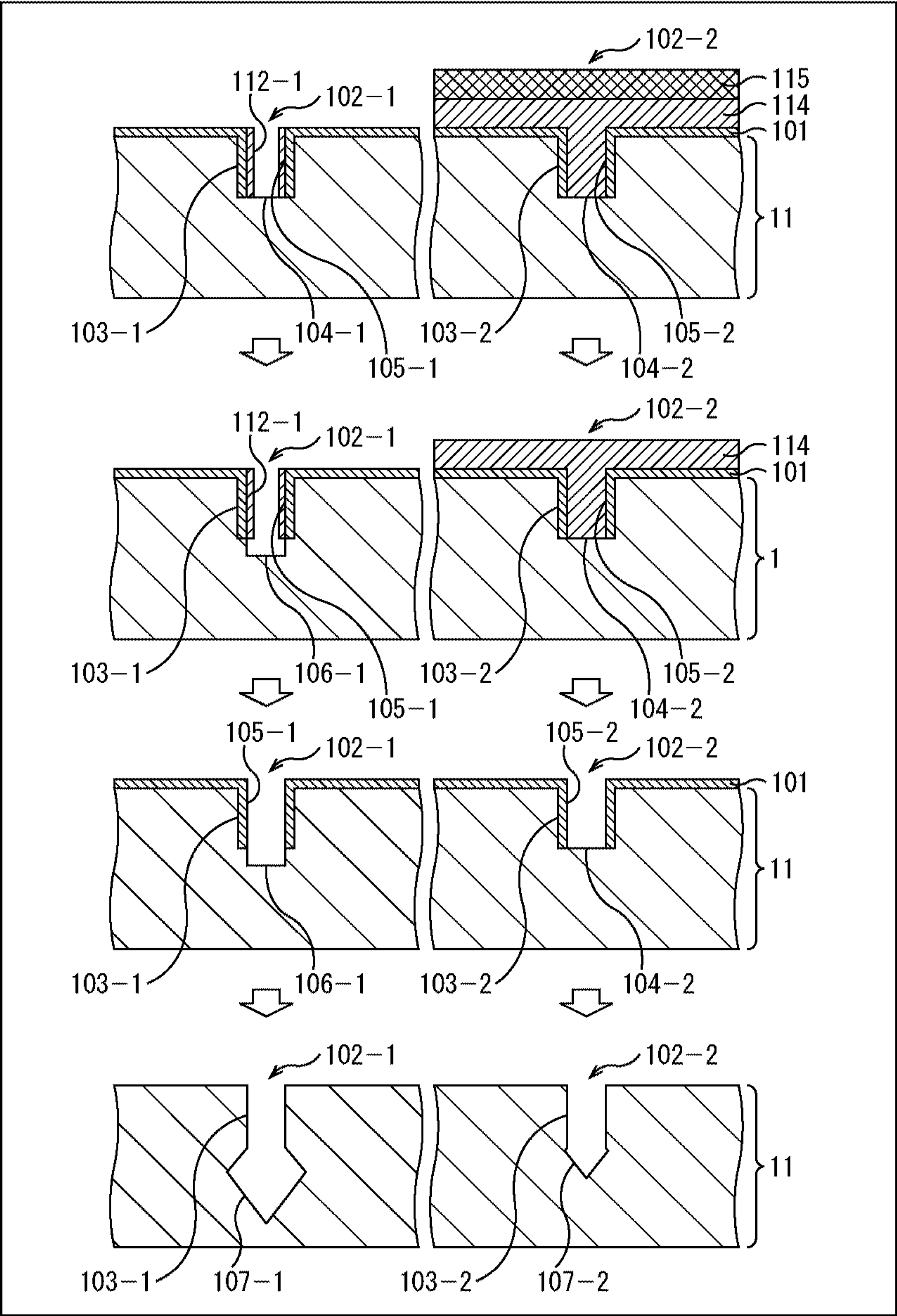
【圖15】



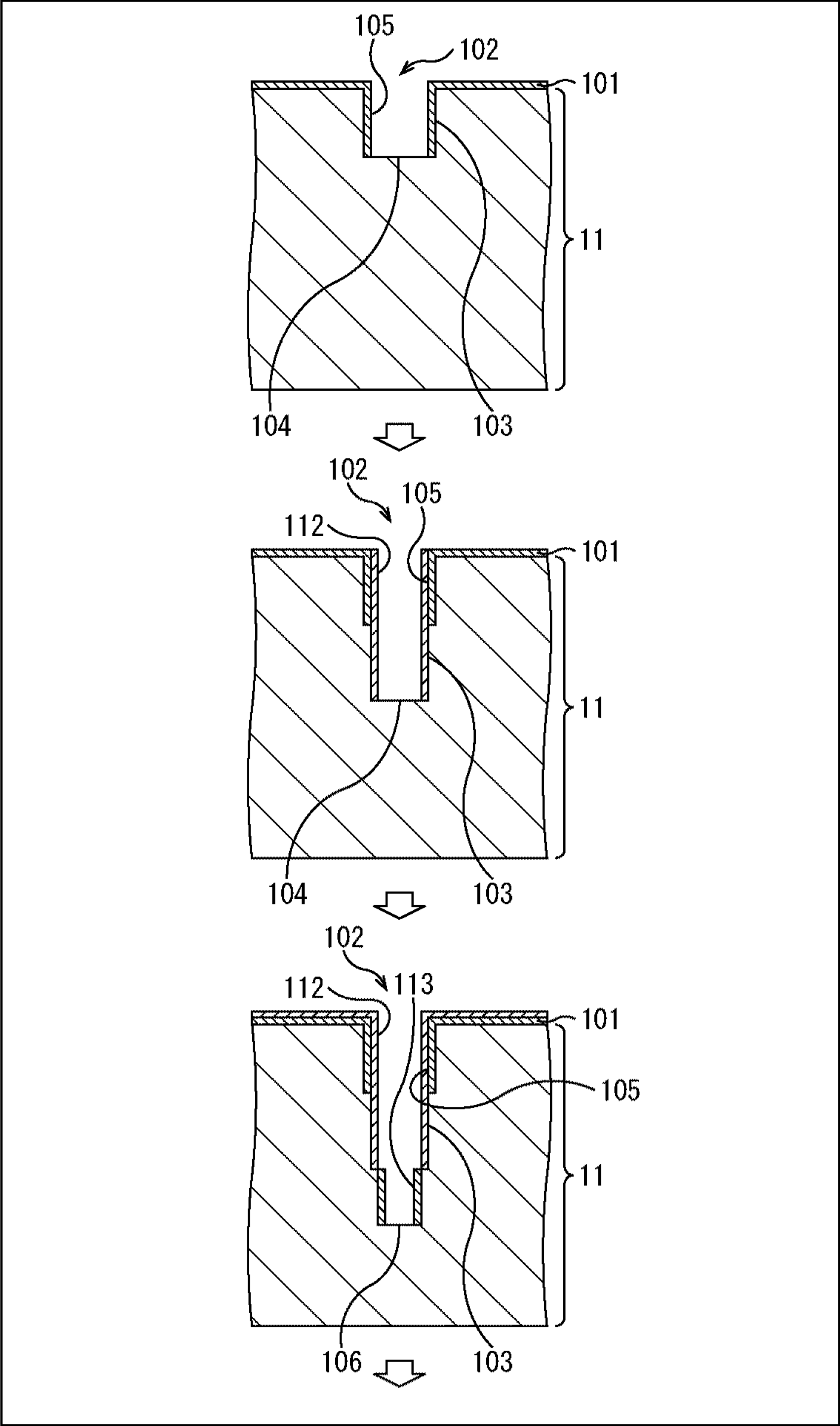
【圖16】



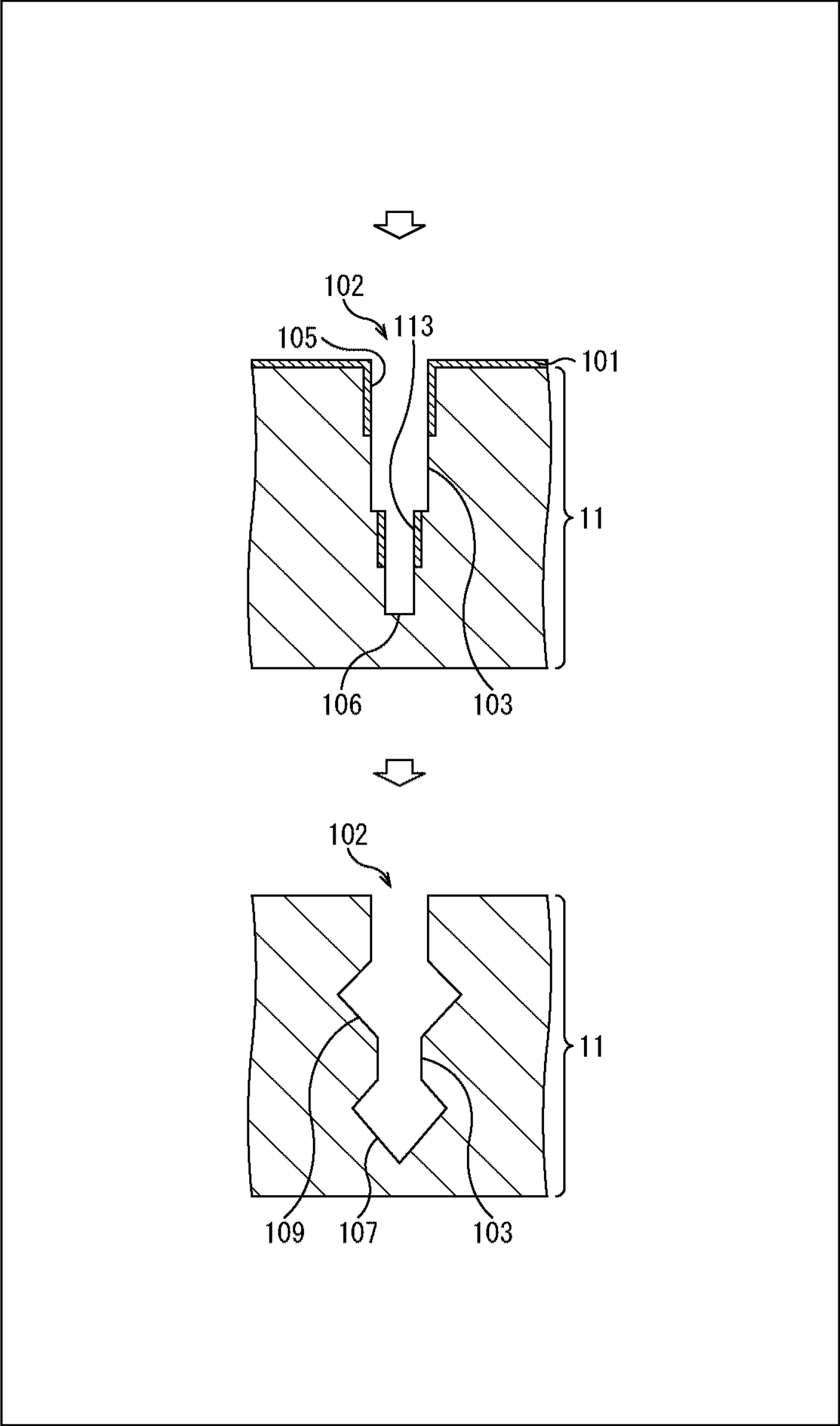
【圖17】



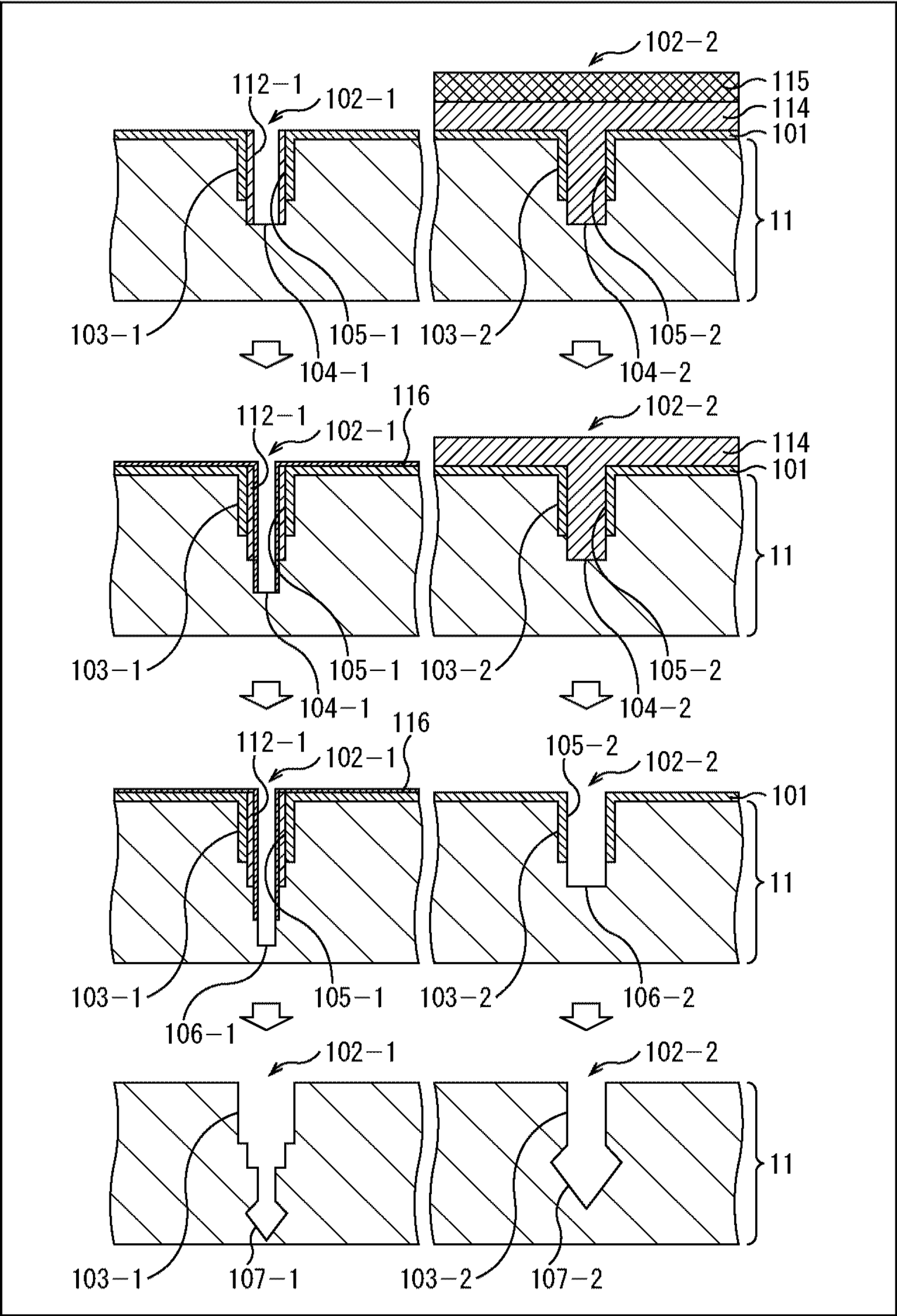
【圖18】



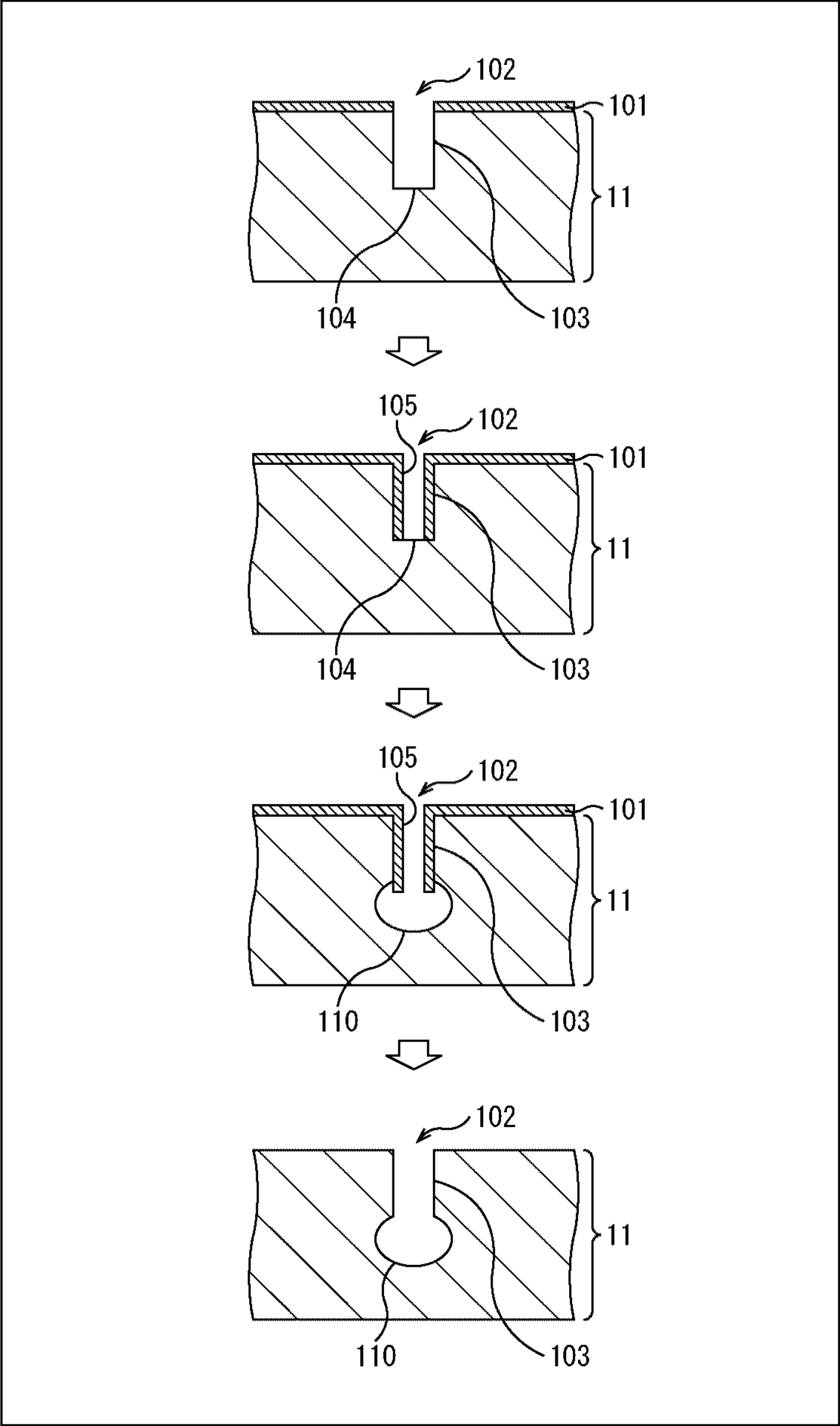
【圖19】



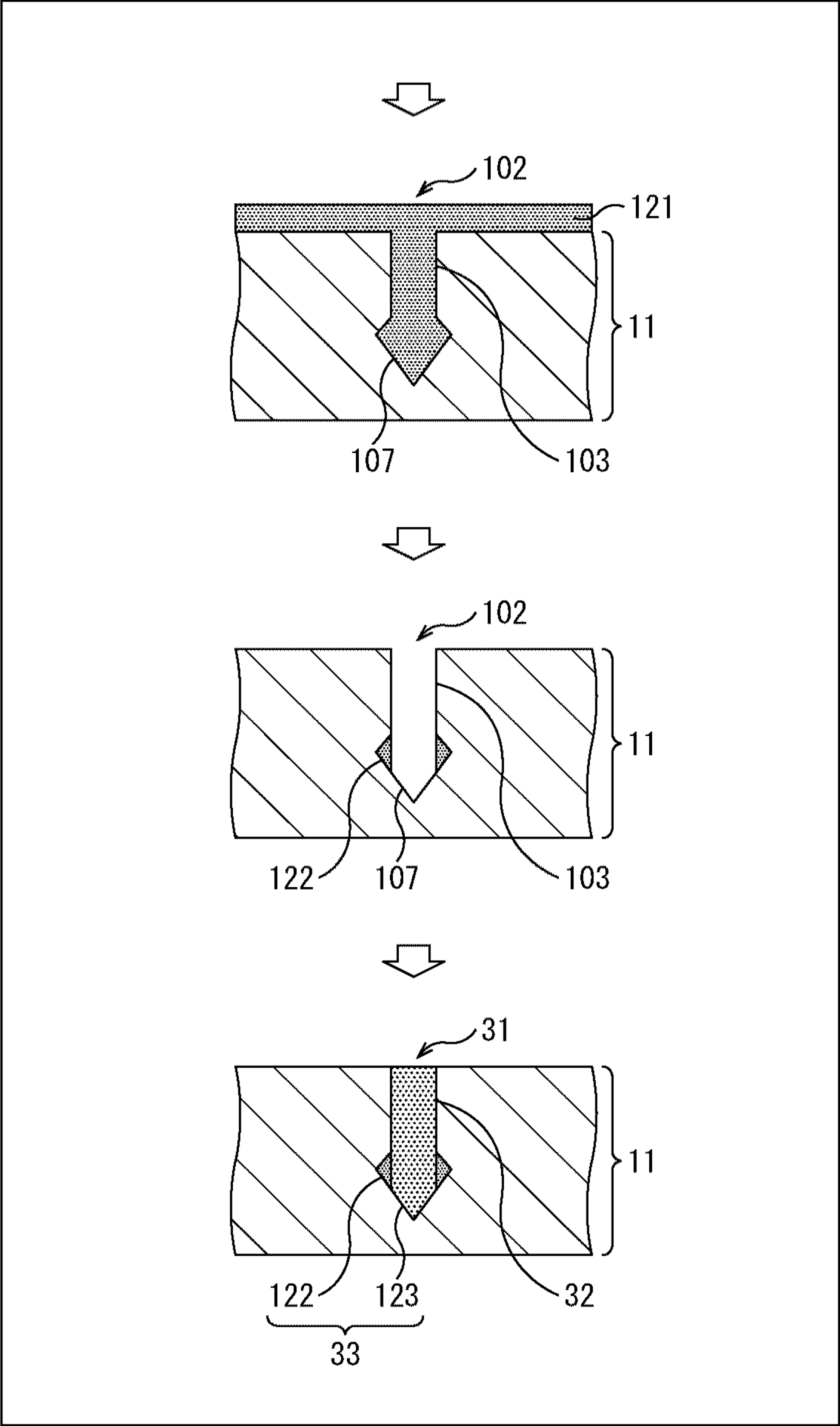
【圖20】



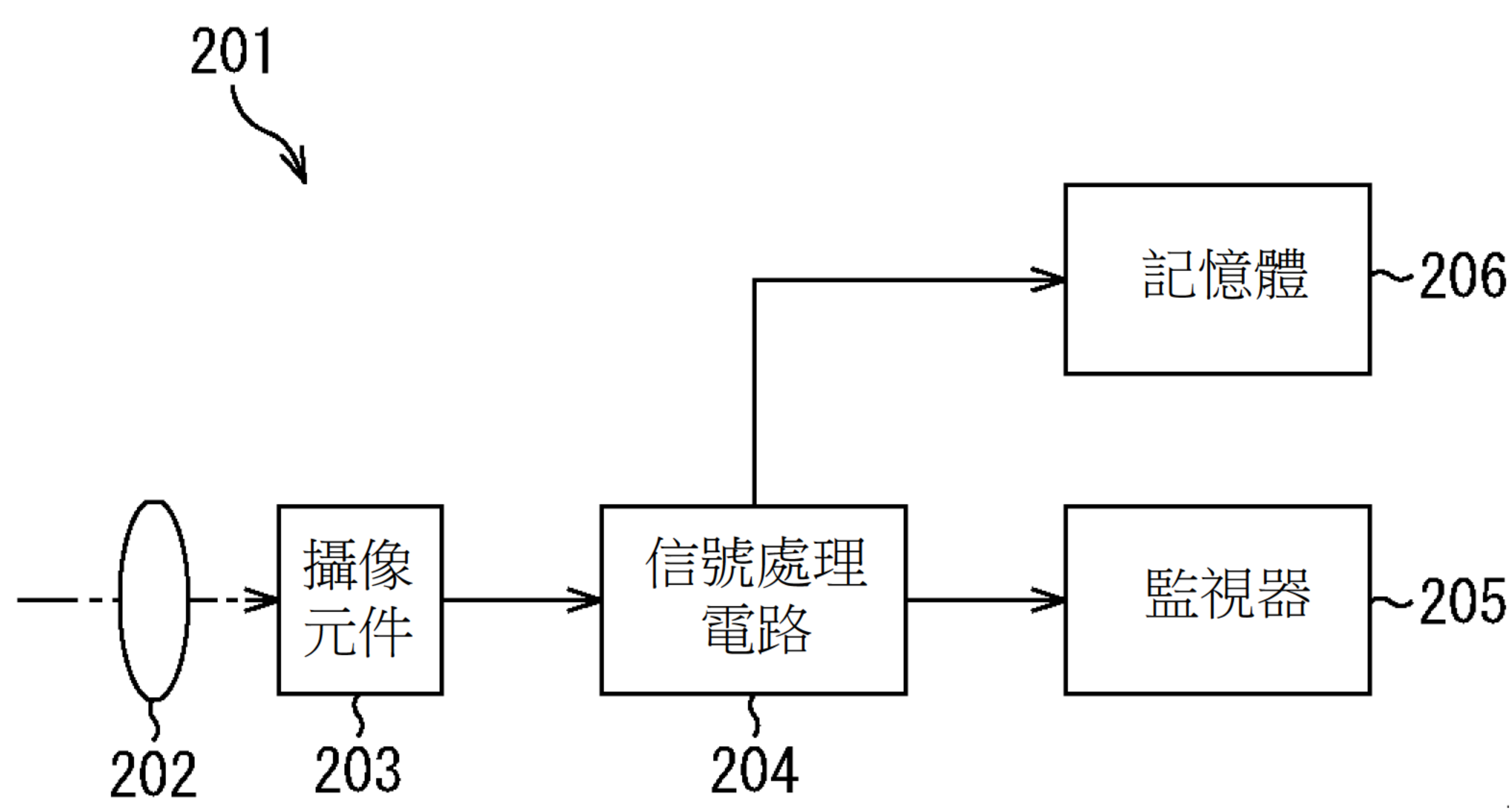
【圖21】



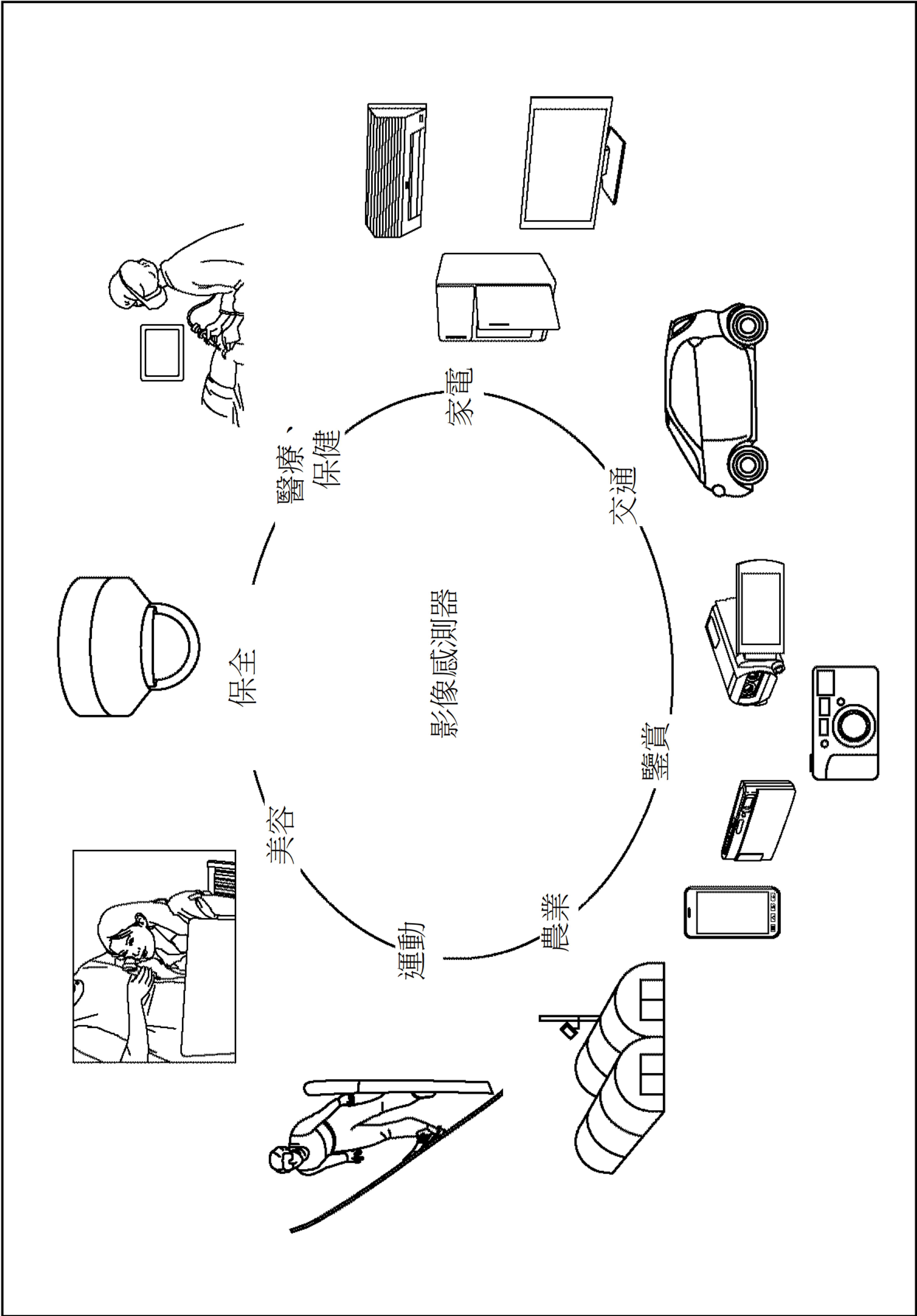
【圖22】



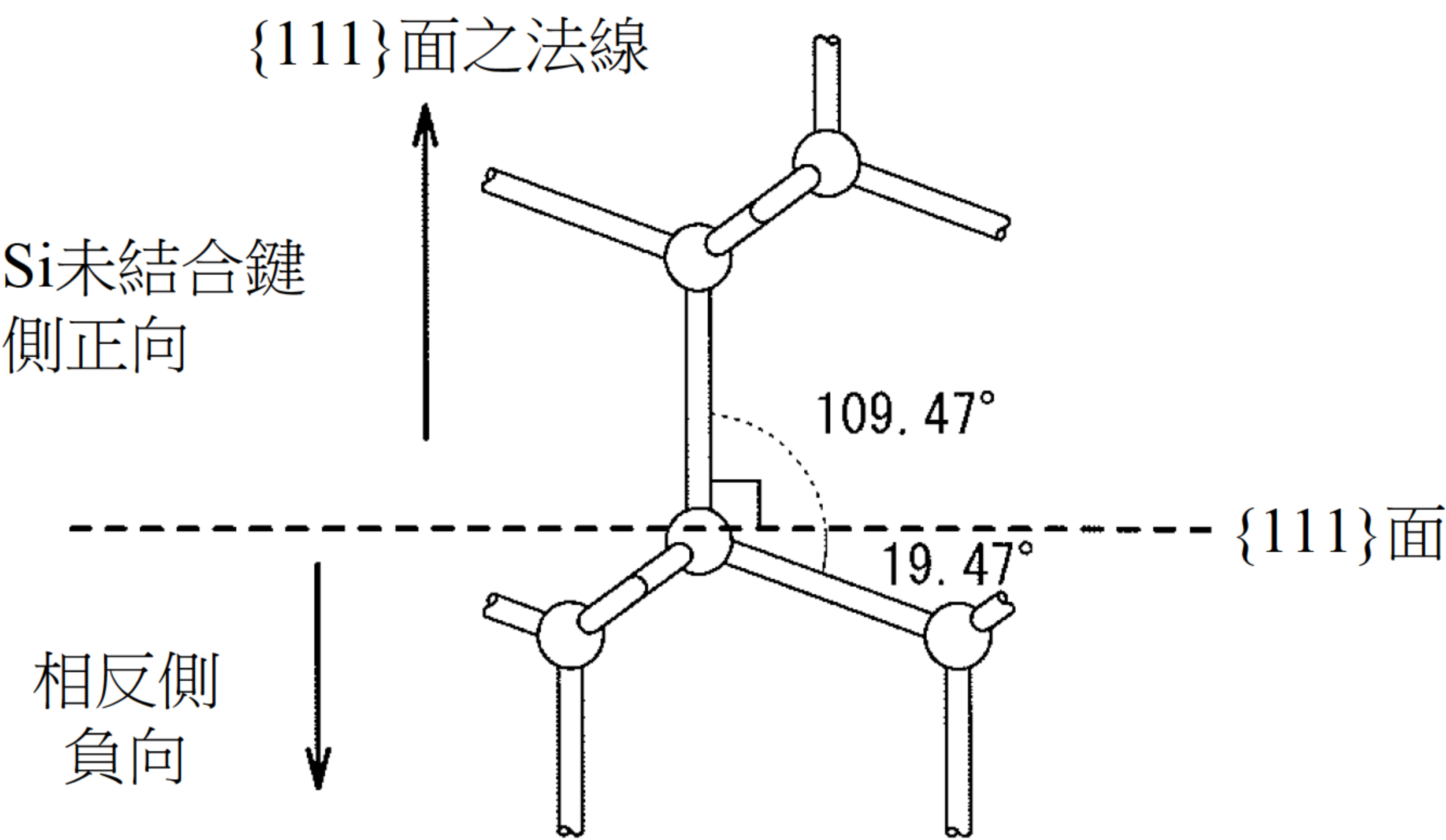
【圖23】



【圖24】

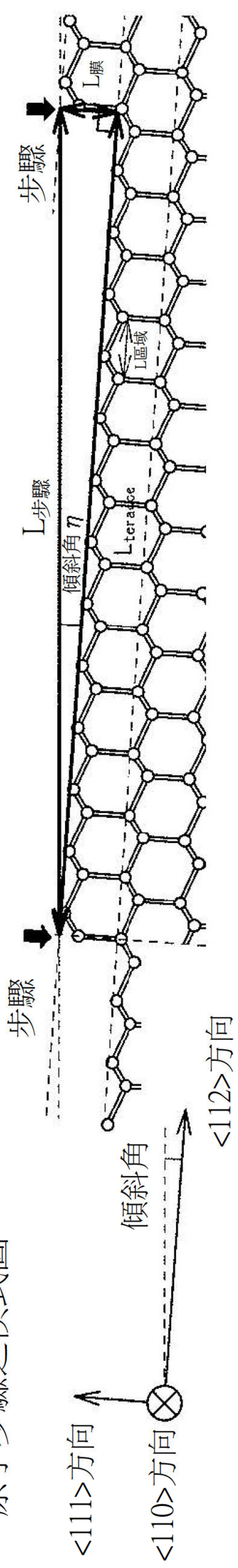


【圖25】



【圖26】

原子步驟之模式圖



【圖27】