

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-15275

(P2010-15275A)

(43) 公開日 平成22年1月21日(2010.1.21)

(51) Int.Cl.

G06F 13/362 (2006.01)

F I

G06F 13/362 510D

テーマコード (参考)

5B061

審査請求 未請求 請求項の数 11 O L (全 27 頁)

(21) 出願番号 特願2008-172955 (P2008-172955)
 (22) 出願日 平成20年7月2日(2008.7.2)

(71) 出願人 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 100089071
 弁理士 玉村 静世
 (72) 発明者 中原 崇
 茨城県日立市大みか町七丁目1番1号 株
 式会社日立製作所日立研究所内
 (72) 発明者 松尾 茂
 茨城県日立市大みか町七丁目1番1号 株
 式会社日立製作所日立研究所内
 Fターム(参考) 5B061 BB12 RR03

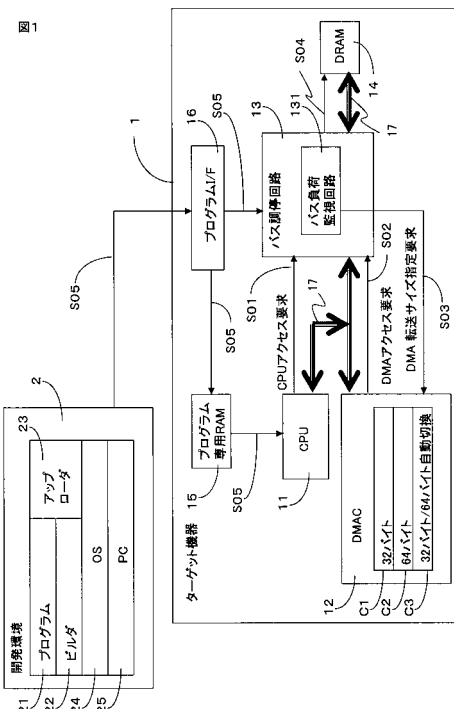
(54) 【発明の名称】 データ処理システム及びプログラム開発システム

(57) 【要約】

【課題】 CPU又はDMA制御装置の一方にメモリアクセスが偏ることを能動的に抑制することができるデータ処理システムを提供することにある。

【解決手段】 メモリへのアクセスにおいてCPU又はDMA制御装置の間でバス占有権を調停するバス調停回路は、前記CPUからの前記メモリに対するアクセスによるバス負荷を定期的に計測してそのバス負荷情報を前記DMA制御装置へ送信する。前記DMA制御装置は、バス調停装置から受取ったバス負荷情報に基づいて、データ転送制御のデータ転送量を少なくする制御を行う。これによれば、定期的に計測されたバス負荷に従ってDMA制御装置によるバス占有時間を動的に変更することができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

データ転送量およびデータ転送方法が設定されるレジスタを有するDMA制御装置と、メモリへのアクセスにおいてCPU又は前記DMA制御装置の間でバス占有権を調停するバス調停回路とを有するデータ処理システムにおいて、

前記バス調停装置は、前記CPUからの前記メモリに対するアクセスによるバス負荷を定期的に計測してそのバス負荷情報を前記DMA制御装置へ送信するバス負荷監視回路を有し、

前記DMA制御装置は、前記バス負荷監視回路から受取ったバス負荷情報が所定のバス負荷を超えているときデータ転送制御によるデータ転送量を少なくする制御を行う、データ処理システム。

10

【請求項 2】

前記データ転送制御によるデータ転送量を少なくする制御は、サイクルスチールモードにおける1回のデータ転送量を減らす制御である、請求項1記載のデータ処理システム。

【請求項 3】

前記データ転送制御によるデータ転送量を少なくする制御は、データ転送制御モードをバーストモードからサイクルスチールモードに変更する制御である、請求項1記載のデータ処理システム。

【請求項 4】

前記バス負荷監視回路は、一定時間における前記CPUからのメモリアクセス回数を計測し、アクセス回数が閾値以上かどうかを表す信号を前記バス負荷情報として求める、請求項1記載のデータ処理システム。

20

【請求項 5】

前記バス調停装置は、前記CPUからのメモリアクセス要求を一時的に蓄積し、空き記憶容量を前記バス監視回路へ送信するバッファを更に有し、

前記バス負荷監視回路は、一定時間における前記バッファのバッファ空き容量の積分値が閾値以上か否かを表す情報を前記バス負荷情報として前記DMA制御装置へ送信する、請求項1記載のデータ処理システム。

【請求項 6】

前記CPUは、キャッシュミスヒットが発生した際にキャッシュミス信号をバス調停回路へ送信するキャッシュメモリを有し、

前記バス負荷監視回路は、一定時間におけるキャッシュミス信号発生回数を計測し、キャッシュミス信号発生回数が閾値以上かどうかを表す情報を前記バス負荷情報として前記DMA制御装置へ送信する、請求項1記載のデータ処理システム。

30

【請求項 7】

前記CPUは実行すべき命令のアドレスを示すプログラムカウンタの値をバス調停回路へ出力し、

前記バス負荷監視回路は、前記CPUからのメモリアクセス回数の少ないルーチンまたはタスクにおけるプログラムカウンタの開始値および範囲をルックアップテーブルとして記憶し、入力した前記プログラムカウンタの値がテーブル内にヒットしたかどうかに関する情報を前記バス負荷として前記DMA制御装置へ送信する、請求項1記載のデータ処理システム。

40

【請求項 8】

請求項4記載のデータ処理システムをターゲット機器としてそのプログラムの開発を支援するプログラム開発システムであって、

前記ターゲット機器上で動作するプログラムのソースコードを実行形式に変換するビルダと、

該プログラム実行形式を前記ターゲット機器上へ転送するアップローダとを有し、

前記ビルダは、ターゲット機器を模擬しプログラムを実行するシミュレータと、

前記シミュレータによる実行結果に基づいて、前記ターゲット機器におけるメモリアク

50

セス回数を複数回計測し、前記ターゲット機器のバス負荷監視回路におけるCPUからのメモリアクセス回数の閾値および計測周期を、プログラム実行時間が最短になるように求めるプロファイルと、を有し、

前記アップローダは、前記プロファイルで求められた前記CPUからのメモリアクセス回数の閾値および計測周期をプログラムと一緒に出力する、プログラム開発システム。

【請求項9】

請求項5記載のデータ処理システムをターゲット機器としてそのプログラムの開発を支援するプログラム開発システムであって、

前記ターゲット機器上で動作するプログラムのソースコードを実行形式に変換するビルダと、

該プログラム実行形式を前記ターゲット機器上へ転送するアップローダとを有し、

前記ビルダは、ターゲット機器を模擬しプログラムを実行するシミュレータと、

前記シミュレータによる実行結果に基づいて、前記ターゲット機器におけるメモリアクセス回数を複数回計測し、前記ターゲット機器のバス負荷監視回路におけるバッファ空き容量の積分値の閾値および計測周期を、プログラム実行時間が最短になるように求めるプロファイルと、を有し、

前記アップローダは、前記プロファイルで求められた前記バッファ空き容量の積分値の閾値および計測周期をプログラムと一緒に出力する、プログラム開発システム。

【請求項10】

請求項6記載のデータ処理システムをターゲット機器としてそのプログラムの開発を支援するプログラム開発システムであって、

前記ターゲット機器上で動作するプログラムのソースコードを実行形式に変換するビルダと、

該プログラム実行形式を前記ターゲット機器上へ転送するアップローダとを有し、

前記ビルダは、ターゲット機器を模擬しプログラムを実行するシミュレータと、

前記シミュレータによる実行結果に基づいて、前記ターゲット機器におけるメモリアクセス回数を複数回計測し、前記ターゲット機器のバス負荷監視回路におけるキャッシュミスの回数の閾値および計測周期を、プログラム実行時間が最短になるように求めるプロファイルと、を有し、

前記アップローダは、前記プロファイルで求められた前記キャッシュミス回数の閾値および計測周期をプログラムと一緒に出力する、プログラム開発システム。

【請求項11】

請求項7記載のデータ処理システムをターゲット機器としてそのプログラムの開発を支援するプログラム開発システムであって、

前記ターゲット機器上で動作するプログラムのソースコードを実行形式に変換するビルダと、

該プログラム実行形式を前記ターゲット機器上へ転送するアップローダとを有し、

前記ビルダは、ターゲット機器を模擬しプログラムを実行するシミュレータと、

前記シミュレータによる実行結果に基づいて、前記ターゲット機器におけるメモリアクセス回数を複数回計測し、前記ターゲット機器のバス負荷監視回路におけるCPUからのメモリアクセス回数の少ないルーチンまたはタスクにおけるプログラムカウンタの開始値および範囲を示すルックアップテーブルを求めるプロファイルと、を有し、

前記アップローダは、前記プロファイルで求められたルックアップテーブルをプログラムと一緒に出力するプログラム開発システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、DMA(Direct Memory Access)制御装置、特にSoC(System on a Chip)においてCPUなどの演算処理装置を介さずにメモリ間またはメモリないし外部機器間でデータを直接転送する制御装置に関するものである。

10

20

30

40

50

【背景技術】

【0002】

近年、情報機器の高性能化、多機能化に伴い、これらの機器に搭載されるS o C (Systems on a Chip)が処理するデータ量も増大している。このような、増大するデータ処理に対応するため、近年のS o Cでは、ディスプレイ制御やC D・H D D制御など、外部周辺機器制御部やC P Uなど複数のデータ処理部が並列にデータ処理を行うため、一個以上のバスにぶら下がるような形で複数のデータ処理部が接続されている。また、C P Uの演算処理におけるデータやプログラム、ディスプレイ表示データなどの一時記憶を行うため、D R A MがM C U (Memory Controller Unit)を介してバスと接続されている。D R A Mはデータ処理部毎に置くとコストが高くなるという理由で、D R A MとバスとのI / Fは一つに絞られていることがあり、M C Uにおいて各データ処理部におけるバス占有権の調停を行っている。

10

【0003】

一方、S o Cにおいて、C P Uなどの演算処理装置を介さずにメモリ間またはメモリないし外部周辺機器間でデータを直接転送するD M A制御装置というものがある。D M A制御装置もバスに接続されている。D M A制御装置におけるデータの転送方法は2種類に分けることができる。1つは、サイクルスチールモードと呼ばれるものであり、1回のデータ転送単位の転送を終了するたびにバスの占有権を他のデータ処理部に渡すというものである。もう1つは、バーストモードと呼ばれるものであり、D M A制御装置がいったんバスの占有権を取ると、転送終了条件が満たされるまでバスの占有権を解放せずに転送を続けるというものである。D M A制御装置のデータ転送方法、およびサイクルスチールモードにおける1回のデータ転送単位（一単位のデータ転送量）については、ユーザプログラムによりD M A制御装置内のレジスタを設定することで変更することが可能である。

20

【0004】

D M A制御装置からのアクセス要求とその他のデータ処理部からのアクセス要求が同一のD R A Mに対し同時に発生した時のアクセス調停方法として、D M A制御装置からのアクセス要求に高い優先度を、C P Uからのアクセス要求に、D M A制御装置より低い優先度を付け、この優先度に従いアクセス要求を調停する方法がある。この調停方式を用いることにより、D M A制御装置からのアクセスを高速化することはできるものの、D M A制御装置からのアクセス要求が多い場合には、低優先のC P Uからのアクセス要求が長い時間待たされ、結果としてシステム全体の性能が低下する。

30

【0005】

また、D R A Mへのアクセスを行う際には、記憶保持のためのプリチャージ処理やアクセス先アドレス指定処理などが最初に行われるため、その分オーバーヘッド的な時間がかかる。そのため、一回あたりのデータ転送単位を減らすと、オーバーヘッド的な時間が複数回入ることになり、転送効率が低下する。

【0006】

この問題を解決する発明として動的にデータ転送量を調整するという手段について記載された特許文献1または特許文献2が存在する。特許文献1は、D M A制御装置からのD R A Mアクセスによるバス負荷を監視し、その結果によりC P UからのD R A Mアクセスを制限するというものである。一方、特許文献2は、D M A制御装置からの一部のD R A Mアクセスによるバス負荷を監視し、その結果によりD M A制御装置からの他のD R A Mアクセスを制御するというものである。

40

【0007】

【特許文献1】特開2003-256355号公報

【特許文献2】特開2003-178020号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

一方、C P UからのD R A Mアクセス回数を低減する装置としてキャッシュメモリが存

50

在する。半導体技術の向上によりキャッシュメモリの記憶容量は年々増えてきているため、キャッシュメモリによりCPUからのDRAMアクセス回数は年々減り続けており、現状においてCPUからのDRAMアクセスがDMA制御装置からのDRAMアクセスに比べて数分の一である。上記のような状況においてDMAアクセス回数からバス負荷率を検知してCPUアクセスを制限すると、DMAアクセス回数が多いときにはCPUアクセスが全くできず、処理が滞るという問題がある。

【0009】

この問題の対策として、ユーザプログラムでDMA制御装置のレジスタを操作することにより動的にデータ転送量を調整するとことについて検討した。キャッシュメモリが採用されているときは、CPUがDRAMへアクセスする前に、CPU内の一時記憶装置であるキャッシュメモリ内にアクセス先のデータが入っているかどうかチェックされ、キャッシュミスした場合にのみDRAMへのアクセスが行われる。キャッシュミスするかどうかについてはプログラムの実行結果に依存するため、ユーザプログラムから推測することは不可能である。したがって、ユーザプログラムからDMA制御装置のレジスタを用いて転送量を動的に調整することは難しい。

10

【0010】

本発明の目的は、CPU又はDMA制御装置の一方にメモリアクセスが偏ることを能動的に抑制することができるデータ処理システムを提供することにある。

【0011】

本発明の別の目的は、CPU又はDMA制御装置の一方にメモリアクセスが偏ることを能動的に抑制することができるデータ処理システムのための開発環境を提供することにある。

20

【0012】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0013】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0014】

すなわち、メモリへのアクセスにおいてCPU又はDMA制御装置の間でバス占有権を調停するバス調停回路バス調停装置は、前記CPUからの前記メモリに対するアクセスによるバス負荷を定期的に計測してそのバス負荷情報を前記DMA制御装置へ送信する。前記DMA制御装置は、バス調停装置から受取ったバス負荷情報に基づいて、データ転送制御のデータ転送量を少なくする制御を行う。これによれば、定期的に計測されたバス負荷に従ってDMA制御装置によるバス占有時間を動的に変更することができる。

30

【発明の効果】

【0015】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

40

【0016】

すなわち、CPU又はDMA制御装置の一方にメモリアクセスが偏ることを能動的に抑制することができる。

【発明を実施するための最良の形態】

【0017】

1. 実施の形態の概要

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。代表的な実施の形態についての概要説明で括弧を付して参照する図面中の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

【0018】

50

〔１〕本発明に係るデータ処理システムは、データ転送量およびデータ転送方法が設定されるレジスタを有するDMA制御装置と、メモリへのアクセスにおいてCPU又は前記DMA制御装置の間でバス占有権を調停するバス調停回路とを有する。前記バス調停装置は、前記CPUからの前記メモリに対するアクセスによるバス負荷を定期的に計測してそのバス負荷情報を前記DMA制御装置へ送信するバス負荷監視回路を有する。前記DMA制御装置は、前記バス負荷監視回路から受取ったバス負荷情報が所定のバス負荷を超えているときデータ転送制御によるデータ転送量を減らす制御を行う。

【００１９】

CPUからのメモリアクセスがDMA制御装置からのメモリアクセスに比べて数分の一になっているという今日の状況を前提として前記DMA制御装置によるデータ転送量の制御が行われると、CPUからのメモリアクセスによるバス負荷が高いときにはDMA制御装置からのメモリアクセス性能が多少低下する程度であり、必要に応じてCPUからのメモリアクセスが可能になり、また、CPUからのメモリアクセスによるバス負荷が少ないときにはDMA制御装置からのメモリアクセス効率が高くなる。

【００２０】

これにより、CPU又はDMA制御装置の一方にメモリアクセスが偏ることを能動的に抑制することができる。したがって、CPUからのDRAMアクセス頻度に変動があるプログラムを実行する場合においては全体的な処理の能率を上げることができる。

【００２１】

〔２〕項１のデータ処理システムにおいて、前記データ転送制御によるデータ転送量を少なくする制御は、サイクルスチールモードにおける１回のデータ転送量を減らす制御である。

【００２２】

〔３〕項１のデータ処理システムにおいて、前記データ転送制御によるデータ転送量を少なくする制御は、データ転送制御モードをバーストモードからサイクルスチールモードに変更する制御である。

【００２３】

〔４〕項１のデータ処理システムにおいて、前記バス負荷監視回路は、一定時間における前記CPUからのメモリアクセス回数を計測し、アクセス回数が閾値以上かどうかを表す信号を前記バス負荷情報として求める。

【００２４】

〔５〕項１のデータ処理システムにおいて、前記バス調停装置は、前記CPUからのメモリアクセス要求を一時的に蓄積し、空き記憶容量を前記バス監視回路へ送信するバッファを更に有する。このとき、前記バス負荷監視回路は、一定時間における前記バッファのバッファ空き容量の積分値が閾値以上かどうかを表す情報を前記バス負荷情報として前記DMA制御装置へ送信する。

【００２５】

〔６〕項１のデータ処理システムにおいて、前記CPUは、キャッシュミスヒットが発生した際にキャッシュミス信号をバス調停回路へ送信するキャッシュメモリを有する。このとき、前記バス負荷監視回路は、一定時間におけるキャッシュミス信号発生回数を計測し、キャッシュミス信号発生回数が閾値以上かどうかを表す情報を前記バス負荷情報として前記DMA制御装置へ送信する。

【００２６】

〔７〕項１のデータ処理システムにおいて、前記CPUは実行すべき命令のアドレスを示すプログラムカウンタの値をバス調停回路へ出力する。このとき、前記バス負荷監視回路は、前記CPUからのメモリアクセス回数の少ないルーチンまたはタスクにおけるプログラムカウンタの開始値および範囲をルックアップテーブルとして記憶し、入力した前記プログラムカウンタの値がテーブル内にヒットしたかどうかに関する情報を前記バス負荷として前記DMA制御装置へ送信する。

【００２７】

10

20

30

40

50

〔８〕項４のデータ処理システムをターゲット機器としてそのプログラムの開発を支援するプログラム開発システムは、前記ターゲット機器上で動作するプログラムのソースコードを実行形式に変換するビルダと、該プログラム実行形式を前記ターゲット機器上へ転送するアップローダとを有する。前記ビルダは、ターゲット機器を模擬しプログラムを実行するシミュレータと、前記シミュレータによる実行結果に基づいて、前記ターゲット機器におけるメモリアクセス回数を複数回計測し、前記ターゲット機器のバス負荷監視回路におけるＣＰＵからメモリアクセス回数の閾値および計測周期を、プログラム実行時間が最短になるように求めるプロファイルと、を有する。前記アップローダは、前記プロファイルで求められた前記ＣＰＵからのメモリアクセス回数の閾値および計測周期をプログラムと一緒に出力する。これにより、項４のデータ処理システムはこのプログラム開発システムで生成されたプログラムの実行に対して適応的なメモリアクセス回数の閾値および計測周期を用いることが可能になる。

10

【００２８】

〔９〕項５記載のデータ処理システムをターゲット機器としてそのプログラムの開発を支援するプログラム開発システムは、前記ターゲット機器上で動作するプログラムのソースコードを実行形式に変換するビルダと、該プログラム実行形式を前記ターゲット機器上へ転送するアップローダとを有する。前記ビルダは、ターゲット機器を模擬しプログラムを実行するシミュレータと、前記シミュレータによる実行結果に基づいて、前記ターゲット機器におけるメモリアクセス回数を複数回計測し、前記ターゲット機器のバス負荷監視回路におけるバッファ空き容量の積分値の閾値および計測周期を、プログラム実行時間が最短になるように求めるプロファイルと、を有する。前記アップローダは、前記プロファイルで求められた前記バッファ空き容量の積分値の閾値および計測周期をプログラムと一緒に出力する。これにより、項５のデータ処理システムはこのプログラム開発システムで生成されたプログラムの実行に対して適応的なバッファ空き容量の積分値の閾値および計測周期を用いることが可能になる。

20

【００２９】

〔１０〕項６記載のデータ処理システムをターゲット機器としてそのプログラムの開発を支援するプログラム開発システムは、前記ターゲット機器上で動作するプログラムのソースコードを実行形式に変換するビルダと、該プログラム実行形式を前記ターゲット機器上へ転送するアップローダとを有する。前記ビルダは、ターゲット機器を模擬しプログラムを実行するシミュレータと、前記シミュレータによる実行結果に基づいて、前記ターゲット機器におけるメモリアクセス回数を複数回計測し、前記ターゲット機器のバス負荷監視回路におけるキャッシュミス回数の閾値および計測周期を、プログラム実行時間が最短になるように求めるプロファイルと、を有する。前記アップローダは、前記プロファイルで求められた前記キャッシュミス回数の閾値および計測周期をプログラムと一緒に出力する。これにより、項６のデータ処理システムはこのプログラム開発システムで生成されたプログラムの実行に対して適応的なキャッシュミス回数の閾値および計測周期を用いることが可能になる。

30

【００３０】

〔１１〕項７記載のデータ処理システムをターゲット機器としてそのプログラムの開発を支援するプログラム開発システムは前記ターゲット機器上で動作するプログラムのソースコードを実行形式に変換するビルダと、該プログラム実行形式を前記ターゲット機器上へ転送するアップローダとを有する。前記ビルダは、ターゲット機器を模擬しプログラムを実行するシミュレータと、前記シミュレータによる実行結果に基づいて、前記ターゲット機器におけるメモリアクセス回数を複数回計測し、前記ターゲット機器のバス負荷監視回路におけるＣＰＵからのメモリアクセス回数の少ないルーチンまたはタスクにおけるプログラムカウンタの開始値および範囲を示すルックアップテーブルを求めるプロファイルと、を有する。前記アップローダは、前記プロファイルで求められたルックアップテーブルをプログラムと一緒に出力する。これにより、項７のデータ処理システムはこのプログラム開発システムで生成されたプログラムの実行に対して適応的なプログラムカウンタの

40

50

開始値および範囲を示すルックアップテーブルを用いることが可能になる。

【0031】

2. 実施の形態の詳細

実施の形態について更に詳述する。以下、本発明を実施するための形態を図面に基づいて詳細に説明する。なお、発明を実施するための形態を説明するための全図において、同一の機能を有する要素には同一の符号を付して、その繰り返しの説明を省略する。

【0032】

《実施形態1》

図1は本発明の第1の実施形態に係るデータ処理システムが例示される。データ処理システム1はデータプロセッサ若しくはマイクロコンピュータのような1チップであってもよいし、オンボードのマルチチップシステムであってもよい。データ処理システム1はそのプログラム開発システムとしての開発環境2と共に図示され、データ処理システム1を便宜上ターゲット機器1とも称する。

【0033】

ターゲット機器1はCPU11、DMA制御装置(DMAC)12、DRAM14、バス調停回路13、プログラムI/F16、プログラム専用RAM(ランダムアクセスメモリ)15から成り立っている。DRAM14は特に制限されないがクロック同期動作されるシンクロナスDRAMとされる。

【0034】

ターゲット機器1は、開発環境2からプログラムインタフェース(プログラムI/F)16を介して受信してプログラム専用RAM15またはDRAM14にプログラムS05を格納し、CPU11がプログラム専用RAM15またはDRAM14からプログラムS05を読み込むことによってプログラムS05を実行する。同図においてはプログラム専用RAM15からプログラムを読み込む。CPU11およびDMA制御装置12はバス17とバス調停回路13を介してDRAM14と接続している。バス調停回路13はCPU11またはDMA制御装置12におけるバス占有権の調停を行うものである。バス17にはアドレス及びデータバスを想定する。特に図示はしないがキャッシュメモリはCPU11のブロックに含まれるものと理解された。

【0035】

開発環境2はホストPC(パーソナルコンピュータ)25にOS(オペレーティングシステム)24が搭載されており、OS24上で動作するビルダ22とアップローダ23、そしてビルダ22によって実行形式になるプログラム21から成り立っている。プログラム21はターゲット機器1上で動作するプログラムS05に対応するソースプログラムのことを指し、ビルダ22によって実行形式のプログラムS05に変換され、アップローダ23によってターゲット機器1へ転送される。ターゲット機器1はプログラムI/F16を介して、アップローダ23によって転送されたプログラムS05をプログラム専用RAM15またはDRAM14へ格納する。

【0036】

本実施形態は、バス調停回路13がバス負荷監視回路131を有することを特徴としている。バス負荷監視回路131は、CPU11からDRAMアクセス回数によるバス負荷を監視し、データ転送量を変更するか否かに関する信号S03をDMA制御装置12へ送信する。DMA制御装置12は、データ転送量を指定するレジスタを有し、単位時間あたりのアクセス回数によってデータ転送量に関する値をレジスタへ設定する。レジスタの設定項目は、仮に32バイトをC1、64バイトをC2、32バイト/64バイト自動切換をC3とする。

【0037】

図2はDMA制御装置12の詳細図である。DMA制御装置12は、各種レジスタ類124、レジスタ制御回路121、各種制御回路122、バスI/F123から構成されている。各種レジスタ類124は、DMA制御装置12の動作設定に関する情報を蓄積するものである。レジスタ制御回路121は、各種レジスタ類124内の情報を読み込んだり

書き込んだりするものである。各種制御回路122はDMA制御装置12の挙動を制御するものであり、DMAアクセス要求S02の優先順位を決める要求優先制御部、DMA転送の起動を開始したり終了したりする起動制御部、DMA転送回数をカウントしたりリセットしたりする回数制御部などが含まれる。

【0038】

本発明においては、DMA転送サイズ指定要求を受けてレジスタ制御回路121が各種レジスタ類124へDMA転送サイズ指定に関する情報を書き込む。各種制御回路122はDMA転送要求に従って各種レジスタ類124の内容やバス17からの各種信号を読み取り、バスI/F123を介してバスへDMAアクセス要求S02を各デバイスへ送信する。

10

【0039】

図3は各種レジスタ類124の詳細図である。各種レジスタ類124には、DMAの転送モードおよび転送サイズなどに関する設定情報を格納するDMA制御レジスタ1241、DMA転送によって転送されるデータのアドレスおよび転送先のアドレスを格納するDMA転送元／転送先設定レジスタ1242、DMA転送時におけるチャンネルの優先順位やDMAの転送状態を格納するDMA操作レジスタ1243、USB（ユニバーサル・シリアル・バス）やSCI／F（シリアル・コミュニケーション・インタフェース）などの外部デバイスに対してDMA転送を行う際に転送要求元ないし転送要求先を指定するDMA拡張リソースレジスタ1244、DMA転送回数を指定するDMA転送回数レジスタ1245から成り立っている。DMA制御レジスタ1241には、DMA転送サイズ指定ビット12411、DMA転送モード指定ビット12412、その他の設定ビット12415、予約ビット12416などから構成されている。DMA転送サイズ指定ビットを変更することにより、サイクルスチールモードにおける転送サイズ候補のうち1つを選択することが可能である。また、DMA転送モード指定ビットを変更することにより、転送モードをサイクルスチールモードまたはバーストモードのいずれか1つを選択することが可能である。

20

【0040】

本発明においては、DMA制御レジスタ1241においてDMA転送モード指定ビット12412やDMA転送サイズ指定ビット12411の他に、DMA転送モード自動切換ビット12414やDMA転送サイズ自動切換ビット12413を有することを特徴とする。DMA転送モード自動切換ビット12414を1にすることにより、レジスタ書込内容S09で指定するDMA転送モードの代わりに、DMA転送モード指定要求S33の指定したDMA転送モードの値を使用する（これについては図21を参照して後述する）。また、DMA転送サイズ自動切換ビット12413を1にすることにより、レジスタ書込内容S09で指定するDMA転送サイズの代わりに、DMA転送サイズ指定要求S03の指定したDMA転送サイズの値を使用する。

30

【0041】

また、レジスタ制御回路121がDMA転送サイズ指定要求S03を受けて、DMA転送サイズ指定ビット12411を含むレジスタ書込内容をDMA制御レジスタ1241にレジスタ制御回路121が書き込んだ結果、DMA転送サイズ指定ビット12411に変更後の値が書き込まれる。その後、各種制御回路122が各種レジスタ類124からレジスタ内容を読み込み、その値からDMA転送サイズ指定ビット12411を読み込むことで、サイクルスチールモードにおいて転送サイズ分だけのデータをDMA転送する。

40

【0042】

図4はレジスタ制御回路121の詳細図である。レジスタ制御回路121は従来のレジスタ制御回路1212に加えて、レジスタ書込内容生成部1211、レジスタ書込内容S07を各設定内容に分解するDEMUX（デマルチプレクサ）回路1213、各設定内容を合成するMUX（マルチプレクサ）回路1214から成り立っている。

【0043】

本発明においては、従来のレジスタ制御回路1212によってレジスタ書込内容S07

50

が生成されると、レジスタ制御回路121はDEMUX回路1213によってレジスタ書込内容S07を各設定内容に分解する。レジスタ書込内容生成部1211は、DMA転送サイズ指定要求S03と、各設定内容のうちDMA転送サイズ指定ビットS071から、新規のDMA転送サイズ指定ビットを生成する。

【0044】

レジスタ書込内容生成部は、DMA転送サイズ指定要求S03が入力されなかった場合、新規のDMA転送サイズ指定ビットとしてDEMUXから分解されたDMA転送サイズ指定ビットS071を出力する。もしDMA転送サイズ指定要求S03が入力された場合、DMA転送サイズ指定要求S03の内容からDMAの転送サイズを判断し、レジスタに書き込むべきDMA転送サイズ指定ビットを設定、新規のDMA転送サイズ指定ビットとして出力する。MUX回路1214は新規のDMA転送サイズ指定ビットと、DEMUXにより分解されたその他の各設定内容を合成し、レジスタ書込内容S09として各種レジスタ類124に書き込む。

【0045】

図5はバス調停回路13の詳細図である。

【0046】

DMA制御装置12からDRAM14へのアクセス要求（以下DMAアクセス要求S02と称す）およびCPU11からDRAM14へのアクセス要求（以下CPUアクセス要求S01と称す）は、それぞれ専用のキューバッファ132ないし133に蓄積される。優先順位判定回路134は、キューバッファ132ないし133から出力された各アクセス要求S01ないしS02から選択信号S13を出力する。ここでいう選択信号S13は、DMAアクセス要求S02とCPUアクセス要求S01のうちどちらを優先して出力するかを示す。セレクト135は選択信号S13に従って、DMAアクセス要求S02またはCPUアクセス要求S01のうちどちらかを出力する。

【0047】

本発明においては、バス調停回路13はバス負荷監視回路131を有することを特徴とする。バス負荷監視回路131は、クロック信号S12とCPUアクセス要求S01から、DMA転送サイズ指定要求S03を出力する。

【0048】

図6はバス負荷監視回路131の詳細図である。カウンタ13102はクロック信号S12が1クロック周期経過すると値を1インクリメントする。条件付カウンタ13101はクロック信号が1クロック周期経過し、かつCPUアクセス要求S01を検出すると値を1インクリメントする。周期格納メモリ13107は、CPUアクセス計測周期の値S19を格納する。周期格納メモリの値S19は、開発環境2によって生成され、開発環境2におけるアップローダ23によってプログラムS05と共に送信され、プログラムI/F16を介してバス調停回路13内のバス負荷監視回路131へ転送される。比較器13104はカウンタの値S15と周期格納メモリの値S19を比較し、カウンタの値S15がCPUアクセス計測周期S19以上になればCPUアクセス周期信号S17を出力し、条件付カウンタ13101およびカウンタ13102の値をリセットする。こうすることで、カウンタ13102によってCPUアクセス計測周期を計測し、条件付カウンタ13101によってCPUアクセス計測周期内におけるCPUアクセス要求が検出された時間S14を計測することができる。比較器13103は、CPUアクセス要求が検出された時間S14が閾値S18より小さければ、CPUアクセス要求S01が少ないと判定し、CPUアクセス要求S01が少ないときのDMA転送サイズ指定要求S16、たとえば0/1信号における1を出力する。サンプル&ホールド回路13105は、CPUアクセス計測周期の信号S17を読み取り、DMA転送サイズ指定要求S16の値を次のCPUアクセス計測周期分だけ保持して出力する。ここでDMA転送サイズ指定要求S16は、0がDMA転送サイズ32バイト、1がDMA転送サイズ64バイトとする。閾値の値S18は、開発環境2によって生成され、アップローダ23によってプログラムS05と共に送信され、プログラムI/F16を介してバス調停回路13内のバス負荷監視回路131へ転

送される。

【0049】

図18はビルダ22の詳細図、図19はバス負荷監視回路131におけるCPUからのDRAMアクセス回数の閾値S18および計測周期S19のビルダ22による計算処理フローである。ビルダ22は、プログラム21をC言語やJava（登録商標）言語などの各種言語から機械語へ変換するコンパイラ221、コンパイラ221によって機械語へ変換されたものを接続させて実行形式にするリンカ222、リンカ222の内容をPC25上で擬似的に実行するシミュレータ223、シミュレータ223上のプログラム実行結果からCPUアクセス負荷を計測するプロファイラ224から成り立っている。ここで、シミュレータ223内にはターゲット機器1と同様のキャッシュメモリ112を模擬する機能があり、プロファイラ224はシミュレータ223上のプログラム実行時におけるキャッシュミス発生回数をカウント可能であることを前提する。

10

【0050】

ビルダ22は、まずプログラム21をコンパイラ221でコンパイルし（F06）、リンカ222でリンクすることによりプログラムの実行形式を仮に作成する（F07）。次にシミュレータ223でプログラムの実行形式を用いてプログラムを実行する。プロファイラ224はプログラムにおけるキャッシュミス回数およびDMAからのDRAMアクセスのバスサイクル間隔を計測する（F10、F11）。図中LPで参照されるシンボルはそれによって挟まれた処理（F10）が複数回繰り返されることを意味する。DMAからのDRAMアクセスのバスサイクル間隔については、DMA制御装置12のレジスタにより一定バスサイクル間隔にアクセスするとプログラムによって設定された場合（F08）、DMAからのDRAMアクセスのバスサイクル間隔をレジスタ設定から求める（F09）。プロファイラ224はDMAからのDRAMアクセスの時間間隔を、CPUからのDRAMアクセス回数の計測周期S19（dT）とする（F12）。

20

【0051】

またプロファイラ224は、DRAMアクセスによるレイテンシを除いたプログラム実行バスサイクルTを計測し（F10）、複数回のキャッシュミス回数から平均値を求めCPUアクセス要求の数Nとする（F13）。プロファイラ224はCPUからのDRAMアクセス回数の閾値nを下記の式により計算する（F14）。

$$n = \text{ceil}(N \times dT / T) \quad (N < T - T / dT)$$

30

$$n = dT - 1 \quad (N \geq T - T / dT)$$

ここで、関数ceil(x)は、xの小数点切り上げ関数とする。n=0のときは完全にCPU優先、n=dTのときは完全にDMA優先になってしまい、DMA転送サイズ切り替えの意味がなくなってしまうため、 $1 \leq n \leq dT - 1$ とする。

【0052】

コンパイラ221はCPU11からのDRAMアクセス回数の閾値S18および計測周期S19、閾値S18および計測周期S19をバス負荷監視回路131へ転送するルーチンの書かれたソースファイルをコンパイルし、リンカ222はルックアップテーブルを他のルーチンとリンクし、実行ファイルを作成する。

【0053】

40

以上のようにバス負荷監視回路131におけるCPU11からのDRAMアクセス回数の閾値S18および計測周期S19をビルダ22によって計算しターゲット機器1へ転送することにより、プログラムにおけるCPU11からのDRAMアクセスの回数によってCPU優先にするかDMAC優先にするかを定めることができる。

【0054】

なお、基本的にCPU11からのDRAMアクセス回数はDMAC12からのDRAMアクセス回数より少ないので、CPU11からのDRAMアクセス回数の閾値S18を1としてもよい。

【0055】

図26はDRAMへのアクセス要求S04の詳細図であり、DMAアクセス要求S02

50

もCPUアクセス要求S01もこれに該当する。アクセス要求S04の内訳は公知のものと同様であり、アクセス要求元識別子S041、アクセス先メモリアドレスS042、アクセスサイズS043、リード／ライトの区別S044から成り立っており、リード／ライトの区別S044がライトのときは書き込みデータS045も含むものとする。バス負荷監視回路131においては、このアクセス要求データS01が送られてきたかどうかを判別してバス負荷を計測する。

【0056】

図27はDRAM14の第1の動作タイミングチャートである。上段は従来の公知技術による転送サイズ32バイト固定時におけるDRAM14の動作タイミングチャートT01を、下段は本発明による転送サイズ自動切換時におけるDRAM14の動作タイミングチャートT02を、それぞれ示している。図においてHDはDRAM14アクセスのためのローアドレスの設定等に要する初期動作を意味し、DMA32BはDMACによる32バイトサイクルスチールモードによるDRAM14のメモリ動作、DMA64BはDMACによる64バイトサイクルスチールモードによるDRAM14のメモリ動作を意味する。

【0057】

HDはDRAM14アクセスにおけるオーバーヘッド時間T03を、DMA32Bは32バイトアクセスにかかる時間T04を、DMA64Bは64バイトアクセスにかかる時間T05を、それぞれ示している。本発明におけるDMA転送サイズの初期値は32バイトとする。

【0058】

本発明の方の下段のタイムチャートにおいては、CPUアクセス計測期間T10においてCPUアクセスが少ないことを確認した後、DMA転送量切換タイミングT06からDMA転送量を64バイトに増やす。DMAデータの転送時間自体は32バイト固定に比べて2倍かかるものの、HDによるオーバーヘッド時間が32バイトアクセス時も64バイトアクセス時も等しいため、32バイトアクセスを4回行ったときと64バイトアクセスを2回行ったときでは64バイトアクセスのほうがオーバーヘッド時間分だけアクセス時間を短縮できる。

【0059】

図28はDRAM14の第2の動作タイミングチャートである。上段は従来の公知技術による転送サイズ64バイト固定時におけるDRAM14のタイムチャートT16を、下段は本発明による転送サイズ自動切換時におけるDRAM14のタイムチャートT02を、それぞれ示している。本発明におけるDMA転送サイズの初期値は64バイトとする。図においてCPUはCPUによるDRAM14のメモリ動作を意味し、HD、DMA32B、DMA64Bの意味は図27と同じである。

【0060】

本発明の方の下段のタイムチャートにおいては、CPUアクセス計測期間T10においてCPUアクセスが多いことを確認した後、DMA転送量切換タイミングT06からDMA転送量を32バイトに減らす。64バイト固定時においてDMAアクセスが完了しない分だけCPUアクセスが遅れるのに対し、本発明においてはDMAアクセスの時間がオーバーヘッド時間と32バイトアクセス時間との和になっている。64バイトアクセス時間から32バイトアクセス時間を引いた値分だけCPUアクセスを早く行うことができる。

【0061】

《実施形態2》

図7は本発明の第2の実施形態における、バス調停回路13の詳細図である。本発明においては、第1の実施形態とはバス負荷監視回路131におけるバス監視方式が相違される。CPUアクセス要求側のキューバッファ133はバッファ空き容量S20を出力し、バス負荷監視回路131はクロック信号S12とバッファ空き容量S20からDMA転送サイズ指定要求S03を出力する。バス負荷監視回路131はCPUアクセス要求S01の代わりに、CPUアクセス要求S01を蓄積するキューバッファ133の空き容量S20を用いることで、CPUアクセスに関するバス負荷を監視している。例えばキューバッファ133のライトポインタとリードポインタは空（記憶データ無し）の状態では一致され、書き込み毎にライトポインタがインクリメントされ、読出し毎にリードポインタが

10

20

30

40

50

インクリメントされ、リードポインタはライトポインタの値を追い抜くことはないとする
と、前記バッファ空き容量 S 2 0 はライトポインタの値に対するリードポインタの値の差
になる。

【0062】

図 8 は図 7 のバス負荷監視回路 1 3 1 の詳細図である。積分器 1 3 1 0 8 は C P U アク
セス計測周期 S 2 3 の間だけバッファ空き容量 S 2 0 を積分する。比較器 1 3 1 0 3 は、
バッファ空き容量の時間積分値 S 2 1 が閾値 S 2 2 より大きければ C P U アクセス要求 S
0 1 が少ないと判定し、C P U アクセス要求 S 0 1 が少ないときの D M A 転送サイズ指定
要求 S 1 6、たとえば 0 / 1 信号における 1 を出力する。サンプル & ホールド回路 1 3 1
0 5 は、C P U アクセス周期の信号 S 1 7 を読み取り、D M A 転送サイズ指定要求の値 S
1 6 を次の C P U アクセス計測周期 S 2 3 分だけ保持して出力する。

10

【0063】

なお、バス負荷監視回路 1 3 1 におけるバッファ空き容量時間積分値の計測間隔 S 2 3
のビルダ 2 2 による計算処理については、実施形態 1 における C P U からの D R A M アク
セス回数の計測周期 S 1 9 の計算と同じであるが、バッファ空き容量時間積分値の閾値 S
2 2 (n) については下記の計算式で求めるものとする。

$$n = dtx - dT \quad (dT < dtx < M(dT+1))$$

ここで、dtx は C P U からの D R A M アクセスの最長バスサイクル数として希望する値、M
はバッファ最大容量とする。n=0 のときは完全に C P U 優先、n=MdT のときは完全に D M A
優先になってしまい、D M A 転送サイズ切り替えの意味がなくなってしまうため、 $1 \leq n <$
MdT とする。

20

【0064】

なお、基本的に C P U からの D R A M アクセス回数は D M A からの D R A M アクセス回
数より少ないのでバッファ空き容量時間積分値の閾値 S 2 2 を 1 としてもよい。

【0065】

《実施形態 3》

図 9 には本発明の第 3 の実施形態に係るデータ処理システム（ターゲット機器）1 がそ
の開発環境 2 と共に示される。第 1 及び第 2 の実施形態と異なる点は、C P U 1 1 が C P
U アクセス要求 S 0 1 のほかにキャッシュミス信号 S 2 4 をバス調停回路 1 3 内のバス負
荷監視回路 1 3 1 へ出力し、バス負荷監視回路 1 3 1 はキャッシュミス信号 S 2 4 からバ
ス負荷を計算して D M A 転送サイズ指定要求 S 0 3 を出力するところである。バス負荷監
視回路 1 3 1 は、C P U アクセス要求 S 0 1 の代わりにキャッシュミス信号 S 2 4 を用い
ることで、C P U アクセスに関するバス負荷を監視している。

30

【0066】

図 1 0 は図 9 における C P U 1 1 の詳細図である。C P U コア 1 1 1 はキャッシュメモ
リ 1 1 2 に対してキャッシュアクセス要求 S 2 5 を行い、キャッシュメモリ 1 1 2 は要求
S 2 5 の内容に応じてキャッシュ内データ S 2 6 を C P U コア 1 1 1 へ送信する。キャッ
シュミスしたとき、キャッシュメモリ 1 1 2 は D R A M 1 4 に対して C P U アクセス要求
S 0 1 を送信する。またキャッシュメモリ 1 1 2 は、キャッシュミス信号 S 2 4 を含むデ
バッグ用データ S 2 7 の出力機能を有する。

40

【0067】

第 3 の実施形態では、キャッシュメモリ 1 1 2 から出力されたキャッシュ関連デバッグ
用データ S 2 7 を D E M U X 回路 1 1 3 により各データに分解し、そのデータを M U X 回
路 1 1 4 で合成すると同時に、キャッシュミス信号 S 2 4 をバス負荷監視回路 1 3 1 へ送
信する。

【0068】

図 1 1 は第 3 の実施形態におけるバス調停回路 1 3 の詳細図である。実施形態 1 及び 2
との相違点は、バス負荷監視回路 1 3 1 の入力に C P U アクセス要求 S 0 1 またはバッ
ファ空き容量 S 2 0 ではなく、キャッシュミス信号 S 2 4 であることである。

【0069】

50

図 1 2 は第 3 の実施形態におけるバス負荷監視回路 1 3 1 の詳細図である。実施形態 1 と違うのは、条件付カウンタ 1 3 1 1 1 は、クロック信号が 1 クロック周期経過し、かつ キャッシュミス信号 S 2 4 が 1 であるときに値を 1 インクリメントすることである。

【0070】

比較器 1 3 1 0 3 は、キャッシュミス信号 S 2 4 が 1 であるときの時間が閾値 S 2 9 より小さければ CPU アクセス要求 S 0 1 が少ないと判定し、CPU アクセス要求 S 0 1 が少ないときの DMA 転送サイズ指定要求 S 1 6、たとえば 0 / 1 信号における 1 を、次の CPU アクセス計測周期 S 3 0 分だけ出力する。サンプル & ホールド回路 1 3 1 0 5 は、CPU アクセス周期の信号 S 1 7 を読み取り、DMA 転送サイズ指定要求の値 S 1 6 を次の CPU アクセス計測周期 S 3 0 分だけ保持して出力する。

10

【0071】

なお、バス負荷監視回路 1 3 1 におけるキャッシュミス回数の閾値 S 2 9 および計測周期 S 3 0 のビルダ 2 2 による計算処理については、実施形態 1 における CPU からの DRAM アクセス回数の閾値 S 1 8 および計測周期 S 1 9 の計算と同じであってよい。

【0072】

《実施形態 4》

図 1 3 には本発明の第 4 の実施形態に係るデータ処理システム（ターゲット機器）1 がその開発環境 2 と共に例示される。第 1 ないし第 3 の実施形態と異なる点は、CPU 1 1 が CPU アクセス要求 S 0 1 のほかにプログラムカウンタの値 S 3 1 をバス調停回路 1 3 内のバス負荷監視回路 1 3 1 へ出力し、バス負荷監視回路 1 3 1 はプログラムカウンタの値 S 3 1 からバス負荷を計算して DMA 転送サイズ指定要求 S 0 3 を出力することである。バス負荷監視回路 1 3 1 は、CPU アクセス要求 S 0 1 の代わりにプログラムカウンタの値 S 3 1 を用いることで、CPU アクセスに関するバス負荷を監視している。

20

【0073】

図 1 4 は第 4 の実施形態における CPU 1 1 の詳細図である。第 3 の実施形態と大きく異なる点は、CPU コア 1 1 1 から出力された CPU 関連デバッグ用データ S 3 2 を DEMUX 回路 1 1 5 により各データ群に分解し、そのデータ群を MUX 回路 1 1 6 で合成すると同時に、データ群の中にあるプログラムカウンタの値 S 3 1 をバス負荷監視回路 1 3 1 へ送信することである。

【0074】

図 1 5 は第 4 の実施形態におけるバス調停回路 1 3 の詳細図である。第 1 ないし第 3 の実施形態とは異なるのは、バス負荷監視回路 1 3 1 は CPU アクセス要求 S 0 1 およびクロック信号 S 1 2 の代わりに、プログラムカウンタの値 S 3 1 を用いることで、CPU アクセスに関するバス負荷を監視しているところである。

30

【0075】

図 1 6 は第 4 の実施形態におけるバス負荷監視回路 1 3 1 の詳細図であり、図 1 7 は第 4 の実施形態におけるバス負荷監視回路 1 3 1 の処理フローである。バス負荷監視回路 1 3 1 は、ルックアップテーブル 1 3 1 1 4 から構成されている。ルックアップテーブル 1 3 1 1 4 には、システム上で動作するプログラムにおいて、CPU アクセス負荷の多いルーチンまたはスレッドにおけるプログラムカウンタ開始値 1 3 1 1 4 1 および範囲 1 3 1 1 4 2 が記載されている。プログラムカウンタの値 S 3 1 がプログラムカウンタ開始値 1 3 1 1 4 1 から範囲 1 3 1 1 4 2 の内であれば、CPU アクセス要求が少ないと判定し、CPU アクセス要求が少ないときの DMA 転送サイズ指定要求、たとえば 0 / 1 信号における 1 を、プログラムカウンタ S 3 1 が範囲 1 3 1 1 4 2 から出るまで出力する。

40

【0076】

図 2 0 は第 4 の実施形態におけるビルダ 2 2 によるルックアップテーブル 1 3 1 1 4 作成処理フローである。ビルダ 2 2 はまずプログラム 2 1 をコンパイラ 2 2 1 でコンパイルし（F06）、リンカ 2 2 2 でリンクすることによりプログラムの実行形式を仮に作成する（F07）。次にシミュレータ 2 2 3 でプログラムの実行形式を用いてプログラムを実行する。プロファイラ 2 2 4 はプログラム内のルーチンまたはスレッドの単位でキャッシ

50

ュミス発生回数をカウント、およびプログラムカウンタの開始値 1 3 1 1 4 1 および範囲 1 3 1 1 4 2 を計測する (F 1 0)。シミュレータとプロファイラはプログラムのパラメータを複数回変更してプログラムを実行し、キャッシュミス回数を計測する。複数回のキャッシュミス回数から平均値を求め、CPU アクセス要求の数とする (F 2 2)。プロファイラ 2 2 4 はルーチンまたはタスクの CPU アクセス要求数を低い順にソートし、CPU アクセスの少ないルーチンまたはタスクにおけるプログラムカウンタ開始値 1 3 1 1 4 1 および範囲 1 3 1 1 4 2 を抽出してルックアップテーブル 1 3 1 1 4 の内容を作成する。プロファイラ 2 2 4 はルックアップテーブル 1 3 1 1 4 の内容をプログラムのソースファイルに変換し、プログラムの初期化においてルックアップテーブル 1 3 1 1 4 の内容をバス負荷監視回路 1 3 1 へ転送するルーチンを動かすようプログラムのソースファイルを書き換える (F 2 3)。

10

【0077】

コンパイラ 2 2 1 はルックアップテーブル 1 3 1 1 4 の書かれたソースファイル、およびルックアップテーブル 1 3 1 1 4 の内容をバス負荷監視回路 1 3 1 へ転送するルーチンの書かれたソースファイルをコンパイルし (F 1 5)、リンカ 2 2 2 はルックアップテーブル 1 3 1 1 4 を他のルーチンとリンクし (F 1 6)、実行ファイルを作成する。

【0078】

以上のようにルックアップテーブル 1 3 1 1 4 をバス負荷監視回路 1 3 1 に設置してプログラムカウンタの値 S 3 1 を読み込むことで、たとえば CPU 負荷の低いメモリとのデータ読み書きルーチンなどに関しては DMA 転送サイズを増やして転送効率を上げることができ、CPU 負荷の高い計算ルーチンにおいては DMA 転送サイズを減らして CPU でのメモリアクセスを迅速にすることが可能である。

20

【0079】

《実施形態 5》

図 2 1 には本発明の第 5 の実施形態に係るデータ処理システム (ターゲット機器) 1 がその開発環境 2 と共に例示される。第 1 ないし第 4 の実施形態と異なる点は、DMA 転送効率を上げるために、バス負荷監視回路 1 3 1 が DMA 転送サイズ指定要求 S 0 3 の代わりに DMA 転送モード指定要求 S 3 3 を出力し、DMA 制御装置 1 2 における DMA 転送モードを変更することである。要するに、CPU アクセスが少なければ、即ち所定の閾値を超えなければ DMA 転送モードをバーストモードとし、CPU アクセスが多ければ、即ち所定の閾値を超えれば DMA 転送モードをサイクルスチールモードとする。この場合の制御手法は前述の説明から極めて容易に類することができる内容であるからその詳細な説明は省略する。

30

【0080】

《実施形態 6》

図 2 2 には本発明の第 6 の実施形態に係るデータ処理システム (ターゲット機器) 1 がその開発環境 2 と共に例示される。第 1 ないし第 5 の実施形態と異なる点は、DMA 転送効率を上げるために、バス負荷監視回路 1 3 1 が DMA 転送サイズ指定要求 S 0 3 および DMA 転送モード指定要求 S 3 3 の両方を出力し、DMA 制御装置 1 2 における DMA 転送サイズおよび DMA 転送モードを変更することである。

40

【0081】

図 2 3 は第 6 の実施形態におけるバス調停回路 1 3 の詳細図である。実施形態 1 ないし 5 と違う点は、DMA 転送モード指定要求用と DMA 転送サイズ指定要求用とでバス負荷監視回路をそれぞれ 1 つずつ有するところである。DMA 転送モードのほうが DMA 転送サイズに比べて DMA の転送効率を向上させることができる反面、CPU からの DRAM アクセスを阻害する恐れがあるため、DMA 転送モード指定要求用閾値を DMA 転送サイズ指定要求用閾値より高く、DMA 転送モード指定要求用計測周期を DMA 転送サイズ指定要求用計測周期より長めに、それぞれ設定する。具体的には、DMA 転送モード指定要求用閾値および計測周期を DMA 転送サイズ指定要求用閾値の整数倍とする。

【0082】

50

《実施形態 7》

図 2 4 には本発明の第 7 の実施形態に係るデータ処理システム（ターゲット機器）1 がその開発環境 2 と共に例示される。第 1 ないし第 6 の実施形態と異なる点は、C P U が C P U アクセス要求 S 0 1 のほかにプログラムカウンタ値 S 3 1 を出力しており、かつバス負荷監視回路が D M A 転送サイズ指定要求 S 0 3 および D M A 転送モード指定要求 S 3 3 の両方を出力し、D M A 制御装置 1 2 における D M A 転送サイズおよび D M A 転送モードを変更することである。

【0083】

図 2 5 は本発明の第 7 の実施形態における、バス負荷監視回路 1 3 1 の処理フローである。プログラムカウンタの値 S 3 1 がプログラムカウンタ開始値 1 3 1 1 4 1 から範囲 1 3 1 1 4 2 の内であれば（F 0 2）、C P U アクセス要求 S 0 1 が少ないと判定し、C P U アクセス要求 S 0 1 が少ないときの D M A 転送サイズ指定要求 S 0 3、たとえば 0 / 1 信号における 1 を、プログラムカウンタ値が範囲から出るまで出力する（F 0 4 ないし F 0 5）。さらに、プログラムカウンタの値 S 0 3 がルックアップテーブル 1 3 1 1 4 のうち上位 n 番目に入っていれば（F 1 9）、ルックアップテーブル 1 3 1 1 4 は C P U アクセス要求 S 0 1 が少ない順にソートされているため、C P U アクセス要求 S 0 1 がさらに少ないと判定し、C P U アクセス要求 S 0 1 が少ないときの D M A 転送モード指定要求 S 3 3、たとえば 0 / 1 信号における 1 を、プログラムカウンタが範囲から出るまで出力する。ここで D M A 転送モード指定要求 S 0 7 の値が 0 のときはサイクルスチールモードを、1 のときはバーストモードを示す。

【0084】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0085】

本発明は、D M A C を備えたマイクロコンピュータ又はデータプロセッサだけでなく各種 S o C にも広く適用することができる。プログラム開発システムとしての開発環境は P C に構築されることに限定されず、エンジニアリングワークステーション等で構築することも可能である。C P U や D M A C がアクセスするメモリが D R A M に限定されずその他のメモリであってもよい。

【図面の簡単な説明】

【0086】

【図 1】本発明の第 1 の実施形態である、データ処理システムの全体図である。

【図 2】本発明の第 1 の実施形態におけるデータ処理システムの詳細図である。

【図 3】本発明の第 1 の実施形態における各種レジスタ類の詳細図である。

【図 4】本発明の第 1 の実施形態におけるレジスタ制御回路の詳細図である。

【図 5】本発明の第 1 の実施形態におけるバス調停回路の詳細図である。

【図 6】本発明の第 1 の実施形態におけるバス負荷監視回路の詳細図である。

【図 7】本発明の第 2 の実施形態におけるバス調停回路の詳細図である。

【図 8】本発明の第 2 の実施形態におけるバス負荷監視回路の詳細図である。

【図 9】本発明の第 3 の実施形態である、データ処理システムの全体図である。

【図 1 0】本発明の第 3 の実施形態における C P U の詳細図である。

【図 1 1】本発明の第 3 の実施形態におけるバス調停回路の詳細図である。

【図 1 2】本発明の第 3 の実施形態におけるバス負荷監視回路の詳細図である。

【図 1 3】本発明の第 4 の実施形態である、データ処理システムの全体図である。

【図 1 4】本発明の第 4 の実施形態における C P U の詳細図である。

【図 1 5】本発明の第 4 の実施形態におけるバス調停回路の詳細図である。

【図 1 6】本発明の第 4 の実施形態におけるバス負荷監視回路の詳細図である。

【図 1 7】本発明の第 4 の実施形態におけるバス負荷監視回路の処理フローである。

【図 1 8】本発明の第 1 の実施形態におけるビルダの詳細図である。

【図 19】本発明の第 1 の実施形態における D R A M アクセス回数の閾値 S 1 8 および計測周期 S 1 9 のビルダ 2 2 による計算処理フローである。

【図 20】本発明の第 4 の実施形態における、ビルダによるルックアップテーブル作成処理フローである。

【図 21】本発明の第 5 の実施形態である、データ処理システムの全体図である。

【図 22】本発明の第 6 の実施形態である、データ処理システムの全体図である。

【図 23】本発明の第 6 の実施形態におけるバス負荷監視回路の詳細図である。

【図 24】本発明の第 7 の実施形態である、データ処理システムの全体図である。

【図 25】本発明の第 7 の実施形態におけるバス負荷監視回路の処理フローである。

【図 26】本発明の第 1 の実施形態における D R A M へのアクセス要求の詳細図である。

10

【図 27】本発明の第 1 の実施形態における D R A M の第 1 のタイムチャートである。

【図 28】本発明の第 1 の実施形態における D R A M の第 2 のタイムチャートである。

【符号の説明】

【0087】

1 ターゲット機器

1 1 C P U

1 1 1 C P U コア

1 1 2 キャッシュ

1 1 3 キャッシュ用デマルチプレクサ

1 1 4 キャッシュ用マルチプレクサ

20

1 1 5 C P U コア用デマルチプレクサ

1 1 6 C P U コア用マルチプレクサ

1 2 D M A 制御装置 (D M A C)

1 2 1 レジスタ制御回路

1 2 1 1 レジスタ書込内容生成部

1 2 1 2 従来のレジスタ制御回路

1 2 1 3 デマルチプレクサ

1 2 1 4 マルチプレクサ

1 2 2 各種制御回路

1 2 3 バス I / F

30

1 2 4 各種レジスタ類

1 2 5 D M A 制御装置内部バス

1 3 バス調停回路

1 3 1 バス負荷監視回路

1 3 1 0 1 条件付カウンタ

1 3 1 0 2 タイマ用カウンタ

1 3 1 0 3 D M A 転送サイズ判定用比較器

1 3 1 0 4 タイマ信号生成用比較器

1 3 1 0 5 サンプル & ホールド回路

1 3 1 0 6 C P U アクセス要求数閾値格納メモリ

40

1 3 1 0 7 C P U アクセス要求数計測周期格納メモリ

1 3 1 0 8 バッファ空き容量時間積分器

1 3 1 0 9 バッファ空き容量時間積分閾値格納メモリ

1 3 1 1 0 バッファ空き容量時間積分値計測周期格納メモリ

1 3 1 1 1 キャッシュミス信号数用条件付カウンタ

1 3 1 1 2 キャッシュミス信号数閾値格納メモリ

1 3 1 1 3 キャッシュミス信号計測周期格納メモリ

1 3 1 1 4 ルックアップテーブル

1 3 1 1 4 1 プログラムカウンタ開始値

1 3 1 1 5 1 プログラムカウンタ範囲

50

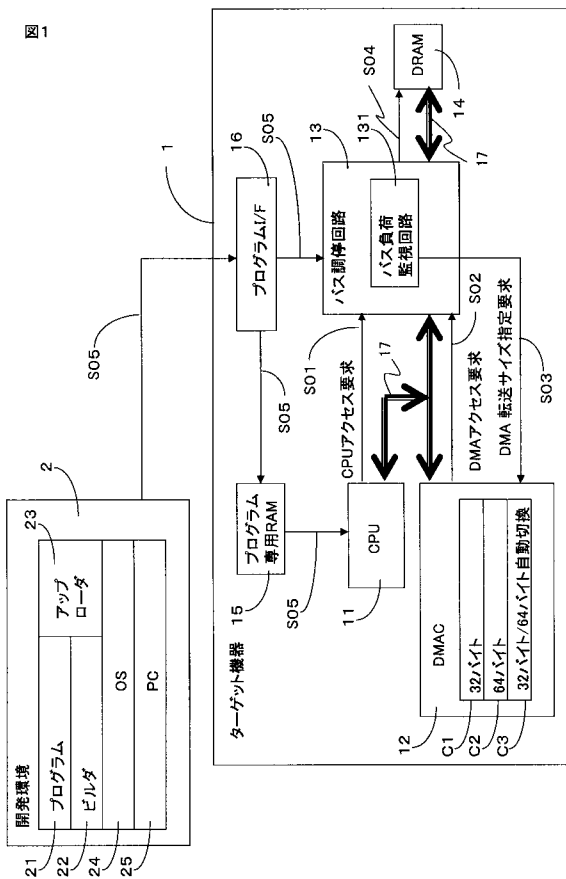
1 3 2	D M A 用 キ ュ ー バ ッ フ ァ	
1 3 3	C P U 用 キ ュ ー バ ッ フ ァ	
1 3 4	優 先 順 位 判 定 回 路	
1 3 5	セ レ ク タ	
1 4	D R A M	
1 5	プ ロ グ ラ ム 専 用 R A M	
1 6	プ ロ グ ラ ム I / F	
1 7	バ ス	
2	開 発 環 境	
2 1	プ ロ グ ラ ム	10
2 2	ビ ル ダ	
2 2 1	コ ン パ イ ラ	
2 2 2	リ ン カ	
2 2 3	シ ミ ュ レ ー タ	
2 2 4	プ ロ ファ イ ラ	
2 3	ア ッ プ ロ ー ダ	
2 4	O S	
2 5	P C	
S 0 1	C P U ア ク セ ス 要 求	
S 0 2	D M A ア ク セ ス 要 求	20
S 0 3	D M A 転 送 サ イ ズ 指 定 要 求	
S 0 4	D R A M ア ク セ ス	
S 0 4 1	ア ク セ ス 要 求 元 識 別 子	
S 0 4 2	ア ク セ ス 先 ア ド レ ス	
S 0 4 3	ア ク セ ス サ イ ズ	
S 0 4 4	リ ー ド / ラ イ ト 判 別 子	
S 0 4 5	書 き 込 み デ ー タ	
S 0 5	プ ロ グ ラ ム 実 行 形 式	
S 0 6	プ ロ グ ラ ム 内 命 令	
S 0 7	レ ジ ス タ 書 込 内 容	30
S 0 7 1	D M A 転 送 サ イ ズ 指 定 ビ ッ ト	
S 0 8	各 種 信 号	
S 0 9	レ ジ ス タ 書 込 内 容 (D M A 転 送 サ イ ズ 指 定 要 求 反 映 後)	
S 1 0	各 種 レ ジ ス タ 初 期 化 信 号	
S 1 1	レ ジ ス タ 内 容	
S 1 2	ク ロ ッ ク 信 号	
S 1 3	選 択 信 号	
S 1 4	C P U ア ク セ ス 要 求 数	
S 1 5	タ イ マ 用 カ ウ ン タ 信 号	
S 1 6	D M A 転 送 サ イ ズ 指 定 要 求 連 続 値	40
S 1 7	タ イ マ 信 号	
S 1 8	C P U ア ク セ ス 要 求 数 閾 値 信 号	
S 1 9	C P U ア ク セ ス 要 求 数 計 測 周 期 信 号	
S 2 0	C P U 用 キ ュ ー バ ッ フ ァ 空 き 容 量	
S 2 1	C P U 用 キ ュ ー バ ッ フ ァ 空 き 容 量 時 間 積 分 値	
S 2 2	C P U 用 キ ュ ー バ ッ フ ァ 空 き 容 量 時 間 積 分 閾 値	
S 2 3	C P U 用 キ ュ ー バ ッ フ ァ 空 き 容 量 時 間 積 分 値 計 測 周 期	
S 2 4	キャ ッ シ ュ ミ ス 信 号	
S 2 5	キャ ッ シ ュ ア ク セ ス 要 求	
S 2 6	キャ ッ シ ュ 内 デ ー タ	50

S 2 7	キャッシュ関連デバッグ用データ	
S 2 8	キャッシュミス信号数	
S 2 9	キャッシュミス信号数閾値	
S 3 0	キャッシュミス信号数計測周期	
S 3 1	プログラムカウンタ値	
S 3 2	CPU関連デバッグ用データ	
S 3 3	DMA転送モード指定要求	
C 1	DMA転送サイズ32バイト設定	
C 2	DMA転送サイズ64バイト設定	
C 3	DMA転送サイズ32バイト／64バイト自動切換設定	10
C 4	DMA転送サイクルスチールモード設定	
C 5	DMA転送バーストモード設定	
C 6	DMA転送サイクルスチール／バースト自動切換モード設定	
C 7	DMA転送量・転送方法自動切換モード設定	
F 0 1	プログラムカウンタ開始値＋範囲計算処理	
F 0 2	プログラムカウンタ値判定処理	
F 0 3	ルックアップテーブル全文読込完了判定処理	
F 0 4	DMA転送サイズ0指定処理	
F 0 5	DMA転送サイズ1指定処理	
F 0 6	プログラムのコンパイル処理	20
F 0 7	プログラムのリンク処理	
F 0 8	DMAアクセス間隔判定処理	
F 0 9	レジスタ設定値からDMAアクセス間隔を求める処理	
F 1 0	シミュレーション実行処理	
F 1 1	プロファイル計測結果からDMAアクセス間隔を求める処理	
F 1 2	CPUアクセス計測間隔算出処理	
F 1 3	CPUアクセス要求数平均値算出処理	
F 1 4	CPUアクセス要求閾値計算処理	
F 1 5	プログラム再コンパイル処理	
F 1 6	プログラム再リンク処理	30
F 1 7	プログラムアップロード処理	
F 1 8	ルックアップテーブル作成処理	
F 1 9	ルックアップテーブル順位判定処理	
F 2 0	DMA転送モード0設定処理	
F 2 1	DMA転送モード1設定処理	
F 2 2	CPUアクセス回数計算処理	
T 0 1	DMA転送サイズ32バイト固定時タイムチャート	
T 0 2	DMA転送サイズ自動切換時タイムチャート	
T 0 3	DRAMアクセスのオーバーヘッド時間	
T 0 4	DMAによる32バイトDRAMアクセスにかかる時間	40
T 0 5	DMAによる64バイトDRAMアクセスにかかる時間	
T 0 6	DMA転送量切換タイミング境界線	
T 0 7	DMA転送量切換タイミング境界印	
T 0 8	DMA転送サイズ自動切換時の転送完了を示す境界線	
T 0 9	DMA転送サイズ32バイト固定時の転送完了を示す境界線	
T 1 0	CPUアクセス計測期間を示す矢印	
T 1 1	DMA転送サイズ自動切換時と固定時とのアクセス時間差	
T 1 2	CPUからのDRAMアクセスにかかる時間	
T 1 3	DMA転送サイズ自動切換時のCPUアクセス完了を示す境界線	
T 1 4	DMA転送サイズ固定時のCPUアクセス完了を示す境界線	50

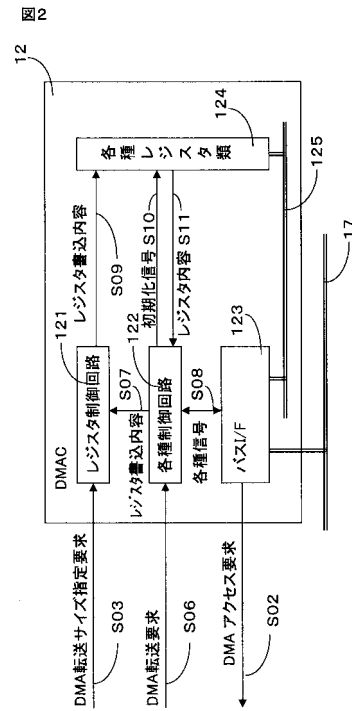
T 1 5 D M A 転送サイズ自動切換時と固定時との C P U アクセス時間差

T 1 6 D M A 転送サイズ 6 4 バイト 固定時 タイム チャート

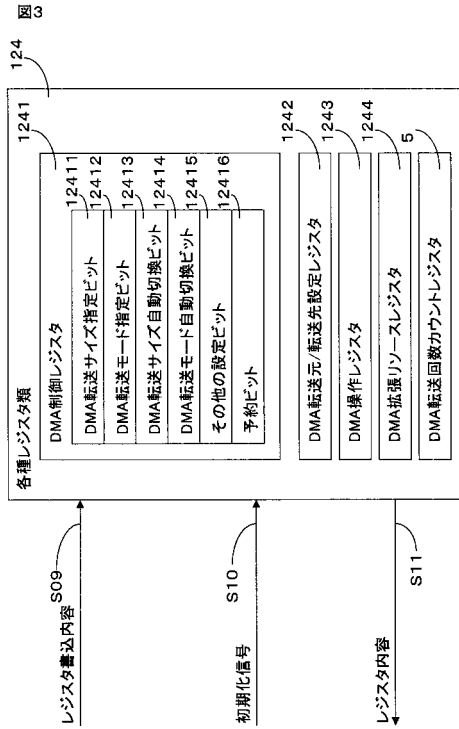
【 図 1 】



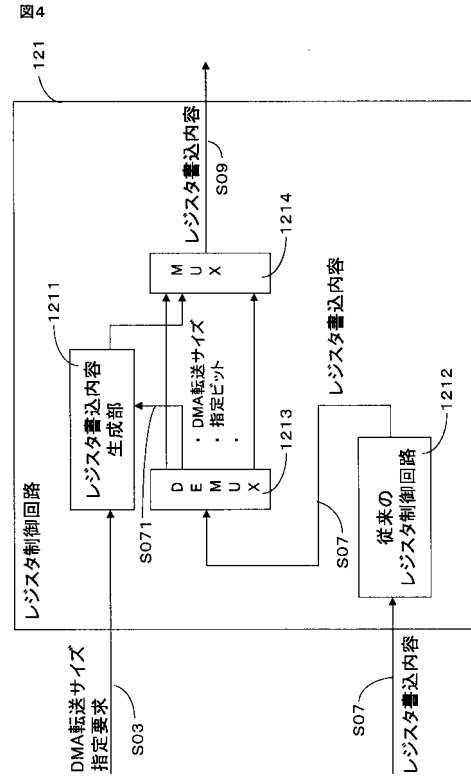
【図 2】



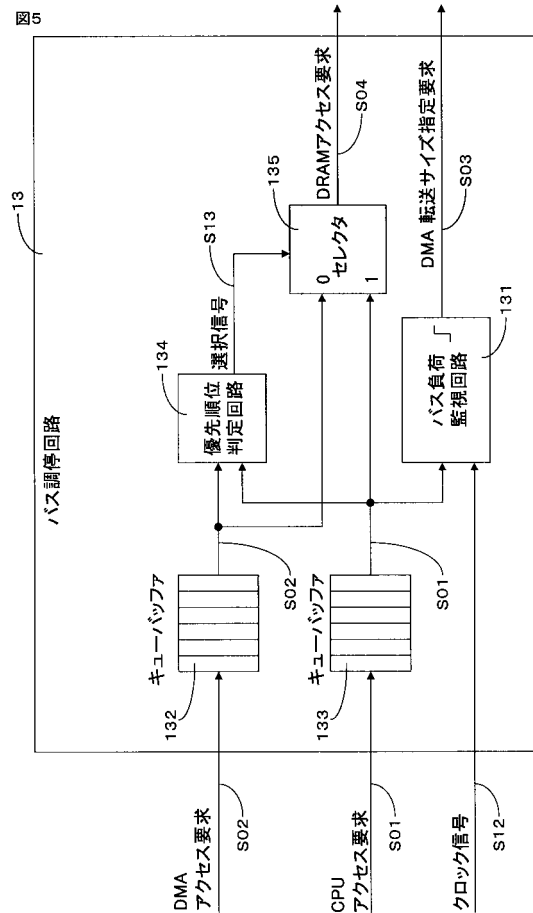
【 図 3 】



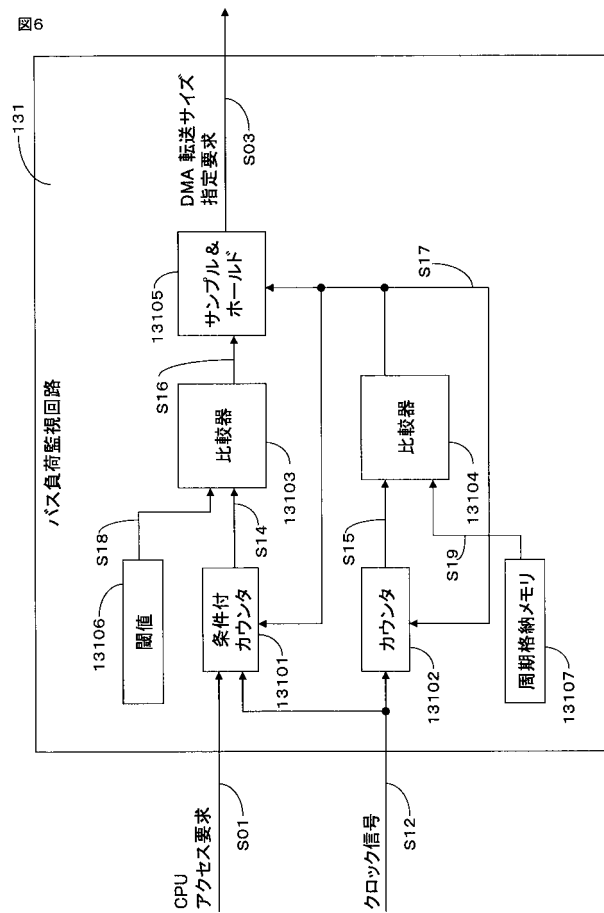
【図 4】



【 図 5 】

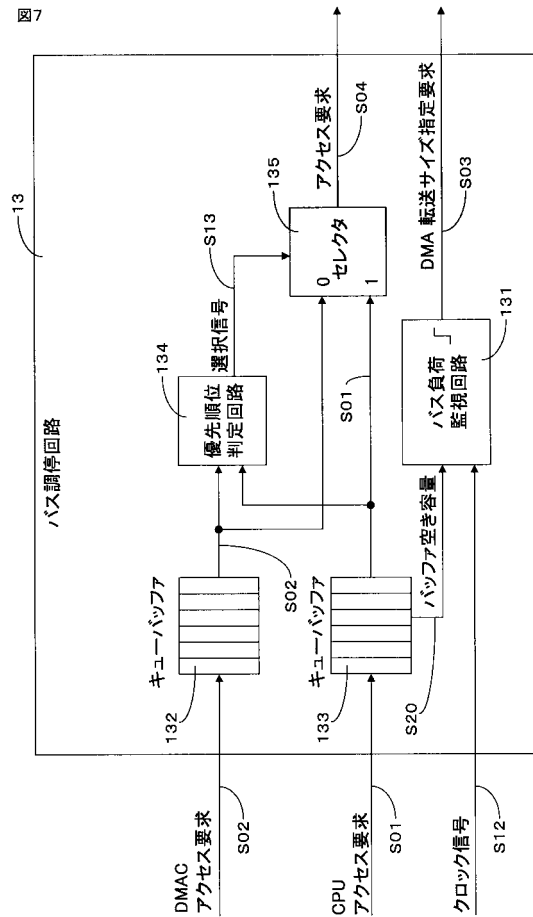


【 図 6 】



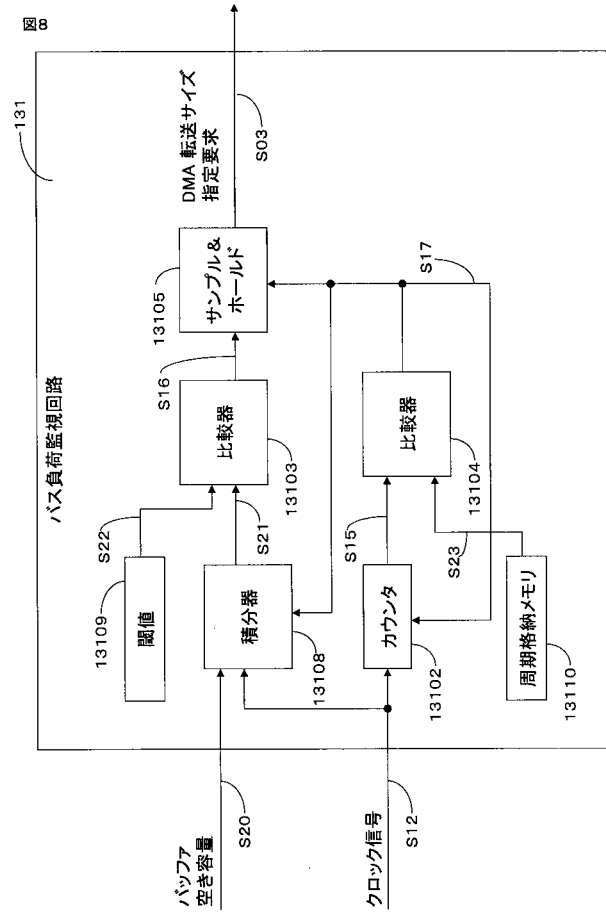
【図 7】

図 7



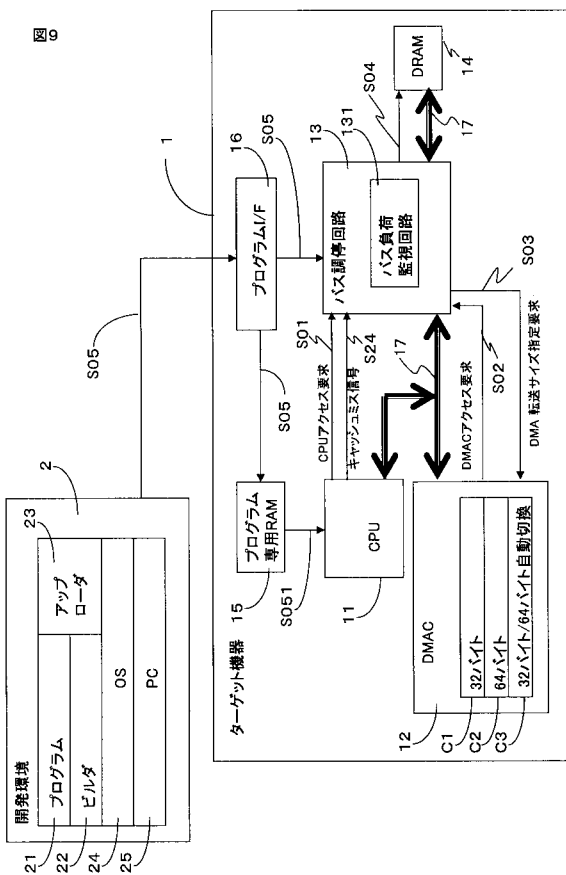
【図 8】

図 8



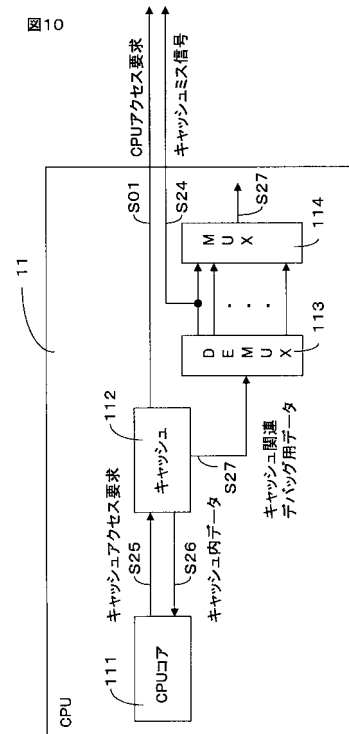
【図 9】

図 9

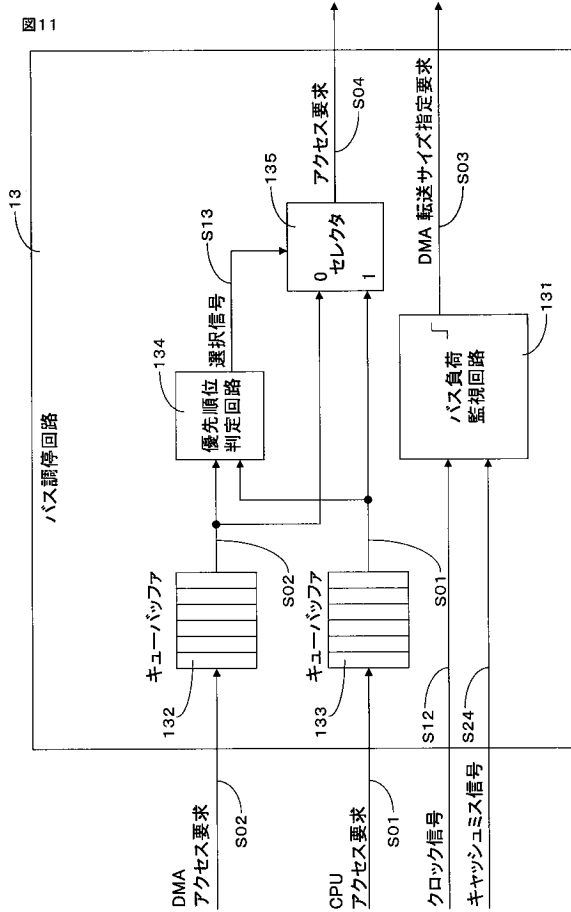


【図 10】

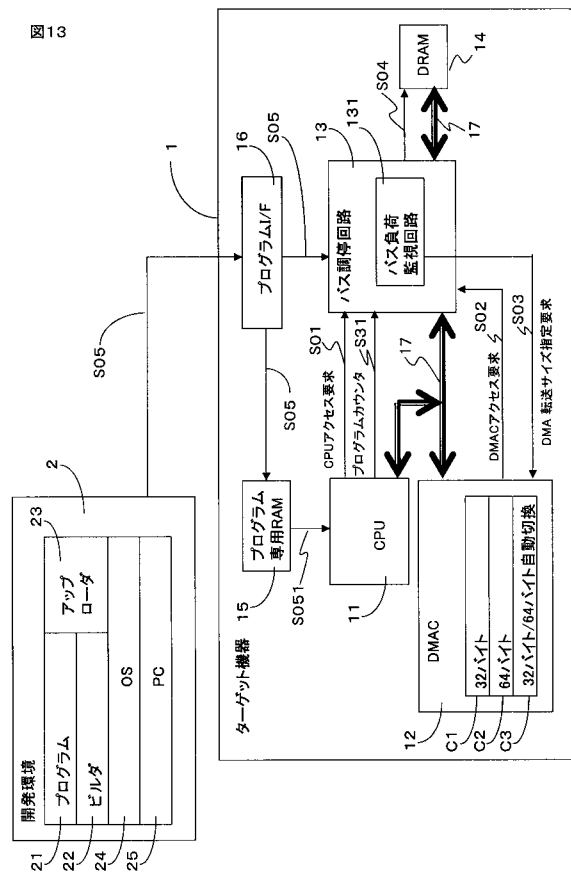
図 10



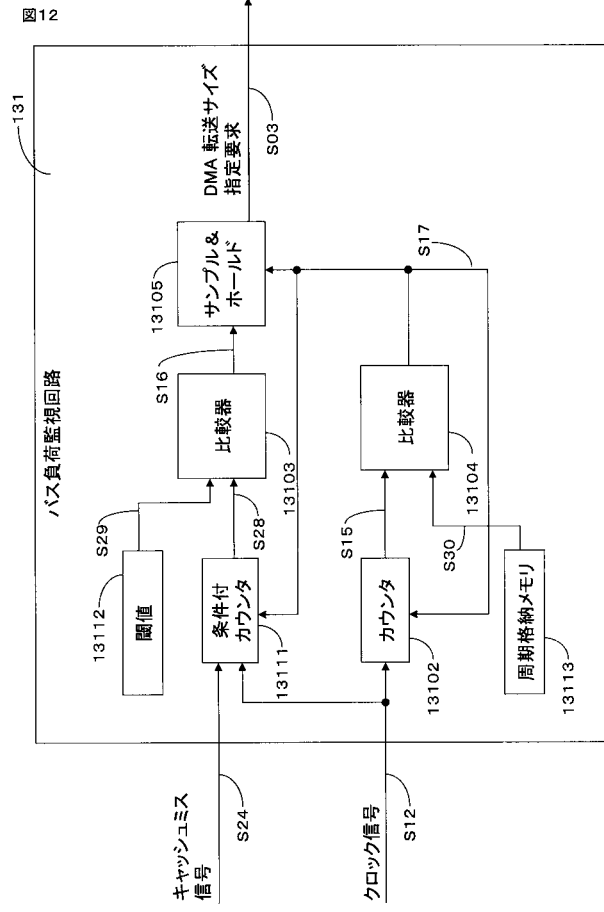
【図 1 1】



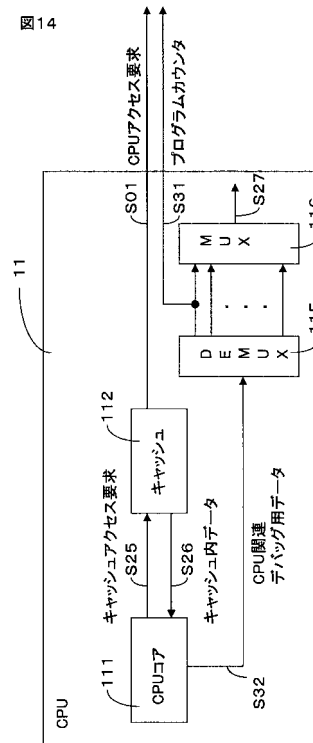
【図 1 3】



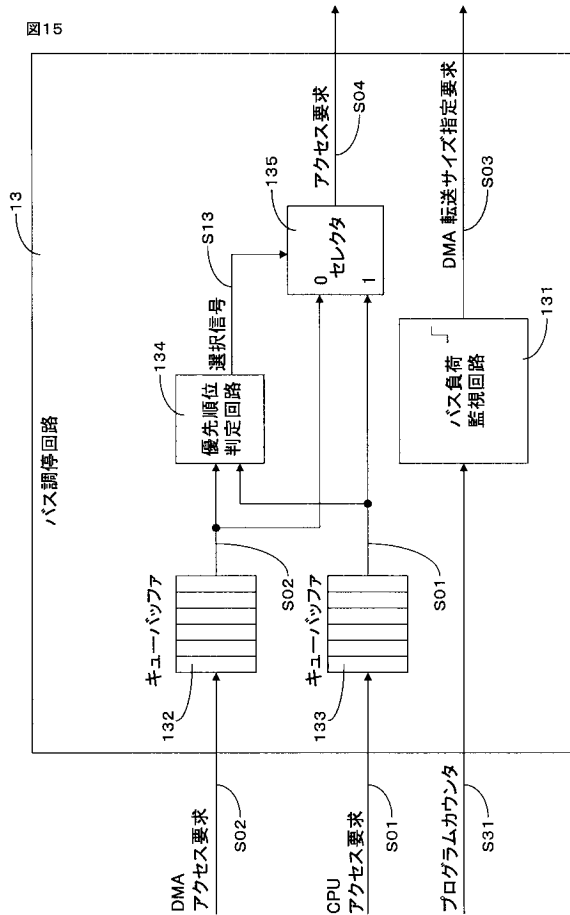
【図 1 2】



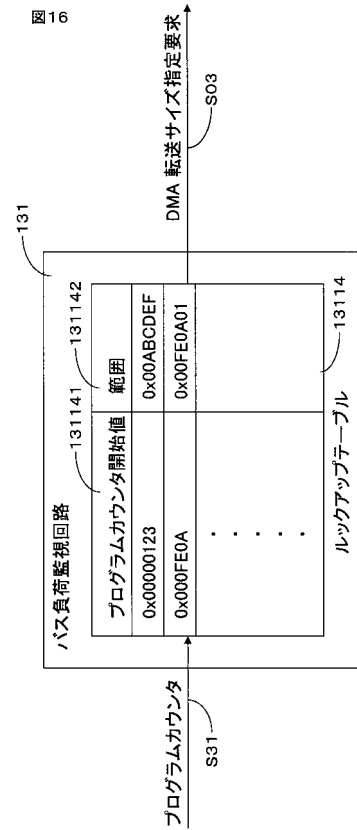
【図 1 4】



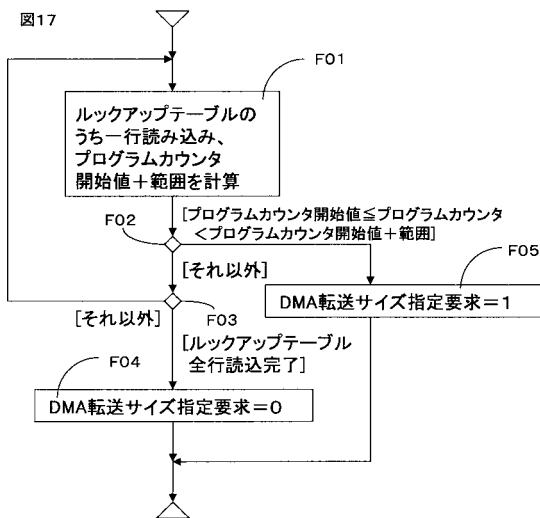
【図 15】



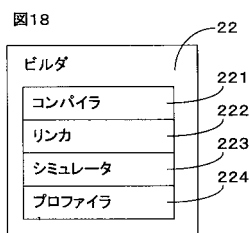
【図 16】



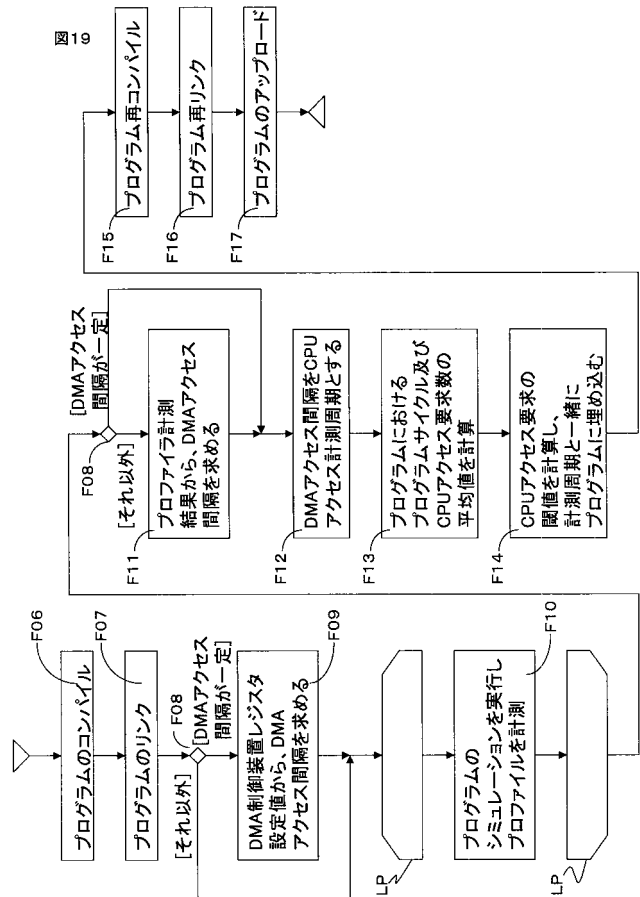
【図 17】



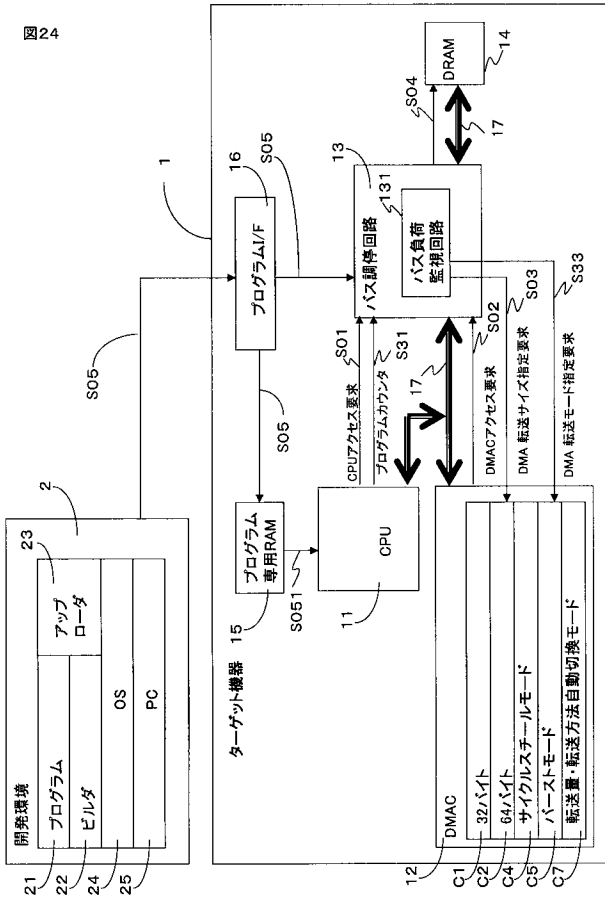
【図 18】



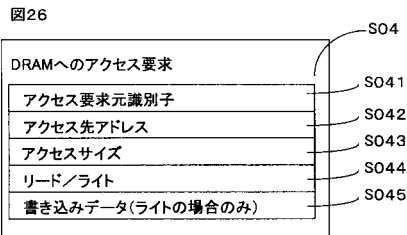
【図 19】



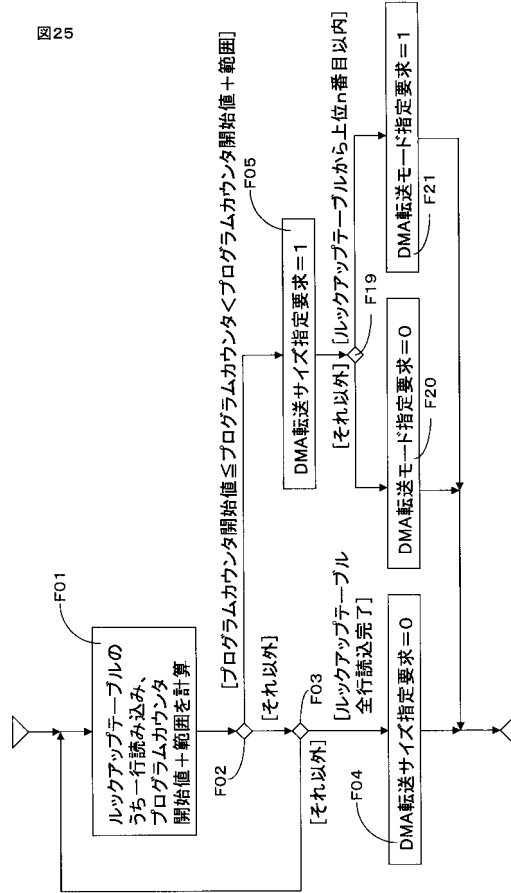
【図 24】



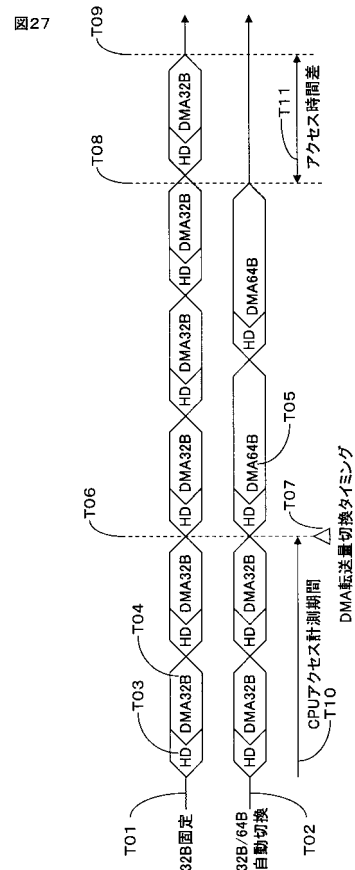
【図 26】



【図 25】



【図 27】



【図 28】

図 28

