

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月3日(03.12.2020)



(10) 国際公開番号

WO 2020/240340 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) **H01L 27/04** (2006.01)
H01L 21/822 (2006.01) **H01L 27/06** (2006.01)
H01L 21/8234 (2006.01) **H01L 27/088** (2006.01)

(21) 国際出願番号: PCT/IB2020/054715

(22) 国際出願日: 2020年5月19日(19.05.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-102079 2019年5月31日(31.05.2019) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(**SEMICONDUCTOR ENERGY LABORATORY CO., LTD.**) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

(72) 発明者: 八窪裕人(**YAKUBO, Yuto**); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 国

武寛司(**KUNITAKE, Hitoshi**); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 池田隆之(**IKEDA, Takayuki**); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

図4A

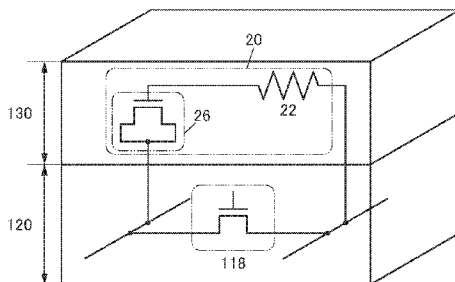
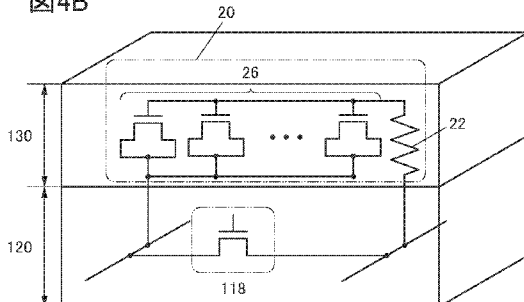


図4B



(57) Abstract: Provided is a semiconductor device for which an increase in the circuit surface-area is suppressed. The semiconductor device includes a first circuit layer and a second circuit layer which is on the first circuit layer. The first circuit layer includes a first transistor, and the second circuit layer includes a second transistor. The gate of the second transistor is electrically connected to one of the source and the drain of the first transistor. The source or the drain of the second transistor is electrically connected to the other of the source and the drain of the first transistor. The semiconductor layer of the second transistor includes a metal oxide.

(57) 要約: 回路面積の増大を抑制する半導体装置を提供する。第1の回路層と、第1の回路層上の第2の回路層と、を有し、第1の回路層は、第1のトランジスタを有し、第2の回路層は、第2のトランジスタを有し、第2のトランジスタのゲートは、第1のトランジスタのソース、およびドレインの一方と電氣的に接続し、第2のトランジスタのソース、およびドレインは、第1のトランジスタのソース、およびドレインの他方と電氣的に接続し、第2のトランジスタの半導体層は、金属酸化物を含む。

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

明細書

発明の名称

半導体装置

技術分野

[0001]

本発明の一態様は、トランジスタ、半導体装置、および電子機器に関する。また、本発明の一態様は、半導体装置の作製方法に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

[0003]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。また、表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、撮像装置、および電子機器などは、半導体素子や半導体回路を含む場合がある。よって、表示装置、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、撮像装置、および電子機器なども、半導体装置と呼ばれる場合がある。

背景技術

[0004]

通信技術の発達により、大容量のデータを高速で送受信する通信手段が注目されている。多くの通信手段が提案される中で、第4世代移動通信システム（4G）に準拠した通信手段、または第5世代移動通信システム（5G）に準拠した通信手段は特に注目されている（特許文献1）。5Gに準拠した通信手段では、500MHz以上52GHz以下の周波数帯が用いられる。大容量データの高速度通信により、通信のリアルタイム性の向上が期待でき、複数の端末の同時制御が可能となる。

[0005]

massive Machine Type Communications (mMTC) では、搬送波から電圧を生成するための回路を搭載した電池レスなエッジ端末なども期待される。このような回路として、例えば、DCDCコンバータ回路（降圧コンバータ回路と呼ぶ場合がある）が用いられる。

[先行技術文献]

[特許文献]

[0006]

[特許文献1] 米国特許公開第2019/0090218号公報

発明の概要

発明が解決しようとする課題

[0007]

上記のような通信手段に用いられる回路には、高速なスイッチング動作が要求される。すなわち、大容量のデータを高速で送受信するためには、GHz帯の周波数特性を有する回路が要求される。例えば、該回路は、1GHz以上、好ましくは2GHz以上、より好ましくは6GHz以上の周波

数特性を有することが好ましい。また、該回路に入力される信号を復調する際、ロジック処理をパラレルで行うことで、該回路が有する周波数特性よりも高い周波数の入力信号を処理することができる。例えば、2 GHzの周波数特性を有する回路において入力信号を復調する際、入力信号を3分割し、パラレルでロジック処理することで、6 GHzの周波数の入力信号を処理することができる。

[0008]

しかしながら、動作周波数が高くなると、当該回路の配線に生じる寄生インダクタンスに起因する影響が大きくなる。例えば、この寄生インダクタンスに起因して、当該回路のスイッチング動作の過渡期間において、電圧の急上昇または急降下が生じる場合がある。このような現象をリングング現象と呼び、このとき生じる過剰な電圧をスパイク電圧と呼ぶ場合がある。スパイク電圧が、回路、または回路に含まれる素子の耐圧を超えると、これらを破損する恐れがある。また、リングング現象により生成されるノイズ（リングングノイズと呼ぶ場合がある）の周波数が、回路の動作周波数と異なる場合、回路の誤動作を引き起こす恐れがある。寄生インダクタンスを低減するためには、回路内の各配線を短くする方法が考えられるが、回路を構成する上で限界がある。

[0009]

そこで、スパイク電圧やリングングの発生を抑制する手段として、回路内のスイッチと並列に、スナバ回路を設ける方法が知られている。スナバ回路とは、容量と抵抗を直列に接続した回路である。スナバ回路に設けられた容量は、スイッチONの過渡期間においてスパイク電圧やリングングノイズを充電し、スイッチOFFの過渡期間において充電した電圧を放出する。これにより回路内の安定したスイッチング動作が可能となる。

[0010]

しかし、高周波での高速スイッチング動作によるスパイク電圧やリングングの発生を抑制するには、非常に大きな容量が要求される。動作周波数とインダクタンスに応じて数pF以上、または数百pF以上の容量が必要であり、容量の形成に必要な回路面積が増大してしまうという問題がある。

[0011]

本発明の一態様は、スナバ回路を有する電圧生成回路において、回路面積の増大が抑制された半導体装置を提供することを課題の一とする。

課題を解決するための手段

[0012]

本発明の一態様は、第1の回路層と、第1の回路層上の第2の回路層と、を有し、第1の回路層は、第1のトランジスタを有し、第2の回路層は、第2のトランジスタを有し、第2のトランジスタのゲートは、第1のトランジスタのソース、およびドレインの一方と電氣的に接続し、第2のトランジスタのソース、およびドレインは、第1のトランジスタのソース、およびドレインの他方と電氣的に接続し、第2のトランジスタの半導体層は、金属酸化物を含む、半導体装置である。

[0013]

上記において、第1のトランジスタの半導体層は、Si、Ge、およびGaから選ばれた一または複数を含むことが好ましい。

[0014]

また、本発明の一態様は、第1のトランジスタを有する第1の回路と、第1の回路に電氣的に接続されたスナバ回路と、を有し、スナバ回路の第1の端子は、第1のトランジスタのソース、および

ドレインの一方と電氣的に接続し、スナバ回路の第2の端子は、第1のトランジスタのソース、およびドレインの他方と電氣的に接続し、スナバ回路は、MOSキャパシタを有し、MOSキャパシタの第1の半導体層は、金属酸化物を含み、第1のトランジスタの第2の半導体層は、第1の半導体層と異なる材料を含む、半導体装置である。

[0015]

上記において、第1の回路層は、DCDCコンバータを含み、DCDCコンバータは、第1のトランジスタを含むことが好ましい。

[0016]

上記において、第2の半導体層は、Si、Ge、およびGaから選ばれた一または複数を含むことが好ましい。

[0017]

また、本発明の一態様は、第1の回路層と、第1の回路層上の第2の回路層と、第2の回路層上の第3の回路層と、を有し、第2の回路層は、第1の回路層と電氣的に接続する第1のMOSキャパシタを有し、第3の回路層は、第1のMOSキャパシタと並列に接続する第2のMOSキャパシタを有し、第1のMOSキャパシタの半導体層、および第2のMOSキャパシタの半導体層は、金属酸化物を含む、半導体装置である。

[0018]

上記において、金属酸化物は、In、Ga、およびZnの少なくとも一を含む酸化物を含むことが好ましい。

発明の効果

[0019]

本発明の一態様により、スナバ回路を有する電圧生成回路において、回路面積の増大が抑制された半導体装置を提供することが可能になる。

図面の簡単な説明

[0020]

図1は、本発明の一態様を説明する回路図である。

図2A乃至図2Dは、本発明の一態様を説明する回路図である。

図3Aおよび図3Bは、本発明の一態様を説明する回路図である。

図4Aおよび図4Bは、本発明の一態様を説明する模式図である。

図5は、本発明の一態様を説明する模式図である。

図6は、本発明の一態様の半導体装置の構成例を示す断面図である。

図7は、本発明の一態様の半導体装置の構成例を示す断面図である。

図8A乃至図8Cは、トランジスタの構造例を示す断面図である。

図9は、本発明の一態様の半導体装置の構成例を示す断面図である。

図10Aは、半導体ウエハの上面図である。図10Bは、チップの上面図である。

図11Aは、電子部品の作製工程例を説明するフローチャートである。図11Bは、電子部品の斜視模式図である。

図12は、電子機器の一例を示す図である。

図13A乃至図13Fは、電子機器の一例を示す図である。

図14は、IoTネットワークの階層構造と要求仕様の傾向を示す図である。

図15は、ファクトリーオートメーションのイメージ図である。

発明を実施するための形態

[0021]

(実施の形態1)

<スイッチとスナバ回路>

図1は、ある回路内において、スイッチ10にスナバ回路20が接続された例を示す図である。スナバ回路20には、抵抗22、および容量24が設けられ、抵抗22の一方の端子が、容量24の一方の電極と電氣的に接続する。抵抗22の端子の他方は、スイッチ10の一方の端子と電氣的に接続し、容量24の電極の他方は、スイッチ10の他方の端子と電氣的に接続する。

[0022]

スイッチ10をオン、またはオフする際、当該回路が有するインダクタンス（自己インダクタンスだけでなく、寄生インダクタンス、および浮遊インダクタンスも含む）により生じるリングングノイズ、またはスパイク電圧をスナバ回路20が吸収する。

[0023]

<OS-MOSキャパシタ>

本発明の一態様では、図1に示すスナバ回路20が有する容量24として、半導体層に金属酸化物を用いたMOSキャパシタを用いる。該金属酸化物は、酸化物半導体（Oxide Semiconductor: OS）として機能することが好ましく、本明細書では、半導体層に金属酸化物を用いたMOSキャパシタをOS-MOSキャパシタと呼ぶ。

[0024]

図2A乃至図2Dに、スナバ回路20の容量24として、OS-MOSキャパシタ26を設ける例を示す。OS-MOSキャパシタ26には、半導体層にOSを用いた電界効果トランジスタ（OS-FETと呼ぶ）を用いることができる。OS-FETのゲートをOS-MOSキャパシタの第1の電極とし、お互いに電氣的に接続されたソース、およびドレインを第2の電極として用いる。

[0025]

図2Aでは、第1の電極が抵抗22と電氣的に接続し、第2の電極がスイッチ10と電氣的に接続する例を示す。図2Bでは、第1の電極がスイッチ10と電氣的に接続し、第2の電極が抵抗22と電氣的に接続する例を示す。図2Cでは、容量24として、2つのOS-MOSキャパシタ26A、および26Bを用いる例を示す。OS-MOSキャパシタ26Aの第1の電極が抵抗22と電氣的に接続し、OS-MOSキャパシタ26Aの第2の電極とOS-MOSキャパシタ26Bの第2の電極が電氣的に接続し、OS-MOSキャパシタ26Bの第1の電極がスイッチ10と電氣的に接続する。

[0026]

また、スナバ回路20に設けられるOS-MOSキャパシタ26の数は特に制限されず、スナバ回路20、またはスナバ回路20が設けられる回路が必要とする容量値に応じて、複数設けることができる。図2Dは、容量24として、複数のOS-MOSキャパシタ26が並列に接続されている例を示す。なお、OS-MOSキャパシタの構成はこれに限らない。図2B、または図2Cに示す構成のOS-MOSキャパシタを並列に接続することができる。

[0027]

容量24として、複数のOS-MOSキャパシタを設ける場合、複数のOS-FETを用意し、そ

それぞれのゲートを電氣的に接続することで容量24の第1の電極とし、それぞれのソースおよびドレインを電氣的に接続することで容量24の第2の電極とすることができる。

[0028]

図2Dでは、容量24の第1の電極が抵抗22と電氣的に接続し、第2の電極がスイッチ10と電氣的に接続する例を示すが、本実施の形態はこれに限らない。容量24の第1の電極がスイッチ10と電氣的に接続し、第2の電極が抵抗22と電氣的に接続してもよい。

[0029]

<DCDCコンバータ回路>

図3Aに示すコンバータ回路111は、トランジスタ112、コイル113、トランジスタ118、コンデンサ115、抵抗116を有するDCDCコンバータ回路（同期整流型降圧コンバータ回路）である。

[0030]

トランジスタ112のソースおよびドレインの一方は、電源117の一方の電極に電氣的に接続されている。トランジスタ112のソースおよびドレインの他方は、トランジスタ118のソースおよびドレインの一方、およびコイル113の一方の端子と電氣的に接続されている。トランジスタ118のソースおよびドレインの他方は、電源117の他方の電極、コンデンサ115の一方の端子、および抵抗116の一方の端子に電氣的に接続されている。コイル113の他方の端子は、コンデンサ115の他方の端子、抵抗116の他方の端子、および出力端子OUTに電氣的に接続されている。なお、電源117の他方の電極、トランジスタ118のソースおよびドレインの他方、コンデンサ115の一方の端子、および抵抗116の一方の端子は、端子GNDに電氣的に接続され、接地されている。

[0031]

トランジスタ112はスイッチング素子として機能する。またトランジスタ112のゲートは、コンバータ回路111の制御回路に接続されている。コンバータ回路111の制御回路からの信号により、トランジスタ112はオン状態あるいはオフ状態となる。

[0032]

ここで、電源117の一方の電極の電位をV1、出力端子OUTの電位をV2とする。スイッチング素子であるトランジスタ112がオン状態のとき、V2とV1は等電位となる。このとき、入力から出力に流れる降圧コンバータ回路の電流により、コイル113には励磁エネルギーが蓄えられる。

[0033]

トランジスタ112がオフ状態になると、トランジスタ118は、トランジスタ112のオフに同期してオン状態となる。トランジスタ118を通じて電流が流れることによって、電圧V2が低下する。電圧V1より電圧V2が低下するため、コンバータ回路111は降圧コンバータ回路として機能する。

[0034]

トランジスタ112、およびトランジスタ118のスイッチング動作により、コンバータ回路111内には、リングングノイズ、またはスパイク電圧が生じる場合がある。特に、4G、または5Gに準拠した通信手段などに用いられる500MHz以上52GHz以下の周波数帯を処理する回路においては、リングングノイズやスパイク電圧の影響が顕著に表れる場合がある。これらの影響を

抑制するため、コンバータ回路111に、スナバ回路20が設けられる。

[0035]

図3Aにおいて、スナバ回路20の一方の端子は、トランジスタ112のソースおよびドレインの他方、トランジスタ118のソースおよびドレインの一方、およびコイル113の一方の端子と電氣的に接続されている。また、スナバ回路20の端子の他方は、トランジスタ118のソースおよびドレインの他方、電源117の他方の電極、コンデンサ115の一方の端子、および抵抗116の一方の端子に電氣的に接続されている。

[0036]

スナバ回路20には、図2A乃至図2Dに示した構成を用いることができる。また、抵抗22側をスナバ回路20の一方の端子、容量24側をスナバ回路20の他方の端子としたが、本実施の形態はこれに限らない。容量24側をスナバ回路20の一方の端子としてトランジスタ118のソースおよびドレインの一方などと電氣的に接続し、抵抗22側をスナバ回路20の他方の端子としてトランジスタ118のソースおよびドレインの他方などと電氣的に接続してもよい。

[0037]

このとき、トランジスタ112、およびトランジスタ118が設けられる層と、OS-MOSキャパシタ26が設けられる層は、それぞれ異なることが好ましい。このようにすることで、OS-MOSキャパシタ26によるコンバータ回路111などの回路の面積増加を抑制することができる。

[0038]

例えば、半導体基板の一部がトランジスタ112、およびトランジスタ118のチャネル形成領域となるように、該半導体基板にトランジスタ112、およびトランジスタ118を設け、トランジスタ112、およびトランジスタ118の上方にOS-MOSキャパシタ26を設けることが好ましい。半導体基板が含む材料として、Si、Ge、SiGe、GaAs、GaAlAs、GaN、InPなどを用いることができる。

[0039]

または、絶縁表面上にトランジスタ112、およびトランジスタ118を設け、トランジスタ112、およびトランジスタ118の上方にOS-MOSキャパシタ26を設けてもよい。絶縁表面上にスパッタリング法、化学気相成長（CVD: Chemical Vapor Deposition）法、分子線エピタキシー（MBE: Molecular Beam Epitaxy）法、パルスレーザ堆積（PLD: Pulsed Laser Deposition）法、またはALD（Atomic Layer Deposition）法などを用いて半導体層を形成し、トランジスタ112、およびトランジスタ118のチャネル形成領域としてもよい。または、絶縁表面上に半導体層を貼り合わせ、トランジスタ112、およびトランジスタ118のチャネル形成領域としてもよい。

[0040]

このとき、半導体層が含む材料として、Si、GaAs、GaN、InPなどを用いることができる。また、半導体層が含む材料として、OS-MOSキャパシタ26に用いることができる金属酸化物を用いることができる。OS-MOSキャパシタ26に用いる金属酸化物と同様の材料をトランジスタ112、およびトランジスタ118に用いてもよいし、異なる金属酸化物を用いてもよい。

[0041]

また、本実施の形態におけるDCDCコンバータとして、コンバータ回路111のトランジスタ1

1 8をダイオード1 1 9に置き換え、非同期整流型の降圧コンバータを用いることができる。

[0042]

図3 Bに示すコンバータ回路1 1 1 Aは、トランジスタ1 1 2、コイル1 1 3、ダイオード1 1 9、コンデンサ1 1 5、抵抗1 1 6を有するDCDCコンバータ回路（非同期整流型降圧コンバータ回路）である。ここで、ダイオード1 1 9として、ダイオード接続したトランジスタ1 1 8などを用いることができる。

[0043]

トランジスタ1 1 2のソースあるいはドレインの一方は、電源1 1 7の一方の電極に電氣的に接続されている。トランジスタ1 1 2のソースあるいはドレインの他方は、ダイオード1 1 9の出力端子、およびコイル1 1 3の一方の端子と電氣的に接続されている。ダイオード1 1 9の入力端子は、電源1 1 7の他方の電極、コンデンサ1 1 5の一方の端子、および抵抗1 1 6の一方の端子に電氣的に接続されている。コイル1 1 3の他方の端子は、コンデンサ1 1 5の他方の端子、抵抗1 1 6の他方の端子、および出力端子OUTに電氣的に接続されている。なお、電源1 1 7の他方の電極、ダイオード1 1 9の入力端子、コンデンサ1 1 5の一方の端子、および抵抗1 1 6の一方の端子は、端子GNDに電氣的に接続され、接地されている。

[0044]

トランジスタ1 1 2はスイッチング素子として機能する。またトランジスタ1 1 2のゲートは、コンバータ回路1 1 1 Aの制御回路に接続されている。コンバータ回路1 1 1 Aの制御回路からの信号により、トランジスタ1 1 2はオン状態あるいはオフ状態となる。

[0045]

ここで、電源1 1 7の一方の電極の電位をV 1、出力端子OUTの電位をV 2とする。スイッチング素子であるトランジスタ1 1 2がオン状態のとき、V 2とV 1は等電位となる。このとき、入力から出力に流れる降圧コンバータ回路の電流により、コイル1 1 3には励磁エネルギーが蓄えられる。

[0046]

トランジスタ1 1 2がオフ状態になると、コイル1 1 3は電流を保とうとして起電力を発生させ、ダイオード1 1 9をオン状態にする。ダイオード1 1 9を通じて電流が流れることによって、電圧V 2が低下する。電圧V 1より電圧V 2が低下するため、コンバータ回路1 1 1 Aは降圧コンバータ回路として機能する。

[0047]

トランジスタ1 1 2のスイッチング動作により、コンバータ回路1 1 1 A内には、リングングノイズ、またはスパイク電圧が生じる場合がある。特に、4 G、または5 Gに準拠した通信手段などに用いられる5 0 0 M H z以上5 2 G H z以下の周波数帯を処理する回路においては、リングングノイズやスパイク電圧の影響が顕著に表れる場合がある。これらの影響を抑制するため、コンバータ回路1 1 1 Aに、スナバ回路2 0が設けられる。

[0048]

図3 Bにおいて、スナバ回路2 0の一方の端子は、トランジスタ1 1 2のソースあるいはドレインの他方、ダイオード1 1 9の出力端子、およびコイル1 1 3の一方の端子と電氣的に接続されている。また、スナバ回路2 0の端子の他方は、ダイオード1 1 9の入力端子、電源1 1 7の他方の電極、コンデンサ1 1 5の一方の端子、および抵抗1 1 6の一方の端子に電氣的に接続されている。

[0049]

スナバ回路20には、図2A乃至図2Dに示した構成を用いることができる。また、抵抗22側をスナバ回路20の一方の端子、容量24側をスナバ回路20の他方の端子としたが、本実施の形態はこれに限らない。容量24側をスナバ回路20の一方の端子としてダイオード119の出力端子などと電氣的に接続し、抵抗22側をスナバ回路20の他方の端子としてダイオード119の入力端子などと電氣的に接続してもよい。

[0050]

このとき、トランジスタ112、およびダイオード119が設けられる層と、OS-MOSキャパシタ26が設けられる層は、それぞれ異なることが好ましい。このようにすることで、OS-MOSキャパシタ26によるコンバータ回路111Aなどの回路の面積増加を抑制することができる。

[0051]

例えば、半導体基板の一部がトランジスタ112のチャネル形成領域、およびダイオード119となるように、該半導体基板にトランジスタ112、およびダイオード119を設け、トランジスタ112、およびダイオード119の上方にOS-MOSキャパシタ26を設けることが好ましい。半導体基板が含む材料として、Si、Ge、SiGe、GaAs、GaAlAs、GaN、InPなどを用いることができる。

[0052]

または、絶縁表面上にトランジスタ112、およびダイオード119を設け、トランジスタ112、およびダイオード119の上方にOS-MOSキャパシタ26を設けてもよい。絶縁表面上にスパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて半導体層を形成し、トランジスタ112、およびダイオード119のチャネル形成領域としてもよい。または、絶縁表面上に半導体層を貼り合わせ、トランジスタ112、およびダイオード119のチャネル形成領域としてもよい。

[0053]

このとき、半導体層が含む材料として、Si、GaAs、GaN、InPなどを用いることができる。また、半導体層が含む材料として、OS-MOSキャパシタ26に用いることができる金属酸化物を用いることができる。OS-MOSキャパシタ26に用いる金属酸化物と同様の材料をトランジスタ112、およびダイオード119に用いてもよいし、異なる金属酸化物を用いてもよい。

[0054]

<金属酸化物>

本発明の一態様に用いることができる金属酸化物として、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)の少なくとも一を含む酸化物を用いることができる。例えば、金属酸化物として、In-M-Zn酸化物(元素Mは、アルミニウム、ガリウム、イットリウム、スズ、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種)等の金属酸化物を用いるとよい。特に、インジウムおよび亜鉛に加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、金属酸化物として、In-Ga酸化物、In-Zn酸化物を用いてもよい。

[0055]

また、金属酸化物は結晶構造を有することが好ましい。結晶構造を有する金属酸化物として、例え

ば、CAAC-OS (c-axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、およびnc-OS (nanocrystalline oxide semiconductor) などがある。

[0056]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間に格子配列の向きが変化している箇所を指す。

[0057]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリーともいう。）を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

[0058]

また、CAAC-OSは、インジウム、および酸素を有する層（以下、In層）と、元素M、亜鉛、および酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

[0059]

CAAC-OSは結晶性の高い金属酸化物である。一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損（ V_O : oxygen vacancyともいう。）など）の少ない金属酸化物ともいえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[0060]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

[0061]

なお、インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、インジウム-ガリウム-亜鉛酸化物（以下、IGZO）は、上述のナノ結晶とすることで安定な構造をとる場合がある。特に、IGZOは、大気中では結晶成長がし難い傾向があるため、大きな結晶（ここでは、数mmの結晶、または数cmの結晶）よりも小さな結晶（例えば、上述のナノ結晶）とする方が、構造的に安定となる場合がある。

[0062]

また、金属酸化物は、擬似非晶質酸化物半導体（*a-like OS: amorphous-like oxide semiconductor*）、または非晶質酸化物半導体でもよい。

[0063]

*a-like OS*は、*nc-OS*と非晶質酸化物半導体との間の構造を有する金属酸化物である。*a-like OS*は、鬆または低密度領域を有する。すなわち、*a-like OS*は、*nc-OS*および*CAAC-OS*と比べて、結晶性が低い。

[0064]

金属酸化物は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の金属酸化物は、非晶質酸化物半導体、多結晶酸化物半導体、*a-like OS*、*nc-OS*、*CAAC-OS*のうち、二種以上を有していてもよい。

[0065]

<OS-MOSキャパシタ積層構造>

図4A、および図4Bに、コンバータ回路111の上方にスナバ回路20、またはスナバ回路20に含まれるOS-MOSキャパシタ26を設ける例を示す。第1の回路層120には、コンバータ回路111が設けられる。なお、図4A、および図4Bにおいて、第1の回路層120には図の理解を容易にするため、トランジスタ118のみを示しているが、本実施の形態はこれに限らない。第1の回路層120には、コンバータ回路111を構成する回路素子のすべて、または少なくとも一部が設けられる。また、第1の回路層120には、ダイオード119など、コンバータ回路111Aを構成する回路素子のすべて、または少なくとも一部が設けられてもよい。

[0066]

第1の回路層120の上方には第2の回路層130が設けられる。第2の回路層130には、OS-MOSキャパシタ26を有するスナバ回路20が設けられる。第2の回路層130には、コンバータ回路111を構成する回路素子の一部が設けられてもよい。また、スナバ回路20が有する抵抗22が第2の回路層130に設けられる例を示すが本実施の形態はこれに限らない。抵抗22は第1の回路層120に設けられてもよいし、第1の回路層120、および第2の回路層130の両方に設けられてもよい。

[0067]

また、スナバ回路20において所望の容量値を得るため、図4Bに示すように第2の回路層130に複数のOS-MOSキャパシタ26を設け、スナバ回路20を構成してもよい。

[0068]

また、図5に示すように、第1の回路層120上に、複数の回路層130__1乃至130__n（nは2以上の整数）を設けてもよい。このとき、回路層130__1を第2の回路層130__1、回路層130__2を第3の回路層130__2、回路層130__nを第（n+1）の回路層130__nと呼ぶことができる。回路層130__1乃至130__nは、それぞれ一、または複数のOS-MOSキャパシタ26を有する。

[0069]

ここで、スナバ回路20が有する抵抗22が第2の回路層130__1に設けられる例を示すが本実施の形態はこれに限らない。抵抗22は、第1の回路層120に設けられてもよいし、第（n+1）の回路層130__nに設けられてもよい。また、複数の回路層120、回路層130__1乃至回路

層 1 3 0—n の一、または複数に設けられてもよい。

[0070]

<半導体装置>

次に、上記で説明した半導体装置の構成に適用可能なトランジスタの構成、OS-MOS キャパシタに適用可能なトランジスタの構成に浮いて説明する。具体的には異なる電気特性を有するトランジスタを積層して設ける構成について説明する。特に本実施の形態では、半導体装置を構成する DCDC コンバータ回路、およびスナバ回路が有する各トランジスタの構成について説明する。当該構成とすることで、半導体装置の設計自由度を高めることができる。また、異なる電気特性を有するトランジスタを積層して設けることで、半導体装置の集積度を高めることができる。

[0071]

図 6 に示す半導体装置は、トランジスタ 300 と、OS-MOS キャパシタを形成するトランジスタ 500 と、を有している。図 8 A はトランジスタ 500 のチャネル長方向の断面図であり、図 8 B はトランジスタ 500 のチャネル幅方向の断面図であり、図 8 C はトランジスタ 300 のチャネル幅方向の断面図である。

[0072]

トランジスタ 500 は、チャネル形成領域に金属酸化物を有するトランジスタ (OS トランジスタ) である。

[0073]

本実施の形態で説明する半導体装置は、図 6 に示すようにトランジスタ 300、トランジスタ 500 を有する。トランジスタ 500 はトランジスタ 300 の上方に設けられている。トランジスタ 500 のソースとドレインは、導電体 612 により電氣的に接続されており、OS-MOS キャパシタを構成している。

[0074]

トランジスタ 300 は、基板 311 上に設けられ、導電体 316、絶縁体 315、基板 311 の一部からなる半導体領域 313、ソース領域又はドレイン領域として機能する低抵抗領域 314 a、及び低抵抗領域 314 b を有する。なお、トランジスタ 300 は、例えば、上記コンバータ回路 111 が有するトランジスタ 112、トランジスタ 118、またはダイオード 119 等に適用することができる。

[0075]

トランジスタ 300 は、図 8 C に示すように、半導体領域 313 の上面及びチャネル幅方向の側面が絶縁体 315 を介して導電体 316 に覆われている。このように、トランジスタ 300 を Fin 型とすることにより、実効上のチャネル幅が増大するため、トランジスタ 300 のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ 300 のオフ特性を向上させることができる。

[0076]

なお、トランジスタ 300 は、p チャネル型、あるいは n チャネル型のいずれでもよい。

[0077]

半導体領域 313 のチャネルが形成される領域、その近傍の領域、ソース領域、又はドレイン領域となる低抵抗領域 314 a、及び低抵抗領域 314 b などにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、Ge、SiGe、Ga

As、GaAlAs、GaN、InPなどを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又はGaAs、GaAlAs、GaN等を用いることで、トランジスタ300をHEMT (High Electron Mobility Transistor) としてもよい。

[0078]

低抵抗領域314a、及び低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、又はホウ素などのp型の導電性を付与する元素を含む。

[0079]

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。

[0080]

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[0081]

なお、図6に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。例えば、半導体装置をOSトランジスタのみの単極性回路(nチャネル型トランジスタのみ、などと同極性のトランジスタを意味する)とする場合、図7に示すとおり、トランジスタ300の構成を、酸化物半導体を用いているトランジスタ500と同様の構成にすればよい。なお、トランジスタ500の詳細については後述する。

[0082]

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326が順に積層して設けられている。

[0083]

絶縁体320、絶縁体322、絶縁体324、及び絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[0084]

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

[0085]

絶縁体322は、その下方に設けられるトランジスタ300などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるた

めに化学機械研磨（CMP）法等を用いた平坦化処理により平坦化されていてもよい。

[0086]

また、絶縁体324には、基板311、又はトランジスタ300などから、トランジスタ500が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

[0087]

水素に対するバリア性を有する膜の一例として、例えば、スパッタリング法で形成した窒化シリコンを用いることができる。また、CVD法などを用いて窒化シリコンを形成してもよい。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0088]

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS）などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $1.0 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

[0089]

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0090]

また、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326にはトランジスタ300と接続する導電体328、及び導電体330等が埋め込まれている。なお、導電体328、及び導電体330は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

[0091]

各プラグ、及び配線（導電体328、導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料などの導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0092]

絶縁体326、及び導電体330上に、配線層を設けてもよい。例えば、図6において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、トランジスタ300と接続するプラグ、又は配線としての機能を有する。なお導電体356は、導電体3

28、及び導電体330と同様の材料を用いて設けることができる。

[0093]

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

[0094]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ300からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

[0095]

絶縁体354、及び導電体356上に、配線層を設けてもよい。例えば、図6において、絶縁体360、絶縁体362、及び絶縁体364が順に積層して設けられている。また、絶縁体360、絶縁体362、及び絶縁体364には、導電体366が形成されている。導電体366は、プラグ又は配線としての機能を有する。なお導電体366は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

[0096]

なお、例えば、絶縁体360は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体366は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体360が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

[0097]

絶縁体364、及び導電体366上に、配線層を設けてもよい。例えば、図6において、絶縁体370、絶縁体372、及び絶縁体374が順に積層して設けられている。また、絶縁体370、絶縁体372、及び絶縁体374には、導電体376が形成されている。導電体376は、プラグ又は配線としての機能を有する。なお導電体376は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

[0098]

なお、例えば、絶縁体370は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体376は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体370が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

[0099]

絶縁体374、及び導電体376上に、配線層を設けてもよい。例えば、図6において、絶縁体380、絶縁体382、及び絶縁体384が順に積層して設けられている。また、絶縁体380、絶縁体382、及び絶縁体384には、導電体386が形成されている。導電体386は、プラグ又は配線としての機能を有する。なお導電体386は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

[0100]

なお、例えば、絶縁体380は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体386は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体380が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

[0101]

上記において、導電体356を含む配線層、導電体366を含む配線層、導電体376を含む配線層、及び導電体386を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体356を含む配線層と同様の配線層を3層以下にしてもよいし、導電体356を含む配線層と同様の配線層を5層以上にしてもよい。

[0102]

絶縁体384、及び導電体386上には絶縁体510、絶縁体512、絶縁体514、及び絶縁体516が、順に積層して設けられている。絶縁体510、絶縁体512、絶縁体514、及び絶縁体516のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

[0103]

例えば、絶縁体510、及び絶縁体514には、例えば、基板311、又はトランジスタ300を設ける領域などから、トランジスタ500を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体324と同様の材料を用いることができる。

[0104]

水素に対するバリア性を有する膜の一例として、スパッタリング法で形成した窒化シリコンを用いることができる。また、CVD法などを用いて窒化シリコンを形成してもよい。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0105]

また、水素に対するバリア性を有する膜として、例えば、絶縁体510、及び絶縁体514には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0106]

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、

トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ 500 への混入を防止することができる。また、トランジスタ 500 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 500 に対する保護膜として用いることに適している。

[0107]

また、例えば、絶縁体 512、及び絶縁体 516 には、絶縁体 320 と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 512、及び絶縁体 516 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0108]

また、絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 には、導電体 518、及びトランジスタ 500 を構成する導電体（例えば、導電体 503）等が埋め込まれている。なお、導電体 518 は、トランジスタ 300 と接続するプラグ、又は配線としての機能を有する。導電体 518 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

[0109]

特に、絶縁体 510、及び絶縁体 514 と接する領域の導電体 518 は、酸素、水素、及び水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ 300 とトランジスタ 500 とは、酸素、水素、及び水に対するバリア性を有する層で、分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

[0110]

絶縁体 516 の上方には、トランジスタ 500 が設けられている。

[0111]

図 8 A、図 8 B に示すように、トランジスタ 500 は、絶縁体 514 及び絶縁体 516 に埋め込まれるように配置された導電体 503 と、絶縁体 516 及び導電体 503 の上に配置された絶縁体 522 と、絶縁体 522 の上に配置された絶縁体 524 と、絶縁体 524 の上に配置された酸化物 530 a と、酸化物 530 a の上に配置された酸化物 530 b と、酸化物 530 b 上に互いに離れて配置された酸化物 530 c a 及び酸化物 530 c b と、酸化物 530 c a の上に配置された導電体 542 a と、酸化物 530 c b の上に配置された導電体 542 b と、導電体 542 a 及び導電体 542 b 上に配置され、導電体 542 a と導電体 542 b の間に重畳して開口が形成された絶縁体 580 と、開口の底面及び側面に配置された酸化物 530 d と、酸化物 530 d の形成面に配置された絶縁体 550 と、絶縁体 550 の形成面に配置された導電体 560 と、を有する。

[0112]

また、図 8 A、図 8 B に示すように、酸化物 530 a、酸化物 530 b、酸化物 530 c a、酸化物 530 c b、導電体 542 a、及び導電体 542 b と、絶縁体 580 との間に絶縁体 544 が配置されることが好ましい。また、図 8 A、図 8 B に示すように、導電体 560 は、絶縁体 550 の内側に設けられた導電体 560 a と、導電体 560 a の内側に埋め込まれるように設けられた導電体 560 b と、を有することが好ましい。また、図 8 A、図 8 B に示すように、絶縁体 580、導電体 560、及び絶縁体 550 の上に絶縁体 574 が配置されることが好ましい。

[0113]

なお、以下において、酸化物 530 a、酸化物 530 b、酸化物 530 c a、酸化物 530 c b、

及び酸化物530dをまとめて酸化物530という場合がある。

[0114]

なお、トランジスタ500では、チャネルが形成される領域と、その近傍において、酸化物530a、酸化物530b、及び酸化物530dの3層を積層する構成について示しているが、本発明はこれに限られるものではない。チャネルが形成される領域と、その近傍において、酸化物530bの単層、酸化物530bと酸化物530aの2層構造、酸化物530bと酸化物530dの2層構造、又は4層以上の積層構造を設ける構成にしてもよい。例えば、図6において、トランジスタ500では、酸化物530dを設けない例を示している。一方、図7において、トランジスタ300では、酸化物530dを設けず、トランジスタ500では、酸化物530dを設ける例を示している。このように一つの半導体装置において、特性の異なるトランジスタを設けることができる。図示しないが、トランジスタ300は、トランジスタ500と同様の構成としてもよく、いずれのトランジスタに酸化物530dを設けてもよいし、いずれのトランジスタも酸化物530dを設けない構成としてもよい。

[0115]

また、トランジスタ500では、導電体560を2層の積層構造として示しているが、本発明はこれに限られるものではない。例えば、導電体560が、単層構造であってもよいし、3層以上の積層構造であってもよい。また、図6、図8Aに示すトランジスタ500は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0116]

ここで、導電体560は、トランジスタのゲート電極として機能し、導電体542a及び導電体542bは、それぞれソース電極又はドレイン電極として機能する。導電体542a及び導電体542bの酸化による抵抗の増加を抑制するため、導電体542a及び導電体542bと、酸化物530bの間に酸化物530ca、および酸化物530cbを設けることが好ましい。上記のように、導電体560は、絶縁体580の開口、及び導電体542aと導電体542bに挟まれた領域に埋め込まれるように形成される。導電体560、導電体542a及び導電体542bの配置は、絶縁体580の開口に対して、自己整合的に選択される。つまり、トランジスタ500において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体560を位置合わせのマージンを設けることなく形成することができるので、トランジスタ500の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

[0117]

さらに、導電体560が、導電体542aと導電体542bの間の領域に自己整合的に形成されるので、導電体560は、導電体542a又は導電体542bと重畳する領域を有さない。これにより、導電体560と導電体542a及び導電体542bとの間に形成される寄生容量を低減することができる。よって、トランジスタ500のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

[0118]

導電体560は、第1のゲート（トップゲートともいう）電極として機能する場合がある。また、導電体503は、第2のゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、導電体503に印加する電位を、導電体560に印加する電位と、連動させず、独立して変化

させることで、トランジスタ 500 のしきい値電圧を制御することができる。特に、導電体 503 に負の電位を印加することにより、トランジスタ 500 のしきい値電圧を 0 V より大きくし、オフ電流を低減することが可能となる。したがって、導電体 503 に負の電位を印加したほうが、印加しない場合よりも、導電体 560 に印加する電位が 0 V のときのドレイン電流を小さくすることができる。

[0119]

導電体 503 は、酸化物 530、及び導電体 560 と、重なるように配置する。これにより、導電体 560、及び導電体 503 に電位を印加した場合、導電体 560 から生じる電界と、導電体 503 から生じる電界と、がつながり、酸化物 530 に形成されるチャネル形成領域を覆うことができる。本明細書等において、第 1 のゲート電極、及び第 2 のゲート電極の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、surrounded channel (S-channel) 構造とよぶ。

[0120]

また、導電体 503 は、導電体 518 と同様の構成であり、絶縁体 514 及び絶縁体 516 の開口の内壁に接して導電体 503a が形成され、さらに内側に導電体 503b が形成されている。なお、トランジスタ 500 では、導電体 503a 及び導電体 503b を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 503 は、単層、又は 3 層以上の積層構造として設ける構成にしてもよい。

[0121]

ここで、導電体 503a は、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書において、不純物、又は酸素の拡散を抑制する機能とは、上記不純物、又は上記酸素のいずれか一又は、すべての拡散を抑制する機能とする。

[0122]

例えば、導電体 503a が酸素の拡散を抑制する機能を持つことにより、導電体 503b が酸化して導電率が低下することを抑制することができる。

[0123]

また、導電体 503 が配線の機能を兼ねる場合、導電体 503b は、タングステン、銅、又はアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。なお、導電体 503b を単層で図示したが、積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層としてもよい。

[0124]

絶縁体 522、および絶縁体 524 は、第 2 のゲート絶縁膜としての機能を有する。

[0125]

ここで、酸化物 530 と接する絶縁体 524 は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体 524 には、過剰酸素領域が形成されることが好ましい。このような過剰酸素を含む絶縁体を酸化物 530 に接して設けることにより、酸化物 530 中の酸素欠損を低減し、トランジスタ 500 の信頼性を向上させることができる。

[0126]

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、又は $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、又は 100°C 以上 400°C 以下の範囲が好ましい。

[0127]

また、絶縁体524が、過剰酸素領域を有する場合、絶縁体522は、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

[0128]

絶縁体522が、酸素や不純物の拡散を抑制する機能を有することで、酸化物530が有する酸素は、絶縁体512側へ拡散することがなく、好ましい。また、導電体503が、絶縁体524や、酸化物530が有する酸素と反応することを抑制することができる。

[0129]

絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ SrTiO_3 ）、又は（Ba, Sr） TiO_3 （BST）などのいわゆるh i g h - k材料を含む絶縁体を単層又は積層で用いることが好ましい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体にh i g h - k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0130]

特に、不純物、及び酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体522を形成した場合、絶縁体522は、酸化物530からの酸素の放出や、トランジスタ500の周辺部から酸化物530への水素等の不純物の混入を抑制する層として機能する。

[0131]

又は、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。又はこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

[0132]

また、絶縁体516は、熱的に安定していることが好ましい。例えば、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため、好適である。また、h i g h - k材料の絶縁体を酸化シリコン、または酸化窒化シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構造の

絶縁体を得ることができる。

[0133]

なお、図8A、図8Bのトランジスタ500では、2層の積層構造からなる第2のゲート絶縁膜として、絶縁体522、及び絶縁体524が図示されているが、第2のゲート絶縁膜は、単層、3層、又は4層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0134]

トランジスタ500は、チャネル形成領域を含む酸化物530に、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、酸化物530として、 $In-M-Zn$ 酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウムなどから選ばれた一種、又は複数種）等の金属酸化物を用いるとよい。特に、酸化物530として適用できる $In-M-Zn$ 酸化物は、実施の形態4で説明するCAAC-OS、CAC-OSであることが好ましい。また、酸化物530として、 $In-Ga$ 酸化物、 $In-Zn$ 酸化物を用いてもよい。

[0135]

酸化物530においてチャネル形成領域にとして機能する金属酸化物は、バンドギャップが2eV以上、好ましくは2.5eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0136]

酸化物530は、酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。また、酸化物530b上に酸化物530dを有することで、酸化物530dよりも上方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。

[0137]

なお、酸化物530は、各金属原子の原子数比が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物530aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物530bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物530aに用いる金属酸化物において、 In に対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、 In に対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対する In の原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対する In の原子数比より大きいことが好ましい。また、酸化物530ca、および酸化物530cbは、酸化物530aに用いることができる金属酸化物を用いることができる。また、酸化物530dは、酸化物530a又は酸化物530bに用いることができる金属酸化物を用いることができる。

[0138]

また、酸化物530a及び酸化物530dの伝導帯下端のエネルギーが、酸化物530bの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物530a及び酸化物530dの電子親和力が、酸化物530bの電子親和力より小さいことが好ましい。

[0139]

ここで、酸化物530a、酸化物530b、及び酸化物530dの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物530a、酸化物530b、及び酸化物530dの接合部における伝導帯下端のエネルギー準位は、連続的に変化又は連続接合するともいうことができる。このようにするためには、酸化物530aと酸化物530bとの界面、及び酸化物530bと酸化物530dとの界面において形成される混合層の欠陥準位密度を低くするとよい。

[0140]

具体的には、酸化物530aと酸化物530b、酸化物530bと酸化物530dが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物530bがIn-Ga-Zn酸化物の場合、酸化物530a及び酸化物530dとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウムなどを用いるとよい。

[0141]

このとき、キャリアの主たる経路は酸化物530bとなる。酸化物530a、酸化物530dを上記の構成とすることで、酸化物530aと酸化物530bとの界面、及び酸化物530bと酸化物530dとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ500は高いオン電流を得られる。

[0142]

酸化物530ca、および酸化物530cb上には、ソース電極、及びドレイン電極として機能する導電体542a、及び導電体542bが設けられる。導電体542a、及び導電体542bとしては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、又は上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。更に、窒化タンタルなどの金属窒化物膜は、水素又は酸素に対するバリア性があるため好ましい。

[0143]

また、図8では、導電体542a、及び導電体542bを単層構造として示したが、2層以上の積層構造としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造としてもよい。

[0144]

また、チタン膜又は窒化チタン膜と、そのチタン膜又は窒化チタン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にチタン膜又は窒化チタン膜を形成する三層構造、モリブデン膜

又は窒化モリブデン膜と、そのモリブデン膜又は窒化モリブデン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にモリブデン膜又は窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫又は酸化亜鉛を含む透明導電材料を用いてもよい。

[0145]

また、図8Aに示すように、酸化物530の、導電体542a（導電体542b）との界面とその近傍には、低抵抗領域として、領域543a、及び領域543bが形成される場合がある。このとき、領域543aはソース領域又はドレイン領域の一方として機能し、領域543bはソース領域又はドレイン領域の他方として機能する。また、領域543aと領域543bに挟まれる領域にチャネル形成領域が形成される。

[0146]

酸化物530と接するように上記導電体542a（導電体542b）を設けることで、領域543a（領域543b）の酸素濃度が低減する場合がある。また、領域543a（領域543b）に導電体542a（導電体542b）に含まれる金属と、酸化物530の成分とを含む金属化合物層が形成される場合がある。このような場合、領域543a（領域543b）のキャリア密度が増加し、領域543a（領域543b）は、低抵抗領域となる。

[0147]

絶縁体544は、導電体542a、及び導電体542bを覆うように設けられ、導電体542a、及び導電体542bの酸化を抑制する。このとき、絶縁体544は、酸化物530の側面を覆い、絶縁体524と接するように設けられてもよい。

[0148]

絶縁体544として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタン又は、マグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。また、絶縁体544として、窒化酸化シリコン又は窒化シリコンなども用いることができる。

[0149]

特に、絶縁体544として、アルミニウム、又はハフニウムの一方又は双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム、及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいことが好ましい。なお、導電体542a、及び導電体542bが耐酸化性を有する材料、又は、酸素を吸収しても著しく導電性が低下しない場合、絶縁体544は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

[0150]

絶縁体544を有することで、絶縁体580に含まれる水、及び水素などの不純物が酸化物530d、絶縁体550を介して、酸化物530bに拡散することを抑制することができる。また、絶縁体580が有する過剰酸素により、導電体560が酸化するのを抑制することができる。

[0151]

絶縁体550は、第1のゲート絶縁膜として機能する。絶縁体550は、酸化物530dの内側（上面、及び側面）に接して配置することが好ましい。絶縁体550は、上述した絶縁体524と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ま

しい。

[0152]

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。

[0153]

加熱により酸素が放出される絶縁体を、絶縁体550として、酸化物530dの上面に接して設けることにより、絶縁体550から、酸化物530dを通じて、酸化物530bのチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体524と同様に、絶縁体550中の水又は水素などの不純物濃度が低減されていることが好ましい。絶縁体550の膜厚は、1nm以上20nm以下とするのが好ましい。

[0154]

また、絶縁体550が有する過剰酸素を、効率的に酸化物530へ供給するために、絶縁体550と導電体560との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体550から導電体560への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体550から導電体560への過剰酸素の拡散が抑制される。つまり、酸化物530へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体560の酸化を抑制することができる。当該金属酸化物としては、絶縁体544に用いることができる材料を用いればよい。

[0155]

なお、絶縁体550は、第2のゲート絶縁膜と同様に、積層構造としてもよい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合があるため、ゲート絶縁膜として機能する絶縁体を、high-k材料と、熱的に安定している材料との積層構造とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構造とすることができる。

[0156]

第1のゲート電極として機能する導電体560は、図8A、図8Bでは2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

[0157]

導電体560aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体560aが酸素の拡散を抑制する機能を持つことにより、絶縁体550に含まれる酸素により、導電体560bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、又は酸化ルテニウムなどを用いることが好ましい。また、導電体560aとして、酸化物530に適用できる酸化物半導体を用いることができる。その場合、導電体560bをスパッタリング法で成膜することで、導電体560aの電気抵抗値を低下させて導電体にすることができる。これをOC(Oxide Conductor)電極と呼ぶことがで

きる。

[0158]

また、導電体560bは、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体560bは、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることができる。また、導電体560bは積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層構造としてもよい。

[0159]

絶縁体580は、絶縁体544を介して、導電体542a、及び導電体542b上に設けられる。絶縁体580は、過剰酸素領域を有することが好ましい。例えば、絶縁体580として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂などを有することが好ましい。特に、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

[0160]

絶縁体580は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体580を、酸化物530dと接して設けることで、絶縁体580中の酸素を、酸化物530dを通じて、酸化物530へと効率良く供給することができる。なお、絶縁体580中の水又は水素などの不純物濃度が低減されていることが好ましい。

[0161]

絶縁体580の開口は、導電体542aと導電体542bの間の領域に重畳して形成される。これにより、導電体560は、絶縁体580の開口、及び導電体542aと導電体542bに挟まれた領域に、埋め込まれるように形成される。

[0162]

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体560の導電性が下がらないようにする必要がある。そのために導電体560の膜厚を大きくすると、導電体560はアスペクト比が高い形状となりうる。本実施の形態では、導電体560を絶縁体580の開口に埋め込むように設けるため、導電体560をアスペクト比の高い形状にしても、工程中に導電体560を倒壊させることなく、形成することができる。

[0163]

絶縁体574は、絶縁体580の上面、導電体560の上面、及び絶縁体550の上面に接して設けられることが好ましい。絶縁体574をスパッタリング法で成膜することで、絶縁体550、及び絶縁体580へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物530中に酸素を供給することができる。

[0164]

例えば、絶縁体574として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又はマグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

[0165]

特に、酸化アルミニウムはバリア性が高く、0.5 nm以上3.0 nm以下の薄膜であっても、水素、及び窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

[0166]

また、絶縁体574の上に、絶縁体582が設けられている。絶縁体582は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体582には、絶縁体514と同様の材料を用いることができる。例えば、絶縁体582には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0167]

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

[0168]

また、絶縁体582、絶縁体574、絶縁体580、及び絶縁体544に形成された開口に、導電体540a、及び導電体540bを配置する。導電体540a及び導電体540bは、導電体560を挟んで対向して設ける。導電体540a及び導電体540bは、後述する導電体546、及び導電体548と同様の構成である。

[0169]

また、絶縁体522、絶縁体524、絶縁体544、絶縁体580、絶縁体574、および絶縁体582には、導電体546、及び導電体548等が埋め込まれている。

[0170]

導電体546、及び導電体548は、トランジスタ500、又はトランジスタ300と接続するプラグ、又は配線としての機能を有する。導電体546、及び導電体548は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

[0171]

また、導電体546、及び導電体548上に、導電体612が設けられる。導電体612は、トランジスタ500のソース、およびドレインを電氣的に接続し、OS-MOSキャパシタを形成する。また、導電体612は、トランジスタ500と、トランジスタ300と、を電氣的に接続する配線としての機能を有する。

[0172]

導電体612には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材

料を適用することもできる。

[0173]

図6では、導電体612は単層構造を示したが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、及び導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[0174]

絶縁体582、および導電体612上には、絶縁体630が設けられる。また、絶縁体630上には、絶縁体640が設けられる。絶縁体630は、絶縁体544と同様の材料を用いて設けることができる。あるいは、絶縁体630は、絶縁体320と同様の材料を用いて設けることができる。絶縁体640は、絶縁体320と同様の材料を用いて設けることができる。また、絶縁体640は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

[0175]

図6では、トランジスタ500のソース、およびドレインが、導電体546、導電体548、導電体612、導電体518などを介して、トランジスタ300の低抵抗領域314aと電氣的に接続する例を示している。このとき、トランジスタ500のゲートとして機能する導電体560は、トランジスタ300の低抵抗領域314bと電氣的に接続する。

[0176]

図7では、トランジスタ500のソース、およびドレインが、導電体546、導電体548、導電体612、導電体518などを介して、トランジスタ300の導電体542aと電氣的に接続する例を示している。このとき、トランジスタ500のゲートとして機能する導電体560は、トランジスタ300の導電体542bと電氣的に接続する。

[0177]

また、スナバ回路が有する容量において、所望の容量値を得るために、図9に示すように、トランジスタ500を有する回路層を複数積層してもよい。各トランジスタ500において、ソースおよびドレインを、導電体612を用いて電氣的に接続し、各導電体612を、導電体546、導電体548、および導電体518を用いて電氣的に接続する。また、各トランジスタ500において、ゲートとして機能する導電体560を、端子1003を介して電氣的に接続する。これにより複数のOS-MOSキャパシタを並列に接続することができる。各導電体612は、さらに導電体386などを介して、トランジスタ300の低抵抗領域314aと電氣的に接続する。また、端子1003は、トランジスタ300の低抵抗領域314bと電氣的に接続する端子1001と電氣的に接続する。

[0178]

以上、本発明の一態様により、スナバ回路を有する半導体装置において、回路面積の増大を抑制し、半導体装置の微細化又は高集積化を図ることができる。

[0179]

本実施の形態に示す構成、構造、方法などは、他の実施の形態に示す構成、構造、方法などと適宜組み合わせて用いることができる。

[0180]

(実施の形態2)

本実施の形態では上述した半導体装置の応用例について説明する。

[0181]

[半導体ウエハ、チップ]

図10Aは、ダイシング処理が行なわれる前の基板711の上面図を示している。基板711としては、例えば、半導体基板（「半導体ウエハ」ともいう。）を用いることができる。基板711上には、複数の回路領域712が設けられている。回路領域712には、本発明の一態様に係る半導体装置や、CPU、RFタグ、またはイメージセンサなどを設けることができる。

[0182]

複数の回路領域712は、それぞれが分離領域713に囲まれている。分離領域713と重なる位置に分離線（「ダイシングライン」ともいう。）714が設定される。分離線714に沿って基板711を切断することで、回路領域712を含むチップ715を基板711から切り出すことができる。図10Bにチップ715の拡大図を示す。

[0183]

また、分離領域713に導電層や半導体層を設けてもよい。分離領域713に導電層や半導体層を設けることで、ダイシング工程時に生じるESDを緩和し、ダイシング工程の歩留まり低下を防ぐことができる。また、一般にダイシング工程は、基板の冷却、削りくずの除去、帯電防止などを目的として、炭酸ガスなどを溶解させて比抵抗を下げた純水を切削部に流しながら行なわれる。分離領域713に導電層や半導体層を設けることで、当該純水の使用量を削減することができる。よって、半導体装置の生産コストを低減することができる。また、半導体装置の生産性を高めることができる。

[0184]

分離領域713に設ける半導体層としては、バンドギャップが2.5 eV以上4.2 eV以下の材料を用いることが好ましく、2.7 eV以上3.5 eV以下の材料を用いることがより好ましい。このような材料を用いると、蓄積された電荷をゆっくりと放電することができるため、ESDによる電荷の急激な移動が抑えられ、静電破壊を生じにくくすることができる。

[0185]

[電子部品]

チップ715を電子部品に適用する例について、図11を用いて説明する。なお、電子部品は、半導体パッケージ、またはIC用パッケージともいう。電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。

[0186]

電子部品は、組み立て工程（後工程）において、上記実施の形態に示した半導体装置と該半導体装置以外の部品が組み合わされて完成する。

[0187]

図11Aに示すフローチャートを用いて、後工程について説明する。前工程において上記実施の形態に示した半導体装置を有する素子基板が完成した後、該素子基板の裏面（半導体装置などが形成されていない面）を研削する「裏面研削工程」を行なう（ステップS721）。研削により素子基板を薄くすることで、素子基板の反りなどを低減し、電子部品の小型化を図ることができる。

[0188]

次に、素子基板を複数のチップ（チップ715）に分離する「ダイシング工程」を行う（ステップS722）。そして、分離したチップを個々ピックアップしてリードフレーム上に接合する「ダイ

ボンディング工程」を行う（ステップS 7 2 3）。ダイボンディング工程におけるチップとリードフレームとの接合は、樹脂による接合や、テープによる接合など、適宜製品に応じて適した方法を選択する。なお、リードフレームに代えてインターポーザ基板上にチップを接合してもよい。

[0189]

次いで、リードフレームのリードとチップ上の電極とを、金属の細線（ワイヤー）で電氣的に接続する「ワイヤーボンディング工程」を行う（ステップS 7 2 4）。金属の細線には、銀線や金線を用いることができる。また、ワイヤーボンディングは、ボールボンディングや、ウェッジボンディングを用いることができる。

[0190]

ワイヤーボンディングされたチップは、エポキシ樹脂などで封止される「封止工程（モールド工程）」が施される（ステップS 7 2 5）。封止工程を行うことで電子部品の内部が樹脂で充填され、チップに内蔵される回路部やチップとリードを接続するワイヤーを機械的な外力から保護することができ、また水分や埃による特性の劣化（信頼性の低下）を低減することができる。

[0191]

次いで、リードフレームのリードをめっき処理する「リードめっき工程」を行なう（ステップS 7 2 6）。めっき処理によりリードの錆を防止し、後にプリント基板に実装する際のはんだ付けをより確実に行うことができる。次いで、リードを切断および成形加工する「成形工程」を行なう（ステップS 7 2 7）。

[0192]

次いで、パッケージの表面に印字処理（マーキング）を施す「マーキング工程」を行なう（ステップS 7 2 8）。そして外観形状の良否や動作不良の有無などを調べる「検査工程」（ステップS 7 2 9）を経て、電子部品が完成する。

[0193]

また、完成した電子部品の斜視模式図を図1 1 Bに示す。図1 1 Bでは、電子部品の一例として、QFP（Quad Flat Package）の斜視模式図を示している。図1 1 Bに示す電子部品7 5 0は、リード7 5 5および半導体装置7 5 3を示している。半導体装置7 5 3としては、上記実施の形態に示した半導体装置などを用いることができる。

[0194]

図1 1 Bに示す電子部品7 5 0は、例えばプリント基板7 5 2に実装される。このような電子部品7 5 0が複数組み合わされて、それぞれがプリント基板7 5 2上で電氣的に接続されることで電子部品が実装された基板（実装基板7 5 4）が完成する。完成した実装基板7 5 4は、電子機器などに用いられる。

[0195]

[電子機器]

次に、本発明の一態様に係る半導体装置または上記電子部品を備えた電子機器の例について図1 2および図1 3 A乃至図1 3 Fを用いて説明を行う。

[0196]

本発明の一態様に係る半導体装置または電子部品を用いた電子機器として、テレビ、モニタ等の表示装置、照明装置、デスクトップ型或いはノート型のパーソナルコンピュータ、ワードプロセッサ、DVD（Digital Versatile Disc）などの記録媒体に記憶された静止画又

は動画を再生する画像再生装置、ポータブルCDプレーヤ、ラジオ、テープレコーダ、ヘッドホンステレオ、ステレオ、置き時計、壁掛け時計、コードレス電話子機、トランシーバ、携帯電話、自動車電話、携帯型ゲーム機、タブレット型端末、パチンコ機などの大型ゲーム機、電卓、携帯可能な情報端末（「携帯情報端末」ともいう。）、電子手帳、電子書籍端末、電子翻訳機、音声入力機器、ビデオカメラ、デジタルスチルカメラ、電気シェーバ、電子レンジ等の高周波加熱装置、電気炊飯器、電気洗濯機、電気掃除機、温水器、扇風機、毛髪乾燥機、エアコンディショナー、加湿器、除湿器などの空調設備、食器洗い器、食器乾燥器、衣類乾燥器、布団乾燥器、電気冷蔵庫、電気冷凍庫、電気冷凍冷蔵庫、DNA保存用冷凍庫、懐中電灯、チェーンソーなどの工具、煙感知器、透析装置などの医療機器などが挙げられる。さらに、誘導灯、信号機、ベルトコンベア、エレベータ、エスカレータ、産業用ロボット、電力貯蔵システム、電力の平準化やスマートグリッドのための蓄電装置などの産業機器が挙げられる。

[0197]

また、蓄電装置からの電力を用いて電動機により推進する移動体なども、電子機器の範疇に含まれるものとする。上記移動体として、例えば、電気自動車（EV）、内燃機関と電動機を併せ持ったハイブリッド車（HEV）、プラグインハイブリッド車（PHEV）、これらのタイヤ車輪を無限軌道に変えた装軌車両、電動アシスト自転車を含む原動機付自転車、自動二輪車、電動車椅子、ゴルフ用カート、小型又は大型船舶、潜水艦、ヘリコプター、航空機、ロケット、人工衛星、宇宙探査機や惑星探査機、宇宙船などが挙げられる。

[0198]

本発明の一態様に係る半導体装置または電子部品は、これらの電子機器に内蔵される通信装置などに用いることができる。

[0199]

電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）などを有していてもよい。

[0200]

電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。

[0201]

図12および図13A乃至図13Fに、電子機器の一例を示す。図12において、表示装置8000は、本発明の一態様に係る半導体装置8004を用いた電子機器の一例である。具体的に、表示装置8000は、TV放送受信用の表示装置に相当し、筐体8001、表示部8002、スピーカ部8003、半導体装置8004、蓄電装置8005などを有する。本発明の一態様に係る半導体装置8004は、筐体8001の内部に設けられている。半導体装置8004により、制御情報や、制御プログラムなどを保持することができる。また、半導体装置8004は通信機能を有し、表示装置8000をIoT機器として機能させることができる。また、表示装置8000は、商用電源から電力の供給を受けることもできるし、蓄電装置8005に蓄積された電力を用いることもできる。

[0202]

表示部8002には、液晶表示装置、有機EL素子などの発光素子を各画素に備えた発光表示装置、電気泳動表示装置、DMD (Digital Micromirror Device)、PDP (Plasma Display Panel)、FED (Field Emission Display) などの表示装置を用いることができる。

[0203]

なお、表示装置には、TV放送受信用の他、パーソナルコンピュータ用、広告表示用など、全ての情報表示用表示装置が含まれる。

[0204]

図12において、据え付け型の照明装置8100は、本発明の一態様に係る半導体装置8103を用いた電子機器の一例である。具体的に、照明装置8100は、筐体8101、光源8102、半導体装置8103、蓄電装置8105などを有する。図12では、半導体装置8103が、筐体8101及び光源8102が据え付けられた天井8104の内部に設けられている場合を例示しているが、半導体装置8103は、筐体8101の内部に設けられていても良い。半導体装置8103により、光源8102の発光輝度などの情報や、制御プログラムなどを保持することができる。また、半導体装置8103は通信機能を有し、照明装置8100を、IoT機器として機能させることができる。また、照明装置8100は、商用電源から電力の供給を受けることもできるし、蓄電装置8105に蓄積された電力を用いることもできる。

[0205]

なお、図12では天井8104に設けられた据え付け型の照明装置8100を例示しているが、本発明の一態様に係る半導体装置は、天井8104以外、例えば側壁8405、床8406、窓8407などに設けられた据え付け型の照明装置に用いることもできるし、卓上型の照明装置などに用いることもできる。

[0206]

また、光源8102には、電力を利用して人工的に光を得る人工光源を用いることができる。具体的には、白熱電球、蛍光灯などの放電ランプ、LEDや有機EL素子などの発光素子が、上記人工光源の一例として挙げられる。

[0207]

図12において、室内機8200及び室外機8204を有するエアコンディショナーは、本発明の一態様に係る半導体装置8203を用いた電子機器の一例である。具体的に、室内機8200は、筐体8201、送風口8202、半導体装置8203、蓄電装置8205などを有する。図12では、半導体装置8203が、室内機8200に設けられている場合を例示しているが、半導体装置8203は室外機8204に設けられていても良い。或いは、室内機8200と室外機8204の両方に、半導体装置8203が設けられていても良い。半導体装置8203により、エアコンディショナーの制御情報や、制御プログラムなどを保持することができる。また、半導体装置8203は通信機能を有し、エアコンディショナーを、IoT機器として機能させることができる。また、エアコンディショナーは、商用電源から電力の供給を受けることもできるし、蓄電装置8205に蓄積された電力を用いることもできる。

[0208]

なお、図12では、室内機と室外機で構成されるセパレート型のエアコンディショナーを例示して

いるが、室内機の機能と室外機の機能とを1つの筐体に有する一体型のエアコンディショナーに、本発明の一態様に係る半導体装置を用いることもできる。

[0209]

図12において、電気冷凍冷蔵庫8300は、本発明の一態様に係る半導体装置8304を用いた電子機器の一例である。具体的に、電気冷凍冷蔵庫8300は、筐体8301、冷蔵室用扉8302、冷凍室用扉8303、半導体装置8304、蓄電装置8305などを有する。図12では、蓄電装置8305が、筐体8301の内部に設けられている。半導体装置8304により、電気冷凍冷蔵庫8300の制御情報や、制御プログラムなどを保持することができる。また、半導体装置8304は通信機能を有し、電気冷凍冷蔵庫8300を、IoT機器として機能させることができる。また、電気冷凍冷蔵庫8300は、商用電源から電力の供給を受けることもできるし、蓄電装置8305に蓄積された電力を用いることもできる。

[0210]

図13Aに、腕時計型の携帯情報端末の一例を示す。携帯情報端末6100は、筐体6101、表示部6102、バンド6103、操作ボタン6105などを備える。また、携帯情報端末6100は、その内部に二次電池と、本発明の一態様に係る半導体装置または電子部品を備える。本発明の一態様に係る半導体装置または電子部品を携帯情報端末6100に用いることで、携帯情報端末6100を、IoT機器として機能させることができる。

[0211]

図13Bは、携帯電話機の一例を示している。携帯情報端末6200は、筐体6201に組み込まれた表示部6202の他、操作ボタン6203、スピーカ6204、マイクロフォン6205などを備えている。

[0212]

また、携帯情報端末6200は、表示部6202と重なる領域に指紋センサ6209を備える。指紋センサ6209は有機光センサであってもよい。指紋は個人によって異なるため、指紋センサ6209で指紋パターンを取得して、個人認証を行うことができる。指紋センサ6209で指紋パターンを取得するための光源として、表示部6202から発せられた光を用いることができる。

[0213]

また、携帯情報端末6200は、その内部に二次電池と、本発明の一態様に係る半導体装置または電子部品を備える。本発明の一態様に係る半導体装置または電子部品を携帯情報端末6200に用いることで、携帯情報端末6200を、IoT機器として機能させることができる。

[0214]

図13Cは、掃除ロボットの一例を示している。掃除ロボット6300は、筐体6301上面に配置された表示部6302、側面に配置された複数のカメラ6303、ブラシ6304、操作ボタン6305、各種センサなどを有する。図示されていないが、掃除ロボット6300には、タイヤ、吸い込み口等が備えられている。掃除ロボット6300は自走し、ゴミ6310を検知し、下面に設けられた吸い込み口からゴミを吸引することができる。

[0215]

例えば、掃除ロボット6300は、カメラ6303が撮影した画像を解析し、壁、家具または段差などの障害物の有無を判断することができる。また、画像解析により、配線などブラシ6304に絡まりそうな物体を検知した場合は、ブラシ6304の回転を止めることができる。掃除ロボット

6300は、その内部に二次電池と、本発明の一態様に係る半導体装置または電子部品を備える。本発明の一態様に係る半導体装置または電子部品を掃除ロボット6300に用いることで、掃除ロボット6300を、IoT機器として機能させることができる。

[0216]

図13Dは、ロボットの一例を示している。図13Dに示すロボット6400は、演算装置6409、照度センサ6401、マイクロフォン6402、上部カメラ6403、スピーカ6404、表示部6405、下部カメラ6406および障害物センサ6407、移動機構6408を備える。

[0217]

マイクロフォン6402は、使用者の話し声及び環境音等を検知する機能を有する。また、スピーカ6404は、音声を発する機能を有する。ロボット6400は、マイクロフォン6402およびスピーカ6404を用いて、使用者とコミュニケーションをとることが可能である。

[0218]

表示部6405は、種々の情報の表示を行う機能を有する。ロボット6400は、使用者の望みの情報を表示部6405に表示することが可能である。表示部6405は、タッチパネルを搭載していてもよい。また、表示部6405は取り外しのできる情報端末であっても良く、ロボット6400の定位置に設置することで、充電およびデータの受け渡しを可能とする。

[0219]

上部カメラ6403および下部カメラ6406は、ロボット6400の周囲を撮像する機能を有する。また、障害物センサ6407は、移動機構6408を用いてロボット6400が前進する際の進行方向における障害物の有無を察知することができる。ロボット6400は、上部カメラ6403、下部カメラ6406および障害物センサ6407を用いて、周囲の環境を認識し、安全に移動することが可能である。

[0220]

ロボット6400は、その内部に二次電池と、本発明の一態様に係る半導体装置または電子部品を備える。本発明の一態様に係る半導体装置または電子部品をロボット6400に用いることで、ロボット6400を、IoT機器として機能させることができる。

[0221]

図13Eは、飛行体の一例を示している。図13Eに示す飛行体6500は、プロペラ6501、カメラ6502、およびバッテリー6503などを有し、自律して飛行する機能を有する。

[0222]

例えば、カメラ6502で撮影した画像データは、電子部品6504に記憶される。電子部品6504は、画像データを解析し、移動する際の障害物の有無などを察知することができる。また、電子部品6504によってバッテリー6503の蓄電容量の変化から、バッテリー残量を推定することができる。飛行体6500は、その内部に本発明の一態様に係る半導体装置または電子部品を備える。本発明の一態様に係る半導体装置または電子部品を飛行体6500に用いることで、飛行体6500を、IoT機器として機能させることができる。

[0223]

図13Fは、自動車の一例を示している。自動車7160は、エンジン、タイヤ、ブレーキ、操舵装置、カメラなどを有する。自動車7160は、その内部に本発明の一態様に係る半導体装置または電子部品を備える。本発明の一態様に係る半導体装置または電子部品を自動車7160に用いる

ことで、自動車 7160 を、IoT 機器として機能させることができる。

[0224]

本実施の形態に示す構成、構造、方法などは、他の実施の形態に示す構成、構造、方法などと適宜組み合わせて用いることができる。

[0225]

(実施の形態 3)

図 14 に IoT (Internet of Things) ネットワークの階層構造と要求仕様の傾向を示す。図 14 では、要求仕様として消費電力 804 と処理性能 805 を示している。IoT ネットワークの階層構造は、上層部であるクラウド分野 801 と下層部である組み込み分野 802 に大別される。クラウド分野 801 には例えばサーバーが含まれる。組み込み分野 802 には例えば機械、産業用ロボット、車載機器、家電などが含まれる。

[0226]

上層ほど、消費電力の少なさよりも高い処理性能が求められる。よって、クラウド分野 801 では高性能 CPU、高性能 GPU、大規模 SoC (System on a Chip) などが用いられる。また、下層ほど処理性能よりも消費電力の少なさが求められ、デバイス個数も爆発的に多くなる。本発明の一態様に係る半導体装置は、1つのサーバーが同時に複数の IoT 端末機器(「エンドポイントマイコン」ともいう。)を制御するネットワーク環境における IoT 末端機器の通信装置に好適に用いることができる。

[0227]

なお、「エンドポイント」とは、組み込み分野 802 の末端領域を示す。エンドポイントに用いられるデバイスとしては、例えば、工場、家電、インフラ、農業などで使用されるマイコンが該当する。

[0228]

図 15 にエンドポイントマイコンの応用例として、ファクトリーオートメーションのイメージ図を示す。工場 884 はインターネット回線 (Internet) を介してクラウド 883 と接続される。また、クラウド 883 は、インターネット回線を介してホーム 881 およびオフィス 882 と接続される。インターネット回線は有線通信方式であってもよいし、無線通信方式であってもよい。例えば、無線通信方式の場合は、通信装置に本発明の一態様に係る半導体装置を用いて、第 4 世代移動通信システム (4G) や第 5 世代移動通信システム (5G) などの通信規格に沿った無線通信を行えばよい。また、工場 884 は、インターネット回線を介して工場 885 および工場 886 と接続してもよい。

[0229]

工場 884 はマスタデバイス (制御機器) 831 を有する。マスタデバイス 831 は、クラウド 883 と接続し、情報の授受を行う機能を有する。また、マスタデバイス 831 は、IoT 末端機器 841 に含まれる複数の産業用ロボット 842 と、M2M (Machine to Machine) インターフェイス 832 を介して接続される。M2M インターフェイス 832 としては、例えば、有線通信方式の一種である産業イーサネット (イーサネットは、登録商標。) や、無線通信方式の一種であるローカル 5G などを用いてもよい。

[0230]

工場の管理者は、ホーム 881 またはオフィス 882 から、クラウド 883 を介して工場 884 に

接続し、稼働状況などを知ることができる。また、誤品・欠品チェック、置き場所指示、タクトタイムの計測などを行うことができる。

[0231]

近年「スマート工場」と銘打って、世界的にIoTの工場への導入が進められている。スマート工場の事例では、エンドポイントマイコンによる単なる検査、監査だけでなく、故障検知や異常予測なども行う事例が報告されている。

[0232]

エンドポイントマイコンなどの小規模システムにおいて、同時に稼働するIoT端末機器の数の多い場合、サーバーと各IoT端末機器との間の通信には、より高い周波数帯での通信が求められる。このような場合でも、本発明の一態様の半導体装置を用いることで、回路面積を増加させることなくリングノイズやスパイク電圧を抑制できるため、各IoT端末機器での誤動作や、故障を抑制することができる。

[0233]

本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

[符号の説明]

[0234]

10：スイッチ、20：スナバ回路、22：抵抗、24：容量、26：OS-MOSキャパシタ、
111：コンバータ回路、111A：コンバータ回路、112：トランジスタ、113：コイル、
115：コンデンサ、116：抵抗、117：電源、118：トランジスタ、119：ダイオード、
120：回路層、130：回路層

請求の範囲

[請求項 1]

第 1 の回路層と、
前記第 1 の回路層上の第 2 の回路層と、を有し、
前記第 1 の回路層は、第 1 のトランジスタを有し、
前記第 2 の回路層は、第 2 のトランジスタを有し、
前記第 2 のトランジスタのゲートは、前記第 1 のトランジスタのソース、およびドレインの一方と電氣的に接続し、
前記第 2 のトランジスタのソース、およびドレインは、前記第 1 のトランジスタのソース、およびドレインの他方と電氣的に接続し、
前記第 2 のトランジスタの半導体層は、金属酸化物を含む、半導体装置。

[請求項 2]

請求項 1 において、
前記第 1 のトランジスタの半導体層は、S i、G e、およびG aから選ばれた一または複数を含む、半導体装置。

[請求項 3]

請求項 1 または請求項 2 において、
前記金属酸化物は、I n、G a、およびZ nの少なくとも一を含む酸化物を含む、半導体装置。

[請求項 4]

第 1 のトランジスタを有する第 1 の回路と、
前記第 1 の回路に電氣的に接続されたスナバ回路と、を有し、
前記スナバ回路の第 1 の端子は、前記第 1 のトランジスタのソース、およびドレインの一方と電氣的に接続し、
前記スナバ回路の第 2 の端子は、前記第 1 のトランジスタのソース、およびドレインの他方と電氣的に接続し、
前記スナバ回路は、MOS キャパシタを有し、
前記MOS キャパシタの第 1 の半導体層は、金属酸化物を含み、
前記第 1 のトランジスタの第 2 の半導体層は、前記第 1 の半導体層と異なる材料を含む、半導体装置。

[請求項 5]

請求項 4 において、
前記第 1 の回路は、DCDC コンバータを含み、
前記DCDC コンバータは、前記第 1 のトランジスタを含む、半導体装置。

[請求項 6]

請求項 4 または請求項 5 において、
前記第 2 の半導体層は、S i、G e、およびG aから選ばれた一または複数を含む、半導体装置。

[請求項 7]

請求項 4 乃至請求項 6 のいずれか一項において、
前記金属酸化物は、I n、G a、およびZ nの少なくとも一を含む酸化物を含む、半導体装置。

[請求項 8]

第 1 の回路層と、
前記第 1 の回路層上の第 2 の回路層と、
前記第 2 の回路層上の第 3 の回路層と、を有し、
前記第 2 の回路層は、前記第 1 の回路層と電氣的に接続する第 1 の MOS キャパシタを有し、
前記第 3 の回路層は、前記第 1 の MOS キャパシタと並列に接続する第 2 の MOS キャパシタを有し、
前記第 1 の MOS キャパシタの半導体層、および前記第 2 の MOS キャパシタの半導体層は、金属酸化物を含む、半導体装置。

[請求項 9]

請求項 8 において、
前記金属酸化物は、In、Ga、およびZnの少なくとも一を含む酸化物を含む、半導体装置。

 1

1/15

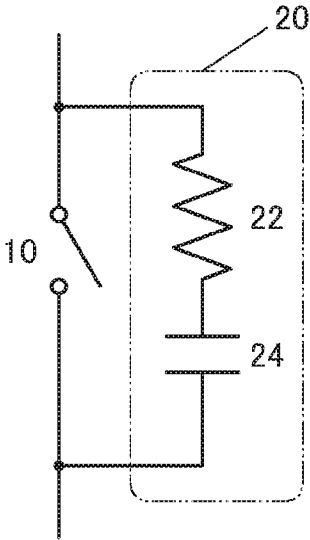


図2A

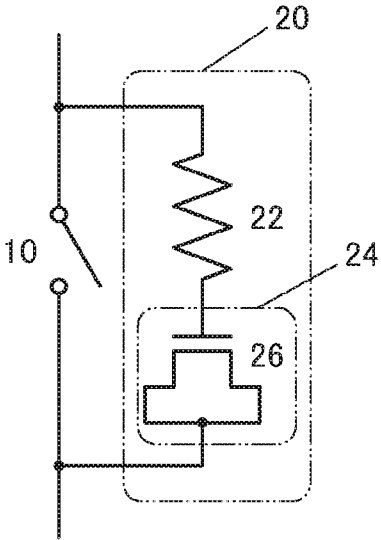


図2B

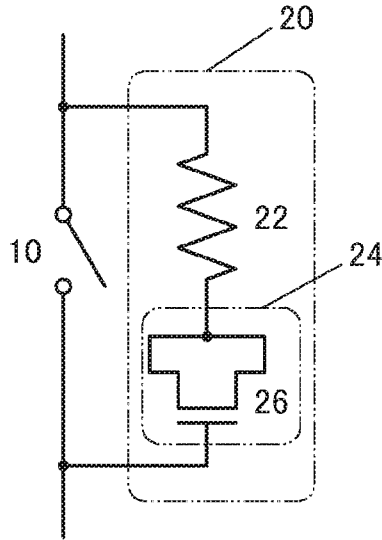


図2C

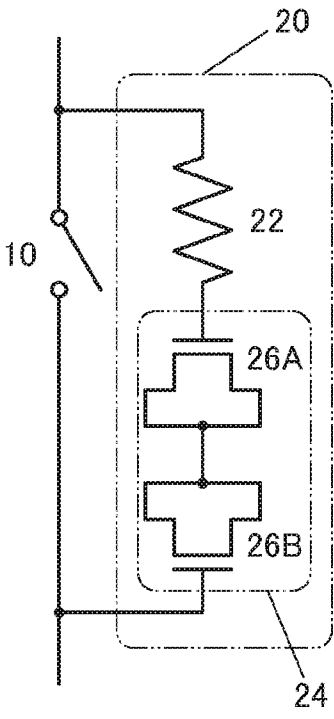
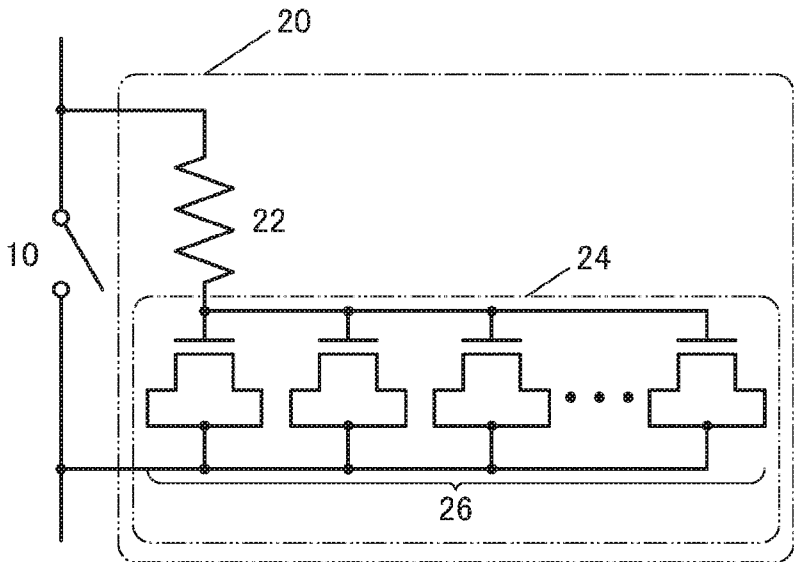


図2D



3/15

图3A

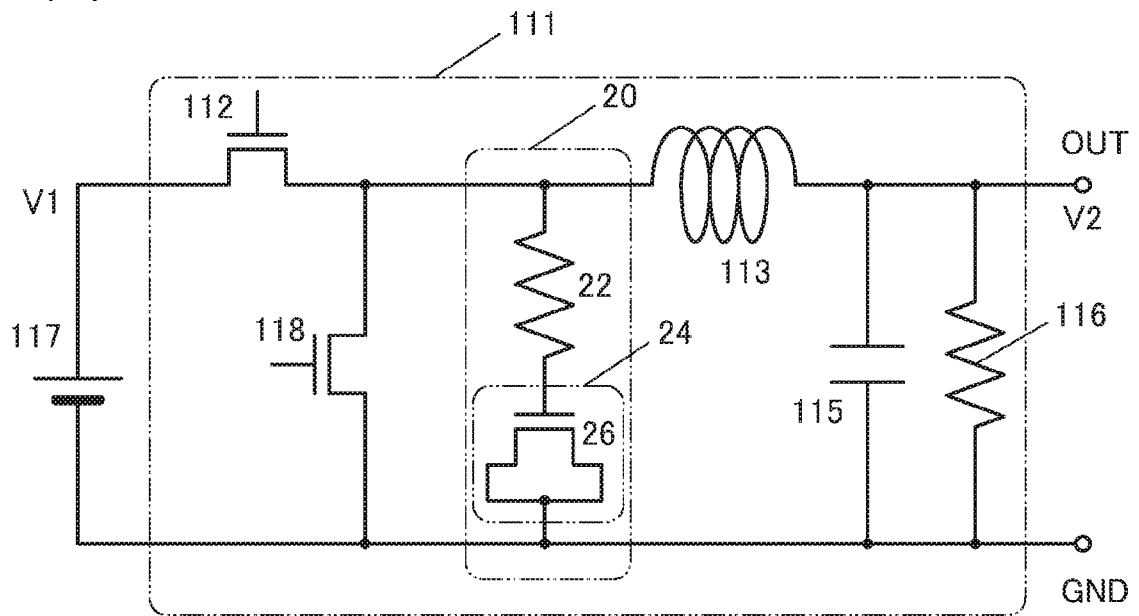
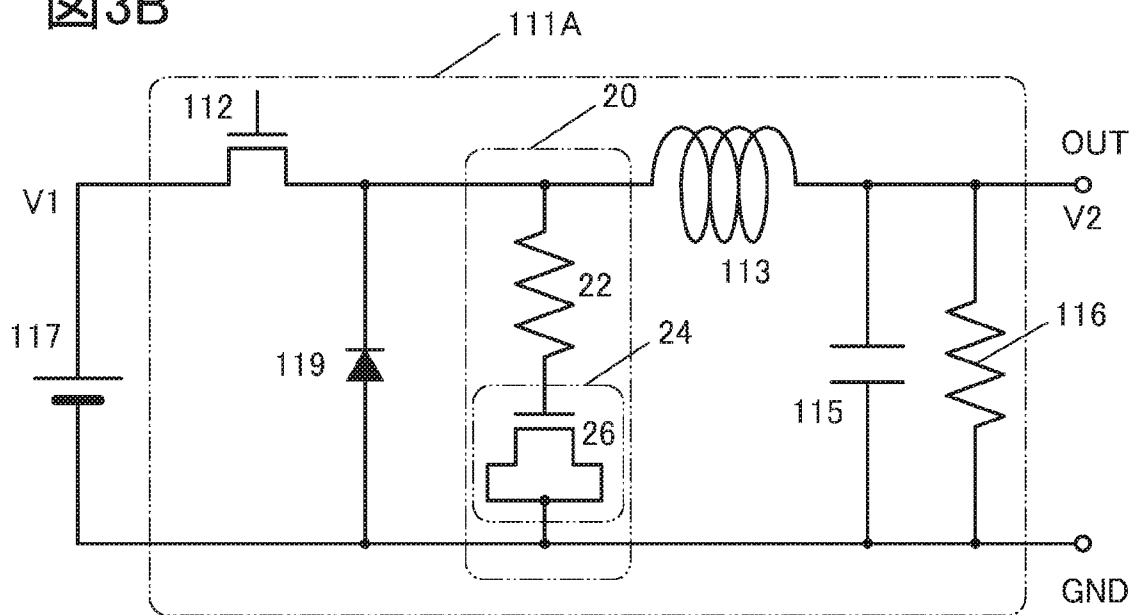


图3B



4/15

図4A

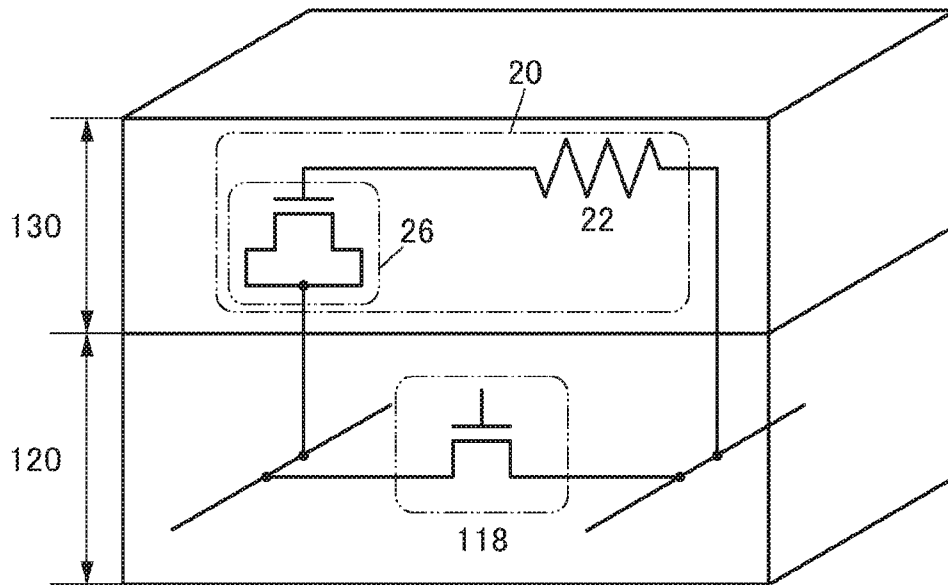


図4B

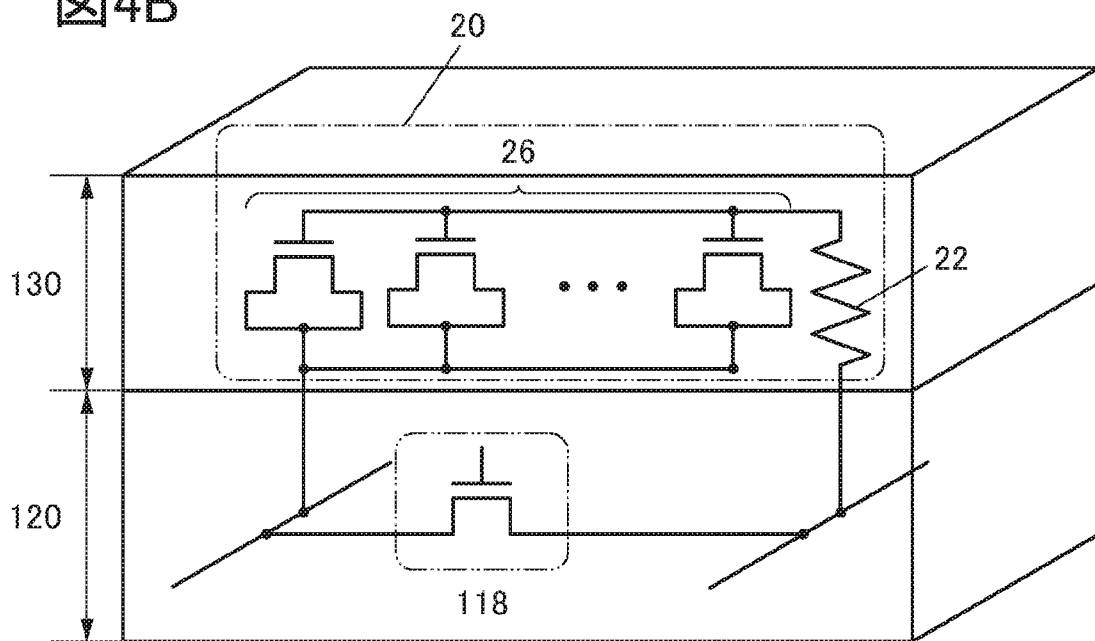


图5

5/15

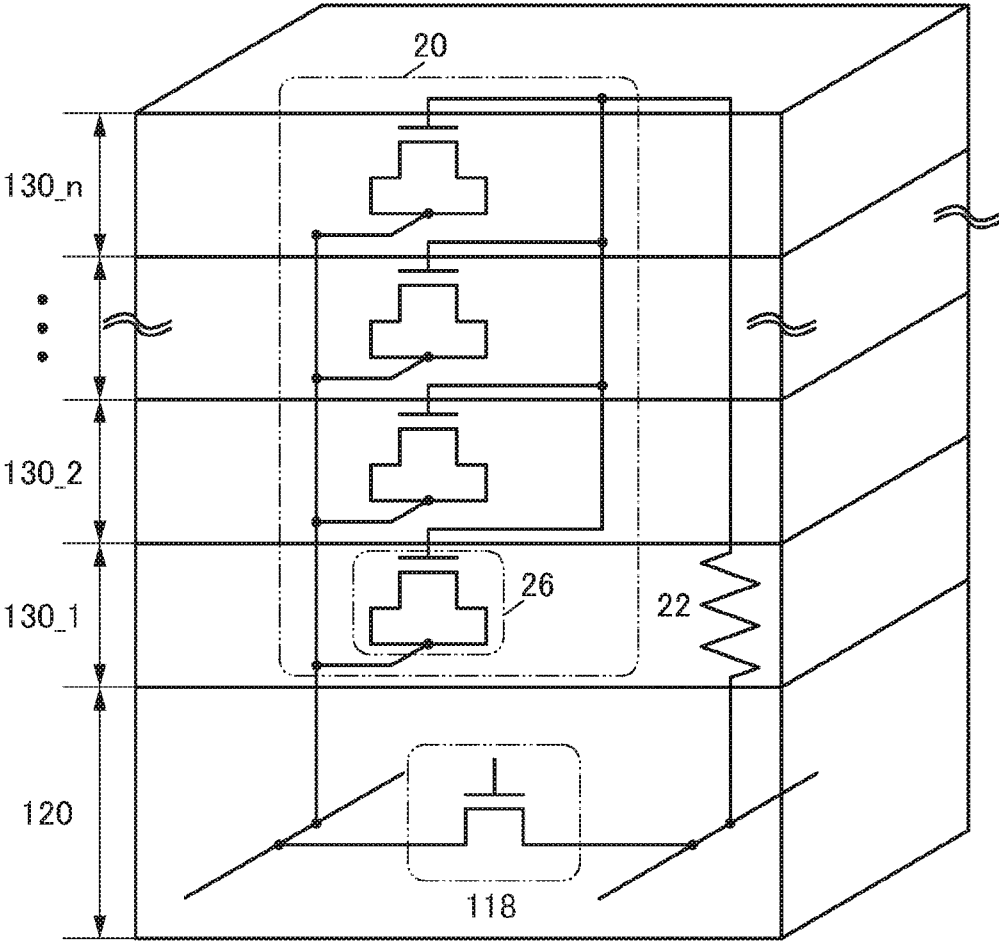


图6

6/15

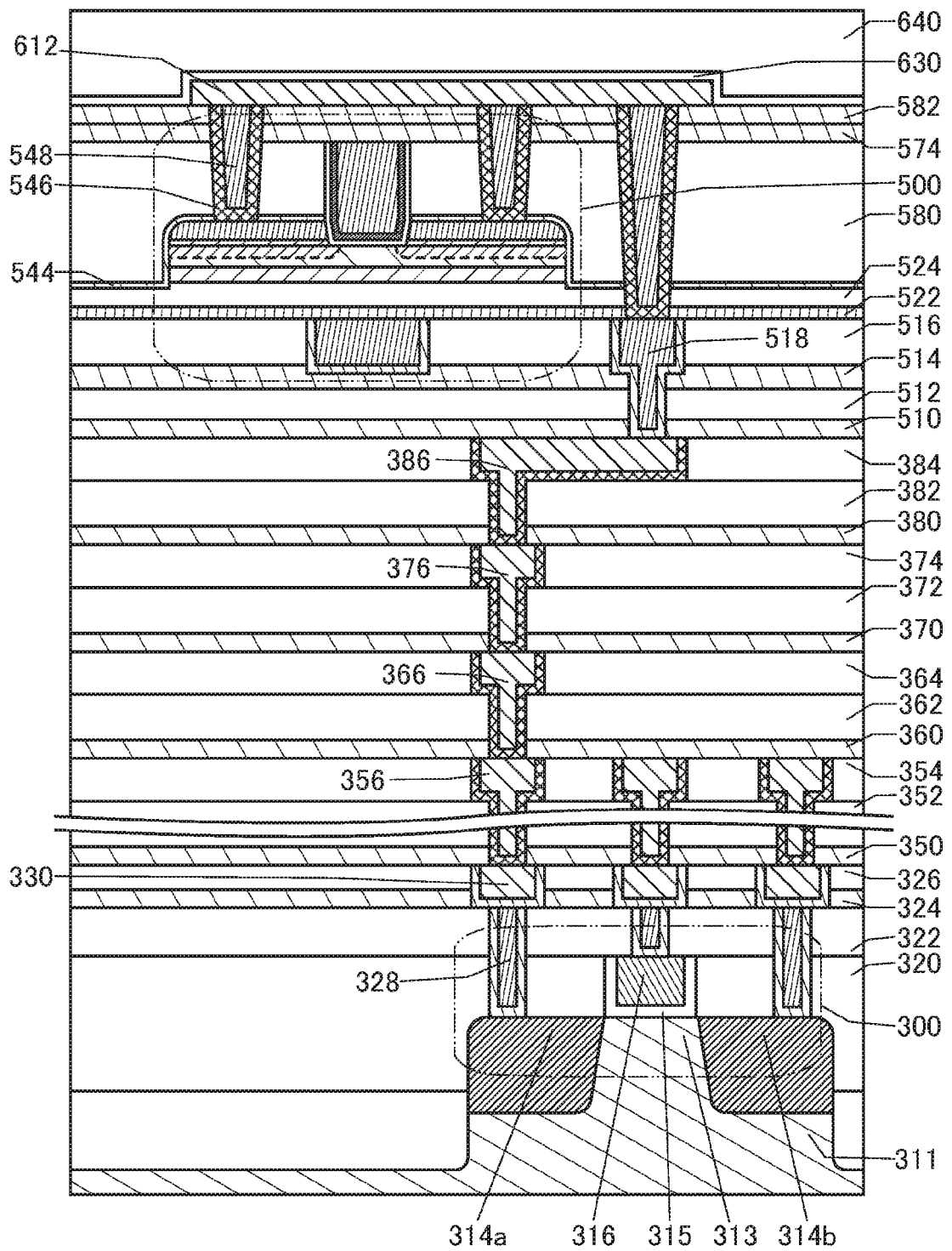
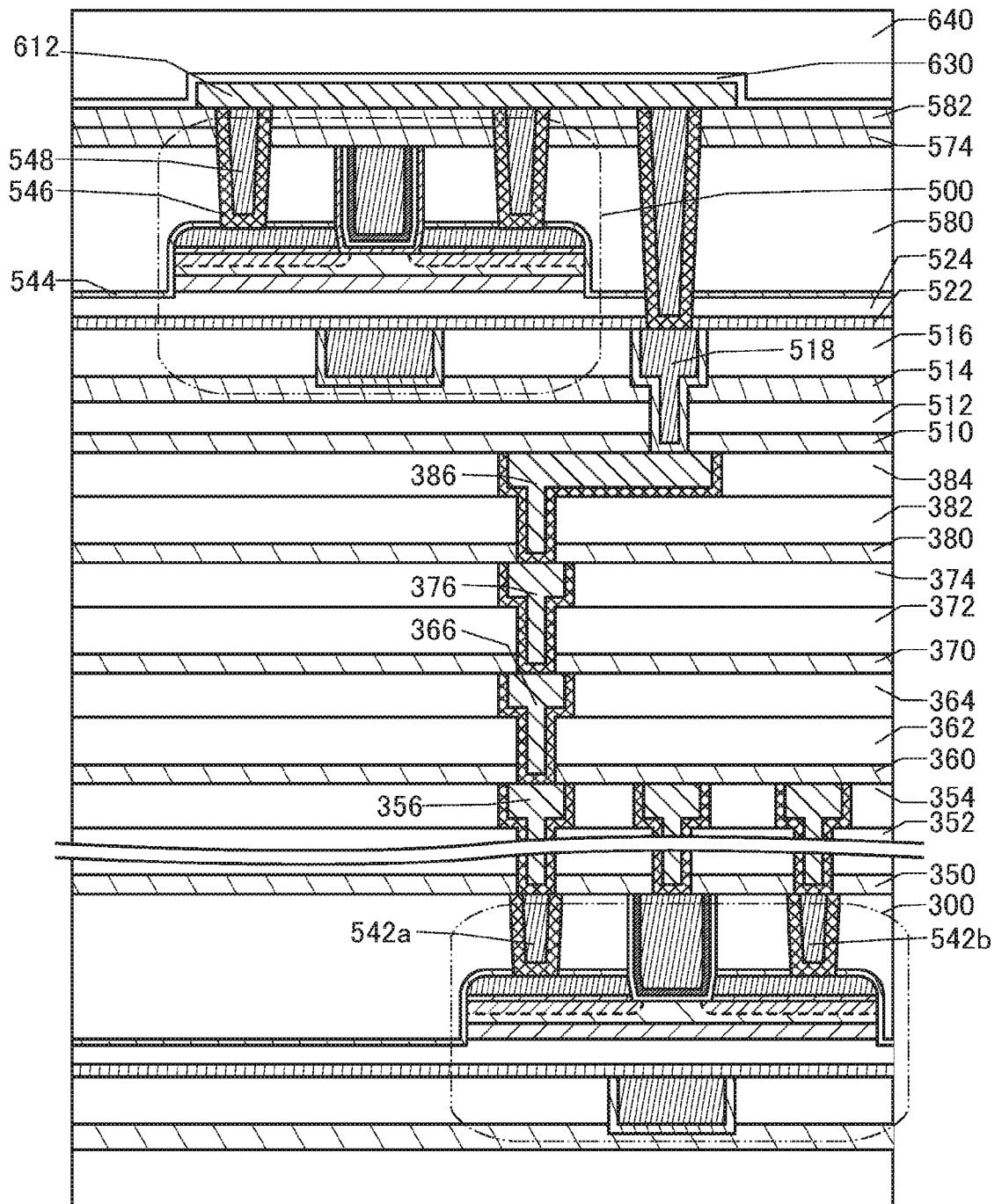


图7

7/15



8/15

図8A

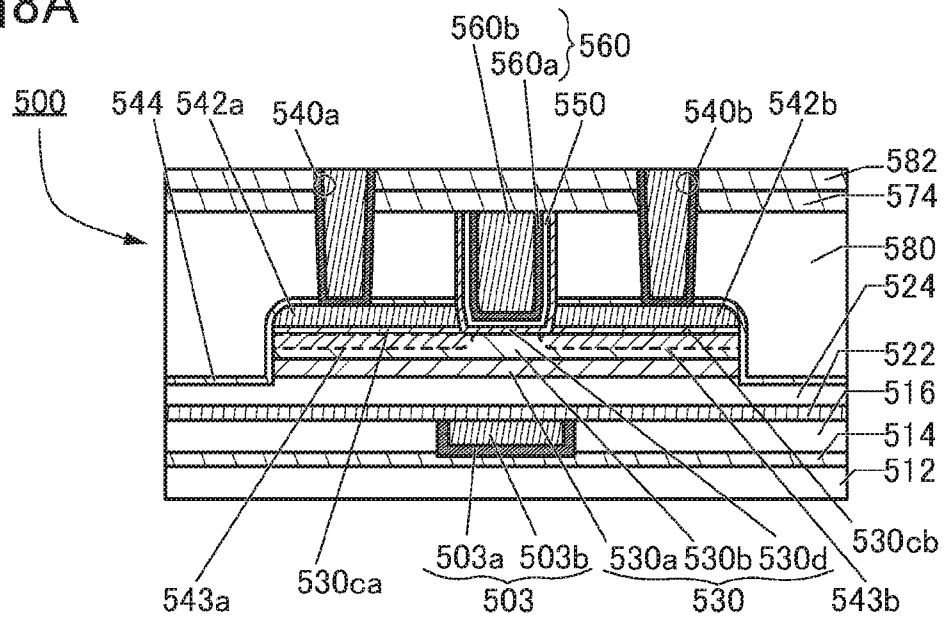


図8B

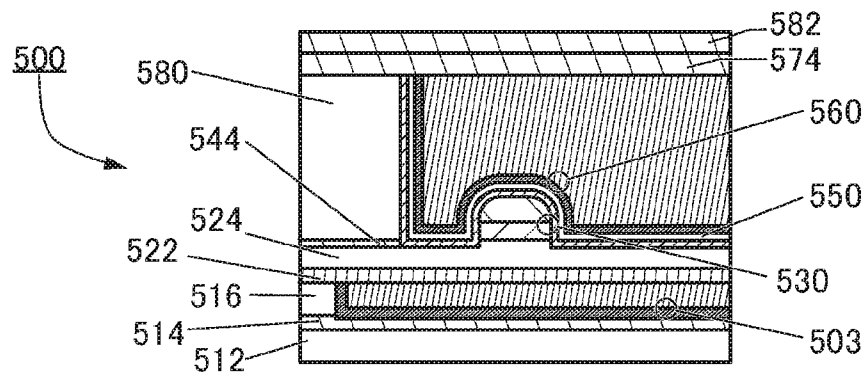


図8C

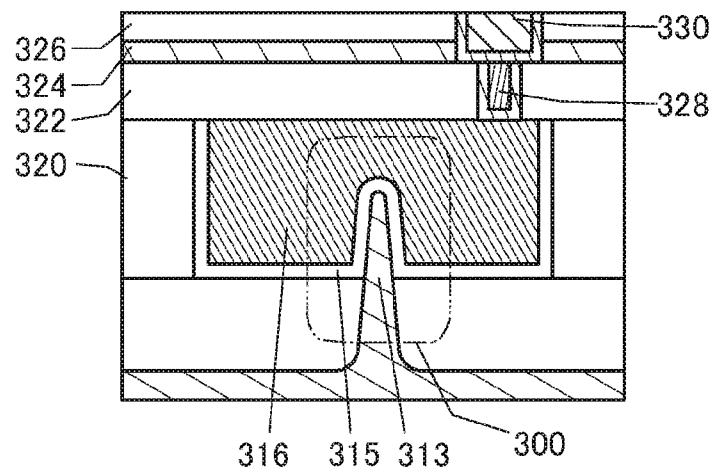
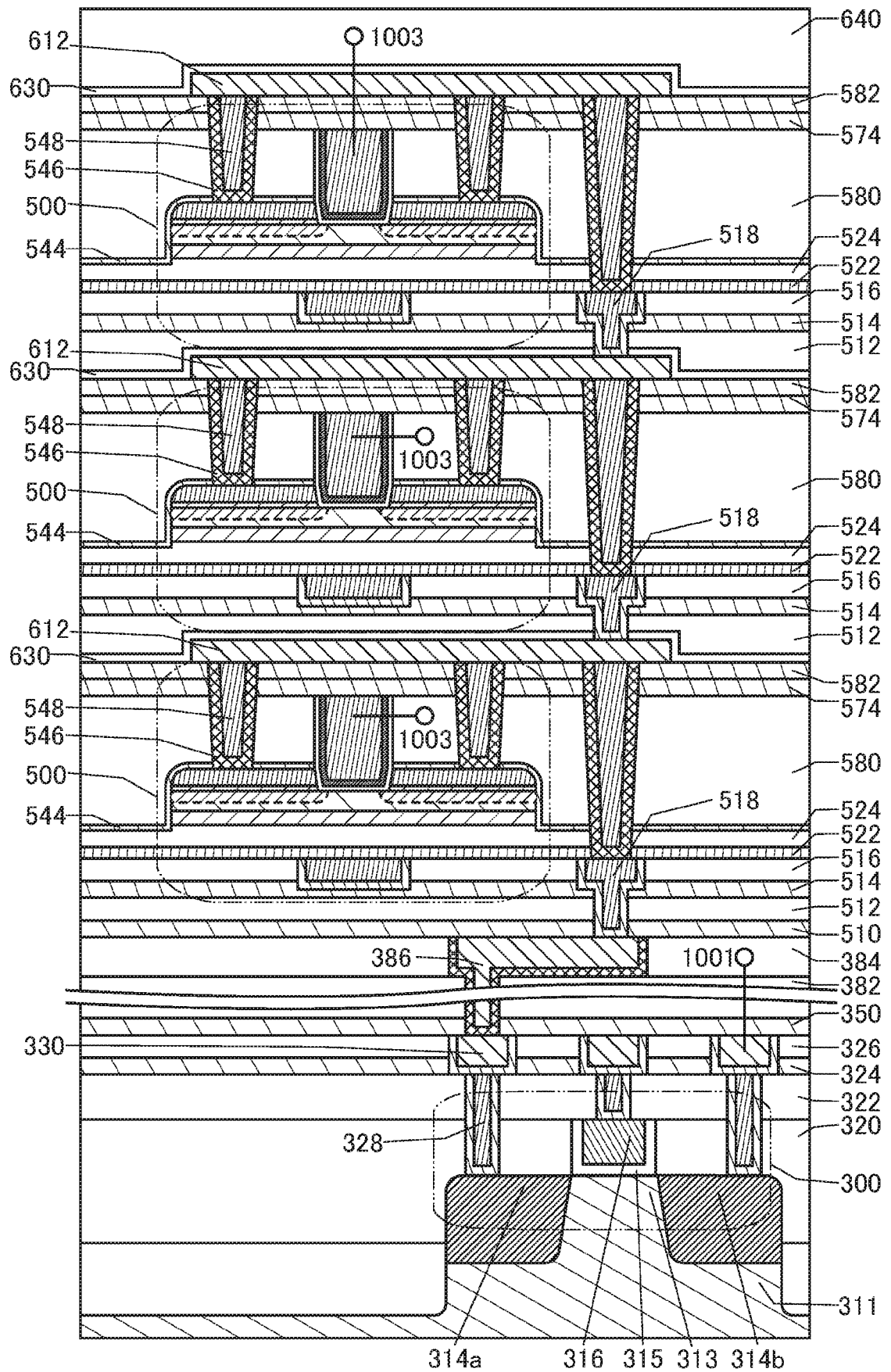


图9

9/15



10/15

図10A

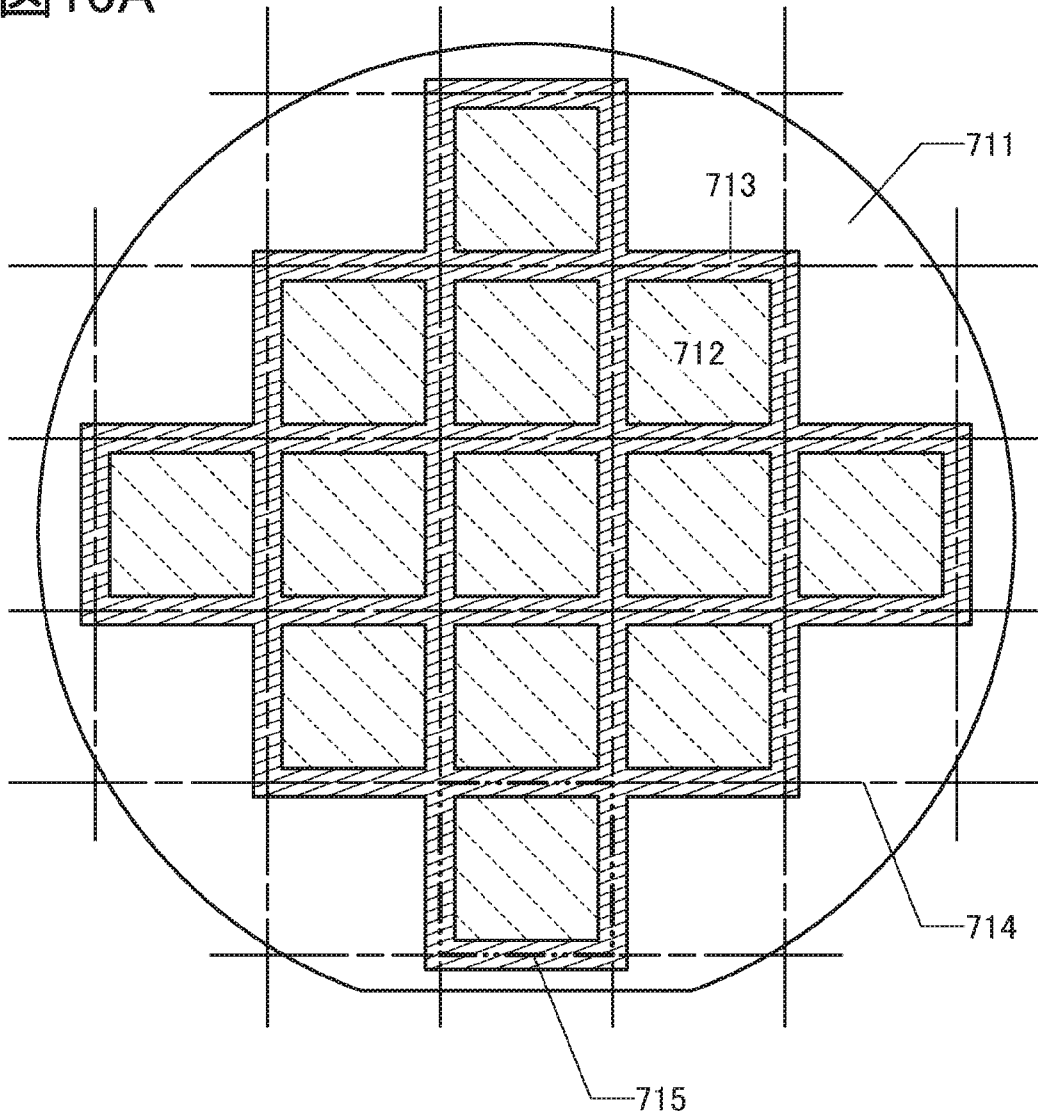
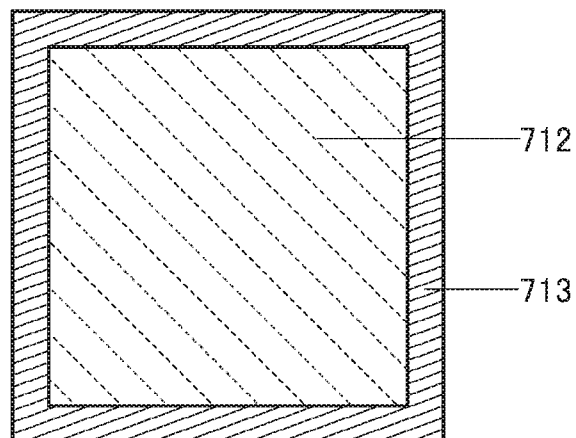


図10B

715



11/15

図11A

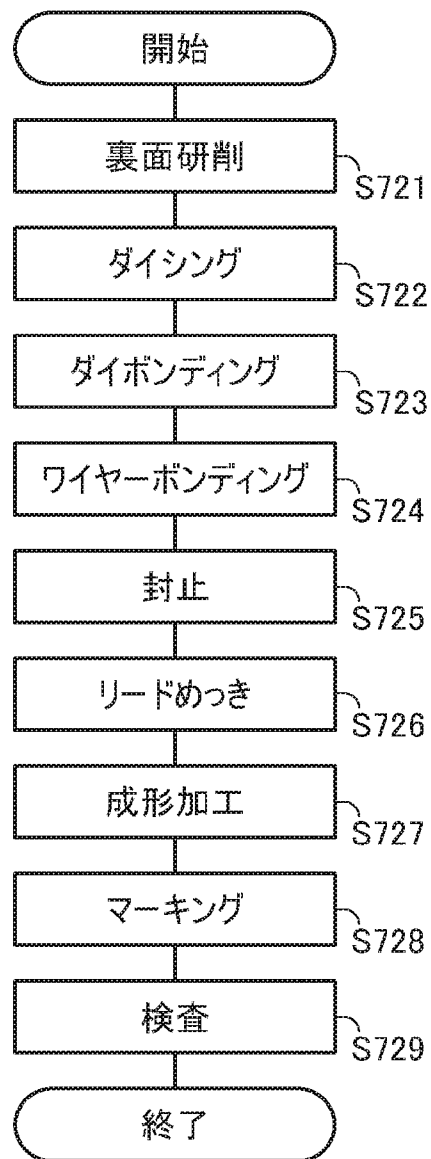
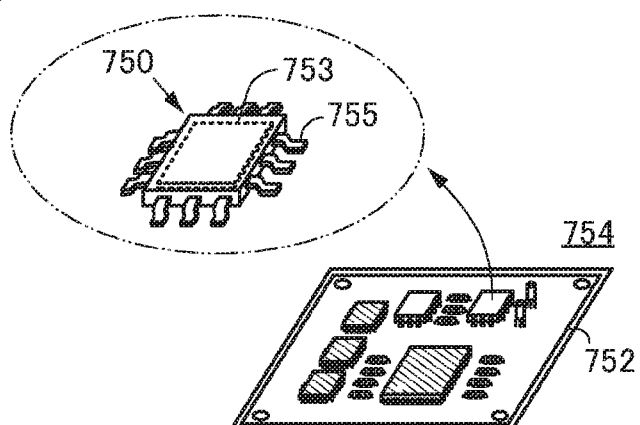
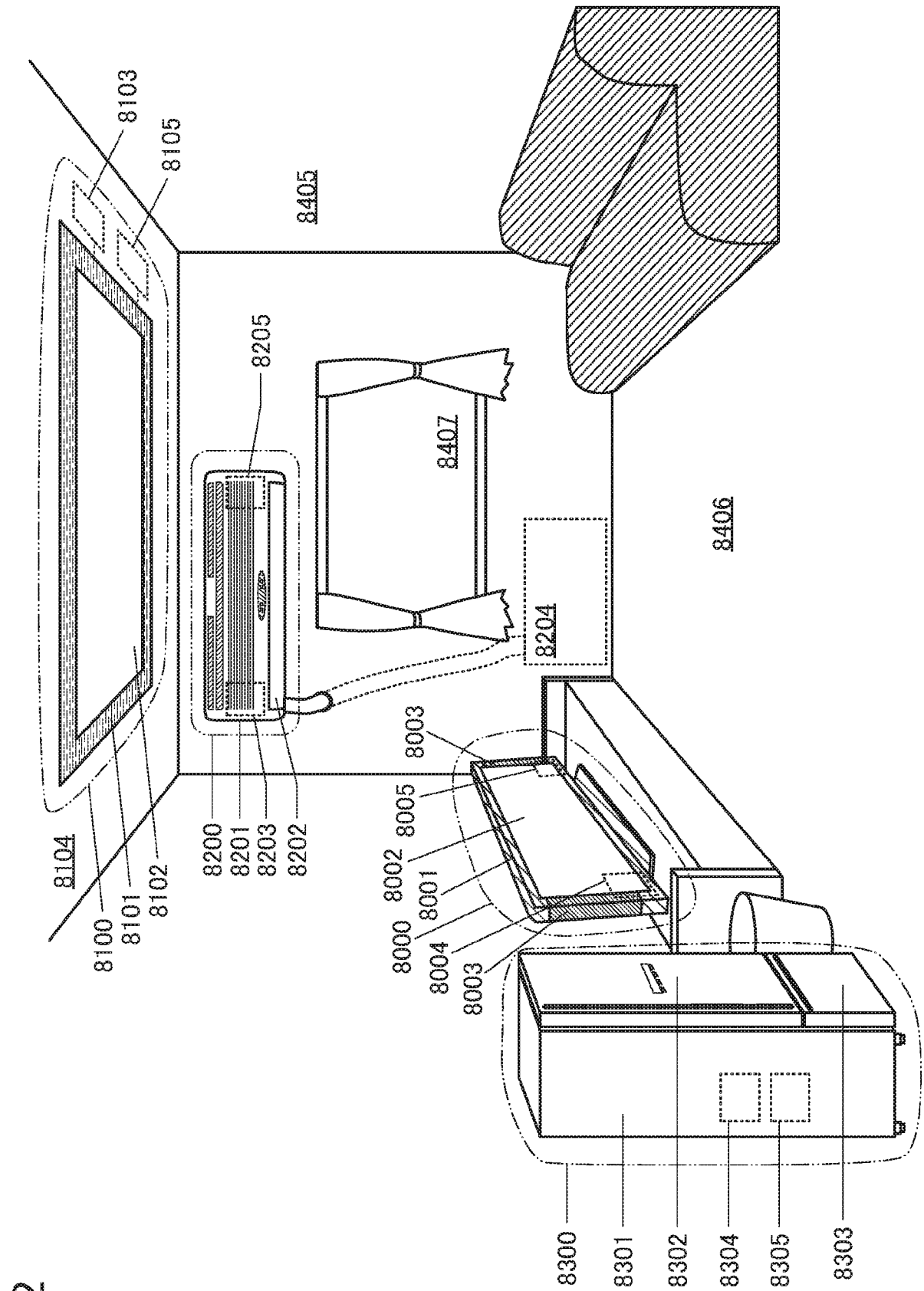


図11B





13/15

图 13A

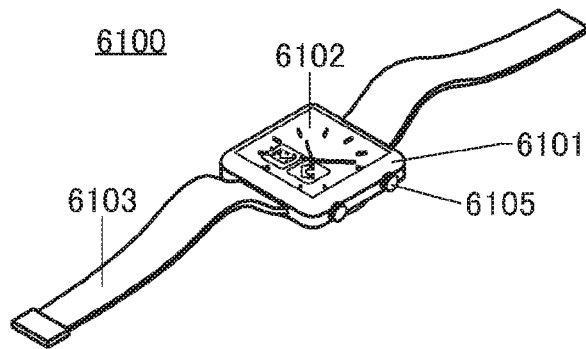


图 13B

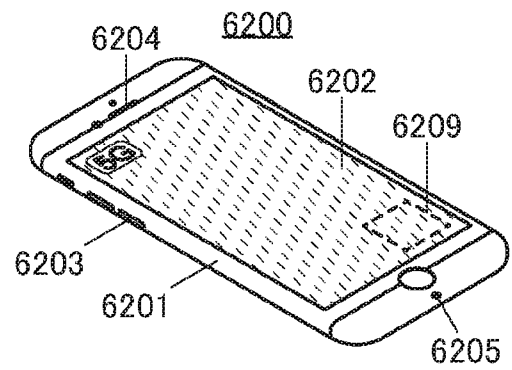


图 13C

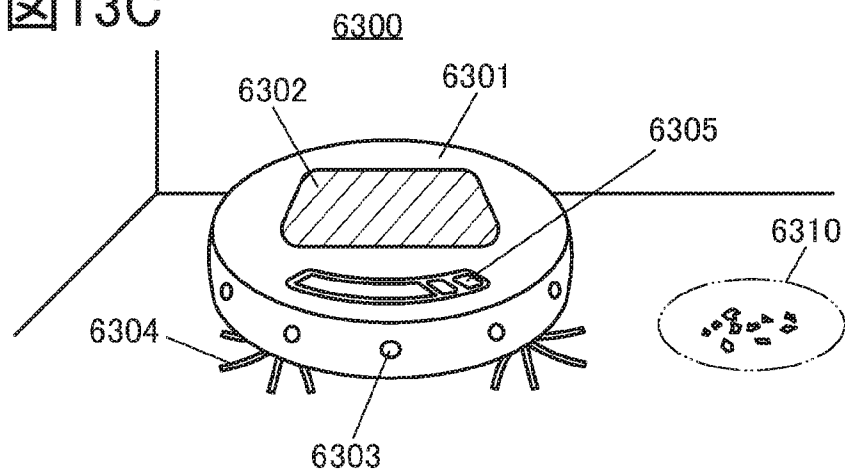


图 13D

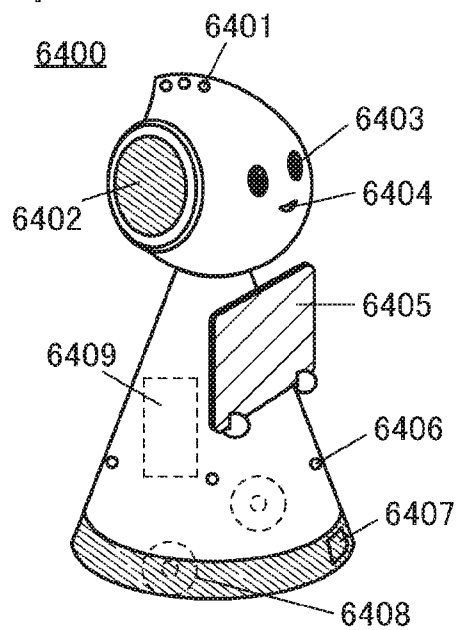


图 13E

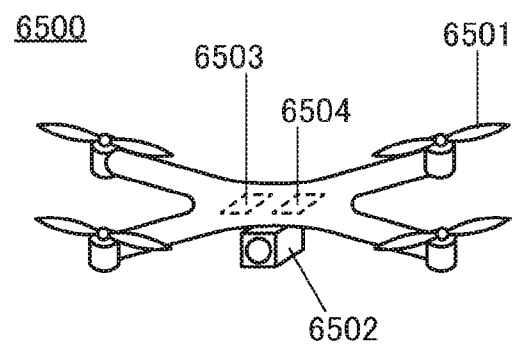


图 13F

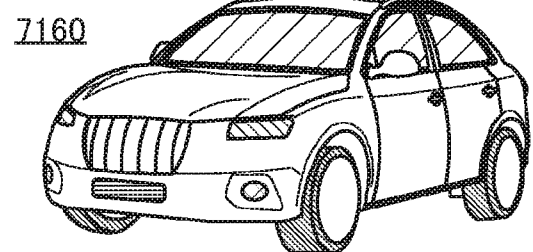


図14

14/15

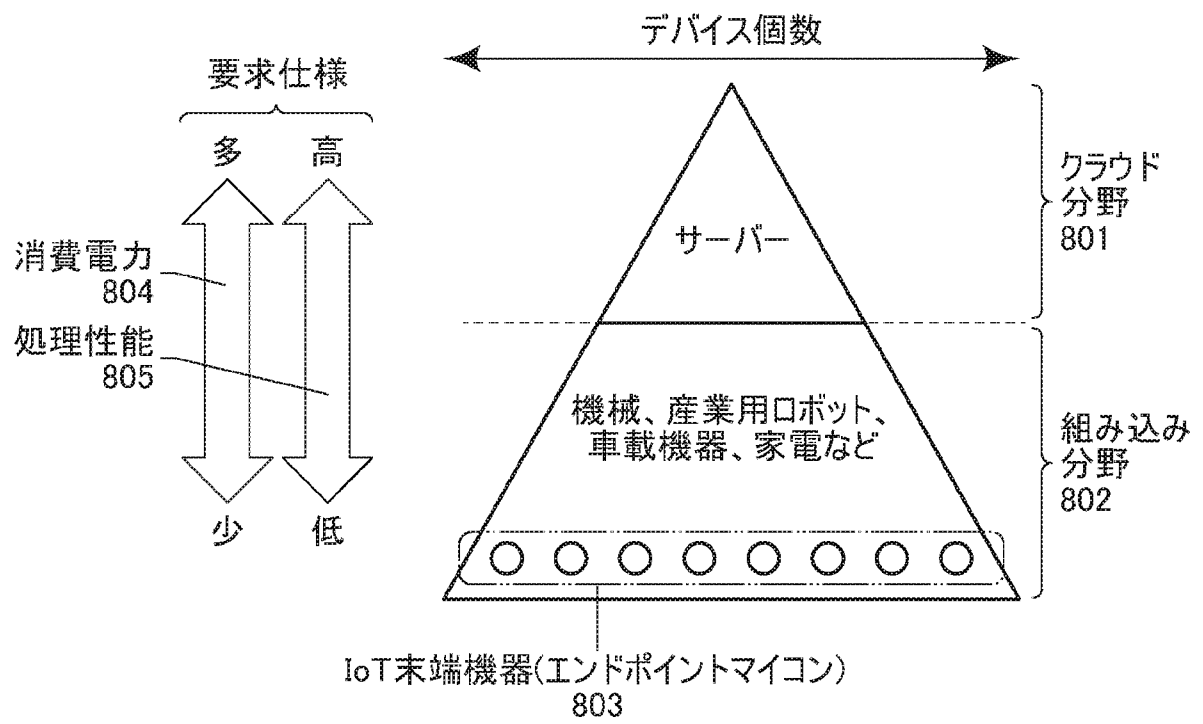
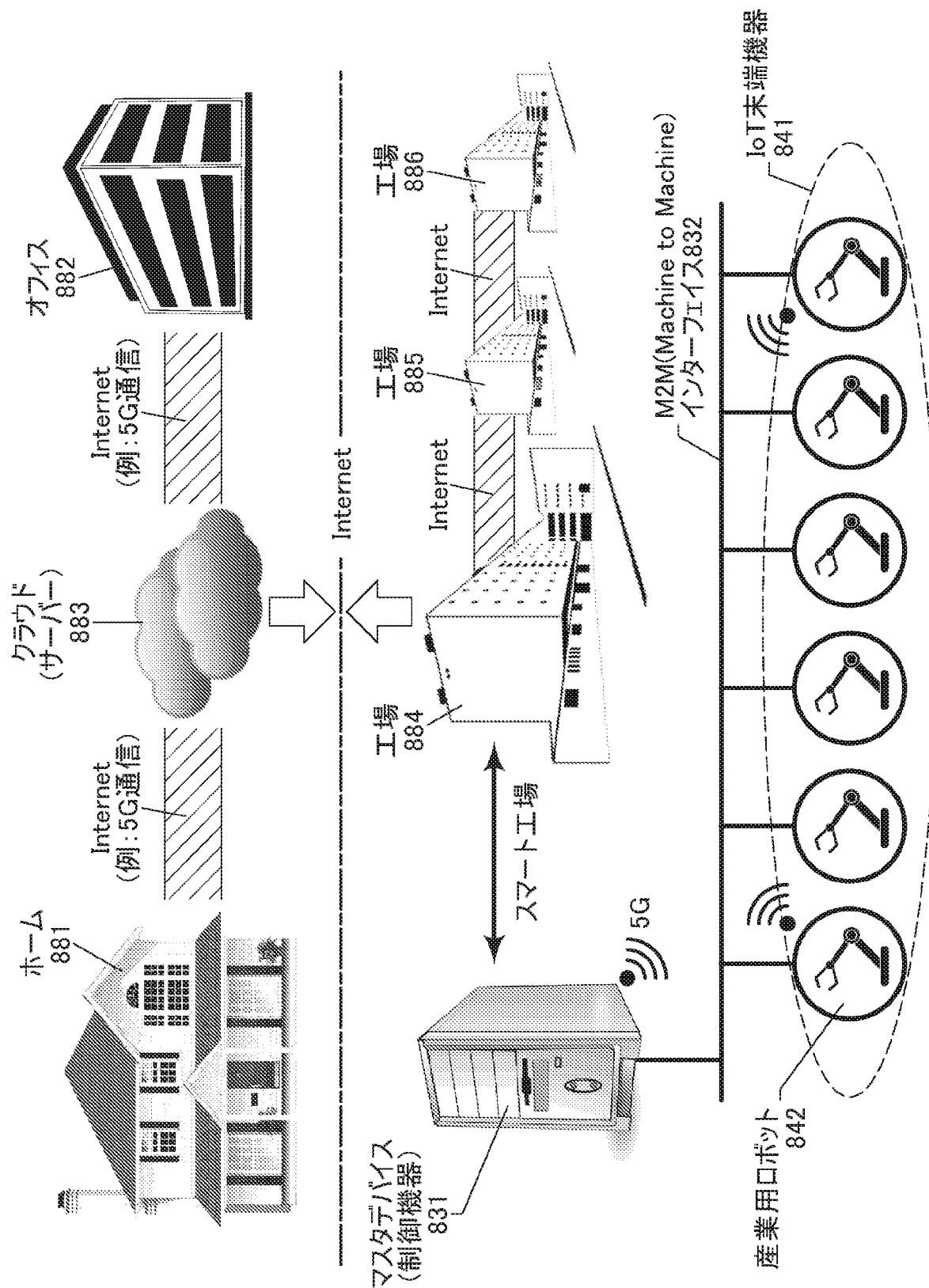


図15



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/054715

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i;
H01L 27/04(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i
FI: H01L29/78 613Z; H01L29/78 618B; H01L27/04 C; H01L27/06 102A;
H01L27/088 331E; H01L27/04 H; H01L27/088 E

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L27/088

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-260271 A (TOSHIBA CORP.) 05.11.2009 (2009-11-05)	1-9
A	JP 2014-199402 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 23.10.2014 (2014-10-23)	1-9
A	US 9431441 B1 (UNITED MICROELECTRONICS CORP.) 30.08.2016 (2016-08-30)	1-9
A	US 2018/0152189 A1 (PAPADOPOULOS, Nikolaos) 31.05.2018 (2018-05-31)	1-9

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
26 August 2020 (26.08.2020)

Date of mailing of the international search report
08 September 2020 (08.09.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2020/054715

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2009-260271 A	05 Nov. 2009	US 2009/0242977 A1	
JP 2014-199402 A	23 Oct. 2014	US 2014/0042443 A1	
		KR 10-2014-0020756 A	
		TW 201413977 A	
US 9431441 B1	30 Aug. 2016	CN 106409847 A	
US 2018/0152189 A1	31 May 2018	WO 2016/183687 A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/786(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/04(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i FI: H01L29/78 613Z; H01L29/78 618B; H01L27/04 C; H01L27/06 102A; H01L27/088 331E; H01L27/04 H; H01L27/088 E																	
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/786; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L27/088 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年							
日本国実用新案公報	1922-1996年																
日本国公開実用新案公報	1971-2020年																
日本国実用新案登録公報	1996-2020年																
日本国登録実用新案公報	1994-2020年																
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2009-260271 A (株式会社東芝) 05.11.2009 (2009-11-05)</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>JP 2014-199402 A (株式会社半導体エネルギー研究所) 23.10.2014 (2014-10-23)</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>US 9431441 B1 (UNITED MICROELECTRONICS CORP.) 30.08.2016 (2016-08-30)</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>US 2018/0152189 A1 (PAPADOPOULOS, Nikolaos) 31.05.2018 (2018-05-31)</td> <td>1-9</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2009-260271 A (株式会社東芝) 05.11.2009 (2009-11-05)	1-9	A	JP 2014-199402 A (株式会社半導体エネルギー研究所) 23.10.2014 (2014-10-23)	1-9	A	US 9431441 B1 (UNITED MICROELECTRONICS CORP.) 30.08.2016 (2016-08-30)	1-9	A	US 2018/0152189 A1 (PAPADOPOULOS, Nikolaos) 31.05.2018 (2018-05-31)	1-9
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号															
A	JP 2009-260271 A (株式会社東芝) 05.11.2009 (2009-11-05)	1-9															
A	JP 2014-199402 A (株式会社半導体エネルギー研究所) 23.10.2014 (2014-10-23)	1-9															
A	US 9431441 B1 (UNITED MICROELECTRONICS CORP.) 30.08.2016 (2016-08-30)	1-9															
A	US 2018/0152189 A1 (PAPADOPOULOS, Nikolaos) 31.05.2018 (2018-05-31)	1-9															
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																	
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																	
国際調査を完了した日 26.08.2020		国際調査報告の発送日 08.09.2020															
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 岩本 勉 5F 9355 電話番号 03-3581-1101 内線 3516															

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2020/054715

引用文献			公表日	パテントファミリー文献			公表日
JP	2009-260271	A	05.11.2009	US	2009/0242977	A1	
JP	2014-199402	A	23.10.2014	US	2014/0042443	A1	
				KR	10-2014-0020756	A	
				TW	201413977	A	
US	9431441	B1	30.08.2016	CN	106409847	A	
US	2018/0152189	A1	31.05.2018	WO	2016/183687	A1	