


公告本

申請日期: 91.9.24	案號: 91121878
類別: H01L 27/04	

(以上各欄由本局填註)

<b>發明專利說明書</b>		<b>557565</b>
一、 發明名稱	中文	具有電容器之半導體裝置
	英文	Semiconductor Device Having Capacitor
二、 發明人	姓名 (中文)	1. 相原一洋
	姓名 (英文)	1. Kazuhiro AIHARA
	國籍	1. 日本
	住、居所	1. 日本國東京都千代田區丸の内二丁目2番3號 三菱電機株式會社內
三、 申請人	姓名 (名稱) (中文)	1. 三菱電機股份有限公司
	姓名 (名稱) (英文)	1. Mitsubishi Denki Kabushiki Kaisha (三菱電機株式會社)
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區丸の内二丁目2番3號
	代表人 姓名 (中文)	1. 野間口有
代表人 姓名 (英文)	1. Tamotsu NOMAKUCHI	
		

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

日本 JP

2002/01/29 2002-020029

有

有關微生物已寄存於

寄存日期

寄存號碼

無



## 五、發明說明 (1)

## [發明之背景]

發明之領域

本發明有關於具有電容器之半導體裝置，亦即有關於具有電容器之半導體裝置其中包含有互相面對之下部電極和上部電極，在其間包夾有電介質體層。

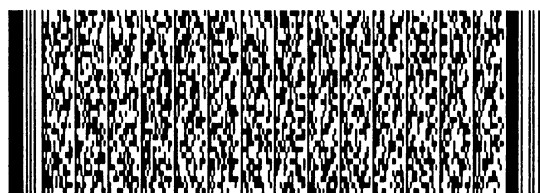
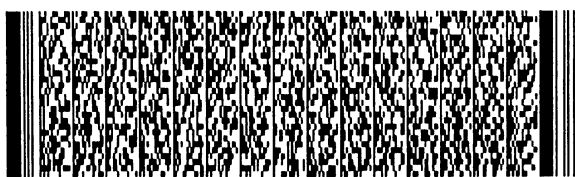
背景技術之說明

半導體裝置中所使用之電容器廣泛習知者有DRAM (Dynamic Random Access Memory) 之電容器。

圖5是剖面圖，用來概略的表示習知之DRAM之電容器之構造。參照圖5，習知之DRAM之電容器具有儲存節點(下部電極)104，電容器電介質體層105，和單元板(上部電極)106。

儲存節點104經由插頭層102電連接到形成在矽基板101之作為源極/汲極區域之雜質區域。該插頭層102埋入到層間絕緣層103之接觸孔內。儲存節點104由摻雜有n型雜質之磷之多結晶矽構成。電容器電介質體層105形成覆蓋在儲存節點104之方式，由 $Ta_2O_5$ 構成。單元板106形成與儲存節點104面對，在其間包夾有電容器電介質體層105。該單元板106由摻雜有n型雜質之磷之多結晶矽構成。

在習知之DRAM，當記憶單元記憶資訊之情況時，對單元板106施加高電位107，對儲存節點104施加低電壓108。因為單元板106為n型，所以在單元板106內存在有多個作為載子之電子。因為該電子遠離相對低電位之儲存節點104，所以在與電容器電介質體層105接合之單元板106之



## 五、發明說明 (2)

部份，會產生未存在有載子之空乏層。因為在該空乏層未存在有載子，所以空乏層變成具有絕緣性。因此，實際上在儲存節點104和單元板106之間，變成存在有電容器電介質體層105和空乏層之2個電介質體，實質上會使電容器電介質體層之膜厚增加。因此，電容器所儲存之電荷之量會減少為其問題。

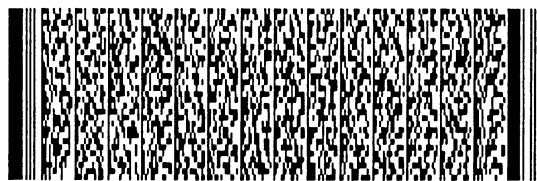
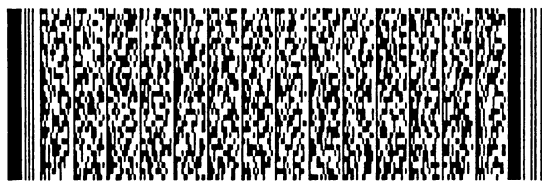
## [發明之概要]

本發明用來解決上述之問題，其目的是提供具有電容器之半導體裝置，可以有效的防止電容量之減少。

本發明之具有電容器之半導體裝置含有包夾電介質體層之互相面對之下部電極和上部電極，其中之下部電極和上部電極之至少任何一方具備含有p型雜質之SiGe(矽鍺)之混晶層。

依照本發明之具有電容器之半導體裝置時，下部電極和上部電極之至少任何一方具有SiGe之混晶層。該SiGe之混晶層是空乏層之產生量比矽少之材質。因此，可以抑制SiGe之混晶層內之空乏層之擴大，可以抑制實質上之電介質體層之膜厚之增加，所以可以抑制被儲存在電容器之電荷量之減少。

另外，因為在SiGe之混晶層含有p型雜質，所以在該電極中之多數載子為電洞。因此，即使在p型電極具有高電位時，在與電介質體層接合之p型電極之部份內亦不會產生空乏層。因此，經由使用含有p型雜質之SiGe之混晶層，作為被施加高電位之電極，可以防止在該電極內發生



## 五、發明說明 (3)

空乏層。

## [發明之實施形態]

下面將根據圖面用來說明本發明之實施形態。

## (實施形態1)

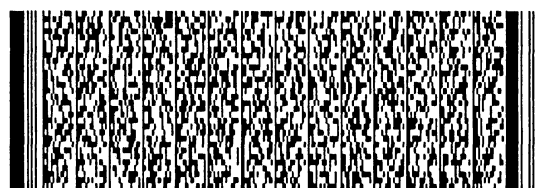
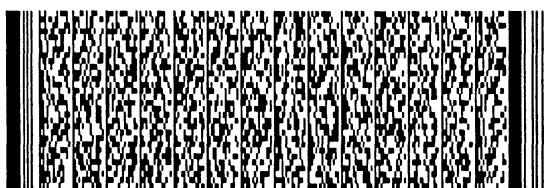
參照圖1，電容器具有儲存節點4(下部電極)，電容器電介質體層5，和單元板(上部電極)6。

儲存節點4由含有p型雜質(例如硼)之SiGe之混晶層形成。該儲存節點4經由插頭層2電連接到用以構形成在矽基板1上之源極/汲極區域之雜質區域。該插頭層2埋入到層間絕緣層3之接觸孔內，例如由含有p型雜質之矽膜形成。電容器電介質體層5覆蓋在儲存節點4，例如由Ta<sub>2</sub>O<sub>5</sub>膜形成。單元板6形成與儲存節點4面對，在其間包夾有電容器電介質體層5，由含有p型雜質之SiGe之混晶層形成。

在上述之半導體裝置中，在電容器記憶有資訊之狀態，單元板6具有高電位7，儲存節點4具有低電位8。

在本實施形態中，儲存節點4和單元板6，使用空乏層之產生量比矽少之SiGe之混晶層。因此，實質上之電介質體層之膜厚之增加量變小，可以防止電容器之電容量之降低。因此，可以在電容器儲存充分之電荷。

另外，在具有高電位之單元板6之SiGe之混晶層，因為含有p型雜質，所以單元板6之多數載子為電洞。因此，即使單元板6具有高電位，在與電容器電介質體層5接合之單元板6之部份內，亦不會產生空乏層。因此，在單元板6和電容器電介質體層5之接合部份，實質上電容器之電介質



## 五、發明說明 (4)

體層5之膜厚不會變厚，因此在電容器可以儲存充分之電荷。

## (實施形態2)

本發明之實施形態2之構造，當與圖1所示之實施形態1之構造比較時，其不同部份是在構成儲存節點4，插頭層2和源極/汲極區域之雜質區域之各個，含有n型雜質。亦即，儲存節點4由含有n型雜質(例如磷、砷、銻)之SiGe之混晶層構成，插頭層2由含有n型雜質之矽膜構成，構成源極/汲極區域之雜質區域是n型雜質區域。

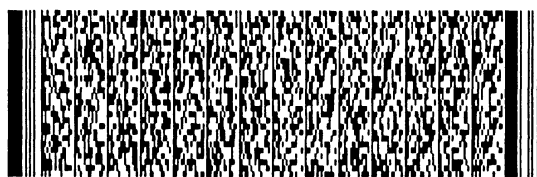
除此之外之構造因為與上述之實施形態1之構造大致相同，所以在相同之構件附加相同之元件編號，而其說明則加以省略。

在本實施形態之半導體裝置中，當電容器記憶有資訊之狀態時，單元板6具有高電位7，儲存節點4具有低電位8。

依照本實施形態時，因為儲存節點4所含之雜質為n型，所以儲存節點4之多數載子為電子。因此，即使儲存節點4具有低電位，在與電容器電介質體層5接合之儲存節點4之部份內，亦不會發生空乏層。

另外，因為單元板6所含之雜質為p型，所以單元板6之多數載子為電洞。因此，在單元板6即使具有高電位，在與電容器電介質體層5接合之單元板6之部份內，亦不會發生空乏層。

依照此種方式，在儲存節點4和單元板6雙方不會發生空乏層，因為電容器之電容量不會降低，所以可以儲存充分



## 五、發明說明 (5)

之電荷。

## (實施形態3)

參照圖2，本發明之實施形態3之構造，當與實施形態1之構造比較時，其不同部份是在單元板6含有n型雜質。亦即，單元板6由含有n型雜質之SiGe之混晶層形成。另外，在電容器記憶有資訊之狀態，單元板6具有低電位7，儲存節點4具有高電位8。

另外，除此之外之構造因為與上述之實施形態1之構造大致相同，所以在相同之構件附加相同之元件編號，而其說明則加以省略。

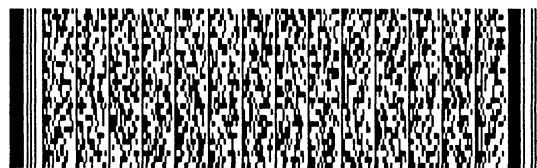
依照本實施形態時，因為儲存節點4所含之雜質為p型，所以儲存節點4之多數載子為電洞。因此，即使儲存節點4具有高電位，在與電容器電介質體層5接合之儲存節點4之部份內亦不會產生空乏層。

另外，因為單元板6所含之雜質為n型，所以單元板6之多數載子為電子。因此，即使單元板6具有低電位，在與電容器電介質體層5接合之單元板6之部份內，亦不會發生空乏層。

依照此種方式，在儲存節點4和單元板6之雙方不會發生空乏層，因為電容器之電容量不會降低，所以可以儲存充分之電荷。

## (其他之實施形態)

在上述實施形態1至3之儲存節點4和單元板6之SiGe之混晶層，最好將Ge之混晶比設定成為扣除3成以下之任意之



## 五、發明說明 (6)

值。利用此種方式可以適當的設定單元板6和儲存節點4之空乏層之厚度，可以防止電容器之電容量之降低。另外，當Ge之混晶比超過扣除3成時，洩漏電流會增加所以不好。

另外，實施形態1~3之各個電容器亦可適用在圖3和圖4所示構造之DRAM記憶單元所含之電容器。下面將對圖3和圖4之各個構造進行簡單之說明。

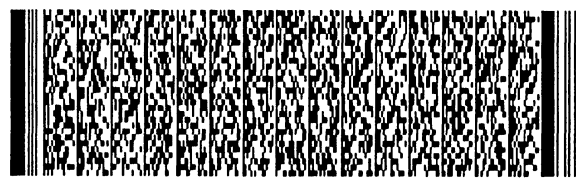
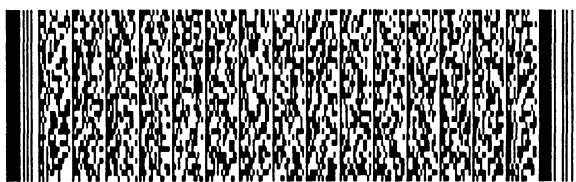
參照圖3，DRAM之記憶單元由1個之電晶體T和1個之電容器C構成。電晶體T形成在矽基板1之被場氧化膜10電分離之表面，具有1對之源極/汲極區域11，閘極絕緣層12，和閘極電極13。1對之源極/汲極區域11形成在矽基板1之表面成為互相隔開指定之距離。閘極電極13形成在被1對之源極/汲極區域11包夾之區域之上，在其間介入有閘極絕緣層12。

在該閘極電極13上形成有絕緣層14，以覆蓋在閘極電極13和絕緣層14之側壁之方式，形成有側壁絕緣層15。

在該電晶體T之一方之源極/汲極區域11電連接有位元線16，在另外一方電連接有電容器C。

電容器C具有儲存節點4，電容器電介質體層5，和單元板6。儲存節點4經由插頭層2電連接到源極/汲極區域11。單元板6形成與儲存節點4面對，成為在其間包夾電容器電介質體層5。另外，插頭層2埋入到層間絕緣層3之接觸孔內。

此種電容器C亦可以使用上述之實施形態1~3之任何一



## 五、發明說明 (7)

個之電容器。

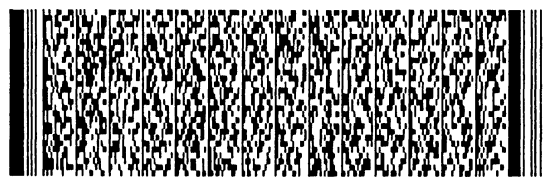
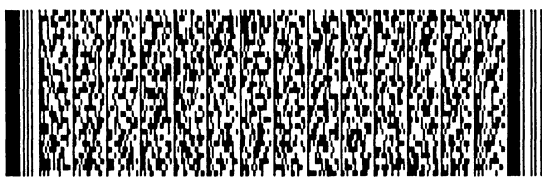
另外，參照圖4，該構造當與圖3之構造比較時，特別是其儲存節點之形狀成為不同。亦即，沿著層間絕緣層17之溝之內壁形成儲存節點4，利用此種方式使儲存節點4具有圓筒部。

另外，對於圖4之除此之外之構造，因為與上述之圖3之構造大致相同，所以在相同之構件附加相同之元件編號，而其說明則加以省略。

此種電容器C亦可以使用上述之實施形態1~3之任何一個之電容器。另外，以上所說明者是使用在DRAM之情況，但是上述之實施形態1~3之任何一個之電容器亦可以適用在e(embedded)RAM之電容器。

如以上所說明之方式，在上述之具有電容器之半導體裝置中，下部電極和上部電極之雙方，由含有p型雜質之SiGe之混晶層形成。利用此種方式，即使在下部電極和上部電極之任何一個具有高電位時，亦可以防止在具有高電位側之電極內發生空乏層。

在上述之具有電容器之半導體裝置中，下部電極由含有n型雜質之SiGe之混晶層形成，和上部電極由含有p型雜質之SiGe之混晶層形成。利用此種方式，在上部電極具有高電位和下部電極具有低電位之情況時，因為上部電極由含有p型雜質之SiGe之混晶層形成，所以可以防止空乏層之發生。另外，因為下部電極由含有n型雜質之SiGe之混晶層形成，所以下部電極內之多數載子為電子。因此，即使



## 五、發明說明 (8)

在下部電極具有低電位時，在與電介質體層接合之下部電極之部份亦不會發生空乏層。利用上述之方式，可以防止在下部電極和上部電極之雙方發生空乏層。

在上述之具有電容器之半導體裝置中，下部電極由含有p型雜質之SiGe之液晶層形成，和上部電極由含有n型雜質之SiGe之混晶層形成。利用此種方式，在下部電極具有高電壓，和上部電極具有低電壓之情況時，可以防止在下部電極和上部電極雙方發生空乏層。

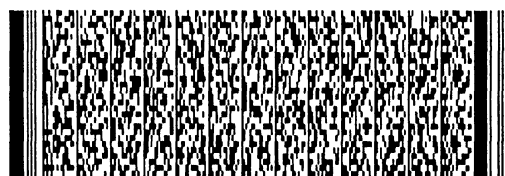
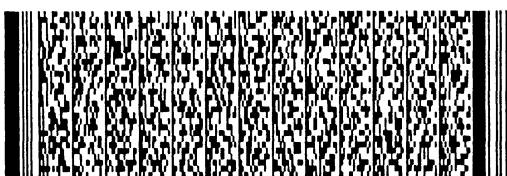
在上述之具有電容器之半導體裝置中，構建成為上部電極具有比下部電極所具有之電位高之電位。利用此種方式可以防止在下部電極和上部電極雙方發生空乏層。

在上述之具有電容器之半導體裝置中，最好構建成為下部電極具有比上部電極所具有之電位高之電位。利用此種方式可以防止在下部電極和上部電極雙方發生空乏層。

在上述之具有電容器之半導體裝置中，最好構建成為SiGe之混晶層含有扣除3成以下之任意之混晶比之Ge。依照此種方式，經由變化電極中之SiGe之Ge之混晶比，可以設定適當之空乏層之厚度，所以可以有效的防止電容器之電容量之降低。另外，當Ge之混晶比超過扣除3成時，會使洩漏電流變大。

在上述之具有電容器之半導體裝置中，最好使電介質體層由含有Ta<sub>2</sub>O<sub>5</sub>之材質構成。利用此種方式可以實現大電容量之電容器。

此處所揭示之實施形態全部作為舉例之用而非限制性



## 五、發明說明 (9)

者。本發明之範圍不以上述之說明表示，而是以申請專利範圍表示，包含與申請專利範圍同等意義和範圍內之所有之變更。

## [ 元件編號之說明 ]

1	矽基板
2	插頭層
3	層間絕緣膜
4	儲存節點
5	電容器電介質體層
6	單元板
7	高電位
8	低電位
11	源極/汲極區域
12	閘極絕緣層
13	閘極電極
14	絕緣層
15	側壁絕緣層
16	位元線
17	層間絕緣層



## 圖式簡單說明

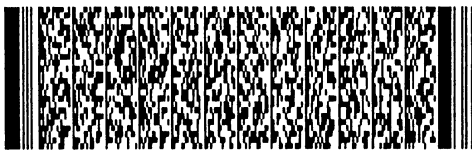
圖1是剖面圖，用來概略的表示本發明之實施形態1之具有電容器之半導體裝置之構造。

圖2是剖面圖，用來概略的表示本發明之實施形態3之具有電容器之半導體裝置之構造。

圖3是概略剖面圖，用來表示使用有本發明之各個實施形態之電容器之DRAM之記憶單元之構造。

圖4是概略剖面圖，用來表示使用有本發明之各個實施形態之電容器之DRAM之記憶單元之另一構造。

圖5是剖面圖，用來概略的表示習知之具有電容器之半導體裝置之構造。

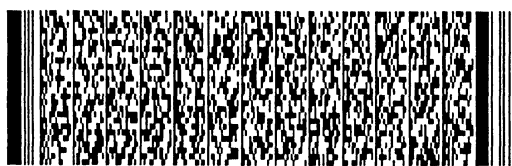


## 四、中文發明摘要 (發明之名稱：具有電容器之半導體裝置)

本發明之具有電容器之半導體裝置具備互相面對之儲存節點4和單元板6在其間包夾有電容器電介質體層5，該儲存節點4和單元板6之至少任何一方形成具有包含p型雜質之SiGe之混晶層。利用此種方式可以獲得具有電容器之半導體裝置，可以有效的防止電容量之減小。

## 英文發明摘要 (發明之名稱：Semiconductor Device Having Capacitor)

A semiconductor device having a capacitor according to the present invention has a storage node and a cell plate opposed to each other through a capacitor dielectric layer, and at least either the storage node or the cell plate is formed to have a mixed crystal layer of SiGe containing a p-type impurity. Thus, a semiconductor device having a capacitor capable of effectively preventing reduction of the capacitance can be obtained.



## 六、申請專利範圍

1. 一種具有電容器之半導體裝置，含有包夾電介質體層之互相面對之下部電極和上部電極，其特徵是：

上述之下部電極和上部電極之至少任何一方，具有包含p型雜質之SiGe之混晶層。

2. 如申請專利範圍第1項之具有電容器之半導體裝置，其中上述之下部電極和上部電極之雙方，由含有p型雜質之SiGe之混晶層形成。

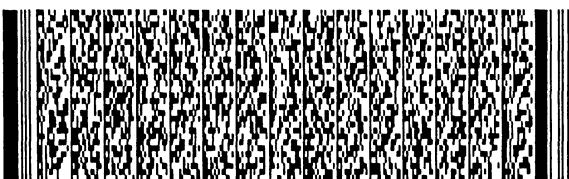
3. 如申請專利範圍第1項之具有電容器之半導體裝置，其中上述之下部電極由含有n型雜質之SiGe之混晶層形成，和上述之上部電極由含有p型雜質之SiGe之混晶層形成。

4. 如申請專利範圍第1項之具有電容器之半導體裝置，其中上述之下部電極由含有p型雜質之SiGe之混晶層形成，和上述之上部電極由含有n型雜質之SiGe之混晶層形成。

5. 如申請專利範圍第3項之具有電容器之半導體裝置，其中構件成為在上述之上部電極具有比上述之下部電極所具有之電位高之電位。

6. 如申請專利範圍第4項之具有電容器之半導體裝置，其中構建成為在上述之下部電極具有比上述之上部電極所具有之電位高之電位。

7. 如申請專利範圍第1項之具有電容器之半導體裝置，其中上述之SiGe之混晶層包含有扣除3成以下之任意之混晶比之Ge。



## 六、申請專利範圍

8. 如申請專利範圍第1項之具有電容器之半導體裝置，其中上述之電介質體層由含有 $Ta_2O_5$ 之材質構成。

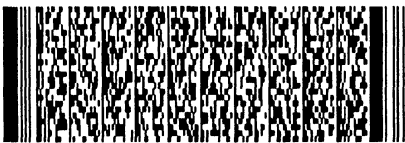


圖 1

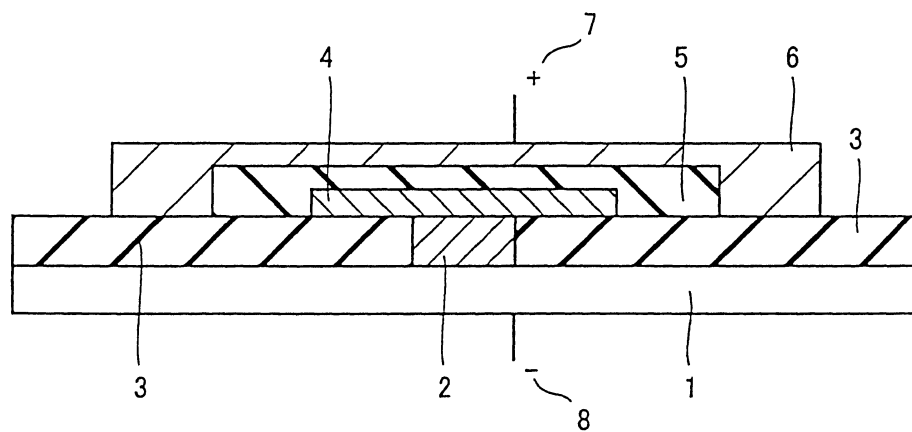


圖 2

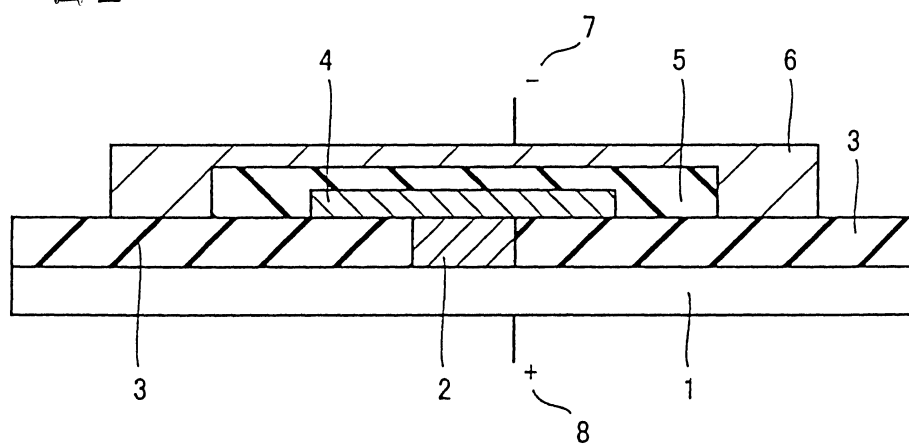


圖 3

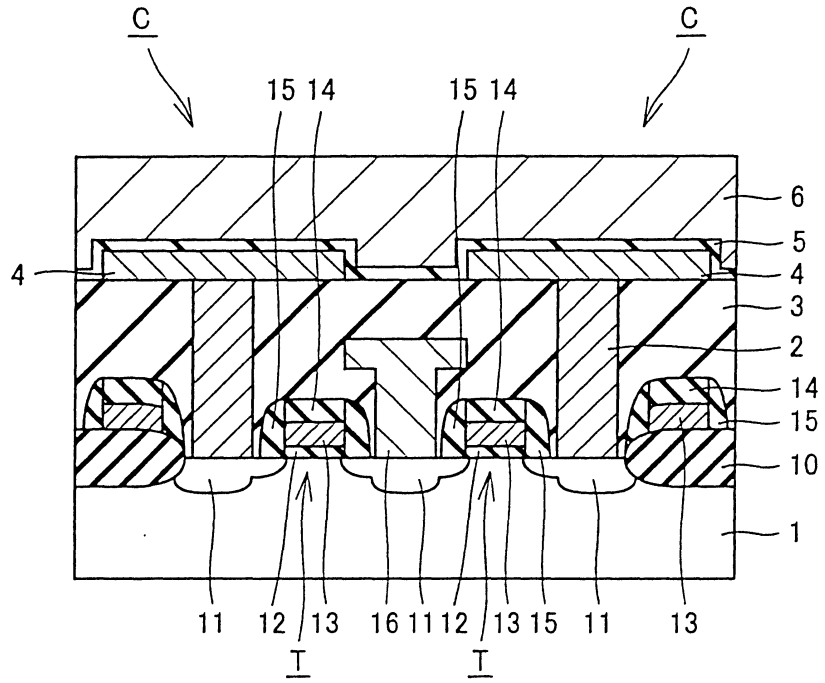


圖 4

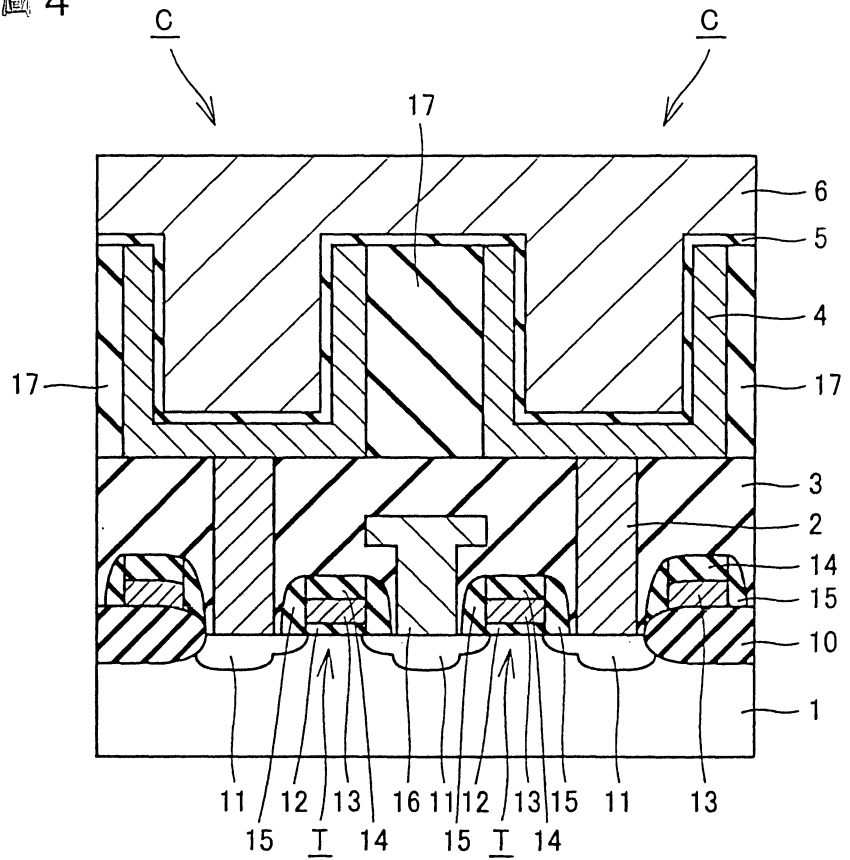


圖 5

