



(12) 发明专利

(10) 授权公告号 CN 102403279 B

(45) 授权公告日 2016. 01. 20

(21) 申请号 201110267260. 1

US 7508012 B2, 2009. 03. 24, 附图 2 及说明书
书相关部分.

(22) 申请日 2011. 09. 09

审查员 凌宇飞

(30) 优先权数据

12/878289 2010. 09. 09 US

(73) 专利权人 英飞凌科技股份有限公司

地址 德国瑙伊比贝尔格市坎茨昂 1 - 12 号

(72) 发明人 R. 奥特伦巴

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 王岳 王洪斌

(51) Int. Cl.

H01L 23/00(2006. 01)

H01L 23/488(2006. 01)

H01L 23/29(2006. 01)

H01L 23/31(2006. 01)

H01L 21/60(2006. 01)

(56) 对比文件

US 2010/0051963 A1, 2010. 03. 04, 附图 1、3
及说明书相关部分、权利要求 1、10、11.

US 5272105 A, 1993. 12. 21, 全文.

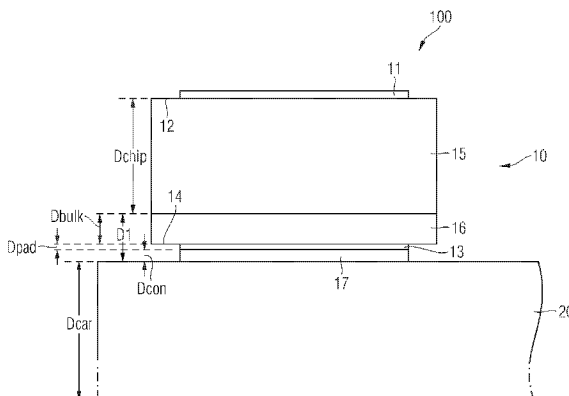
权利要求书3页 说明书10页 附图8页

(54) 发明名称

功率半导体芯片封装

(57) 摘要

本发明涉及功率半导体芯片封装。一种器件包括具有外延层和体半导体层的垂直功率半导体芯片。第一接触焊盘布置于功率半导体芯片的第一主要面上, 而第二接触焊盘布置于功率半导体芯片的与第一主要面相对的第二主要面上。该器件还包括附着到第二接触焊盘的导电载体。



1. 一种功率半导体器件,包括:
 竖直功率半导体芯片,具有外延层和体半导体层,
 第一接触焊盘,布置于所述功率半导体芯片的第一主要面上,
 第二接触焊盘,布置于所述功率半导体芯片的第二主要面上,所述第二主要面与所述第一主要面相对,
 导电载体,以增强作用于所述外延层的张应力的方式附着到所述第二接触焊盘,以及连接层,位于所述第二接触焊盘与所述导电载体之间,
 其中在所述导电载体与所述外延层之间的距离等于或者少于 $50\ \mu\text{m}$ 并且大于 $30\ \mu\text{m}$ 并且连接层比体半导体层薄。
2. 根据权利要求 1 所述的功率半导体器件,还包括:
 其中所述连接层具有等于或者少于 $10\ \mu\text{m}$ 的厚度。
3. 根据权利要求 2 所述的功率半导体器件,其中所述连接层包括扩散焊接材料。
4. 根据权利要求 1 所述的功率半导体器件,其中所述体半导体层具有等于或者少于 $30\ \mu\text{m}$ 的厚度。
5. 根据权利要求 1 所述的功率半导体器件,其中所述外延层具有等于或者大于 $20\ \mu\text{m}$ 的厚度。
6. 根据权利要求 1 所述的功率半导体器件,其中所述功率半导体芯片是操作电压等于或者大于 200V 的竖直功率晶体管。
7. 一种功率半导体器件,包括:
 竖直功率半导体芯片,具有外延层和体半导体层,
 第一接触焊盘,布置于所述功率半导体芯片的第一主要面上,
 第二接触焊盘,布置于所述功率半导体芯片的与所述第一主要面相对的第二主要面上,
 导电载体,以及
 连接层,以增强作用于所述外延层的张应力的方式位于所述第二接触焊盘与所述导电载体之间,其中所述导电载体的厚度与所述功率半导体芯片的厚度、所述第二接触焊盘的厚度和所述连接层的厚度的总和的比值等于或者大于 3;并且其中在所述导电载体与所述外延层之间的距离等于或者少于 $50\ \mu\text{m}$ 并且大于 $30\ \mu\text{m}$ 并且连接层比体半导体层薄。
8. 根据权利要求 7 所述的功率半导体器件,其中所述比值等于或者大于 5。
9. 根据权利要求 7 所述的功率半导体器件,其中所述连接层具有等于或者少于 $10\ \mu\text{m}$ 的厚度。
10. 根据权利要求 7 所述的功率半导体器件,其中所述导电载体具有等于或者大于 1.0mm 的厚度。
11. 根据权利要求 7 所述的功率半导体器件,其中所述功率半导体芯片是操作电压等于或者大于 200V 的竖直功率晶体管。
12. 一种功率半导体器件,包括:
 竖直功率半导体芯片,具有外延层和体半导体层,
 第一接触焊盘,布置于所述功率半导体芯片的第一主要面上,
 第二接触焊盘,布置于所述功率半导体芯片的与所述第一主要面相对的第二主要面

上,

导电载体,以增强作用于所述外延层的张应力的方式附着到所述第二接触焊盘,连接层,位于所述第二接触焊盘与所述导电载体之间,以及

封装体,包括覆盖所述功率半导体芯片的封装材料,其中所述封装材料具有等于或者大于 50,000MPa 的弹性模量;并且其中在所述导电载体与所述外延层之间的距离等于或者少于 50 μm 并且大于 30 μm 并且连接层比体半导体层薄。

13. 根据权利要求 12 所述的功率半导体器件,其中所述封装材料的弹性模量等于或者大于 60,000MPa。

14. 根据权利要求 12 所述的功率半导体器件,还包括:

其中所述连接层的材料的弹性模量等于或者大于 50,000MPa。

15. 根据权利要求 12 所述的功率半导体器件,其中所述封装材料包括填充物材料,填充物材料在所述封装材料中的百分比等于或者大于 80vol%。

16. 根据权利要求 12 所述的功率半导体器件,其中所述功率半导体芯片是操作电压等于或者大于 200V 的垂直功率晶体管。

17. 一种功率半导体器件,包括:

垂直功率半导体芯片,具有外延层和体半导体层,

第一接触焊盘,布置于所述功率半导体芯片的第一主要面上,

第二接触焊盘,布置于所述功率半导体芯片的与所述第一主要面相对的第二主要面上,

导电载体,

连接层,以增强作用于所述外延层的张应力的方式位于所述第二接触焊盘与所述导电载体之间,以及

封装体,包括覆盖所述功率半导体芯片的封装材料,其中在所述功率半导体芯片的上表面与所述封装体的上表面之间的距离与所述功率半导体芯片的厚度、所述第二接触焊盘的厚度、所述连接层的厚度和所述导电载体的厚度的总和的比值等于或者大于 3;并且其中在所述导电载体与所述外延层之间的距离等于或者少于 50 μm 并且大于 30 μm 并且连接层比体半导体层薄。

18. 根据权利要求 17 所述的功率半导体器件,其中所述比值等于或者大于 5。

19. 一种制造功率半导体器件的方法,所述方法包括:

提供具有外延层和体半导体层的垂直功率半导体芯片,

提供在所述功率半导体芯片的第一主要面上布置的第一接触焊盘,

提供在所述功率半导体芯片的与所述第一主要面相对的第二主要面上布置的第二接触焊盘,并且

在附着到所述第二接触焊盘的导电载体上以增强作用于所述外延层的张应力的方式装配所述垂直功率半导体芯片,

在所述第二接触焊盘与所述导电载体之间施加连接层,其中在所述导电载体与所述外延层之间的距离少于 50 μm 并且大于 30 μm 并且连接层比体半导体层薄。

20. 根据权利要求 19 所述的方法,还包括:

所述连接层具有等于或者少于 10 μm 的厚度。

21. 根据权利要求 19 所述的方法,其中所述体半导体层具有等于或者少于 $30\ \mu\text{m}$ 的厚度。

22. 根据权利要求 19 所述的方法,其中所述外延层具有等于或者大于 $20\ \mu\text{m}$ 的厚度。

23. 根据权利要求 19 所述的方法,其中所述导电载体的厚度与所述功率半导体芯片的厚度、所述第二接触焊盘的厚度和所述连接层的厚度的总和的比值等于或者大于 3。

功率半导体芯片封装

技术领域

[0001] 本发明一般涉及半导体芯片封装并且更具体地涉及功率半导体芯片的封装。

背景技术

[0002] 半导体器件制造商持续致力于增加它们的产品性能同时减少它们的制造成本。在半导体器件制造中的成本密集区是封装半导体芯片。如本领域技术人员所知,在晶片中制作集成电路,然后切分晶片以生产半导体芯片。一个或者多个半导体芯片放置于封装中以保护它们免受环境和物理影响从而保证可靠性和性能。封装半导体芯片增加制造半导体器件的成本和复杂性,因为封装设计应当不仅提供保护而且它们也应当允许向和从半导体芯片发送电信号。

附图说明

[0003] 包括附图以提供对实施例的进一步理解,并且附图并入于本说明书中并且构成本说明书的部分。附图图示了实施例并且与描述一起用于说明实施例的原理。其它实施例和实施例的许多预计优点将在它们通过参照以下具体描述而变得更好理解时容易得到认识。附图的元件未必相对于彼此按比例绘制。相似参考标号表示对应的类似部分。

[0004] 图 1 是半导体器件的一个实施例的横截面图,该半导体器件包括装配于导电载体上的功率半导体芯片;

[0005] 图 2 是图 1 的功率半导体器件的简化图示,示出了载体在功率半导体芯片上施加的张应力;

[0006] 图 3 是根据图 1 中所示的实施例的一个具体实施例的横截面图;

[0007] 图 4 是图示了针对如图 3 中所示的载体上在应力加载条件下装配的相同功率半导体芯片的总体(ensemble)和针对在无外部张应力下操作的相同功率半导体芯片的总体的接通电阻概率分布的图;

[0008] 图 5 是一个实施例的横截面图,该实施例包括在嵌入功率半导体芯片的封装体中封装的图 1 的半导体器件;

[0009] 图 6 是一个实施例的横截面图,该实施例包括在嵌入功率半导体芯片和载体的封装体中封装的图 1 的半导体器件;

[0010] 图 7 是图示了针对各种厚度的功率半导体芯片的、以 Mpa 为单位的张应力比对以 mm^2 为单位的芯片面积的图;

[0011] 图 8 是在封装体 50 中封装的图 2 的半导体器件的图示,示出了由于封装工艺而在功率半导体芯片的上主要面(main face)上施加的张应力的减轻和向下压力的增强;并且

[0012] 图 9 是图示了针对各种厚度的功率半导体芯片的、以 μm 为单位的芯片翘曲(warpage)比对以 mm^2 为单位的芯片面积的图。

具体实施方式

[0013] 在以下具体描述中参照附图,这些附图形成该描述的部分并且在这些附图中通过图示方式示出了其中可以实现本发明的具体实施例。就这一点而言,参照描述的(一个或多个)附图的定向来使用诸如“顶部”、“底部”、“前”、“后”、“前导”、“尾随”等的方向术语。由于实施例的部件可以定位于多个不同定向上,所以方向术语用于图示而决非限制的目的。将理解可以利用其它实施例并且可以做出结构或逻辑改变而不脱离本发明的范围。以下具体描述因此将不理解为限制意义,并且本发明的范围由所附权利要求限定。

[0014] 将理解除非另有具体声明,这里描述的各种示例性实施例的特征可以相互组合。

[0015] 如在本说明书中采用的,术语“耦合”和/或“电耦合”并不打算意味着元件必须直接耦合在一起——可以在“耦合”或“电耦合”的元件之间提供居间元件。

[0016] 下面描述包含功率半导体芯片的器件。功率半导体芯片可以有不同类型、可以通过不同技术来制造并且可以例如包括集成电、光电或者机电电路或者无源电路(passive)。功率半导体芯片无需由具体半导体材料例如 Si、SiC、SiGe、GaAs 制造并且另外可以包含并非是非半导体的无机和/或有机材料(诸如例如分立无源电路、天线、绝缘体、塑料或者金属)。另外,下面描述的器件可以包括更多集成电路以控制功率半导体芯片的功率集成电路。

[0017] 功率半导体芯片可以包括功率 MOSFET (金属氧化物半导体场效应晶体管)、IGBT (绝缘栅双极晶体管)、JFET (结栅场效应晶体管)、功率双极晶体管或者功率二极管。具体而言,涉及到具有竖直结构的功率半导体芯片,也就是说,以电流可以在与功率半导体芯片的主要面垂直的方向上流动的这样的方式制作功率半导体芯片。

[0018] 具有竖直结构的功率半导体芯片可以在它的两个主要面上(也就是说,在它的顶侧和底侧上)具有接触焊盘。举例而言,功率 MOSFET 的源极电极和栅极电极可以处于一个主要面上,而功率 MOSFET 的漏极电极可以布置于另一主要面上。接触焊盘可以由铝、铜或者任何其它适当材料制成。可以向功率半导体芯片的接触焊盘施加一个或者多个金属层。金属层可以例如由钛、镍钒、金、银、铜、钯、铂、镍、铬或者任何其它适当材料制成。金属层无需同质或者由仅一种材料制造,也就是说,在金属层中包含的材料的各种组成和浓度是可能的。

[0019] 功率半导体芯片可以由体半导体层和在体半导体层上生成的外延层制成。外延层可以具有比体半导体层的厚度更大的厚度。具体而言,外延层可以具有等于或者大于 20 μm 、30 μm 、40 μm 或者 50 μm 的厚度。通常,外延层的厚度越大,功率半导体芯片的操作电压就越高。体半导体层可以具有等于或者少于 30 μm 、20 μm 或者 15 μm 的厚度。

[0020] 可以向功率半导体芯片施加导电载体。导电载体可以通过与功率半导体芯片的机械相互作用来明显影响功率半导体芯片的电性质。载体可以是引线框,即结构化的金属片。引线框可以具有等于或者大于 1.0mm、1.5mm 或者 2.0mm 的厚度以便在功率半导体芯片上施加机械应力。

[0021] 封装材料可以至少部分覆盖功率半导体芯片以形成封装体。封装材料可以基于聚合物材料,也就是说,它可以包括由任何适当硬塑、热塑或者热固材料或者叠层(预浸渍制品)制成的基本材料(在以下中也称为基质材料)。具体而言,可以使用基于环氧树脂的基质材料。基质材料可以嵌入填充物材料(例如 SiO_2 、 Al_2O_3 或者 AlN 颗粒)以调节封装体的物理性质,诸如例如弹性模量或者 CTE (热膨胀系数)。

[0022] 封装材料在它的沉积之后可能仅部分硬化并且可以然后通过施加能量(例如热、

UV 光等)来固化和 / 完全硬化以形成固体封装体。可以采用各种技术来通过封装材料形成封装体,例如压缩模制、转移模制、注入模制、粉末模制、液体模制、点胶(dispense)或者层压。热和 / 或压力可以用来施加封装材料。

[0023] 封装体可以被设计成通过与功率半导体芯片的机械相互作用来明显影响功率半导体芯片的电性质。封装体可以具有等于或者大于 50,000MPa 的弹性模量和 / 或大到足以满足如下条件的芯片覆盖厚度(即在功率半导体芯片的上表面上的厚度):芯片覆盖厚度与功率半导体芯片的厚度、连接层的厚度和导电载体的厚度的总和的比值等于或者大于 3 以便在功率半导体芯片上施加压缩或者向下压力。

[0024] 图 1 在横截面中示意地示出了功率器件 100。器件 100 包括功率半导体芯片 10。功率半导体芯片 10 具有在功率半导体芯片 10 的第一主要面 12 上布置的一个或者多个第一接触焊盘 11 并且具有在功率半导体芯片 10 的与第一主要面 12 相对的第二主要面 14 上布置的一个或者多个第二接触焊盘 13。另外,功率器件 100 包括功率半导体芯片 10 装配于其上的载体 20。

[0025] 功率半导体芯片 10 是竖直器件,即电流可以在与功率半导体芯片 10 的主要面 12、14 垂直的方向上流动。在一个实施例中,功率半导体芯片 10 是功率晶体管,并且(一个或多个)第一接触焊盘 11 可以形成源极端子而(一个或多个)第二接触焊盘 13 可以形成漏极端子。在这一实施例中,栅极端子(未示出)通常布置于功率半导体芯片 10 的第一主要面 12 上。在其它实施例中,功率半导体芯片 10 可以是功率二极管,并且(一个或多个)第一接触焊盘 11 可以例如形成阳极端子而(一个或多个)第二接触焊盘 13 可以形成功率二极管的阴极端子,或者反之亦然。

[0026] 更具体而言,功率半导体芯片 10 可以包括例如在体半导体层 16 上布置的外延层 15。本领域技术人员非常了解用于生产这样的结构的多种半导体处理技术。简言之,可以在由半导体材料制成的晶片上制作功率半导体芯片 10。晶片的上表面可以对应于图 1 中的体半导体层 16 的上表面。晶片(例如硅晶片)可以由适当杂质原子(掺杂物)掺杂以增强体半导体层 16 的半导体材料的电导率。举例而言,可以掺杂晶片以获得高电导率的 n+ 掺杂体硅层 16。

[0027] 仍然在前端晶片处理期间,可以在晶片的上表面上生成外延层 15。可以使用本领域技术人员所知的所有外延技术,例如 MBE(分子束外延)、LPE(液相外延)等。外延层 15 被设计成包含 p-n 结序列以形成竖直功率器件的有源半导体区。

[0028] 在外延层 15 的上表面 12 上形成(一个或多个)第一接触焊盘 11。仍然可以在晶片处理期间、也就是在前端处理期间实现这一步骤。在其它实施例中,可以在将晶片分离成多个功率半导体芯片 10 之后在单个功率半导体芯片 10 上形成(一个或多个)第一接触焊盘 11。

[0029] 类似于(一个或多个)第一接触焊盘 11,在对完整晶片的晶片处理期间或者在从晶片切分的功率半导体芯片 10 上形成(一个或多个)第二接触焊盘 13。

[0030] 可以经由接触焊盘 11、13 电接入集成功率电路和可能更多集成电路。接触焊盘 11、13 可以由金属例如铝或者铜制成并且可以具有任何期望的形状和尺寸。

[0031] 可以在载体 20 的上表面上装配功率半导体芯片 10。焊接材料(例如,例如包括 AuSn 和 / 或其它金属材料的扩散焊接材料)的连接层 17 可以用来将(一个或多个)第二接

触焊盘 13 电连接和机械固定到载体 20。

[0032] 载体 20 可以有各种类型。在一个实施例中,载体 20 可以是图案化的金属片或者板,例如引线框。载体 20 可以包括相互由间距分离的金属板区。在另一实施例中,载体 20 可以是连续、非图案化的金属板或者片。可以通过压印和 / 或碾磨工艺来生产载体 20。由其制成载体的金属可以例如包括铜、铝、镍、金、或者基于这些金属中的一种或者多种的任何合金的组中的一种或者多种金属。载体(例如引线框)可以由一个单体金属层或者多金属层结构制成。载体 20 可以用作用于耗散由功率半导体芯片 10 生成的热的散热器。

[0033] D1 是在载体 20 与外延层 15 之间的距离、也就是在载体 20 的上表面与外延层 15 的开头(在图 1 中所示的例子中,外延层 15 的开头是在体硅层 16 与外延层 15 之间的过渡)之间的距离。距离 D1 是对载体 20 在功率半导体芯片 10 的外延层 15 上施加(exercise)的应力程度具有强影响的参数。通常,载体 20 的 CTE 和半导体芯片 10 的 CTE 明显不同。一般而言,载体 20 的 CTE 可以例如为功率半导体芯片 10 的 CTE 的 5、6、7、8、9、10 或者甚至更多倍。举例而言,由硅制成的功率半导体芯片 10 具有约 2.55ppm 的 CTE,而由铜制成的典型引线框的 CTE 为约 18ppm。因此,在焊接之后,由于载体 20 的收缩明显大于功率半导体芯片 10 的收缩,所以载体 20 (例如引线框)在功率半导体芯片 10 上施加高张应力。

[0034] 在简化地示出了半导体芯片 100 的图 2 中图示了这一点。载体 20 的收缩由箭头“收缩”表示。在功率半导体芯片 10 上施加的张应力由箭头“张应力”表示。如图 2 中显然的,张应力在竖直方向上(也就是在与在水平方向上伸展的载体 20 的延伸基本上垂直的方向上)作用于功率半导体芯片 10 的外围区。张应力伴随有翘曲,即迫使半导体器件 10 变成弓形或者凸形。在图 2 中,为了图示起见而夸大功率半导体芯片 10 和载体 20 的曲率。另外,虚线对应于功率半导体芯片 10 和载体 20 在焊接之前的直线延伸。

[0035] 距离 D1 越短,作用于功率半导体芯片 10 的张应力就越大。根据实施例,已经发现:作用于外延层 15 的高张应力改进功率半导体芯片 10 的电性质。具体而言,通过增强作用于功率半导体芯片 10 的外延层 15 的外部张应力来明显减少功率半导体芯片 10 的接通状态电阻(Ron)。

[0036] 换言之,通过设计 D1=50 μm 来向功率半导体芯片 10 的外延层 15 中选择性地引入张应力。另外,可以使用更小尺度,诸如 D1=40 μm 或者 30 μm 或者 20 μm 或者甚至 10 μm。这与常规方式对照,在常规方式中使用大的 D1 尺度以便补偿不同 CTE 并且因此减少作用于功率半导体芯片 10 的张应力。

[0037] 可以通过使用由易碎焊接材料(诸如例如基于 AuSn 的焊接材料)制成的连接层 17 来增强作用于外延层 15 的张应力。AuSn 具有约 59,000Mpa 的高弹性模量。也可以使用其它无铅焊接材料。这与常规方式对照,在常规方式中使用可变形或者弹性接合材料(诸如基于 Pb 的导电粘合剂或者焊接材料)以便补偿不同 CTE 并且因此减少作用于功率半导体芯片 10 的张应力。

[0038] 可以通过使用焊接材料的薄连接层 17 来增强作用于外延层 15 的张应力。例如,焊接材料的连接层 17 可以如 10 μm、5 μm、2 μm 或者甚至 1 μm 那样薄或者比此更薄。另外,第二接触焊盘 13 可以具有等于或者少于 2 μm 或者甚至 1 μm 的厚度。这与常规方式对照,在常规方式中使用明显厚度的连接层以便补偿不同 CTE 并且因此减少作用于功率半导体芯片 10 的张应力。

[0039] 可以通过使用扩散焊接材料来增强作用于功率半导体芯片 10 的外延层 15 的张应力。扩散焊接材料(诸如例如 AuSn、CuSn、AgSn)可以具有由至少两种焊料成分形成的金属间相。第一焊料成分具有比金属间相的熔点更低的熔点,而第二焊料成分具有比金属间相的熔点更高的熔点。此外,扩散焊料在它的扩散区中可以包括填充物材料的纳米颗粒,这可以防止在热机加载的情况下形成源于金属间相的微裂纹。扩散焊接材料所产生的连接是易碎的,可以具有如上文提到的高弹性模量并且可以如上文提到的那样薄。因此,用于连接层 17 的无铅扩散焊料连接高度适合于向功率半导体芯片 10 有效地施加由载体 20 所产生的张应力。

[0040] 可以通过使用薄的体半导体层 16 来增强作用于外延层 15 的张应力。例如在一个实施例中,体半导体层 16 可以如 30 μm 那样薄或者比此更薄,具体为 20 μm 、15 μm 或者甚至 10 μm 。这可以通过将晶片在它的底侧减薄以生成如下共同平面晶片表面来实现,该共同平面晶片表面包括功率半导体芯片 10 的第二主要面 14。可以例如通过研磨或者抛光(lap)来实现减薄。尽管研磨工具使用磨轮,但是抛光工具使用如下流体(“浆”),该流体充有在两个表面之间作用的“滚动”磨蚀颗粒。例如可以应用 CMP(化学机械抛光)。由于体半导体层 16 对半导体器件 100 的性能无影响(它向第二接触焊盘 13 简单地提供高度导电结),所以可以继续减薄晶片直至达到最小研磨厚度容限。在一个实施例中,体半导体层 16 可以如 10 μm 、5 μm 或者甚至 2 μm 那样薄或者比此更薄。这可以通过在晶片的底侧蚀刻它以生成如下共同平面晶片表面来实现,该共同平面晶片表面包括功率半导体芯片 10 的第二主要面 14。由于体半导体层 16 对半导体器件 100 的性能无操作影响(除了向第二接触焊盘 13 提供高度导电结之外),所以可以继续蚀刻晶片直至达到最小蚀刻厚度容限。

[0041] 使用这些方法中的一种或者多种方法,作用于外延层 15 的张应力可以设置成约数百 Mpa,例如多于 200Mpa、500Mpa 或者甚至 1000Mpa。甚至可以获得如一个或者多个 GPa 那样高的张应力。将注意张应力必须未超过断裂张应力,其例如对于操作电压约为 500V 的典型硅功率芯片而言约为 5GPa。

[0042] 将注意其它设计参数可以用来调节向外延层 15 施加的张应力程度。举例而言,载体 20 的厚度 D_{car} 可以对张应力加载具有一些影响。根据一个方面,导电载体 20 的厚度 D_{car} 与功率半导体芯片 10 的厚度 D_{chip} 、第二接触焊盘 13 的厚度 D_{pad} 和连接层 17 的厚度 D_{con} 的总和的比值等于或者大于 3,即:

$$[0043] \quad D_{\text{car}} / (D_{\text{chip}} + D_{\text{pad}} + D_{\text{con}}) = 3 \quad (1).$$

[0044] 这一比值甚至可以等于或者大于 5,具体为 7、更具体为 10。载体 20 的厚度 D_{car} 越大,将热运送出半导体器件 100 就越高效。

[0045] 图 3 是根据图 1 中所示的实施例的一个具体示例性实施例的横截面图。图 3 中所示的半导体器件 200 是操作电压为 600V 的功率 MOSFET。载体 20 是例如具有厚度 $D_{\text{car}}=1.3\text{mm}$ 的由铜制成的引线框。一般而言, D_{car} 可以等于或者大于 1.0mm 或者甚至 2.0mm。连接层 17 由 AuSn 扩散焊料制成并且具有 1.2 μm 的厚度。第二接触焊盘 13 包括由铝(Al)制成的下焊盘层 13a、在下焊盘层 13a 之后并且由钛(Ti)制成的上焊盘层 13b 以及在上焊盘层 13b 之后并且由镍钒(NiV)制成的涂层 13c。这些第二接触焊盘层 13a、13b、13c 可以例如具有约 400nm (Al 层)、400nm (Ti 层)和 75nm (NiV 层)的厚度。因此,连接层 17 和第二接触焊盘 13 的总厚度 $D_{\text{con}} + D_{\text{pad}}$ 约如 2.075 μm 那样小。如果期望的话,这一

厚度 $D_{con} + D_{pad}$ 也可以容易减少成等于或者小于 $2.0 \mu\text{m}$ 。

[0046] 继续图 3, 体半导体层 16 可以由 n^+ 掺杂硅制成并且可以具有约 $17.5 \mu\text{m}$ 的厚度 D_{bulk} (见图 1)。可以通过晶片研磨来获得这一厚度。掺杂体半导体层 16 可以实质上表现为金属。在体半导体层 16 与第二接触焊盘 13 的下焊盘层 13a 之间的退化半导体金属结也具有高电导率。体半导体层 16 和第二接触焊盘 13 代表功率 MOSFET 的漏极端子。

[0047] 外延层 15 代表功率半导体芯片 10 的有源区。在这一例子中, 它具有 $52.5 \mu\text{m}$ 的厚度 D_{epi} (见图 1) 从而允许约 600V 的操作电压。外延层 15 包括位于图 3 中的箭头 p-n 所指示的外延层的区域内的一连串 p-n 结。一般而言, 外延层 15 可以具有等于或者大于 $20 \mu\text{m}$ 、具体等于或者大于 $30 \mu\text{m}$ 、更具体等于或者大于 $40 \mu\text{m}$ 或者具体等于或者大于 $50 \mu\text{m}$ 的厚度。作为经验法则, 每 100V 的操作电压可能需要约 $9 \mu\text{m}$ 的外延层厚度。因此, 竖直功率半导体芯片 10 可以具有等于或者大于 200V、具体等于或者大于 300V、更具体等于或者大于 400V 或者具体等于或者大于 500V 的操作电压。

[0048] 在外延层 15 内提供高度导电插塞 (plug) 41。高度导电插塞 41 电连接到外延层 15 的 p-n 结以形成其源极接触。

[0049] 导电插塞 41 由在外延层 15 的顶部上提供的第一绝缘层 42 (诸如例如氧化物层) 覆盖。绝缘层 42 在图 3 中称为 EOX 并且配置成具有如下开口, 经过这些开口可以接入导电插塞 41。

[0050] 第一结构化的金属层 43 可以布置于绝缘层 42 上。第一结构化的金属层 43 可以用于提供电功能, 诸如例如功率 MOSFET 的静电屏蔽。另外, 在图 3 的截面图中未示出的附加结构化的金属层可以布置于外延层 15 的上面 12 附近, 例如用于提供附加连接性和 / 或信号路由的结构化的金属层 (诸如例如用于形成外延层 15 的 p-n 结的栅极接触的结构化的金属层)。

[0051] 第二结构化的绝缘层 44 诸如例如氧化物层可以布置于第一结构化的金属层 43 上。第二绝缘层 44 在图 3 中称为 ZwOX, 被配置成具有如下开口, 经过这些开口第二金属层 45 可以电接触导电插塞 41。第二金属层 45 可以例如由 AlSiCu 制成并且可以代表功率 MOSFET 的源极端子。另外, 可以提供聚合物层 46 以覆盖第二金属层 45。可以使用聚合物材料, 诸如聚对二甲苯、光致抗蚀剂材料、酰亚胺、环氧树脂、硬塑料或者硅树脂。

[0052] 举例而言, 层 42、43、44、45 和 46 可以具有以下厚度尺度。第一绝缘层 42 可以具有 $2.4 \mu\text{m}$ 的厚度 D_{ins1} , 第二绝缘层 44 可以具有 $1.5 \mu\text{m}$ 的厚度 D_{ins2} , 第一金属层 43 可以具有 $5.0 \mu\text{m}$ 的厚度 D_{met} , 并且聚合物层 46 可以具有 $6.0 \mu\text{m}$ 的厚度 D_{poly} 。将注意这些层的尺度、材料和提供是示例性并且根据半导体设计的需求而经受变化。

[0053] 图 4 是图示了针对如图 3 中所示的载体 (引线框) 20 上装配的 N 个相同功率半导体芯片 10 的总体和针对在无张应力下操作的 N 个相同功率半导体芯片 10 的总体的 R_{on} 概率分布的图。x 轴显示以毫欧姆 (mohm) 为单位的 R_{on} , 而 y 轴是按对数刻度绘制的范围从 0 至 1 的概率。图 4 图示了 R_{on} 对于应力加载的功率半导体芯片 10 (测量结果沿着线 A 显露) 和在外无外部应力的条件下的功率半导体芯片 10 (测量结果沿着线 B 显露) 而言明显不同。尽管在外无外部应力的条件下获得 $R_{on}=90$ 毫欧姆的平均值, 但是施加外部应力将接通状态电阻 R_{on} 减少至 $R_{on}=65$ 毫欧姆的平均值。因此, 在这一例子中, 可以通过施加外部张应力来达到相对于 65 毫欧姆的目标值而言 R_{on} 平均减少 38%。换言之, 在外延层 15 中的

p-n 结上施加外部应力明显增加外延层 15 中的电荷载流子迁移率。将注意图 4 还示范每个总体内的 R_{on} 标准偏差与在 R_{on} 的相应平均值之间的差相比是小的。因此,借助这里说明的机械测量和方法来形成外部张应力以及外部张应力对功率半导体芯片 10 的电性能的影响是清楚系统性和高度可再现的结果。

[0054] 图 5 示意地图示了一个实施例的半导体器件 300 的横截面图,其包括在嵌入功率半导体芯片 10 的封装体 50 中封装的图 1 的半导体器件 100。封装体 50 也可以部分或者完全嵌入载体 20。举例而言,在图 5 中所示的半导体器件 300 中,载体 20 在一个侧面 22 从封装体 50 突出并且在另一侧面 21、上面 23 和与上面 23 相对的下面 24 由封装体 50 覆盖。

[0055] 图 6 图示了根据一个实施例的半导体器件 400 的横截面图。除了载体 20 的下面 24 保持暴露(即未由封装体 50 覆盖)之外,半导体器件 400 类似于图 5 的半导体器件 300。

[0056] 封装体 50 可以由任何适当硬塑、热塑或者热固(基质)材料或者叠层(例如预浸渍制品(预浸渍纤维的简称))制成。具体而言,可以使用基于环氧树脂的(基质)材料。形成封装体 50 的电介质(基质)材料可以包含填充物材料。举例而言,填充物材料可以由小的玻璃颗粒(SiO_2) 或者其它电绝缘矿物填充物材料如 Al_2O_3 或者有机填充物材料构成。电介质材料在它的沉积之后可能仅部分硬化并且可以通过施加能量(例如热、UV 光等)来完全硬化以形成封装体 50。

[0057] 可以采用各种技术来通过电介质材料形成封装体 50,例如压缩模制、转移模制、注入模制、粉末模制、液体模制、点胶或者层压。例如,可以使用压缩模制。在压缩模制中,向打开的下半个模具(载体 20 和装配于其上的功率半导体芯片 10 放置于该半个模具中)中点胶液体模制材料。然后,在点胶液体模制材料之后,上半个模具被下移并且展开液体模制材料直至完全填充在下半个模具与上半个模具之间形成的腔。这一工艺可以伴随有施加热和压力。

[0058] 图 7 是图示了针对在焊接之后(实线)和在封装之后(虚线)的 50、100、150、220 和 315 μm 各种厚度的功率半导体芯片的、以 Mpa 为单位的张应力比对以 mm^2 为单位的芯片面积的图。作为第一结果,发现张应力仅略微依赖于芯片面积。因此认为所有尺寸的半导体芯片受益于上文说明的原理。作为第二结果,张应力随着芯片厚度增加而明显增强。因此,功率半导体芯片越厚,通过施加外部应力而引起的电效果(电荷载流子迁移率增加)就越显著。另外作为第三结果,图 7 指示可以通过封装来明显减少张应力。下面更具体地考虑这一方面。

[0059] 根据另一方面,封装体 50 可以用来向功率半导体芯片 10 的外延层 15 施加应力。为此,封装体 50 的封装材料可以具有等于或者大于 50,000Mpa 的弹性模量。

[0060] 通过使用由弹性模量等于或者大于 50,000MPa 的封装材料制成的封装体 50,作用于功率半导体芯片 10 的应力明显受封装体 50 而不是受载体 20 影响或者甚至受其支配。

[0061] 图 8 图示了当在封装体 50 中封装功率半导体芯片 10 时在半导体器件(诸如例如图 5 的器件 300)中作用的力。图 8 图示了由于封装工艺而作用于功率半导体芯片 10 的张应力的减轻和向下压力的增强。更具体而言,如图 8 中所指示,功率半导体芯片 10 由于载体 20 在焊接之后收缩所致的翘曲被封装体 50 在硬化期间的收缩所抵消并且由此减少。同时,封装体 50 在硬化期间的收缩使封装体 50 在功率半导体芯片 10 的上主要面 12 上生成向下压力。两种效果(翘曲和张应力的减少以及向下压力的增强)强依赖于封装体 50 的封装材料的弹

性模量。封装体 50 的封装材料的弹性模量越大, (固化的) 封装材料在功率半导体芯片 10 的上主要芯片面 12 上施加的翘曲和张应力的减少以及向下压力的增强就越大。一般而言, 封装材料的弹性模量甚至可以等于或者大于 60,000MPa、具体等于或者大于 70,000MPa 或者等于或者大于 80,000MPa。这可以通过向封装材料添加填充物材料来实现, 填充物材料在封装材料中的百分比可以等于或者大于 80vol% (体积百分比)、具体等于或者大于 85vol%。与在图 8 中示例的相同的原理适用于图 6 中所示的半导体器件 400。

[0062] 简言之, 封装体 50 将张应力转换成向下压力, 而转换效率随着封装材料的弹性模量而增加。已经发现在功率半导体芯片 10 的上主要面 12 上施加外部压力将接通状态电阻 R_{on} 减少至与和相同翘曲 (该翘曲是针对给定芯片厚度的张应力的测量) 但是在功率半导体芯片 10 的上主要面 12 上的更低外部压力关联的 R_{on} 值相比明显更低的值。因此, 提供由等于或者大于 50,000MPa 的弹性模量制成的封装材料允许减少翘曲 (并且因此减少张应力) 并且可以同时改进功率半导体芯片 10 的电性能。

[0063] 图 9 是图示了针对 50 μm 、100 μm 、150 μm 、220 μm 和 315 μm 各种厚度的功率半导体芯片的、以 μm 为单位的芯片翘曲比对以 mm^2 为单位的芯片面积的图。实线对应于在焊接之后的芯片翘曲, 而虚线对应于在封装之后的 (减少的) 芯片翘曲。将注意针对所有芯片面积通过封装来减少芯片翘曲。芯片翘曲在封装之后的减少随着芯片面积而增加。另外, 芯片翘曲随着芯片厚度而略微减少。注意作用于功率半导体芯片 10 的外部张应力针对给定芯片厚度仅依赖于翘曲。

[0064] 表 1 涉及设计与图 3 中所示的半导体器件或者封装 200 的设计类似的称为封装 P-SOT223-4 的半导体器件。因此, 为了避免重复, 参照半导体器件 200。

[0065] 表 1 - 封装材料的机械性质

[0066]

封装 P-SOT223-4			
部分	材料	弹性模量	CTE
封装体	KMC 180-7	13,000MPa	13ppm
引线框	C18075/K75	138,000MPa	18ppm
引线框镀层	Ag	79,000MPa	19.7ppm
连接层	AuSn 80/20	59,000MPa	15.4ppm
上焊盘层	Ti	110,000MPa	9ppm
下焊盘层	Al	71,000MPa	23.8ppm
涂层	Au	78,000MPa	14.3ppm
半导体芯片	硅	168,00MPa	2.5ppm

[0067] 如在表 1 中所指示, 封装体 50 的封装材料可以具有约 13,000MPa 的弹性模量。这是本领域中常用的封装材料的典型弹性模量值。由于这一值相对于封装的其它部分的弹性

模量而言是比较小的(见表 1),所以封装体对作用于功率半导体芯片的力的贡献可能是小的。因此,可能获得高翘曲和高张应力。另一方面,根据上文说明的方面,可以例如通过添加填充物材料或者通过用具有这样的高弹性模量的封装材料取代 KMC 180-7(见表 1)而将封装体 50 的封装材料的弹性模量设置为如约 50,000MPa 那样高或者更多。在这一情况下,减少翘曲和张应力(见图 9)。然而如上文说明的那样,借助增强在功率半导体芯片 10 的上主要面 12 上施加向下压力来仍然维持或者甚至降低 Ron 的低值。

[0068] 使用由弹性模量等于或者大于 50,000MPa 的封装材料制成的封装体 50 的概念可以与这里结合其它实施例提到的所有方法和测量组合。具体而言,可以使用由易碎焊接材料(诸如例如基于 AuSn 的焊接材料)制成的连接层 17。可以使用例如基于 AuSn 的扩散焊接材料,并且该材料可以具有约 59,000MPa 的高弹性模量(见表 1)。

[0069] 举例而言,在表 1 中示例的封装 P-SOT223-4 使用在载体 20 上的厚度为 1mm 的封装体 50,其中载体 20 是厚度为 250 μm 的镀银的铜引线框。采用由弹性模量等于或者大于 50,000MPa 的封装材料制成的封装体明显减少封装的翘曲同时允许低的 Ron 值。因此,应用具有这样的高弹性模量的封装材料可以有助于限制翘曲同时改进(或者至少未负面地影响)低 Ron 特性。

[0070] 在一些实施例中,例如见图 5 或者图 6,在功率半导体芯片 10 的上表面 12 与封装体 50 的上表面 51 之间的距离 Denc 与功率半导体芯片 10 的厚度 Dchip、第二接触焊盘 13 的厚度 Dpad、连接层 17 的厚度 Dcon 和导电载体 20 的厚度 Dcar 的总和的比值等于或者大于 3,即:

$$[0071] \quad Denc / (Dchip + Dpad + Dcon + Dcar) = 3 \quad (2).$$

[0072] 这一比值甚至可以等于或者大于 5,具体为 6、更具体为 7。

[0073] 如果满足条件(2),则通常将大量张应力转换成作用于功率半导体芯片 10 的压缩(也就是向下压力)。已经结合前述实施例说明了这一转换对 Ron 的有益效果。不同于前述实施例(其中效果主要由封装材料的高弹性模量引起),效果在这里主要由根据条件(2)的几何设计约束(例如由封装体 50 在功率半导体芯片 10 的上面 12 上的明显厚度 Denc)引起。将注意在本领域中,在条件(2)中限定的比值在发明人的最佳理解之下总是明显小于 3。

[0074] 当然,可以组合上文说明的用于将外部张应力高效转换成外部向下压力的两种方法,也就是可以组合使用尺度设成满足条件(2)并且由具有高弹性模量(例如弹性模量=50,000MPa 或者更多)的封装材料制成的封装体 50。

[0075] 在一种制造半导体器件的方法的一个实施例中,首先提供具有外延层 15 和体半导体层 16 的竖直功率半导体芯片 10。功率半导体芯片 10 具有在功率半导体芯片 10 的第一主要面 12 上布置的第一接触焊盘 11 和在功率半导体芯片 10 的与第一主要面 12 相对的第二主要面 14 上布置的第二接触焊盘 13。

[0076] 然后,竖直功率半导体芯片 10 装配于导电载体 20 上,该载体由此附着到第二接触焊盘 13。如上文提到的那样,在导电载体 20 与外延层 15 之间的距离可以少于 50 μm 和/或可以满足条件(1)。

[0077] 另外,功率半导体芯片 10 并且可选载体 20 可以嵌入于形成封装体 50 的封装材料中。可以例如通过模制、点胶或者层压技术来实现封装。

[0078] 封装材料可以具有低弹性模量或者可以不满足条件(2)。在这些情况下,封装材料

可以不明显影响或者支配作用于功率半导体芯片 10 的力。另一方面,如上文提到的那样,封装材料可以具有等于或者大于 50,000MPa 的弹性模量和 / 或可以满足条件(2)。在这一情况下,减少芯片翘曲并且将张应力转换成由封装体 50 在功率半导体芯片 10 的外延层 15 上施加的向下芯片压力。

[0079] 此外,尽管关于若干实施方式中的仅一种实施方式公开了本发明实施例的具体特征或方面,但是这样的特征或者方面可以如对于任何给定或者具体应用而言可能期望和有利的那样与其它实施方式的一个或者多个其它特征或者方面组合。另外,就术语“包括”、“具有”、“带有”或者它们的其它变体在具体描述或者权利要求中使用来说,这样的术语旨在以与术语“包括”类似的方式是包含的。另外,应当理解可以用分立电路、部分集成电路或者完全集成电路或者编程装置来实施本发明的实施例。术语“示例性”也仅意味着作为例子而不是最佳或者最优的。也将认识到:为了简化和易于理解的目的,用相对于彼此的具体尺度图示这里描绘的特征和 / 或元件,并且实际尺度可以明显不同于这里图示的尺度。

[0080] 虽然这里图示和描述了具体实施例,但是本领域普通技术人员将认识到各种替代和 / 或等效实施方式可以取代示出和描述的具体实施例而不脱离本发明的范围。本申请旨在覆盖这里讨论的具体实施例的任何适配或者变化。因此,旨在让本发明仅受权利要求及其等效物限制。

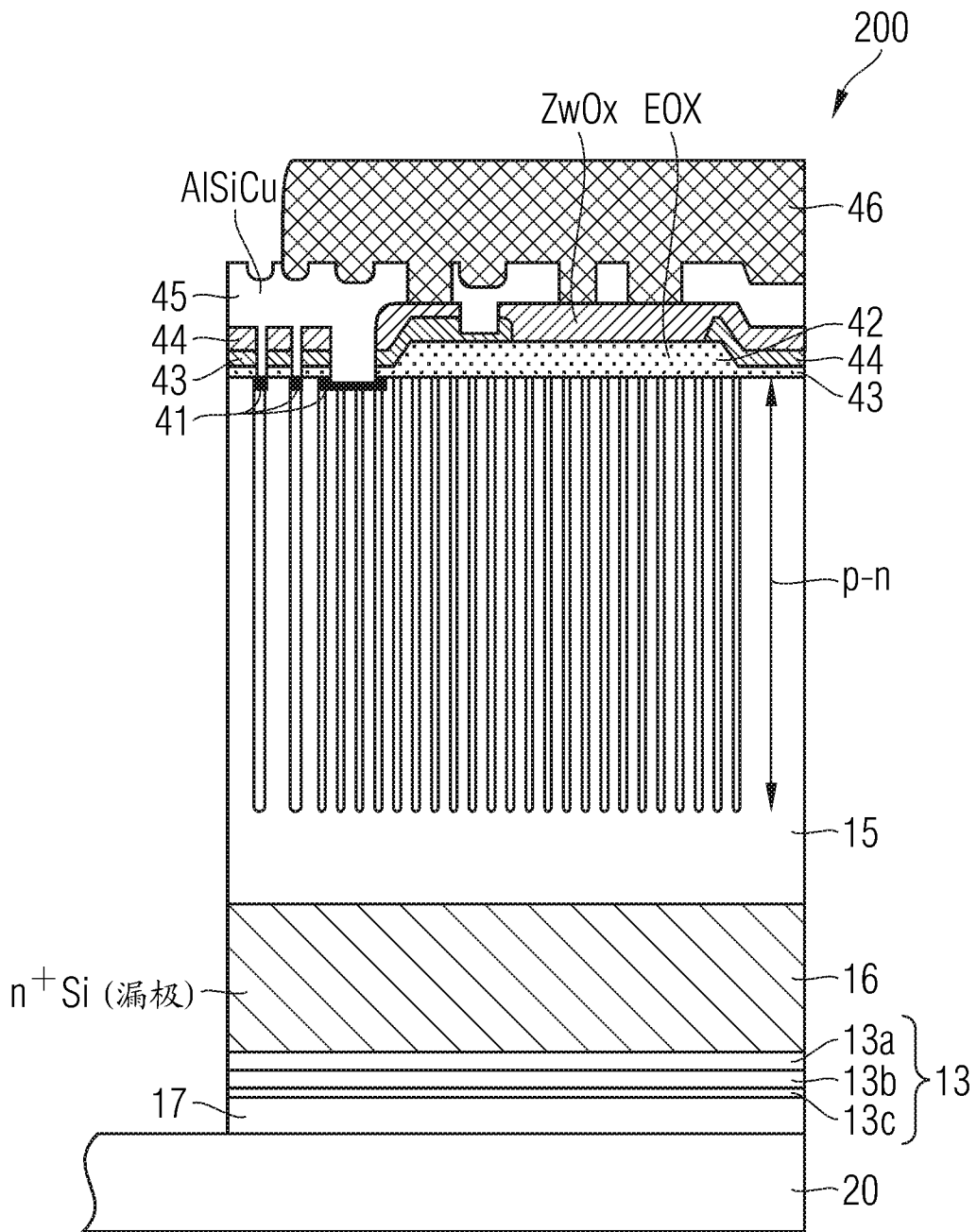


图 3

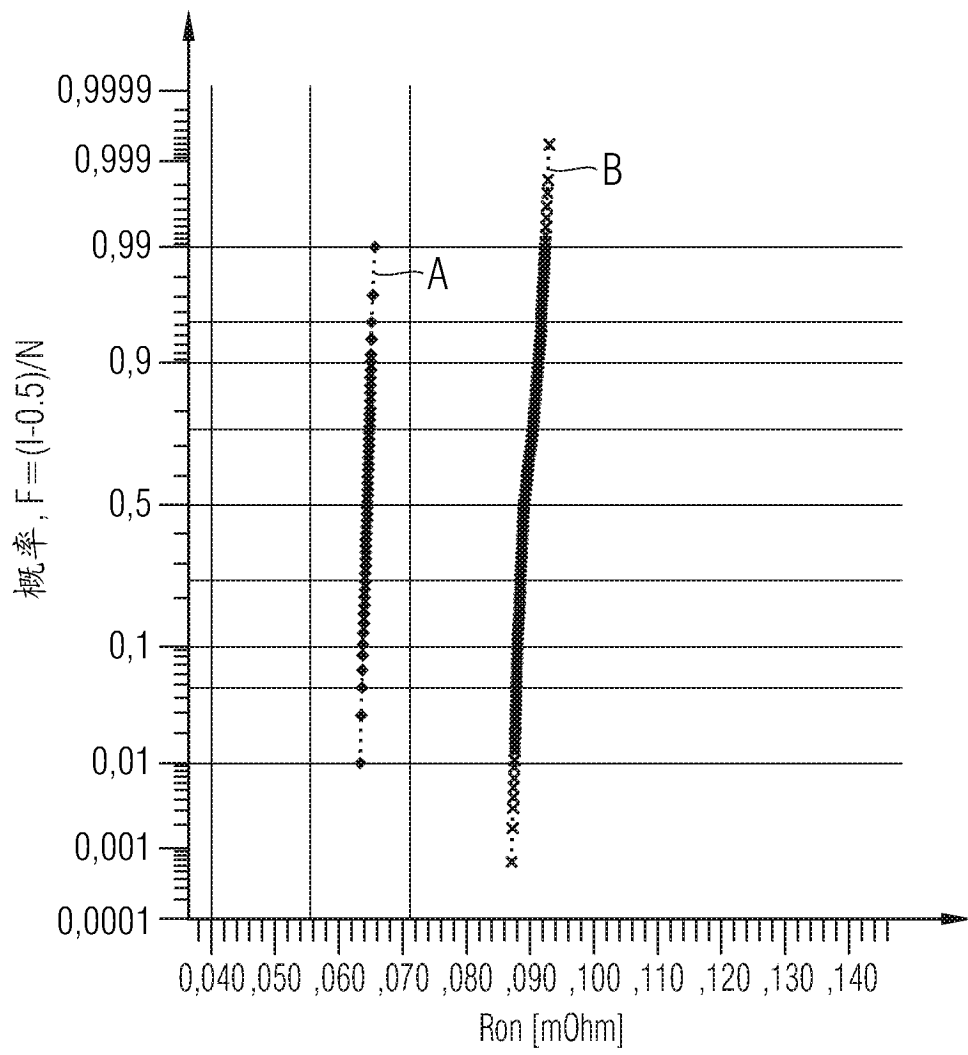


图 4

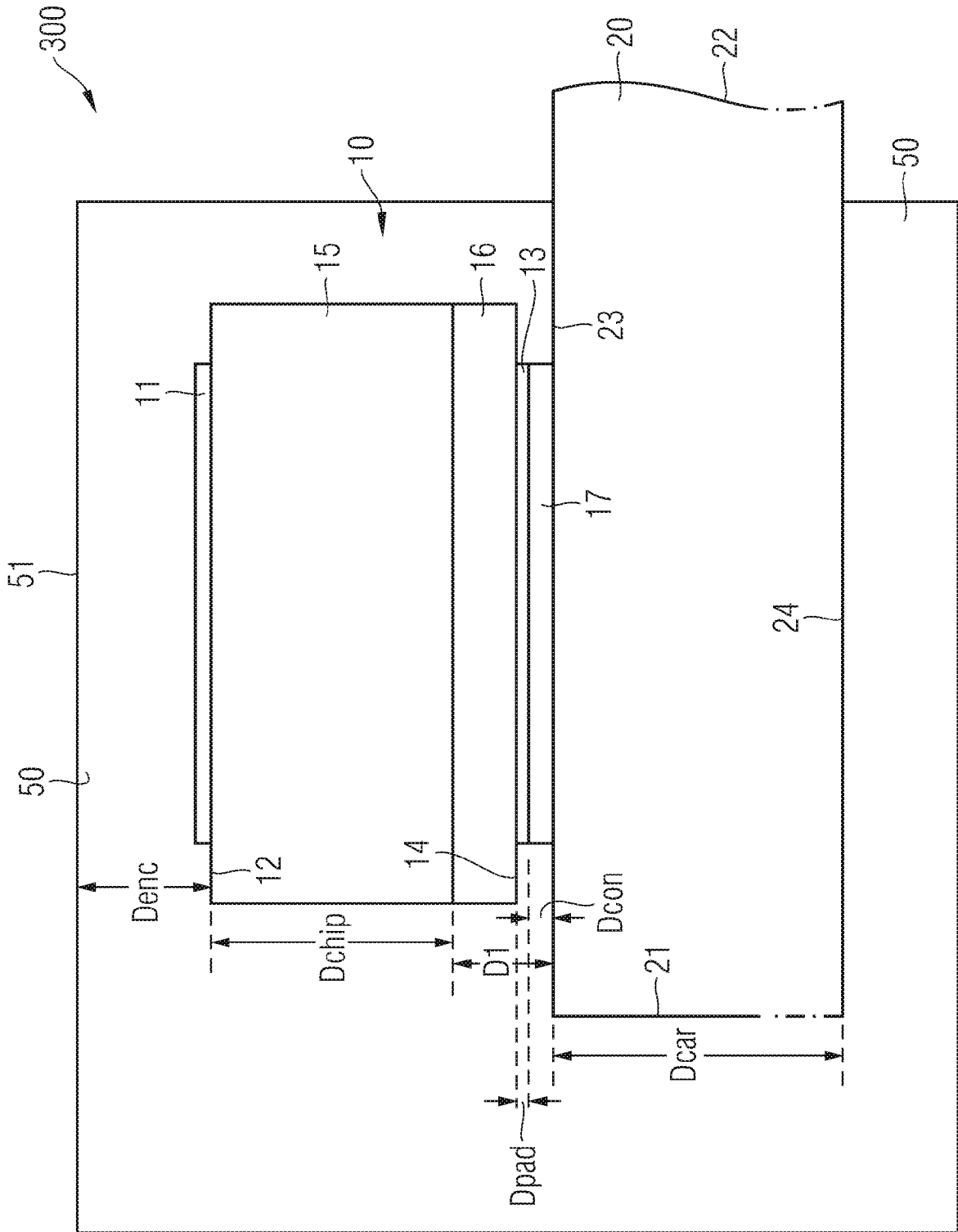


图 5

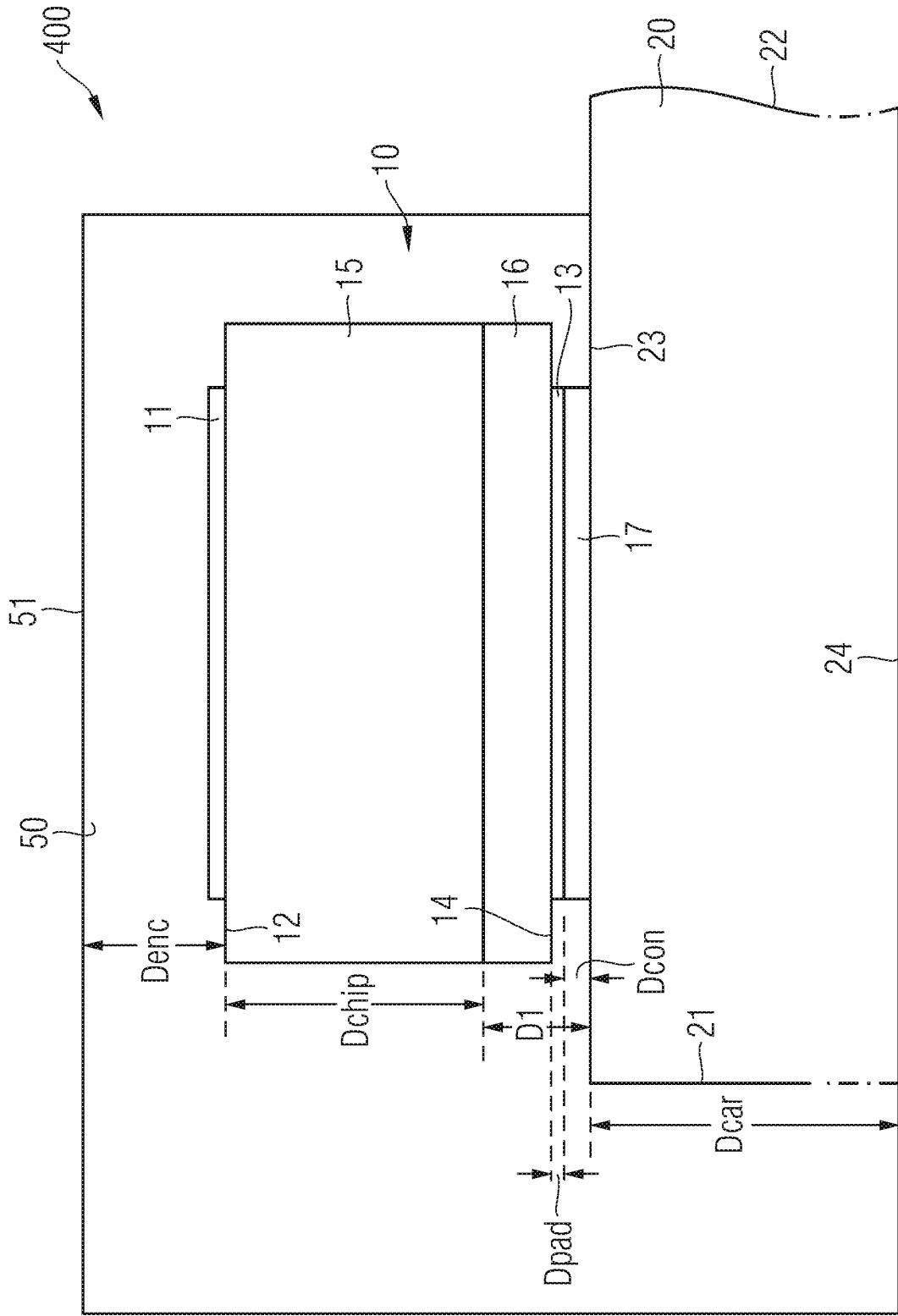


图 6

SOT223-芯片应力

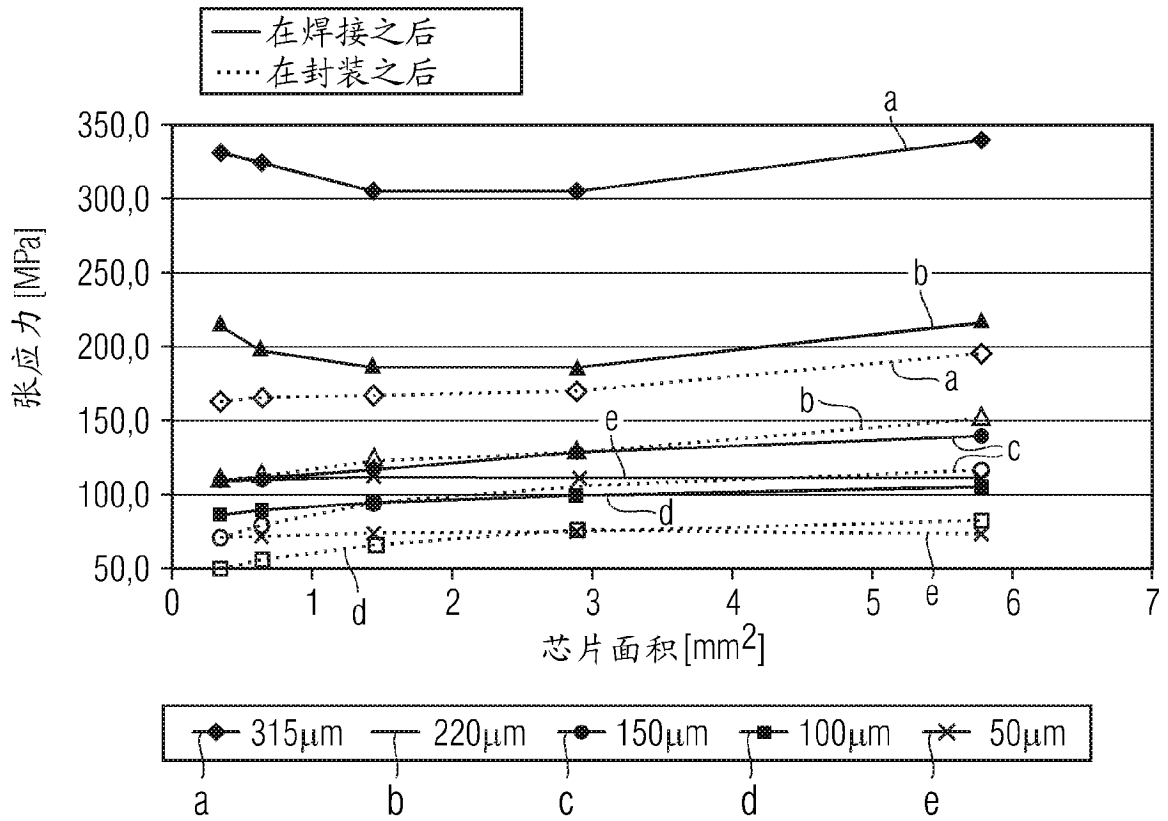


图 7

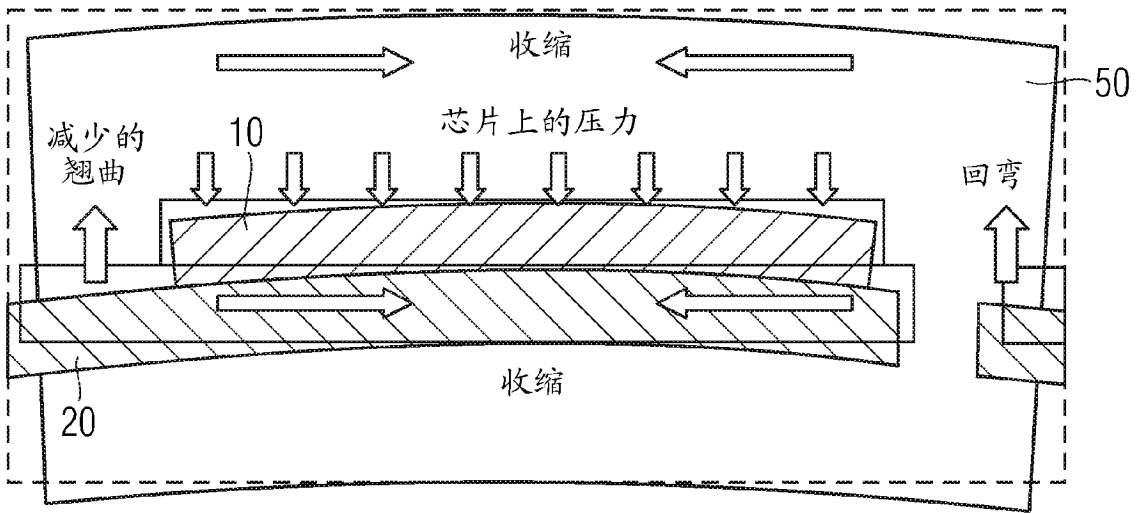


图 8

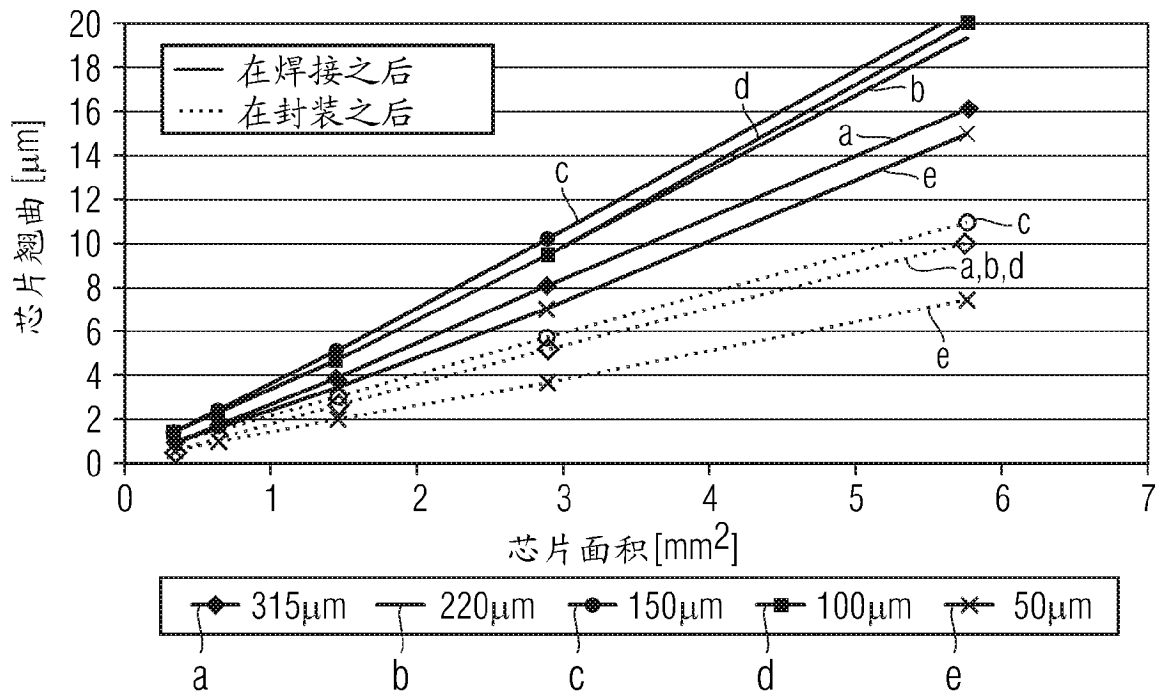


图 9