

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5245004号
(P5245004)

(45) 発行日 平成25年7月24日(2013.7.24)

(24) 登録日 平成25年4月12日(2013.4.12)

(51) Int.Cl. F I
HO4N 5/14 (2006.01) HO4N 5/14 Z

請求項の数 20 外国語出願 (全 14 頁)

<p>(21) 出願番号 特願2012-273316 (P2012-273316) (22) 出願日 平成24年12月14日(2012.12.14) (62) 分割の表示 特願2006-57833 (P2006-57833) の分割 原出願日 平成18年3月3日(2006.3.3) (65) 公開番号 特開2013-55703 (P2013-55703A) (43) 公開日 平成25年3月21日(2013.3.21) 審査請求日 平成24年12月14日(2012.12.14) (31) 優先権主張番号 11/078,779 (32) 優先日 平成17年3月11日(2005.3.11) (33) 優先権主張国 米国 (US) 早期審査対象出願</p>	<p>(73) 特許権者 505323839 アンバレラ・インコーポレイテッド アメリカ合衆国 カリフォルニア州 サン タ・クララ サン・イシドロ・ウェイ 2 975 (74) 代理人 100068021 弁理士 絹谷 信雄 (72) 発明者 レスリー・ディー・コーン アメリカ合衆国 カリフォルニア州 フレ モント ローズメア・ドライブ 4396 7 審査官 西谷 憲人</p>
---	--

最終頁に続く

(54) 【発明の名称】 高性能ビデオプロセッサ用の低電力メモリ階層

(57) 【特許請求の範囲】

【請求項 1】

チップ上に配置されるとともに、(i)動き補償を適用し(ii)前記チップ外の外部メモリに格納された少なくとも1つの基準フレームのサブセットを格納するための少なくとも1つの第1のバッファを含む、内部メモリであって、前記少なくとも1つの第1のバッファの大きさが前記基準フレームのブロックの1行より大きい内部メモリと、

前記チップ上に配置されるとともに、(i)前記サブセットを前記外部メモリから前記内部メモリへ転送し(ii)前記第1のバッファにおける前記ブロックの古いセットの処理が完了したとき、前記ブロックの新しいセットを前記外部メモリから前記第1のバッファに転送するように構成された外部転送回路と、

を備え、

(1)前記新しいセットのサイズが(a)前記古いセットのサイズと一致し(b)前記第1のバッファの一部を占め、(2)ターゲットフレームと前記基準フレームとの間の複数個の動き予測を容易にするように、前記基準フレーム内の前記ブロックのそれぞれが1ターゲットフレームごと一回だけ前記外部メモリから前記第1のバッファへ転送されることを特徴とする装置。

【請求項 2】

前記チップ上に配置されるとともに、画像データを前記内部メモリから処理エンジンへ転送するように構成されたクライアント転送回路を更に含む請求項1に記載の装置。

【請求項 3】

前記クライアント転送回路が、前記内部メモリと前記処理エンジン間で前記ブロックを転送するように使用される前記少なくとも1つの第1のバッファ内において、複数の内部オフセットを指定する複数のクライアント・オフセット・メモリを使用する請求項2に記載の装置。

【請求項4】

前記クライアント転送回路は更に、クライアントからのインクリメント要求にตอบสนองして前記内部オフセットの少なくとも1つをプログラム可能な量だけインクリメントするように構成される請求項3に記載の装置。

【請求項5】

前記クライアント転送回路への転送要求内の少なくとも1つのベクトルオフセットが、前記クライアント・オフセット・メモリ内に格納された前記内部オフセットの少なくとも1つに加算される請求項3に記載の装置。

10

【請求項6】

前記処理エンジンがダブルバッファ・ローカルメモリを含み、前記ダブルバッファ・ローカルメモリの第1の部分は前記処理エンジンと前記内部メモリ間でのデータ転送用に構成可能であり、前記ダブルバッファ・ローカルメモリの第2の部分は前記処理エンジンによる前記データに対する演算用に構成可能である請求項2に記載の装置。

【請求項7】

前記転送と前記演算の両方が完了すると、前記第1の部分と前記第2の部分が交換される請求項6に記載の装置。

20

【請求項8】

前記内部メモリと前記外部メモリ間でデータを転送するために使用される前記基準フレーム内において、前記外部転送回路が、複数の外部オフセットを指定する複数の外部オフセット・メモリを使用する請求項2に記載の装置。

【請求項9】

(i) 前記外部オフセット・メモリの少なくとも1つが、複数のクライアント・オフセット・メモリの少なくとも1つに接続され、

(ii) 前記外部メモリと前記内部メモリ間の転送は、前記内部メモリと前記処理エンジン間で転送を行うための前記少なくとも1つのクライアント・オフセット・メモリへの信号に基づいて開始される請求項8に記載の装置。

30

【請求項10】

前記クライアント転送回路は更に、前記外部メモリと前記内部メモリ間の少なくとも特定数のメモリ処理が完了するまでの間、前記内部メモリと前記処理エンジン間のクライアント転送を遮断するように構成される請求項9に記載の装置。

【請求項11】

前記内部メモリが前記ブロックの行より小さい、少なくとも1つの第2のバッファを含む請求項1から10の何れかに記載の装置。

【請求項12】

チップ上に配置されるとともに、(i) 動き補償を適用し(ii) 前記チップ外の外部メモリに格納された少なくとも1つの基準フレームのサブセットを格納する第1のバッファを含む、内部メモリであって、(a) 前記第1のバッファの幅が前記基準フレームの幅に一致し、前記第1のバッファの高さが1ブロック行より高く、(b) 複数のブロックの新しいセットが、前記第1のバッファにおける前記ブロックの古いセットの処理が完了したとき、前記外部メモリから受信され、(c) 前記新しいセットのサイズが(1) 前記古いセットのサイズと一致し(2) 前記第1のバッファの一部分を占める内部メモリと、

40

前記チップ上に配置されるとともに、前記内部メモリからの前記サブセットの少なくとも一部分に作用するように構成された第1の処理エンジンと、

を備え、

ターゲットフレームと前記基準フレームとの間の複数の動き予測を容易にするように、前記基準フレーム内の前記ブロックのそれぞれが1ターゲットフレームごとに一回だけ

50

前記外部メモリから前記第 1 のバッファへ転送されることを特徴とする装置。

【請求項 1 3】

前記チップ上に配置されるとともに、(i) 前記サブセットの第 1 の部分を前記外部メモリから前記内部メモリへ転送し、(i i) 前記サブセットの第 2 の部分を前記内部メモリから前記第 1 の処理エンジンへ転送するように構成された転送回路を更に含む請求項 1 2 に記載の装置。

【請求項 1 4】

(i) 前記第 1 の処理エンジンが、前記転送回路へ水平オフセット及び垂直オフセットの両方を与えるように構成され、前記転送回路が、前記水平オフセット及び前記垂直オフセットで前記第 1 の部分を前記第 1 のバッファから読み込むことによって動き補償を行う請求項 1 3 に記載の装置。

10

【請求項 1 5】

前記第 1 の処理エンジンが動き予測エンジンを備える請求項 1 2 から 1 4 の何れかに記載の装置。

【請求項 1 6】

前記内部メモリが、前記基準フレームのブロックの 1 行より狭い幅を有する第 2 のバッファを含む請求項 1 2 から 1 5 の何れかに記載の装置。

【請求項 1 7】

前記第 2 のバッファと前記外部メモリ間でデータを転送するように構成された外部転送回路を更に含む請求項 1 6 に記載の装置。

20

【請求項 1 8】

前記チップ上に配置されるとともに、画像データを前記内部メモリから受信するように構成された第 2 の処理エンジンを更に含む請求項 1 2 から 1 7 の何れかに記載の装置。

【請求項 1 9】

前記内部メモリの一部を中間記憶領域として使用することにより、データを前記第 1 の処理エンジンと前記第 2 の処理エンジン間で転送するように構成された転送回路を更に備える請求項 1 8 に記載の装置。

【請求項 2 0】

前記チップ上に配置され、前記内部メモリと通信するとともに、(i) 入力ビット・ストリームを処理すること、(i i) 出力ビット・ストリームを生成することのうち少なくとも 1 つを行うように構成されたクライアント・エンジンを更に備える請求項 1 2 から 1 9 の何れかに記載の装置。

30

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は一般的にはメモリに関し、特に高性能ビデオプロセッサ用の低電力メモリ階層を実現するための方法及び/又はアーキテクチャに関する。

【背景技術】

【0 0 0 2】

従来の高い帯域幅(伝送容量)のメモリシステムはリアルタイム(実時間)ビデオ符号化(エンコーディング)のような要求の厳しい画像処理アプリケーションに使用される。フレーム落ちは許されないので、想定される最悪の場合のメモリの待ち時間と帯域幅はビデオ符号化システム基準を満足しなければならない。H. 264 標準のような、最近のビデオ符号化や高効率符号化システムは想定される最悪の場合の帯域幅の仕様を大幅に高めている。従来のリアルタイムシステムにおいては、外部のダイナミック・アクセス・メモリ(DRAM)チップが、リアルタイムビデオ符号化の際、想定される最悪の場合でも十分な帯域幅を提供している。

40

【先行技術文献】

【非特許文献】

【0 0 0 3】

50

【非特許文献1】H.264(E):2005「Advanced Video Coding for Generic Audio visual Services」(ITU-T Revised Rec. H.264(E)|ISO/IEC 14496-10(E)),published by the Joint Video Team (JVT) of the International Organization for Standardization/International Electrotechnical Commission(ISO/IEC) MPEG and the Video Coding Expert Group (VCEG) of the International Telecommunications Union-Telecommunications Standardization Sector(ITU-T),February 28,2005 Geneva,Switzerland

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、従来のオンチップ・キャッシュは、キャッシュをヒットした場合には十分な帯域幅と待ち時間を提供し、キャッシュをヒットしなかった場合には想定される最悪の場合での十分な性能を提供しない。この結果、最新のリアルタイムビデオ処理回路の電力消費は携帯用アプリケーションには余りに大き過ぎる。

10

【課題を解決するための手段】

【0005】

本発明は、一般的に内部メモリと外部転送回路とを備える装置に関する。内部メモリはチップ上に配置されるとともに(i)動き補償に適し(ii)チップ外の外部メモリに格納された少なくとも1つの基準フレームのサブセットを格納するための少なくとも1つの第1のバッファを含む。前記少なくとも1つの第1のバッファの大きさは通常、基準フレーム内のブロックの1行より大きい。外部転送回路はチップ上に配置され、サブセットを外部メモリから内部メモリへ転送するように構成される。

20

【0006】

本発明の目的、特徴、及び利点としては、(i)消費電力を低減し、(ii)外部メモリに対する使用帯域幅を最小化し、(iii)外部メモリへアクセスする待ち時間を見えないようにし、及び/又は(iv)外部メモリとの効率的な長時間バースト交換を最大化することができる高性能ビデオプロセッサ用のメモリ階層を提供することにある。

【0007】

本発明のこれら及び他の目的、機能と利点は、以下の詳細な説明と添付の特許請求の範囲と図面から明白になる。

【発明の効果】

30

【0008】

本発明によれば、(i)消費電力を低減し、(ii)外部メモリに対する使用帯域幅を最小化し、(iii)外部メモリへアクセスする待ち時間を見えないようにし、及び/又は(iv)外部メモリとの効率的な長時間バースト交換を最大化することができる。

【図面の簡単な説明】

【0009】

【図1】本発明の好適な実施形態によるシステムのブロック線図である。

【図2】ウインドウ・モードにおける画像の一部のブロック図である。

【図3】動きベクトルを含むウインドウ・モードにおける画像のブロック図である。

【図4】小バッファ・モードにおける画像の一部のブロック図である。

40

【発明を実施するための形態】

【0010】

図1を参照すると、本発明の好適な一実施形態によるシステム100のブロック図が示されている。システム(又は装置)100は通常、回路(又はチップ)102と回路(又はチップ)104とを含む。回路102のインタフェース106は回路104のインタフェース108へ接続される。信号(例えばEXT)は、インタフェース106、108を介して回路102と回路104間で転送される。回路102は入力信号(例えばVIDEO__IN)を受信することができる。出力信号(例えばVIDEO__OUT)は回路102から送信される。

【0011】

50

回路102はビデオチップと称されるものである。ビデオチップ102は、回路104内に格納されたビデオ情報を処理するように動作可能である。限定するものではないが、この処理は符号化、復号化、動き予測、及び動き補償を含む。ビデオチップ102は通常、単一の集積回路ダイすなわちチップとして作製される。ビデオ情報の一部は、信号EXTにより回路104から処理用のビデオチップ102へ搬送される。ビデオ情報もまた信号EXTによりビデオチップ102から回路104へ搬送され、戻される。

【0012】

回路104は外部メモリ・チップと称されるものである。外部メモリ・チップ104は通常、単一の集積回路ダイ又はチップとしてビデオチップ102とは別に作製される。外部メモリ・チップ104は、1つ又は2以上の基準フレームと、1つ又は2以上の処理すべきフレームと、1つ又は2以上の処理されたフレームとを含む多数のビデオフレームを格納するように動作可能である。

【0013】

符号化の実施形態に関し、ビデオチップ102により提供される出力ビット・ストリーム(例えば信号VIDEO__OUT)は、(非特許文献1)のビデオ標準ITU-T Revised Recommendationに準拠してよい。復号化の実施形態において、ビデオチップ102により受信された入力ビット・ストリーム(例えば信号VIDEO__IN)は、(非特許文献1)に準拠してよい。特定のアプリケーションの基準を満たすためには他の符号化(コーディング)方法を実施してもよい。

【0014】

ビデオチップ102は通常、回路(又はモジュール)110、回路(又はモジュール)112、任意の回路(又はモジュール)114、任意の回路(又はモジュール)116、任意の回路(又はモジュール)118を含む。回路110は信号EXTを通じて外部メモリ・チップ104と通信可能である。信号(例えばINT)は回路110と回路112間でビデオ情報を交換するために使用される。別の信号(例えばBUF)も回路110と回路112間でビデオ情報を交換するために使用される。回路110は信号(例えばCLIENT)内のビデオ情報を、回路114-118と交換することができる。信号(例えばTRANS)は回路114-118により提供され、回路110へ戻される。

【0015】

回路110はダイレクトメモリアクセス(DMA)ユニットと称されるものである。DMAユニット110は、回路112と、外部メモリ・チップ104及び回路114-118の両方との間でデータ(例えば、ビデオフレーム、動きベクトル及び/又はその他ビデオ情報の一部)を転送するように動作可能である。転送制御は、回路114-118からの信号TRANSにおいて受信された情報により管理される。DMAユニット110もまた、転送回路(又はモジュール)と称される。

【0016】

回路112は、共有メモリ(SMEM: shared memory)回路と称されるものである。SMEM回路112は、外部メモリ・チップ104と回路114-118間で流れるビデオ情報を格納又はバッファするように動作可能なメモリ回路として実装される。SMEM回路112はまた、回路114-118間で転送されたビデオ情報をバッファするように動作可能である。SMEM回路112は通常、DMAユニット110及び回路114-118と同じチップ上に(又は、チップ内に)作製される。

【0017】

回路114は、動き予測(ME)エンジンと称されるものである。MEエンジンは、SMEM回路112とDMAユニット110を介して外部メモリ・チップ104から受信された基準フレーム(参照フレーム)の一部を使用することにより動き予測を行うように実装される。MEエンジン114は、ビデオチップ102がビデオ符号化システムの一部である場合に実施され、ビデオチップ102がビデオ復号化のみのシステムの一部である場合は無くてよい。MEエンジン114は通常、DMAユニット110、SMEM回路112、回路116-118と同一チップ上に(又は、同一チップ内に)作製される。

10

20

30

40

50

【 0 0 1 8 】

回路 1 1 6 はクライアント・エンジンと称されるものである。クライアント・エンジン 1 1 6 は、ビデオ情報を処理するための S M E M 回路 1 1 2 にアクセスするように動作可能である。信号 V I D E O _ I N の入力データは、クライアント指定の処理を行うクライアント・エンジン 1 1 6 ヘルパーティングされることができる。出力データはクライアント・エンジン 1 1 6 により生成され、信号 V I D E O _ O U T に提供される。他の S M E M クライアント（例えば動き予測エンジン 1 1 4 と回路 1 1 8 ）は、信号 V I D E O _ I N から入力データを受信し、及び/又は信号 V I D E O _ O U T に提供される出力データを生成する。クライアント・エンジン 1 1 6 は通常、DMA ユニット 1 1 0、S M E M 回路 1 1 2、ME エンジン 1 1 4、回路 1 1 8 と同一チップ上に（又は、同一チップ内に）作製される。

10

【 0 0 1 9 】

回路 1 1 8 は処理エンジンと称されるものである。処理エンジン 1 1 8 は S M E M 回路 1 1 2 内にバッファされたビデオ情報を修正するように動作可能である。限定するものではないが、処理エンジン 1 1 8 により行われるビデオ符号化と復号化処理はフォーワード変換及び逆変換、フォーワード量子化及び逆量子化、可変長符号化及び可変長復号化を含むことができる。処理エンジン 1 1 8 は通常、DMA ユニット 1 1 0、S M E M 回路 1 1 2、クライアント・エンジン 1 1 4、ME エンジン 1 1 6 と同一のチップ上に（又は、同一チップ内に）作製される。

【 0 0 2 0 】

付加的な画像処理動作を行うために、ビデオチップ 1 0 2 には、追加の処理エンジン（図示せず）があってもよい。限定するものではないが、追加の画像処理動作としては色の間引きと補間、コントラスト調整、輝度調整、フェーディング効果、オーバレイ、雑音フィルタリング等が挙げられる。

20

【 0 0 2 1 】

動き補償は、専用の動き補償エンジンを持たないビデオチップ 1 0 2 により行われる。整数（画素）動き補償は DMA ユニット 1 1 0 を使用して行われる。分数（画素）動き補償は、必要に応じ S M E M クライアント（例えばクライアント・エンジン 1 1 6 及び/又は処理エンジン 1 1 8 ）により行われる。

【 0 0 2 2 】

オンチップの S M E M 回路 1 1 2 は通常、処理エンジン 1 1 4 - 1 1 8 により使用される 1 つ又は 2 以上の画像フレームのそれぞれを保持するかバッファするために使用される。2 つの異なるバッファ・タイプは S M E M 回路 1 1 2 に設けられる。第 1 のバッファ・タイプ 1 2 0 はウインドウ・バッファと称されるものである。S M E M 回路 1 1 2 内では、1 つ又は 2 以上のウインドウ・バッファ 1 2 0 が同時に存在することができる。各ウインドウ・バッファ 1 2 0 は、画像（又はフレーム）の全幅と、画像（又はフレーム）の全高さの一部を保持する。例えば、ウインドウ・バッファ 1 2 0 の幅はフレームの幅と一致してもよく、一方、ウインドウ・バッファ 1 2 0 の高さは、フレームの 2 つ以上のマクロ・ブロック行を格納することができる。

30

【 0 0 2 3 】

第 2 のバッファ・タイプ 1 2 2 は小バッファと称されるものである。S M E M 回路 1 1 2 内には、ゼロ個又は 1 個以上の小バッファ 1 2 2 が同時に存在することができる。各小バッファ 1 2 2 の大きさは通常、画像（又はフレーム）の幅及び高さのサブセットである。例えば、小バッファ 1 2 2 は、外部メモリ・チップ 1 0 4 内に格納されたフレームからコピーされたか、あるいはウインドウ・バッファ 1 2 0 からコピーされた単一行のマクロ・ブロックの一部を保持するような大きさである。

40

【 0 0 2 4 】

ウインドウ・バッファ 1 2 0 と小バッファ 1 2 2 は、DMA ユニット 1 1 0 内の DMA モジュール 1 2 4、1 2 6 と通信することができる。通常、1 つ又は 2 以上の外部 DMA モジュール 1 2 4（図では 1 つ）、及び 1 つ又は 2 以上クライアント DMA モジュール 1

50

26 (図では1つ)は、外部メモリ・チップ104とバッファ120及び/又は122間の転送に、バッファ120及び/又は122と内部処理エンジン114-118間の転送をオーバーラップさせることができる。DMAモジュール124もまた、外部DMA回路(又はチャンネル)及び外部転送回路(又はチャンネル)と称されるものである。DMAモジュール126もまた、クライアントDMA回路(又はチャンネル)及びクライアント転送回路(又はチャンネル)と称されるものである。転送回路124、126はハードウェア及び/又はソフトウェアで実現される。DMA回路として以外の、外部転送回路124及び/又はクライアント転送回路126の設計は特定アプリケーションの基準を満たすように実装される。

【0025】

図2を参照すると、ウィンドウ・モードにおける画像140の一部のブロック図が示されている。画像(又はフレーム)140は入力されたビデオフレーム又は基準フレームである。画像140は、外部メモリ・チップ104内のある位置(例えばDBASETOP)で始まる位置に配置される。画像140は、ある幅(例えばSCOLMAX)と高さ(例えばDROWMAX)を有する。図2は一般的には、既にSMEM回路112へ転送された画像140の第1の部分142を示す。また、外部メモリ・チップ104からSMEM回路112への画像140の第2の部分144(例えば、1マクロ・ブロック行×SBLKマクロ・ブロック列)に対して進行中のDMA転送も例示されている。前記の第2の部分144は、画像140の特定行(例えばDROW)と特定列(例えばDCOL)で始まる。画像140の第3の部分146は第2の部分144が転送された後、SMEM回路112へ転送されるようにスケジュールされる。

【0026】

送信先ウィンドウ・バッファ120は、SMEM回路112内のベース位置(例えばSBASE)で始めると定義される。送信先ウィンドウ・バッファ120は、画像140から、画像140のマクロ・ブロック幅SCOLMAXと、いくつかの行(例えばSROWMAX)のブロックとを同時に収容することができる。通常、画像140の幅はウィンドウ・バッファ120の幅と一致するので、第2の部分144の始まる列(例えばDCOL)は、ウィンドウ・バッファ120と外部メモリ・チップ104では同じである。

【0027】

ウィンドウ・バッファ120は、ターゲット・ブロック(マクロ・ブロック)148の垂直方向に制限されたオフセット内の画像140の領域へのランダム・アクセスを援助するように動作する。ターゲット・ブロック148は、ウィンドウ・バッファ120内で、ベース位置SBASEに対するある位置(例えば(SROW、SCOL))を有する。

【0028】

ウィンドウ・バッファ120は、動き補償されるビデオ圧縮処理に対し特に有用である。通常、ウィンドウ・バッファ120の垂直動きベクトル範囲を、動き予測処理の垂直探索範囲に制限される。特に、動きベクトルが余りに大きくなると、関連する動き補償予測値は一般的に不正確となり、また動き予測演算(に使用する演算装置)が余りにも高価なものとなりうる。従って、動き補償に有用な画像140の量は、ターゲット・ブロック148の周りの垂直方向及び水平方向に限定されることとなる。人間の視覚システムは一般的に高速の上下動より高速の水平動を容易に追跡するので、ビデオシーケンスは通常、水平動ベクトル範囲より小さな垂直動きベクトル範囲を有する。その結果、垂直探索範囲は水平探索範囲より小さくでき、限られた数のマクロ・ブロック行のみをウィンドウ・バッファ120によりバッファすればよい。

【0029】

一実施態様においては、オンチップSMEMメモリ回路112は、高速のビデオシーケンスに対する適切な垂直動きベクトル範囲を可能にする組み込み型DRAMあるいは、1トランジスタ・スタティック・ランダムアクセス・メモリ(SRAM)(6トランジスタSRAMではなく)のような高密度オンチップ・メモリ技術を使用することにより実現できる。ウィンドウ・バッファ120の垂直範囲は通常、垂直動きベクトル範囲に設定され

10

20

30

40

50

る。通常、垂直ウインドウ・バッファ120の範囲を垂直動きベクトル範囲に一致させることにより、すべての動き予測及び動き補償フェッチは外部メモリ・チップ104においてではなくS MEM回路112のみを使用することにより実行することができる。オンチップS MEM回路112は非常に小さくかつ、処理エンジン114 - 118により接近しているため、オンチップS MEM回路112へのアクセスは、繰り返し外部メモリ・チップ104へのアクセスするよりはるかに電力効率がよい。更に、オンチップS MEM回路112は通常、小規模な転送へアクセスする際、外部メモリ・チップ104に使用される長いバースト転送用に最適化可能な標準DRAM部品よりはるかに効率的である。

【0030】

通常、基準フレーム全体はS MEM回路112内に格納されないため、ターゲット・ブロック148が進められるにつれて（通常はマクロ・ブロックからマクロ・ブロックへ）、外部DMAモジュール124は、新しい基準データをウインドウ・バッファ120へ読み込むとともにウインドウ・バッファ内の最も古いデータを廃棄するように使用される。外部DMAモジュール124はウインドウ・バッファ120を、ターゲット・ブロック148の位置を中心として保持し、その結果、一定の上下動補償範囲が維持される。外部DMAモジュール124は、動き探索の数及び/又は動き補償の数（実行回数）とは無関係に、外部メモリ・チップ104からの基準フレームの各画素をフレーム当たり1回だけロードすることができる。この一回だけのロードは、(i)外部メモリ・チップ104からすべてのデータにアクセスすること、又は(ii)従来のキャッシュ・システムの想定される最悪の場合の動作（より高い待ち時間とキャッシュ・ブロック・サイズのオーバーヘッドのせいで外部メモリ・チップ104に直接アクセスすることよりも更に悪い場合）と比較すると、外部メモリ・チップ104とビデオチップ102間の帯域幅を著しく低減することができる。ターゲット・ブロック148を中心とした画像の水平方向に制限された領域を格納する従来のオンチップ・キャッシュでも、ターゲット・ブロック148がマクロ・ブロックの1つの行から次の行へ移動するにつれて、結局、外部メモリ・チップ104からの画像データを複数回読み取り、探索領域の大きさが増加するにつれ、外部メモリ・チップ104の帯域幅の使用を増大することになる。

【0031】

画像140の一部分が一旦ウインドウ・バッファ120にコピーされると、クライアントDMAモジュール126は、画像140の下位部分（又はサブウインドウ）150をウインドウ・バッファ120から1又は2以上の処理エンジン114 - 118へ移動することができる。例えば、クライアントDMAモジュール126は、下位部分150を処理エンジン114 - 118内の1つ又は2以上のローカルメモリ152a - 152nへ転送することができる。ローカルメモリ152a - 152nは、R MEM（基準メモリ）、T MEM（ターゲットメモリ）、及びローカルメモリ152と略して称する。T MEMは、1つ又は2以上のターゲット・ブロック148を格納する大きさである。R MEMは、1つ又は2以上の基準フレームのターゲット・ブロック148の位置の周りの探索範囲を格納する大きさである。

【0032】

下位部分150は、ターゲット・ブロック148より大きな幅（例えばSCOLCNT）及び高さ（例えばSROWCNT）を有する。通常、動きゼロに対応する基準ブロックは送信先ローカルメモリ152のベース位置（例えばSDESDDDR）からオフセット（例えば（YOFFSET、XOFFSET）した下位部分150を中心とする。処理エンジン114 - 118がターゲット・ブロックに対する動作を完了すると、ターゲットの水平オフセット（例えばSCOL）は、通常はブロックの幅であるプログラム可能な数（例えばCOLINC）だけインクリメント（増加）される。処理エンジン114 - 118がプログラム可能な数（例えばSCNT）のターゲット・ブロック148に対する動作を完了した後、外部DMAモジュール124は新しい下位部分をウインドウ・バッファ120内にコピーする。ターゲット・ブロック148が一旦ウインドウ・バッファ120内の画像140の端（例えば右側）に到達すると、クライアントDMAモジュール126は、

10

20

30

40

50

ターゲット（例えばS C O L）の水平オフセットをゼロにリセットし、通常はターゲット高さであるプログラム可能な数（例えばR O W I N C）だけ垂直オフセットをインクリメントする。

【 0 0 3 3 】

図3を参照すると、動きベクトルを有するウインドウ・モードにおける画像140のブロック図が示されている。動き補償処理では、各ターゲット・ブロック148は、1つ又は2以上の基準フレームに対して1つ又は2以上の関連する動きベクトルをそれぞれ有する。動きベクトルは、ウインドウ・バッファ120の最大の高さを定義する最大の垂直範囲を有する。

【 0 0 3 4 】

図3に示すように、第1の最大動きベクトル（例えばM V a）は、基準フレーム内の左上方を指す。従って、クライアントDMAモジュール126は、下位部分150aをウインドウ・バッファ120から、ターゲット・ブロック148位置から動きベクトルM V a分オフセットしたローカルメモリ152へコピーする。最後の最大動きベクトル（例えばM V n）は基準フレーム内の右下方を指す。従って、クライアントDMAモジュール126は、下位部分150nをウインドウ・バッファ120からローカルメモリ152へコピーする。クライアントDMAモジュール126は、異なる大きさと方向を有する他の動きベクトルを用いて、画像データの異なるサブセットをウインドウ・バッファ120からローカルメモリ152へコピーする。

【 0 0 3 5 】

図4を参照すると、小バッファモードにおける画像140の一部のブロック図が示されている。各小バッファ122は、画像140からの全1行未満のブロックを格納するように構成（設定）される。特に、小バッファ122は単一ブロックの高さ（例えばS R O W I N C）を有する。小バッファ122の幅（例えばS C O L M A X S）は、画像140の幅S C O L M A Xより小さくてもよい。クライアントDMAモジュール126は、ローカルメモリ152とターゲット・ブロック148のみを処理するためにやり取り（送受信）する。

【 0 0 3 6 】

小バッファ122は、通常は第1の処理エンジン114 - 118と、外部D R A Mメモリ・チップ104又は第2の処理エンジン114 - 118のいずれかとの間で転送される画像データをバッファするために使用される。小バッファ122は、通常、フレームの全幅をバッファすることによりオンチップ・メモリを浪費する逐次的に処理されるブロックであるフレームに対し有用である。小バッファ122は、外部メモリ・チップ104との長い待ち時間交換を、内部処理エンジン114 - 118のより短い待ち時間基準から分離するように使用することができる。共用のオンチップS M E Mメモリ回路112内に小バッファ122とウインドウ・バッファ120との両方を実現することにより、より大きな柔軟性を付与して2つのタイプのバッファ間でメモリ空間と帯域幅を割り当てることができる。単一の高密度オンチップS M E M回路112アレイはまた、2つの別々のアレイより効率的に実現することができる。

【 0 0 3 7 】

D M Aモジュール124と126は通常、2組のレジスタ（又はメモリ）160a - 160bにより制御される。レジスタ160aもまた、クライアントDMAレジスタ（又はメモリ）及びクライアント・オフセット・レジスタ（又はメモリ）と称されるものである。レジスタ160bもまた、外部DMAレジスタ（又はメモリ）及び外部オフセット・レジスタ（又はメモリ）と称されるものである。

【 0 0 3 8 】

D M Aモジュール124と126は、画像処理用に最適化された2次元ブロック・データ転送を援助することができる。クライアントDMAレジスタ160aは、処理クライアント（処理エンジン114 - 118）とS M E M回路112間の転送を制御することができる。外部DMAレジスタ160bは外部メモリ・チップ104とS M E M回路112間

10

20

30

40

50

の転送を制御することができる。SMEM回路112とDMAモジュール124、126は、外部メモリ・チップ104へアクセスする待ち時間が見えなくなる（隠れる）ように、通常(i)クライアントが読み込むためのDRAMデータのプリフェッチと、(ii)DRAMデータを外部メモリ・チップ104へ格納し戻すことを実施するべく一緒に接続される。

【0039】

クライアント処理エンジン114-118及び別個のエンジン制御プロセッサ（図示せず）は通常、レジスタセット160a-160bのうち、特定セットのDMAレジスタ（チャンネル）を指定する信号（例えばTRANS）でDMA要求を発行する。クライアントDMAレジスタ160aは、(i)ベース位置SBASEと、ウィンドウ・バッファ120又は小バッファ122の高さSROWMAX及び幅SCOLMAX、又はSCOLMAXS、(ii)外部転送幅SBLKと転送されるデータ・ブロック144幅との比、そして(iii)ウィンドウ・バッファ120内のデータ・ブロック144の水平オフセットSCOLと垂直オフセットSROWを指定することができる。ウィンドウ・モード（例えば図2と図3）では、ウィンドウ・バッファ120の幅と、外部メモリ・チップ104内に格納されるフレームの幅は一致してよい。小バッファ・モード（例えば図4）では、小バッファ122の幅SCOLMAXSと、外部メモリ・チップ104内のフレームの幅SCOLMAXDは、別々に指定することができる。ウィンドウ・バッファ120に関わる転送要求は、付加的な水平オフセットと垂直オフセットとを指定する動きベクトル信号（例えばMV）を含むことができる。一般的には、動きベクトルのオフセット値により動き補償をDMA転送の一部として扱うことができる。ウィンドウ・バッファ120の下位部分の開始場所を搬送する信号（例えばA）は、クライアントDMAモジュール126内にあり、アドレス信号（例えばADD）を生成する加算器164により動きベクトル値へ加算される。信号ADDは、クライアント・エンジン114-118へ転送するためにはウィンドウ・バッファ120内の発見すべき適切なブロックの位置を関連（連結、連想）するクライアントDMAモジュール126に指示する。

【0040】

各クライアント処理エンジン114-118及び個別のエンジン制御プロセッサは、DMAユニット110に対する未処理のDMA要求リストをキュー162a-162c内にそれぞれ保持する。DMAユニット110は、各キュー162a-162cからの要求を処理し、読み込みデータを返すか、格納データを検索する（引き出す）かのいずれかを行う。クライアントDMAモジュール126もまた、ウィンドウ・バッファ・モードにおけるクライアントからの別の種類の要求を待ち行列に入れることができ、この要求は通常、関連するクライアントDMAモジュール126をウィンドウ・バッファ120内の次のターゲット・ブロック148へ進ませる。通常、前記進行の結果、現在の水平オフセットSCOLをソフトウェアが指定した量（例えばSCOLCNT）だけインクリメントさせることとなる。しかしながら、前記インクリメントの結果、水平オフセットがウィンドウ・バッファ120の幅に達すると、ターゲット・ブロック148の水平オフセットSCOLはゼロに設定され、現在の垂直オフセットSROWはソフトウェアに指定された量（例えばSROWINC）だけインクリメントすることができる。前記インクリメント要求もまた、どの外部DMAモジュール124（もしあれば）がクライアントDMAモジュール126に接続されるかを指定する。一般的には、別のインクリメント要求により、次のターゲット・ブロックに移動する前に現在のターゲット・ブロック148に対する多数の動き補償DMA要求を行うことが可能となる。

【0041】

クライアントDMAモジュール126は通常、小バッファ・モードにおける各正規のDMAモジュールがレジスタセット160a内に水平インクリメント量及び接続される外部DMAモジュール124の両方を指定した後、暗黙のインクリメント要求を行う。小バッファモードのDMAは通常、動き補償アクセス用には使用されないため、別個のインクリメント演算は通常実施されない。外部DMAモジュール124がクライアントDMAモジ

10

20

30

40

50

ジュール126に接続されると、外部メモリ回路104からの転送は、クライアントDMAモジュール126におけるある数のインクリメント後に、接続した外部DMAモジュール124により起動することができる。DMA要求ごとのインクリメント数はクライアントDMAレジスタ160aで指定することができる。

【0042】

各処理エンジン114-118はダブルバンク・ローカルメモリRMEM及び/又はTMBMを実現し、DMA転送が1つのバンク(例えば152a)で行われるようにする一方で、エンジン114-118は他のバンク(例えば152b)のデータを処理する。通常は、ダブルバンク・ローカルメモリにより、SMEM回路112にアクセスする待ち時間を処理エンジン114-118から見えなくすることができる。通常、クライアント処理エンジン114-118とDMA処理間の同期は次のように扱われる。「最後の」ビットは、当該要求を現在のDMAバンクへの最後の要求として識別する信号TRANS内のDMA要求に含むことができる。DMAユニット110が「最後の」要求を完了すると、DMAユニット110は、クライアント(例えば114)が処理の完了を現在のメモリバンク(例えば152b)から示すまで待つ。同様にしてクライアント114は通常、クライアント114がバンク152b処理を完了した後、DMAユニット110が対応するメモリバンク(例えば152a)へのDMA転送を完了するのを待つ。クライアント114とDMAユニット110との両方の準備が整うと、バンク152aと152bとを交換することができる。クライアント114による処理はローカルメモリ・バンク152aから再開し、DMA転送はローカルメモリ・バンク152bにより再開することができる。

【0043】

外部DMAレジスタ160bは通常、(i)外部メモリ104におけるフレーム140のベース位置DBASETOP、及び高さDROWMAX、(ii)転送されるデータ・ブロック144のフレーム140内の水平オフセットDCOL及び垂直オフセットDROW、そして(iii)現在のSMEM行オフセットSROW(ウインドウ・モード)、又はSMEM列オフセットSCOL(小バッファモード)のいずれかを指定する。ウインドウ・モードに関しては、通常、現在のSMEM列オフセットSCOLは外部フレーム・オフセットと一致する。小バッファモードに関しては、SMEM行オフセットSROWは常にゼロであってよい。外部メモリ・チップ104転送の高さは、関連するSMEMクライアントDMAレジスタ160a転送の高さと同じであってよい。外部メモリ転送の幅は、SMEMインクリメントの数(関連するSMEMクライアントDMAレジスタ160a(SCNT)において指定された外部メモリ転送)を掛けたSMEM水平インクリメントの大きさSCOLCNTと一致する。従って、ある点後のプリフェッチ・リード/ライトと現在のターゲット・ブロック148間の一定の距離を維持することができる。

【0044】

一実施形態では、2つの外部メモリ要求は、各外部DMAモジュール124に対するキューに入れることができる。第1の外部メモリ要求は、同じMEMバッファにおいて転送されるデータに関わるクライアント転送要求とオーバーラップしてよい。クライアントが十分に高速であると、第2の外部メモリ要求を第1の要求の完了に先立って始動することができる。それゆえ後続のクライアントDMA転送は、第1の外部メモリ要求が終わるまで遮断することができる。通常、この遮断は、クライアント114-118がある点後の外部メモリプリフェッチ点又は外部メモリ書き込み点より先に進むことを防ぐことにより、外部メモリ転送及びSMEM転送間の同期を実現する。

【0045】

1つの可能なアプリケーションでは、本発明は携帯用録画装置に適用することができる。例えば、本発明は、消費者市場に適した携帯型、高品位又は標準解像度のデジタル・ビデオ・カメラに組み込むことができる。一般的には、本発明のメモリ階層は高性能で、低電力のビデオ処理能力をカメラに提供する。ビデオ符号化/圧縮は、H.264/MPEG4-Advanced Video Coding standard、又は他の最新ビデオ符号化技術に準拠することができる。カメラ内蔵のメモリにより、1時間以上の高品位録画を実現できるであろう。本発明はまた

、動き補償されたビデオ圧縮及び/又は復元を実施する任意のプロセッサに適する。本発明の他の応用を実施することにより特定の設計の基準を満たすことができる。

【 0 0 4 6 】

本発明はまた、A S I C、F P G Aを作成することにより、従来の構成回路（ステートマシンを実施する従来の回路等）を適切なネットワークで相互に連結させることにより、又はここに説明されたようなハードウェアとソフトウェア要素の組合せにより実現でき、それらの変形は当業者には容易に理解できる。本明細書で使用された用語「同時に」は、ある共通の期間を共有する事象を説明することを意味するが、この用語は同じ時点に始まり、同じ時点に終わる事象、又は同じ期間を有する事象に限定されることを意味しない。

【 0 0 4 7 】

本発明はその好ましい実施例を参照して特に図示され、説明されたが、その形態と詳細において様々な変更が、本発明の精神及び範囲から逸脱することなく行うことができることは当業者には理解されるであろう。

【符号の説明】

【 0 0 4 8 】

1 0 0	システム	
1 0 2	ビデオチップ	
1 0 4	外部メモリ・チップ	
1 0 6	インタフェース	
1 0 8	インタフェース	10
1 1 0	ダイレクトメモリアクセス（DMA）ユニット	
1 1 2	共有メモリ回路	
1 1 4	動き予測（ME）エンジン	
1 1 6	クライアント・エンジン	
1 1 8	処理エンジン	
1 2 0	ウインドウ・バッファ	
1 2 2	小バッファ	
1 2 4	外部DMA回路	
1 2 6	クライアントDMA回路	
1 4 0	画像	30
1 4 8	ターゲット・ブロック	
1 5 2 a - 1 5 2 n	ローカルメモリ	
1 5 2	ローカルメモリ	
1 6 0 a	クライアントDMAレジスタ	
1 6 0 b	外部DMAレジスタ	
R M E M	基準メモリ	
T M E M	ターゲットメモリ	

フロントページの続き

(56)参考文献 特開2003-070000(JP,A)
特開2004-356673(JP,A)
特開2004-005287(JP,A)
特開2001-101396(JP,A)
特開2004-013389(JP,A)
特開平09-016160(JP,A)
特開2000-010856(JP,A)
特開平02-190968(JP,A)
特開昭61-251967(JP,A)
特開2000-287214(JP,A)
特開2004-126873(JP,A)
特開2004-072301(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/14 - 5/217
H04N 7/24 - 7/68