

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(10) 国際公開番号

WO 2013/103136 A1

(43) 国際公開日

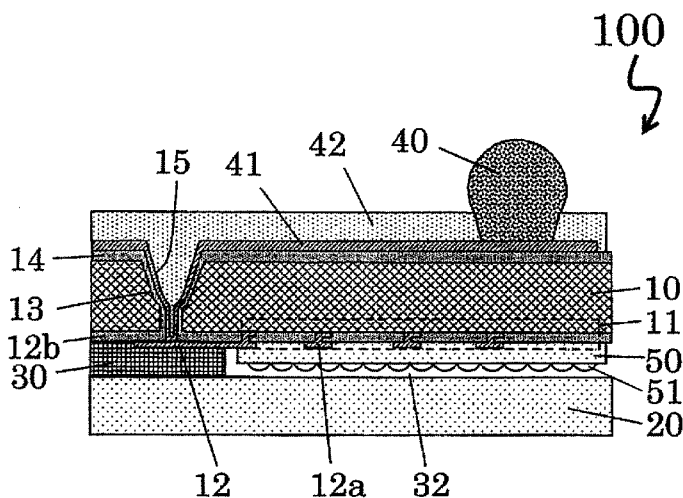
2013年7月11日(11.07.2013)

W O P O | P C T

- (51) 国際特許分類 :  
H01L 21/3205 (2006.01) H01L 23/12 (2006.01)  
H01L 21/3065 (2006.01) H01L 23/522 (2006.01)  
H01L 21/768 (2006.01) H01L 27/14 (2006.01)
- (21) 国際出願番号 : PCT/JP2012/0841 10
- (22) 国際出願日 : 2012年12月28日(28.12.2012)
- (25) 国際出願の言語 : 日本語
- (26) 国際公開の言語 : 日本語
- (30) 優先権データ :  
特願 2012-001 155 2012年1月6日(06.01.2012) JP
- (71) 出願人 : 凸版印刷株式会社 (TOPPAN PRINTING CO., LTD.) [JP/JP]; 〒1108560 東京都台東区台東1丁目5番1号 Tokyo (JP).
- (72) 発明者 : 林 健太 (HAYASHI Kenta); 〒1108560 東京都台東区台東1丁目5番1号 凸版印刷株式会社内 Tokyo (JP). 山本 克己 (YAMAMOTO Katsumi); 〒1108560 東京都台東区台東1丁目5番1号 凸版印刷株式会社内 Tokyo (JP). 中村 真 (NAKAMURA Makoto); 〒1108560 東京都台東区台東1丁目5番1号 凸版印刷株式会社内 Tokyo (JP). 秋山 直之 (AKIYAMA Naoyuki); 〒1108560 東京都台東区台東1丁目5番1号 凸版印刷株式
- 会社内 Tokyo (JP). 田口 恭輔 (AGUCHI Kyosuke); 〒1108560 東京都台東区台東1丁目5番1号 凸版印刷株式会社内 Tokyo (JP).
- (74) 代理人 : 鈴木 史朗, 外 (SUZUKI Shirou et al.); 〒1006620 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

- (54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME
- (54) 発明の名称 : 半導体装置およびその製造方法



(57) Abstract: A semiconductor device is provided with: a semiconductor substrate comprising a first face on which are formed an integrated circuit and an I/O pad which is electrically connected to the integrated circuit, and a second face on the opposite side to the first face; a two-stage through-hole formed on the semiconductor substrate and having a wall face, comprising a first shaped part of tapered shape the aperture radius of which narrows towards the base part of the hole from the second face side to a given position in the thickness direction of the semiconductor substrate, and a second shaped part of cylindrical shape running from the first shaped part to the I/O pad on the first face side; an inorganic insulating film formed on the wall face of the two-stage through-hole and the second face; a metal layer through-electrode formed on the wall face of the two-stage through-hole and the I/O pad; and a wiring pattern formed on the second face and connected to the through-electrode.

(57) 要約 :

[続葉有]



WO 2013/103136 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,  
NE, SN, TD, TG).

添付公開書類：

- 国際調査報告 (条約第 21 条(3))

---

半導体装置は、集積回路と集積回路に電気接続される I/O パッドとが形成された第 1 面と、第 1 面と反対側の第 2 面と、を有する半導体基板と、半導体基板に形成され、壁面を有し、第 2 面側から半導体基板の厚み方向における所定の位置まで開口の直径が穴の底部に向けて細くなるテーパ状の第 1 形状部と、第 1 形状部から第 1 面側の I/O パッドに達する円筒状の第 2 形状部と、を有する 2 段構成の貫通孔と、2 段構成の貫通孔の壁面と第 2 面とに形成される無機の絶縁膜と、I/O パッドと 2 段構成の貫通孔の壁面とに形成される金属層の貫通電極と、第 2 面に形成され、貫通電極に接続される配線パターンと、を備える。

## 明 細 書

発明の名称 : 半導体装置およびその製造方法

### 技術分野

[0001] 本発明は、低コストで製造でき、かつ、接続信頼性の高い貫通電極を有する半導体装置、および、その製造方法に関する。

本願は、2012年1月6日に日本に出願された特願2012-001155号に基づき優先権を主張し、その内容をここに援用する。

### 背景技術

[0002] 近年では、CCD、CMOSなどの半導体装置を備える固体撮像装置をカメラに装着して、デジタルカメラ、ビデオカメラが製造される。さらに、携帯電話に付随するカメラ機能として、固体撮像装置とレンズ系とからなるカメラモジュールが携帯電話に内蔵される。これらの用途に対して、小型・軽量・薄型でかつ高解像度の固体撮像装置が求められている。そこで、例えば、1000万画素の解像画素数を小型の固体撮像素子で実現するために、大きさが数 $\mu$ m四方程度の微細な画素を製造することが行われている。

[0003] 従来、以下のように固体撮像装置を製造している(特許文献1参照)。まず、シリコン基板などの半導体基板の表面に片面露光プロセスにより集積回路の固体撮像素子および集積回路の回路パターンを作製する。この半導体基板の表面にガラス基板20を貼り合わせ、半導体基板を裏面から研磨して基板を薄くし、半導体基板に貫通孔(スルー・シリコン・ビア:以下、TSVと略称する)を加工する。さらに、TSVの内壁に導電物質を形成して貫通電極を形成し、半導体基板の表面に形成した固体撮像素子にて得られる画像情報の電気信号を、貫通電極を介して半導体基板の裏面に導く。この半導体基板の裏面に形成したBGA(ボール・グリッド・アレイ)方式の接続端子16を通じて、外部回路への電気接続を可能にする。

### 先行技術文献

### 特許文献

[0004] 特許文献1 : 日本国特開2011-003863号公報

特許文献2 : 日本国特開2007-053149号公報

## 発明の概要

### 発明が解決しようとする課題

[0005] 上述のように、シリコン基板などの半導体基板に半導体素子を形成するには、素子形成面の片面露光プロセスを用いるが、半導体チップを多層積層するためには、貫通孔の壁面に絶縁膜を介して導体層が形成されている貫通電極が必要である。貫通孔は通常プラズマを使用したドライエッチング法により形成される。しかし、エッチング深さは、通常の半導体プロセスの数倍以上、例えば20～500 $\mu$ mであるため、エッチング時間も長くなる。そのため、半導体基板に形成された半導体素子に対してプラズマが影響をおよぼす。長時間プラズマに暴露されると、半導体基板表面の温度が上昇したり、プラズマの電界により半導体素子に不良が生じる。

[0006] また、半導体基板の裏面に到達するように貫通孔を形成する時間を短くするために、半導体基板の裏面に対してケミカルメカニカルポリッシング (CMP) を行ったり、エッチングで削って厚さを薄くする。しかし、裏面を削るには時間がかかり、製造コストが高くなる。

[0007] 上述のような貫通孔を低コストで形成するために、穴をドライエッチング加工するための開口を有するドライエッチング用フォトレジストを形成し、開口よりも外側まで半導体基板を加工する等方エッチングを行って、テーパ状の第1の穴を形成する方法もある (特許文献2参照)。この方法によれば、次に異方性エッチングを行って、テーパ状の第1の穴の底面から半導体基板の下側のI/Oパッド12の位置の絶縁膜まで、ドライエッチング用フォトレジストの開口の径で垂直な円筒状の壁面を有する第2の孔を形成する。こうして2段構成の貫通孔の下穴を、I/Oパッド12の位置の絶縁膜まで形成する。

[0008] 特許文献2では、以下の工程が示されている。

(1) 2段構成の貫通孔の下穴の壁面と底面に、絶縁膜を形成し、絶縁膜上

にエッチングレジスト用のA1膜を形成する。

(2) エッチングレジスト用のA1膜上に、2段構成の貫通孔の底部に開口を有するエッチングレジストのパターンを形成する。

(3) エッチングレジストの開口部に露出したA1膜をエッチング液でエッチングする。

(4) エッチングレジストを除去する。

(5) 2段構成の貫通孔の底部に開口を有するA1膜をエッチングの保護膜として、開口部分に露出した絶縁膜をドライエッチングにより除去する。

ここまでの工程で、I/Oパッド12まで到達する2段構成の貫通孔を製造する。

(6) A1膜を除去する。

(7) I/Oパッド12に接続する2段構成の貫通孔の壁面に導体を形成する。

[0009] しかし、上記特許文献2の方法では、貫通電極を製造するために多くの工程が必要であり、製造コストが高くなる。また、製造工程が複雑であるため、貫通電極の歩留まりが低下し、貫通電極の信頼性が低くなる。

[0010] 本発明は、上記の問題点を鑑みて、低コストな製造方法で製造でき、品質が高く信頼性が高い貫通電極を備える半導体装置を提供する。

なお、本発明が適用される半導体装置としては、集積回路素子 (IC-chip) を密封保持して外部回路に接続するパッケージには限定されない。上面にベア・チップを搭載し下面に端子を備えるプリント基板 (例えば、インターポザ ; Interposer) への適用も可能である。

また、パッケージインターポザに搭載される集積回路素子の種類も多様であるが、以降の説明では、主に固体撮像素子を例示する。

### 課題を解決するための手段

[0011] 本発明の一態様は、半導体装置であって、集積回路と集積回路に電気接続されるI/Oパッドとが形成された第1面と、第1面と反対側の第2面と、を有する半導体基板と、半導体基板に形成され、壁面を有し、第2面側から

半導体基板の厚み方向における所定の位置まで開口の直径が穴の底部に向けて細くなるテーパ状の第1形状部と、第1形状部から第1面側のI/Oパッドに達する円筒状の第2形状部を有する2段構成の貫通孔と、2段構成の貫通孔の壁面と第2面とに形成される無機の絶縁膜と、I/Oパッドと2段構成の貫通孔の壁面とに形成される金属層の貫通電極と、第2面に形成され、貫通電極に接続される配線パターンと、を備える。

[001 2] 本発明は、上記一態様の半導体装置において、第2形状部の深さが第2形状部の直径の4倍以下である。

[001 3] 本発明は、上記一態様の半導体装置において、第1形状部はテーパ状の壁面を有し、第1形状部の断面においてテーパ状の壁面は、第2面に対する傾きが60度以上80度以下である。

[0014] 本発明は、上記一態様の半導体装置において、第2面を保護し、第1形状部に充填されるソルダーレジストをさらに備える。

[001 5] また、本発明の一態様は、半導体装置の製造方法であって、半導体基板の第1面側に、集積回路と集積回路に電気接続するI/Oパッドとを形成し、第1面と反対側の第2面側に、開口を有するドライエッチング用レジストのパターンを形成し、ドライエッチング用レジストをマスクとしてドライエッチング装置を用いてRIEモードで半導体基板をドライエッチングして、第2面側における第1形状部の開口の直径がドライエッチング用レジストの開口の直径よりも大きく、かつ、第1形状部の穴径が第1形状部の底部に向けて細くなるテーパ状に第1形状部が形成されるように、第2面側から半導体基板の厚み方向の所定の位置まで開口する第1形状部を形成し、ドライエッチング用レジストをマスクとしてドライエッチング装置を用いてボッシュモードでドライエッチングして、第1形状部の底部からI/Oパッドに達する、ドライエッチング用レジストの開口と同じ径の円筒状の壁面を有する第2形状部を形成し、第1形状部と第2形状部で構成される2段構成の貫通孔の壁面と第2面とに、化学気相蒸着法で無機の絶縁膜を形成し、絶縁膜の全面をドライエッチングし、2段構成の貫通孔の壁面と第2面とに絶縁膜を残し

つつ 1/0 パッド上の絶縁膜を除去し、1/0 パッドと 2 段構成の貫通孔の壁面とに金属膜で貫通電極を形成し、貫通電極に接続する第 2 面の配線パターンを形成する。

[001 6] 本発明は、上記一態様の半導体装置の製造方法において、さらに、第 2 面を保護するソルダーレジストを形成し、ソルダーレジストを第 1 形状部に充填する。

### 発明の効果

[001 7] 上記本発明の一態様によれば、半導体基板に、テーパ状の第 1 形状部と、垂直な円筒状の壁面を有する第 2 形状部とからなる 2 段構成の貫通孔を形成することにより、2 段構成の貫通孔に、化学気相蒸着法で、壁面および底部まで均一な高品質の無機の絶縁膜を成膜できる。

[001 8] また、絶縁膜の全面をドライエッチングすることにより、2 段構成の貫通孔の壁面および半導体基板の第 2 面に絶縁膜を残しつつ、1/0 パッド上の絶縁膜を除去した構造を低コストで形成できる。さらに、1/0 パッドと 2 段構成の貫通孔の壁面に均一で高品質な金属膜の貫通電極が形成できる。これにより、低コストな製造方法で製造でき、品質がよく信頼性の高い貫通電極を形成した半導体装置が得られる。

### 図面の簡単な説明

[001 9] [図 1] 本発明の第 1 の実施形態による半導体装置の概略構造を示す模式断面図である。

[図 2] 本発明の第 1 の実施形態による半導体装置の製造方法を示すプロセス図である (1)。

[図 3] 本発明の第 1 の実施形態による半導体装置の製造方法を示すプロセス図である (2)。

[図 4] 本発明の第 1 の実施形態による半導体装置の製造方法を示すプロセス図である (3)。

[図 5] 本発明の第 1 の実施形態による半導体装置の製造方法を示すプロセス図である (4)。

[図6]本発明の第1の実施形態による半導体装置の製造方法を示すプロセス図である(5)。

[図7]本発明の第1の実施形態による半導体装置の製造方法を示すプロセス図である(6)。

[図8]本発明の第1の実施形態による半導体装置の製造方法を示すプロセス図である(7)。

[図9]本発明の第1の実施形態による半導体装置の製造方法を示すプロセス図である(8)。

[図10]本発明の第1の実施形態による半導体装置の製造方法を示すプロセス図である(9)。

[図11]本発明の第1の実施形態による半導体装置の製造方法を示すプロセス図である(10)。

[図12]本発明の第1の実施形態による半導体装置の製造方法を示すプロセス図である(11)。

[図13]本発明の第1の実施形態による半導体装置の製造方法を示すプロセス図である(12)。

[図14]本発明の第2の実施形態による半導体装置の製造方法を示すプロセス図である(1)。

[図15]本発明の第2の実施形態による半導体装置の製造方法を示すプロセス図である(2)。

[図16]本発明の第2の実施形態による半導体装置の製造方法を示すプロセス図である(3)。

[図17]本発明の第2の実施形態による半導体装置の製造方法を示すプロセス図である(4)。

[図18]本発明の第2の実施形態による半導体装置の製造方法を示すプロセス図である(5)。

[図19]本発明の第2の実施形態による半導体装置の製造方法を示すプロセス図である(6)。

[ 図20] 本発明の第 2 の実施形態による半導体装置の製造方法を示すプロセス図である ( 7 ) 。

[ 図21] 本発明の第 2 の実施形態による半導体装置の製造方法を示すプロセス図である ( 8 ) 。

[ 図22] 本発明の第 2 の実施形態による半導体装置の製造方法を示すプロセス図である ( 9 ) 。

[ 図23] 本発明の第 2 の実施形態による半導体装置の製造方法を示すプロセス図である ( 1 0 ) 。

[ 図24] 本発明の第 2 の実施形態による半導体装置の製造方法を示すプロセス図である ( 1 1 ) 。

### 発明を実施するための形態

[0020] 添付図面を参照して、本発明の実施形態にかかる半導体装置を以下に詳細に説明する。

[0021] < 第 1 の実施形態 >

本発明の第 1 の実施形態に係る固体撮像装置の半導体装置を、図面を用いて詳細に説明する。図 1 は、本実施形態による半導体装置 100 の概略構造を示す模式断面図である。なお、図 1 では、半導体基板 10 の面に垂直な面で切断した半導体装置 100 の断面図を示す。

[0022] 図 1 のように、半導体装置 100 は、固体撮像素子の集積回路 11 を形成した半導体基板 10 と、半導体基板 10 に形成された集積回路 11 の固体撮像素子の受光面 ( 以下、第 1 面とする ) 側に配設されたガラス基板 20 と、半導体装置 100 とガラス基板 20 との間に所定の空間 ( キヤビティ 32 ) を形成するためのスペーサであるキヤビティダム 30 を備える。半導体基板 10 における集積回路 11 が形成された面と反対側の面 ( 以下、第 2 面とする ) には、外部接続端子 40 として、半田ボールが実装されている。

[0023] 半導体基板 10 には、例えばシリコン ( 111 ) 基板を半導体基板 10A として、半導体基板 10A の厚さを 100  $\mu$ m 以下に薄くした半導体基板 10 を用いる。半導体基板 10 の第 1 面側に形成する集積回路 11 は、例えば

C M O S (Complementary Metal Oxide Semiconductor) センサ、C C D (Charge Coupled Device) センサ、フォトダイオードなどの固体撮像素子を形成した集積回路 11 である。半導体基板 10 の第 1 面側には、集積回路 11 の、絶縁層 12 b 上に形成した配線 12 a のパターンの一部を用いて I / O パッド 12 を形成する。

[0024] 半導体基板 10 には、第 2 面側から第 1 面まで貫通して I / O パッド 12 に達する 2 段構成の貫通孔 13 を形成する。2 段構成の貫通孔 13 の側壁には絶縁膜 14 を形成し、絶縁膜 14 の壁面に金属で形成した貫通電極 15 を形成する。貫通電極 15 は、I / O パッド 12 と半導体基板 10 の第 2 面の配線パターン 4 1 とを電気接続する。すなわち、貫通電極 15 が、半導体基板 10 の配線を I / O パッド 12 から第 2 面側の配線パターン 4 1 まで引き出される。

[0025] 次いで、半導体基板 10 の配線パターン 4 1 が形成された第 2 面側を保護する絶縁樹脂のソルダーレジスト 4 2 を形成する。ソルダーレジスト 4 2 の開口 4 3 に露出した配線パターン 4 1 上に半田ボールを形成することで外部接続端子 4 0 を形成する。

[0026] 半導体基板 10 の 2 段構成の貫通孔 13 は、第 2 面側に広い開口部分を有しテーパ状に穴径が細くなる第 1 の穴 (第 1 形状部) 13 a を有する。第 1 の穴 13 a は、形状がテーパ状であるので、第 1 の穴 13 a 全体をソルダーレジスト 4 2 で充填できる効果がある。

[0027] 集積回路 11 は、例えば C M O S センサまたはフォトダイオードで集積回路 11 を形成する場合、C M O S センサまたはフォトダイオードなどの半導体素子からなる固体撮像素子の 1 つの画素を半導体基板 10 の第 1 面に 2 次元アレイ状に複数配列した構成を有する。

[0028] 半導体基板 10 の第 1 面側に形成された集積回路 11 の固体撮像素子の画素が形成された領域には、各画素に応じた R G B のカラーフィルタおよびパッシベーション層を含むカラーフィルタ層 5 0 を形成する。

[0029] なお、カラーフィルタ層 5 0 の部分には、半導体基板 10 の第 1 面におけ

る集積回路 11 の固体撮像素子が形成されていない領域を覆う遮光膜も形成することができる。カラーフィルタ層 50 の表面に、集積回路 11 の各固体撮像素子と対応する箇所に集光用のマイクロレンズアレイ 51 を形成することもできる。

[0030] さらに、透明なガラス基板 20 上に、半導体基板 10 のカラーフィルタ層 50 とマイクロレンズアレイ 51 の周辺を囲むスペーサとしてキャビティダム 30 を形成する。また、ガラス基板 20 のキャビティダム 30 を半導体基板 10 の第 1 面に接着する。すなわち、透明なガラス基板 20 で半導体基板 10 の第 1 面のマイクロレンズアレイ 51 の下側を覆い、マイクロレンズアレイ 51 の側面をキャビティダム 30 で覆う。これにより、半導体基板 10 の集積回路 11 とカラーフィルタ層 50 とマイクロレンズアレイ 51 の全方向をガラス基板 20 とキャビティダム 30 とで塞いだキャビティ 32 を形成する。

[0031] 半導体基板 10 の第 1 面側には、集積回路 11 の配線 12 a の一部を用いて I/O パッド 12 が形成される。I/O パッド 12 のパターンを含む集積回路 11 の配線 12 a は、例えばアルミニウム (Al) 膜で形成することができる。ただし、集積回路 11 の配線 12 a は、これに限定されず、銅 (Cu) 膜、チタニウム (Ti) 膜、他の金属膜、合金膜、または、これらの積層膜など、種々の導電体膜を用いることが可能である。

[0032] さらに、半導体基板 10 の第 1 面に形成された集積回路 11 の配線 12 a のパターンの一部で形成した I/O パッド 12 から、貫通電極 15 によって半導体基板 10 の第 2 面側にまで配線を引き出す。貫通電極 15 の配線を半導体基板 10 の第 2 面に形成した配線パターン 41 と外部接続端子 40 に接続する。

[0033] 貫通電極 15 は、半導体基板 10 を第 2 面側から貫通して第 1 面の I/O パッド 12 に達する 2 段構成の貫通孔 13 (コンタクトホールともいう) を用いて形成する。すなわち、2 段構成の貫通孔 13 の壁面に絶縁膜 14 を形成し、その絶縁膜 14 上に金属膜で貫通電極 15 を形成する。

[0034] 2段構成の貫通孔13内の壁面に形成する絶縁膜14は、貫通電極15と半導体基板10との直接接触を防止する。また、絶縁膜14は、半導体基板10の第2面上にも延在し、その上に第2面側の配線パターン41を形成することで、配線パターン41と半導体基板10との直接接触を防止する。

[0035] 貫通電極15の金属膜を形成する際に第2面の配線パターン41の導電層も一緒に形成する。また、貫通電極15は、2段構成の貫通孔13の底に露出しているI/Oパッド12に電氣的に接続させる。

[0036] 貫通電極15と配線パターン41とは、同一の金属の導電層で形成する。貫通電極15および配線パターン41を形成する導電層は、例えば、Al膜で形成することもでき、あるいは、TiとCuとの積層膜を下地層としたCu膜で形成することもできる。導電層の膜厚は、例えば5 $\mu$ m程度であればよい。

[0037] 配線パターン41を形成した半導体基板10の第2面側には、絶縁性のソルダーレジスト42を形成する。ソルダーレジスト42は、例えば感光性を備えたエポキシ系の絶縁樹脂を用いて形成することができる。ソルダーレジスト42には、外部接続端子40の半田ボールが選択的にマウントされる開口43を形成する。開口43に、液状の半田をセルフアラインさせて半田ボールをボールマウントして外部接続端子40を形成する。

[0038] ソルダーレジスト42は半導体基板10を熱から保護する。また、ソルダーレジスト42は2段構成の貫通孔13の第2面側に開口したテーパ状の第1の穴13aを充填する。これにより、ソルダーレジスト42の充填部分がアンカーとなって第2面にソルダーレジスト42を強固に固定できる。従って、ソルダーレジスト42の第2面への密着信頼性を高くできる。

[0039] (製造方法)

次に、本実施形態による半導体装置100の製造方法を、図面と共に詳細に説明する。

図2～図13は、本実施形態による半導体装置100の製造方法を示すプロセス図である。なお、本実施形態による半導体装置100の製造方法では、

1つのウェハに対して複数の半導体装置100を作り込む、いわゆるW—CSP (Wafer Level Chip Size Package) 技術を用いる。しかし、以下では、説明の簡略化のため、1つのチップ (半導体装置100) に着目する。

[0040] (工程1)

本実施形態では、まず、直径20cm、30cm、または、他のサイズのシリコンウェハの半導体基板10Aの表面 (第1面) に、多数の固体撮像素子からなる集積回路11を形成する。また、集積回路11の絶縁層12b上に形成した配線12aのパターンの一部でI/Oパッド12を形成する。

[0041] このように半導体基板10Aの第1面側に集積回路11を形成した後、図2の断面図のように、第1面の固体撮像素子上に各画素に対応させて色分解用のカラーフィルタ層50および集光用のマイクロレンズアレイ51を順次形成する。なお、図2における半導体基板10Aの第1面の集積回路11の配線12aの一部のI/Oパッド12は、I/Oパッド12の上に貫通電極15を形成する基礎にする導体パターンである。

[0042] (工程2)

次に、図3のように、透明なガラス基板20上に、半導体基板10Aのカラーフィルタ層50とマイクロレンズアレイ51の周辺を囲むスペーサとするキャビティダム30を形成する。

[0043] キャビティダム30の材料としては、接着性に富む樹脂膜であって、熱硬化性のポリイミド、エポキシ樹脂、もしくは、アクリルウレタン系の感光性樹脂を利用できる。感光性樹脂をガラス基板20に塗布後、露光・現像工程を有するフォトリソグラフィ法により、図3のように、ガラス基板20上に、半導体基板10のカラーフィルタとマイクロレンズを取り囲む位置の所望のパターンで、50～100 $\mu$ m程度の厚さのキャビティダム30を形成する。

[0044] (工程3)

続いて、図4のように、キャビティダム30を半導体基板10の第1面に接着して、透明なガラス基板20で半導体基板10の第1面のマイクロレン

ズアレイ 51 の下側を覆う。これにより、図 5 のように、半導体基板 10 とガラス基板 20 とキャビティダム 30 で全方向を塞がれたキャビティ 32 を形成する。これにより、ガラス基板 20 とマイクロレンズアレイ 51 との間にキャビティ 32 の空隙を確保し、各マイクロレンズの集光効果が損なわれることを防止できる。

[0045] (工程 4)

次に、図 5 のように、半導体基板 10A を第 2 面側から薄くする。これは、例えば研削、CMP (ケミカルメカニカルポリッシング)、および、ウェットエッチングを必要に応じて組み合わせることで行うことができる。また、薄くした後の半導体基板 10 の膜厚は、略 50 ~ 100  $\mu\text{m}$  以下とすることが好ましい。これにより、半導体装置 100 の剛性を維持しつつさらなる小型化および薄型化が可能になる。

[0046] (貫通電極 (TSV) の形成)

(工程 5)

次に、図 6 のように、薄型化された例えば厚さが 100  $\mu\text{m}$  の半導体基板 10 の第 2 面にフォトリソグラフィにて厚さ 10  $\mu\text{m}$  のドライエッチング用フォトレジスト 60 を形成する。半導体基板 10 の表面に、ノボラック系のポジ型の感光性のドライエッチング用フォトレジスト 60 をスピコートにて最終的に 10  $\mu\text{m}$  厚となるように塗布し、オープンにて加熱 (130  $^{\circ}\text{C}$ ) 乾燥する。このドライエッチング用フォトレジスト 60 を露光装置で露光し現像することで、I/O パッド 12 と対応する位置の 2 段構成の貫通孔 13 を形成する領域に直径 20  $\mu\text{m}$  の開口 61 を持つパターンを形成する。

[0047] (工程 6)

その後、ドライエッチング装置にて、 $\text{SF}_6$  (6 フッ化硫黄) ガスを主成分とする  $\text{O}_2$  との混合ガスを用いて、ドライエッチング用フォトレジスト 60 をマスクとして、半導体基板 10 を第 2 面側から RIE (Reactive Ion Etching) モードで 5 分間ドライエッチングを行う。

[0048] これにより、図 7 のように、半導体基板 10 の第 2 面側に、ドライエッチ

ング用フオトレジスト60の直径20 $\mu$ mの開口61の下に、開口61の直径よりも大きい直径50 $\mu$ mの開口を有し、第1面側に向かうにつれて直径が小さくなるテーパ状で、深さが50 $\mu$ mの第1の穴13aを形成する。

[0049] (工程7)

次に、SF<sub>6</sub>によるエッチングとC<sub>4</sub>F<sub>8</sub>(パーフルオロシクロブタン)による側壁の保護膜形成を交互に行うボッシュ方式のドライエッチングを行う。ボッシュモードのドライエッチングは、コイル電圧2500Wにて、エッチングステップ6秒、保護膜形成であるパッシベーションステップ2秒を交互に繰り返し、I/Oパッド12に達するまで行う。

[0050] ボッシュモードのドライエッチングにより、図8に示すように、先に形成したテーパ状の第1の穴13aの底から半導体基板10と絶縁層12bを貫通して第1面側のI/Oパッド12に達する50 $\mu$ mの深さの第2の穴(第2形状部)13bを形成する。第2の穴13bは、ドライエッチング用フオトレジスト60の開口61の直径と同じ大きさの20 $\mu$ mの直径で垂直な円筒状の壁面を有するように形成される。

[0051] 以上により、まず、半導体基板10の第2面側から、開口径が50 $\mu$ mで、第2面側から第1面側に、テーパ状に直径が細くなる第1の穴13aを形成し、さらに、その第1の穴13aの底部からI/Oパッド12に達する直径20 $\mu$ mで垂直な円筒状の壁面を有する第2の穴13bを形成する。こうして厚さ100 $\mu$ mの半導体基板10を貫通してI/Oパッド12に達する、第1の穴13aと第2の穴13bとからなる2段構成の貫通孔13を形成する。図8のように、2段構成の貫通孔13の断面形状はワイングラス(あるいはカクテルグラス)形状に形成する。

[0052] 2段構成の貫通孔13の上部は、壁面がテーパ状に上から下に行くにつれて直径がテーパ状に細くなる第1の穴13aで構成されている。このテーパ状の壁面が、2段構成の貫通孔13における絶縁膜14Aの成膜プロセス、および、絶縁膜14A上における貫通電極15の成膜プロセスに適している。

[0053] また、２段構成の貫通孔 13 の第 1 の穴 13 a の底部から下部の I/O パッド 12 に達する第 2 の穴 13 b の壁面が垂直な円筒状で穴径が一定であり、半導体基板 10 の厚さが変わっても、２段構成の貫通孔 13 の下部の孔の開口径が第 2 の穴 13 b の穴径と同じである。この構造が、２段構成の貫通孔 13 の第 1 の穴 13 a の底部から I/O パッド 12 に至る壁面における安定した絶縁膜 14 A の成膜プロセス、および、絶縁膜 14 A 上における貫通電極 15 の成膜プロセスに適している。

[0054] (工程 8)

次に、表層のドライエッチング用フォトリソスト 60 を、アツシング装置で  $O_2$  ガスを用いて剥離する。

(工程 9)

次に、図 9 のように、シリコンの半導体基板 10 の第 2 面と 2 段構成の貫通孔 13 の壁面に絶縁膜 14 A を成膜する。絶縁膜 14 A は、シリコン酸化膜 ( $SiO_2$ ) やシリコン窒化膜 ( $SiN$ ) などの無機絶縁膜で形成する。

[0055] 無機の絶縁膜 14 A を形成するために、CVD (Chemical Vapor Deposition) などを用いて絶縁膜 14 A を形成することができる。例えば、プラズマ CVD 装置を用いて化学気相蒸着法で  $SiO_2$  による絶縁膜 14 A を成膜する場合は、材料ガスに、正珪酸四エチル  $Si(O C_2 H_5)_4$ 、TEOS (Tetraethoxysilane) などを用いて  $SiO_2$  による絶縁膜 14 A を成膜することができる。

[0056] 実験の結果、プラズマ CVD 装置を用いて化学気相蒸着法で無機の  $SiO_2$  の絶縁膜 14 A を形成すると、２段構成の貫通孔 13 の壁面および 2 段構成の貫通孔 13 底部まで均一な絶縁膜 14 A が成膜された。均一な高品質の膜が成膜できるのは、２段構成の貫通孔 13 が、テーパ状の第 1 の穴 13 a と垂直な円筒状の壁面を有する第 2 の穴 13 b との複合体であることによる。

[0057] 絶縁膜 14 A の各部における厚さについて、２段構成の貫通孔 13 の第 1 の穴 13 a の開口部近傍での  $SiO_2$  の絶縁膜 14 A は、膜厚 1.5 nm であった。膜形成が難しいとされる 2 段構成の貫通孔 13 の第 2 の穴 13 b の垂

直な円筒状の壁面には $0.6\ \mu\text{m}$ の膜厚の絶縁膜 14 A が形成された。また、2段構成の貫通孔 13 の第 2 の穴 13 b の底の I/O パッド 12 上には $0.5\ \mu\text{m}$ の膜厚の絶縁膜 14 A が形成された。

[0058] (工程 10)

次いで、図 10 のように、レジストマスクは使用せずに、酸化膜のドライエッチング装置にて、 $\text{SF}_6$  ガスを主成分とする  $\text{C}_4\text{F}_8$  ガスとの混合ガスを用いて、半導体基板 10 の全面に渡ってエッチングを行う。エッチングは、2段構成の貫通孔 13 の穴底部の $0.5\ \mu\text{m}$ の  $\text{SiO}_2$  膜を除去して穴底の I/O パッド 12 を露出させるまで行う。

[0059] この工程によれば、2段構成の貫通孔 13 の穴底部の $0.5\ \mu\text{m}$ の  $\text{SiO}_2$  膜を除去して穴底の I/O パッド 12 を露出させた場合に、2段構成の貫通孔 13 の第 2 の穴 13 b の垂直な円筒状の壁面には、 $0.5\ \mu\text{m}$ の膜厚の絶縁膜 14 が残った。2段構成の貫通孔 13 の第 1 の穴 13 a の開口部近傍には膜厚が $0.7\ \mu\text{m}$ の絶縁膜 14 が残り、半導体基板 10 の上面にも膜厚が $0.7\ \mu\text{m}$ の絶縁膜 14 が残った。

[0060] すなわち、レジストマスクを使用しないで全面ドライエッチング処理によって、2段構成の貫通孔 13 の穴底部の I/O パッド 12 を露出させつつ、2段構成の貫通孔 13 の側壁に絶縁膜 14 を残し、半導体基板 10 の第 2 面にも絶縁膜 14 を残すことができる。このように、レジストマスクを使用しない製造方法で、2段構成の貫通孔 13 の穴底部の I/O パッド 12 のみを露出させようとして絶縁膜 14 A をドライエッチングで除去し、それ以外の2段構成の貫通孔 13 の壁面と半導体基板 10 の第 2 面上とに絶縁膜 14 を残すことができる。

[0061] このように、本実施形態では、2段構成の貫通孔 13 をテーパ状の第 1 の穴 13 a と垂直な円筒状の壁面を有する第 2 の穴 13 b との複合体にすることにより、レジストマスクを使用しない絶縁膜 14 A の全面エッチング処理による低コストな手法で、2段構成の貫通孔 13 の穴底部の I/O パッド 12 を絶縁膜 14 から露出させた構造を形成できる。

- [0062] レジストマスクを使用しない絶縁膜 14 A の全面エッチング処理による低コストな手法で、2 段構成の貫通孔 13 の穴底部の I/O パッド 12 を絶縁膜 14 から露出させることができるのは、2 段構成の貫通孔 13 を構成するテーパ状の第 1 の穴 13 a と垂直な円柱状の第 2 の穴とが以下の構成を持つからである。
- [0063] 2 段構成の貫通孔 13 を構成する第 2 の穴 13 b は、直径 20  $\mu\text{m}$  程度の垂直な円柱状である。しかし、その深さが直径の 4 倍以下 (第 2 の穴 13 b の直径が 18  $\mu\text{m}$  の場合に第 2 の穴 13 b の深さが 70  $\mu\text{m}$  以下) で比較的浅いため、工程 9 において化学気相蒸着法で絶縁膜 14 A を形成すると、第 2 の穴 13 b の壁面に均一な絶縁膜 14 A が比較的厚く成膜される。
- [0064] 次に、本実施形態において、2 段構成の貫通孔 13 を構成する第 1 の穴 13 a の開口の直径が 50  $\mu\text{m}$ 、深さが 50  $\mu\text{m}$ 、底部の直径が 30  $\mu\text{m}$  である場合は、テーパ状の壁面の傾き (すなわち、貫通孔 13 または第 1 の穴 13 a の断面から見て、第 2 面に対する傾き) は、 $\arctan(50/10) = 79$  度である。2 段構成の貫通孔 13 を構成する第 1 の穴 13 a のテーパ状の壁面の傾きが 80 度以下の場合、絶縁膜 14 A を成膜するための化学気相蒸着法の方法材料ガスが、第 1 の穴 13 a 内を妨害されずに自由に流通して第 2 の穴 13 b にまで達することができる。
- [0065] また、第 1 の穴 13 a の断面においてテーパ状の壁面は、第 2 面に対する傾きが 60 度以上あることが好ましい。第 1 の穴 13 a を半導体基板 10 の厚さの半分程度の深さまで形成する場合に、第 1 の穴の開口の直径を、(第 1 の穴 13 a の底部の直径) + (半導体基板 10 の厚さ / 2) よりも小さくして、貫通電極 15 の開口の直径を半導体基板 10 の厚さよりも小さくすることが好ましいからである。
- [0066] 以上の理由により、貫通孔 13 (または第 1 の穴 13 a) の断面においてテーパ状の壁面は、第 2 面に対する傾きが 60 度以上 80 度以下 (貫通孔 13 の軸に対する傾きが 10 度以上 30 度以下) であることが好ましい。なお、テーパ状の壁面の傾きは、半導体基板 10 のエッチングのプロセス条件を

調整することで制御できる。

[0067] (工程 1 1)

次に、スパッタリング装置を使用し、図 1 1 のように、半導体基板 1 0 の第 2 面と 2 段構成の貫通孔 1 3 の内壁と底面に A 1 層による金属膜を堆積して貫通電極 1 5 を形成する。貫通電極 1 5 は、シリコン基板の半導体基板 1 0 の表面および裏面を電氣的に導通するためのスルー・シリコン・ビア (TSV) である。

[0068] 実験の結果、2 段構成の貫通孔 1 3 の上部の第 1 の穴 1 3 a のテーパ形状の壁面、2 段構成の貫通孔 1 3 の下部の第 2 の穴 1 3 b の垂直な円筒状の壁面、および、2 段構成の貫通孔 1 3 の底まで、A 1 層による金属膜が均一に成膜されて貫通電極 1 5 が形成できた。また、2 段構成の貫通孔 1 3 の上端の開口部近傍での A 1 層の膜厚は  $6 \mu\text{m}$ 、一番膜が付きにくい 2 段構成の貫通孔 1 3 の下部の第 2 の穴 1 3 b の垂直な円筒状の壁面に  $0.2 \mu\text{m}$ 、2 段構成の貫通孔 1 3 の孔底の I/O パッド 1 2 の上に  $0.3 \mu\text{m}$  の膜厚の A 1 の金属層が形成できた。

[0069] このように、2 段構成の貫通孔 1 3 をテーパ状の第 1 の穴 1 3 a と垂直な円筒状の壁面を有する第 2 の穴 1 3 b との複合体にすることにより、真空成膜方式により 2 段構成の貫通孔 1 3 の内壁面に均一な高品質の貫通電極 1 5 を形成することができる。

[0070] また、本実施形態では、金属層を成膜するために、スパッタ法に限らず、CVD 法の真空成膜方式を用いても、2 段構成の貫通孔 1 3 の壁面に欠陥を生じさせることなく良好に金属層を成膜することができる。

[0071] (工程 1 2)

次に、半導体基板 1 0 の第 2 面側を覆う金属層の上にフォトリソグラフィにてフォトレジストを形成する。このフォトレジストで保護された金属層以外のパターンをエッチングして除去することで、半導体基板 1 0 の第 2 面に配線パターン 4 1 を形成する。

[0072] (工程 1 3)

配線パターン4 1 が形成された半導体基板 1 0 の第 2 面側にソルダーレジストの溶液を塗布する。このソルダーレジストを乾燥し、次にフォトリソグラフィ工程およびエッチング工程にてパターンニングする。それにより、図 1 2 に示すように、外部接続端子 4 0 の半田ボールをマウントする箇所に開口 4 3 が形成されたソルダーレジスト 4 2 を形成する。

[0073] 半導体基板 1 0 の第 2 面側には、広い開口部分を有しテーパ状に穴径が細くなる第 1 の穴 1 3 a が形成される。形状がテーパ状であるので、第 1 の穴 1 3 a 全体がソルダーレジスト 4 2 で充填できる。

[0074] (工程 1 4 )

次に、既存のボールマウント装置を用いることで、図 1 3 に示すように、ソルダーレジスト 4 2 の開口 4 3 に露出した配線パターン上に半田ボールを搭載して外部接続端子 4 0 を形成する。

[0075] (工程 1 5 )

次に、例えばダイヤモンドカッターまたはレーザー光を用いて半導体基板 1 0 をスクライブ領域に沿ってダイシングする。これにより、シリコンの半導体基板 1 0 に 2 次元アレイ状に形成された半導体装置 1 0 0 を断片化する。

[0076] 以上のように、本実施形態による半導体装置 1 0 0 は、第 1 面に半導体素子としての集積回路 1 1 が形成された半導体基板 1 0 に、第 2 面から第 1 面の I / O パッド 1 2 に達する、テーパ状の第 1 の穴 1 3 a と円筒状の壁面を有する第 2 の穴 1 3 b とからなる 2 段構成の貫通孔 1 3 を形成する。これにより、2 段構成の貫通孔 1 3 に高品質の絶縁膜 1 4 および高品質の金属層の貫通電極 1 5 ( T S V ) が形成できる。従って、集積回路 1 1 の配線と第 2 面側の配線パターン 4 1 とを高品質の貫通電極 1 5 で電気接続した半導体装置 1 0 0 が得られる。

[0077] なお、第 1 の穴 1 3 a および第 2 の穴 1 3 b の深さは必ずしも同じ深さに形成しなくてもよい。半導体基板 1 0 の厚み方向の所定の位置まで第 1 の穴 1 3 a を形成し、その下に第 2 の穴 1 3 b を形成してもよい。

[0078] < 第 2 の実施形態 >

第 2 の実施形態は、固体撮像装置以外の半導体装置を製造する点で第 1 の実施形態と相違する。また、第 2 の実施形態では、金属層に銅を用いて貫通電極 15 (TSV) および配線パターン 41 を形成する。

[0079] (製造方法)

以下で、第 2 の実施形態の半導体装置の製造方法を、図面を参照して説明する。

[0080] (工程 1)

本実施形態では、図 14 の断面図のように、シリコンウェハの半導体基板 10A の表面に集積回路 11 と、集積回路 11 の絶縁層 12b 上に形成した配線 12a の一部を用いて I/O パッド 12 を形成する。

[0081] (工程 2)

次に、図 15 のように、半導体基板 10A に支持基板 12 を貼り付けて一体構造を形成する。これにより、一体構造の剛性を高め、半導体基板 10A をハンドリングしやすくし、半導体基板 10A の厚みを  $10\ \mu\text{m} \sim 50\ \mu\text{m}$  程度に薄くする構造を形成する加工の加工精度および歩留まりを向上させる。

[0082] すなわち、図 15 のように、まず、シリコンの半導体基板 10A の表面の集積回路 11 と I/O パッド 12 を覆うシリコン窒化膜などのパッシベーション膜 33 を形成する。さらに、パッシベーション膜 33 上に、接着層 34 を塗布し、半導体基板 10A に接着層 34 を介して支持基板 12 を貼り合わせる。支持基板 12 は、石英やガラス、シリコンウェハなどを用いることができる。

[0083] 接着層 34 は、素子面電極 4、半導体素子、および、層間絶縁膜を保護する機能も有している。

接着層 34 は、薄膜化した半導体基板 10 の裏面加工をした後に、半導体基板 10 と支持基板 12 とを引き剥がすことができる剥離可能な材質を用いる。すなわち、接着層 34 には、例えば、熱可塑性の接着剤を用いる。熱可塑性の接着剤は、加熱により軟化させて、貼り合わせ、または、引き剥がしを行うことができる。

[0084] また、支持基板 12 に石英、ガラスなどの透明な材料を用い、接着層 34 には紫外線硬化樹脂を用いて、半導体基板 10 に支持基板 12 を張り合わせることができる。この場合に支持基板 12 から半導体基板 10 を剥離する方法は、レーザーによる貼り合わせ面の局所加熱、または、全体の加熱によって引き剥がすことができる。

[0085] (工程 3)

次に、図 16 のように、半導体基板 10A の裏面を削ることで厚さを薄くする。半導体基板 10A の裏面を削る方法としては、研削、研磨などがあるが、特に、ドライポリッシュ、エッチング、あるいは CMP (ケミカルメカニカルポリッシング) を実施することが好ましい。削ることで、半導体基板 10 の厚さを  $100\mu\text{m}$  以下、好ましくは  $50\mu\text{m}$  以下の厚さに形成する。また、半導体基板 10 を多数積層した半導体装置の厚みを薄くするためには、半導体基板 10 の厚みは  $30\mu\text{m}$  以下にすることが好ましい。

[0086] (貫通電極 (TSV) の形成)

次に、以下の工程 4 から工程 11 により金属層に銅を用いた貫通電極 (TSV) 15 および配線パターン 41 を形成する。

[0087] (工程 4)

次に、図 17 のように、薄型化された例えば厚さ  $100\mu\text{m}$  の半導体基板 10 の第 2 面にフォトリソグラフィにて厚さ  $10\mu\text{m}$  のドライエッチング用フォトレジスト 60 を形成する。このドライエッチング用フォトレジスト 60 を露光装置で露光し現像することで、I/O パッド 12 と対応する位置の 2 段構成の貫通孔 13 を形成する領域に直径  $20\mu\text{m}$  の開口 61 を持つパターンを形成する。

[0088] (工程 5)

その後、ドライエッチング装置にて、 $\text{SF}_6$  (6 フッ化硫黄) ガスを主成分とする  $\text{O}_2$  との混合ガスを用いて、ドライエッチング用フォトレジスト 60 をマスクとして、半導体基板 10 を第 2 面側から RIE モードで 5 分間ドライエッチングを行う。

[0089] これにより、図 18 のように、半導体基板 10 の第 2 面側に、ドライエツチング用フオトレジスト 60 の直径  $20\ \mu\text{m}$  の開口 61 の下に、開口 61 の直径よりも大きい直径  $50\ \mu\text{m}$  の開口を有し、第 1 面側に向かうにつれて直径が小さくなるテーパ状で、深さが  $50\ \mu\text{m}$  の第 1 の穴 13 a を形成する。

[0090] (工程 6)

次に、 $\text{SF}_6$  によるエツチングと  $\text{C}_4\text{F}_8$  (パーフルオロシクロブタン) による側壁の保護膜形成を交互に行うボツシュ方式のドライエツチングを行う。ボツシュモードのドライエツチングにより、図 19 のように、先に形成したテーパ状の第 1 の穴 13 a の底から、シリコンの半導体基板 10 と絶縁層 12 b を貫通して半導体基板 10 の絶縁層 12 b の底の I/O パッド 12 に達する  $50\ \mu\text{m}$  の深さの第 2 の穴 13 b を形成する。この第 2 の穴 13 b は、ドライエツチング用フオトレジスト 60 の開口 61 の直径と同じ大きさの  $20\ \mu\text{m}$  の直径で垂直な円筒状の壁面を有するように形成される。

[0091] 以上により、まず、半導体基板 10 の第 2 面側から、開口径が  $50\ \mu\text{m}$  で、第 2 面側から第 1 面側に、テーパ状に直径が細くなる第 1 の穴 13 a が形成される。さらに、その第 1 の穴 13 a の底部から I/O パッド 12 に達する直径  $20\ \mu\text{m}$  で垂直な円筒状の壁面を有する第 2 の穴 13 b が形成される。こうして厚さ  $100\ \mu\text{m}$  の半導体基板 10 を貫通して I/O パッド 12 に達する、第 1 の穴 13 a と第 2 の穴 13 b とからなる 2 段構成の貫通孔 13 が形成される。図 8 のように、2 段構成の貫通孔 13 の断面形状はワイングラス (あるいはカクテルグラス) 形状に形成される。

[0092] 本実施形態では、第 1 の実施形態と同様に、2 段構成の貫通孔 13 の上部は壁面がテーパ状に上から下に行くにつれて直径がテーパ状に細くなる第 1 の穴 13 a で構成されている。このテーパ状の壁面が、2 段構成の貫通孔 13 における絶縁膜 14 A の成膜プロセス、および、絶縁膜 14 A 上における貫通電極 15 の成膜プロセスに適している。

[0093] また、2 段構成の貫通孔 13 の第 1 の穴 13 a の底部から下部の I/O パッド 12 に達する第 2 の穴 13 b の壁面が垂直な円筒状で穴径が一定であり

、半導体基板 10 の厚さが変わっても、2 段構成の貫通孔 13 の下部の孔の開口径が第 2 の穴 13 b の穴径と同じである。この構造が、2 段構成の貫通孔 13 の第 1 の穴 13 a の底部から I/O パッド 12 に至る第 2 の穴 13 b の壁面における安定した絶縁膜 14 A の成膜プロセス、および、絶縁膜 14 A 上における貫通電極 15 の成膜プロセスに適している。

[0094] (工程 7)

次に、表層のドライエッチング用フォトリソグレイ 60 を、アツシング装置で  $O_2$  ガスを用いて剥離する。

(工程 8)

図 20 のように、シリコンの半導体基板 10 の第 2 面と 2 段構成の貫通孔 13 の壁面に絶縁膜 14 A を成膜する。絶縁膜 14 A は、シリコン酸化膜 ( $SiO_2$ ) やシリコン窒化膜 ( $SiN$ ) などの無機絶縁膜で形成する。

[0095] 無機の絶縁膜 14 A を形成するために、CVD などを用いて絶縁膜 14 A を形成する。

プラズマ CVD 装置を用いて化学気相蒸着法で無機の  $SiO_2$  の絶縁膜 14 A を形成すると、2 段構成の貫通孔 13 の壁面および 2 段構成の貫通孔 13 底部まで均一な絶縁膜 14 A が成膜される。均一な高品質の膜が成膜できるのは、2 段構成の貫通孔 13 がテーパ状の第 1 の穴 13 a と垂直な円筒状の壁面を有する第 2 の穴 13 b との複合体であることによる。

[0096]  $SiO_2$  の絶縁膜 14 A の厚さは、2 段構成の貫通孔 13 の第 1 の穴 13 a の開口部近傍で  $1.5 \mu m$ 、2 段構成の貫通孔 13 の第 2 の穴 13 b の垂直な円筒状の壁面で  $0.6 \mu m$  であった。2 段構成の貫通孔 13 の第 2 の穴 13 b の底の I/O パッド 12 上には、 $0.5 \mu m$  の膜厚の絶縁膜 14 A が形成された。

[0097] (工程 9)

次いで、レジストマスクは使用せずに、酸化膜エッチング装置にて、 $SF_6$  ガスを主成分とする  $C_4F_8$  ガスとの混合ガスを用いて、半導体基板 10 の全面に渡ってエッチングを行う。図 21 のように、2 段構成の貫通孔 13 の穴

底部の $0.5\ \mu\text{m}$ の $\text{SiO}_2$ 膜を除去して穴底に $\text{I/O}$ パッド12を露出させるまでエッチングを行う。これにより、2段構成の貫通孔13の第2の穴13bの垂直な円筒状の壁面には、 $0.5\ \mu\text{m}$ の膜厚が残り、2段構成の貫通孔13の第1の穴13aの開口部近傍の膜厚は、 $0.7\ \mu\text{m}$ 、半導体基板10の上面の膜厚も $0.7\ \mu\text{m}$ 残すことができる。

[0098] すなわち、レジストマスクを使用しない全面エッチング処理によって、2段構成の貫通孔13の穴底部の $\text{I/O}$ パッド12を露出させつつ、2段構成の貫通孔13の側壁に絶縁膜14を残し、半導体基板10の第2面にも絶縁膜14を残すことができる。このように、レジストマスクを使用しない製造方法で、2段構成の貫通孔13の穴底部の $\text{I/O}$ パッド12のみを露出させようとして絶縁膜14Aをエッチングで除去し、それ以外の2段構成の貫通孔13の壁面と半導体基板10の第2面上とに絶縁膜14を残すことができる。

[0099] (工程10)

スパッタリング装置を使用し、図22のように、半導体基板10の第2面と2段構成の貫通孔13の内壁に、チタンナイトライド( $\text{TiN}$ )またはタンタルナイトライド( $\text{TaN}$ )などの拡散防止層を成膜する。あるいは、拡散防止層をCVD法で成膜してもよい。

[0100] (工程11)

次に、スパッタリング法で銅のシート層を形成し、電解めつき法により銅を厚く形成して導電層を形成する。なお、銅のシート層形成はスパッタリング法に代えて、無電解銅めつきで行ってもよい。このような工程を経て、金属層として銅を使った貫通電極15を形成する。貫通電極15は、シリコンの半導体基板10の表面および裏面を電氣的に導通するためのスルー・シリコン'ビア(TSV)である。

[0101] このように、真空成膜方式により2段構成の貫通孔13の内壁面に拡散防止層を成膜し、銅の金属層を形成して、均一な高品質の貫通電極15を形成できる。これにより、2段構成の貫通孔13の底部まで欠陥を生じさせることなく成膜することができる。

[01 02] (工程 1 2)

半導体基板 10 の第 2 面側を覆う金属層の上にフォトリソグラフィにてフオトレジストを形成する。次に、フオトレジストで保護された金属層以外のパターンをエッチングして除去することで、図 2 3 のように、半導体基板 10 の第 2 面に配線パターン 4 1 を形成する。

[01 03] (工程 1 3)

図 2 4 のように、支持基板 1 2 から半導体基板 1 0 を引き剥がす。すなわち、接着層 3 4 に熱可塑性の接着剤を用いた場合は、加熱により熱可塑性の接着剤を軟化させて、支持基板 1 2 から半導体基板 1 0 の引き剥がしを行う。また、紫外線硬化樹脂の接着層 3 4 を使って張り合わせた場合は、レーザーによる貼り合わせ面の局所加熱、または、全体の加熱によって支持基板 1 2 から半導体基板 1 0 を引き剥がす。

### 実施例

[01 04] 以下、2 段構成の貫通孔 1 3 を形成する実施例を説明する。

#### < 実施例 1 >

まず、第 2 の実施形態の工程 1 から工程 3 の処理により、図 1 7 のように、薄型化された厚さが  $80 \mu\text{m}$  の半導体基板 1 0 を形成した。

[01 05] (工程 1)

厚さが  $80 \mu\text{m}$  の半導体基板 1 0 の第 2 面に、フォトリソグラフィにて厚さ  $10 \mu\text{m}$  のドライエッチング用フオトレジスト 6 0 を形成した。ドライエッチング用フオトレジスト 6 0 は、I/O パッド 1 2 と対応する位置の 2 段構成の貫通孔 1 3 を形成する領域に、直径  $20 \mu\text{m}$  の開口 6 1 を持つパターンとして形成した。

[01 06] (工程 2)

その後、ドライエッチング装置を用いて、開口 6 1 を有するドライエッチング用フオトレジスト 6 0 をマスクとして、厚さ  $80 \mu\text{m}$  の半導体基板 1 0 の第 2 面側から、RIE (Reactive Ion Etching) モードで、6 分間ドライエッチングを行った。RIE モードでは、 $\text{SF}_6$  (6 フッ化硫黄) ガスの流量

を100 s c c mとし、 $O_2$ ガスの流量を250 s c c mとし、コイル電圧を2600 Wにした。

[01 07] これにより、図18のように、半導体基板10の第2面側に、ドライエッチング用フオトレジスト60の直径20  $\mu$ mの開口61の下に、開口61の直径よりも大きい直径60  $\mu$ mの開口を有し、第1面側に向かうにつれて直径が小さくなるテーパ状で、深さが45  $\mu$ mの第1の穴13aが形成された。

[01 08] (工程3)

次に、ドライエッチング装置で、 $SF_6$ ガスの流量を250 s c c mにしてコイル電圧を2000 Wにて2.5秒のエッチングステップを行った。次に、 $C_4F_8$  (パーフルオロシクロプタン)の流量を250 s c c mにしてコイル電圧を2000 Wにて1秒間、側壁の保護膜形成を行うパッシベーションステップを行い、両ステップを交互に行うサイクルを繰り返した。このボッシュ方式のドライエッチングのサイクルを70回、4分5秒間行った。

[01 09] これにより、図19に示すように、先に形成したテーパ状の第1の穴13aの底から半導体基板10の第1面側のI/Oパッド12に達する35  $\mu$ mの深さの第2の穴13bが形成された。第2の穴13bは、ドライエッチング用フオトレジスト60の開口61の直径と同じ大きさの20  $\mu$ mの直径で垂直な円筒状の壁面を有するように形成された。

[01 10] 以上により、半導体基板10の第2面側から、開口径が60  $\mu$ mで、第2面側から第1面側に、テーパ状に直径が細くなる第1の穴13aが45  $\mu$ mの深さで形成された。また、第1の穴13aの底部からI/Oパッド12に達する深さが35  $\mu$ mで、直径が20  $\mu$ mで垂直な円筒状の壁面を有する第2の穴13bが形成された。

[01 11] こうして厚さ80  $\mu$ mの半導体基板10を貫通してI/Oパッド12に達する、第1の穴13aと第2の穴13bとからなる2段構成の貫通孔13が形成された。図19のように、2段構成の貫通孔13の断面形状はワイングラス (あるいはカクテルグラス) 形状に形成された。

[01 12] (工程 4)

次に、表層のドライエッチング用フォトリソスト60を、アツシング装置で $O_2$ ガスを用いて剥離した。

(工程 5)

図20のように、プラズマCVD装置を用いて、材料ガスに、TEOS (Tetraethoxysilane) を用いた化学気相蒸着法で、半導体基板10の第2面と2段構成の貫通孔13の壁面に、無機の $SiO_2$ の絶縁膜14Aを成膜した。

[01 13] その結果、2段構成の貫通孔13の壁面および2段構成の貫通孔13底部まで $SiO_2$ の均一な絶縁膜14Aが成膜された。絶縁膜14Aの厚さは、2段構成の貫通孔13の第1の穴13aの開口部近傍で $1.5\mu m$ 、2段構成の貫通孔13の第2の穴13bの垂直な円筒状の壁面では $0.6\mu m$ であった。2段構成の貫通孔13の第2の穴13bの底のI/Oパッド12上には、 $0.5\mu m$ の膜厚の絶縁膜14Aが形成された。

[01 14] (工程 6)

図21のように、レジストマスクは使用せずに、酸化膜のドライエッチング装置にて、 $SF_6$ ガスを主成分とする $C_4F_8$ ガスとの混合ガスを用いて、半導体基板10の全面に渡ってエッチングを行った。エッチングは、2段構成の貫通孔13の穴底部の $0.5\mu m$ の $SiO_2$ 膜を除去して穴底のI/Oパッド12が露出されるまで行った。

[01 15] この結果、2段構成の貫通孔13の第2の穴13bの垂直な円筒状の壁面には、 $0.5\mu m$ の膜厚の絶縁膜14が残り、2段構成の貫通孔13の第1の穴13aの開口部近傍には膜厚が $0.7\mu m$ の絶縁膜14が残り、半導体基板10の上面にも膜厚が $0.7\mu m$ の絶縁膜14が残った。

[01 16] すなわち、レジストマスクを使用しない全面エッチング処理によって、2段構成の貫通孔13の穴底部のI/Oパッド12を露出させつつ、2段構成の貫通孔13の側壁に絶縁膜14を残し、半導体基板10の第2面にも絶縁膜14を残すことができた。このように、レジストマスクを使用しない製造方法で、2段構成の貫通孔13の穴底部のI/Oパッド12のみを露出させ

ように絶縁膜 14 A をエッチングで除去し、それ以外の 2 段構成の貫通孔 13 の壁面と半導体基板 10 の第 2 面上とに絶縁膜 14 を残すことができた。

[01 17] (工程 7)

スパッタリング装置を使用し、図 22 のように、半導体基板 10 の第 2 面と 2 段構成の貫通孔 13 の内壁と底面に A 1 層による金属膜を堆積して貫通電極 (TSV) 15 を形成した。

[01 18] その結果、A 1 層による金属膜が、2 段構成の貫通孔 13 の上部の第 1 の穴 13 a のテーパ形状の壁面、2 段構成の貫通孔 13 の下部の第 2 の穴 13 b の垂直な円筒の壁面、および、2 段構成の貫通孔 13 の底まで均一に成膜されて貫通電極 15 が形成できた。また、A 1 層の金属膜の各部分の厚さは、2 段構成の貫通孔 13 の上端の第 1 の穴 13 a の開口部近傍で  $6 \mu\text{m}$ 、2 段構成の貫通孔 13 の下部の第 2 の穴 13 b の垂直な円筒状の壁面で  $0.2 \mu\text{m}$ 、2 段構成の貫通孔 13 の孔底の I/O パッド 12 の上では  $0.3 \mu\text{m}$  であった。

[01 19] < 実施例 2 >

第 2 の実施形態の工程 1 から工程 3 の処理により、図 17 のように、薄型化された厚さが  $90 \mu\text{m}$  の半導体基板 10 を形成した。

[01 20] (工程 1)

薄型化された厚さが  $90 \mu\text{m}$  の半導体基板 10 の第 2 面に、フォトリソグラフィにて厚さ  $10 \mu\text{m}$  のドライエッチング用フォトレジスト 60 を形成した。ドライエッチング用フォトレジスト 60 は、I/O パッド 12 と対応する位置の 2 段構成の貫通孔 13 を形成する領域に直径  $20 \mu\text{m}$  の開口 61 を持つパターンに形成された。

[01 21] (工程 2)

その後、実施例 1 と同様にして、開口 61 を有するドライエッチング用フォトレジスト 60 をマスクとして、厚さ  $90 \mu\text{m}$  の半導体基板 10 の第 2 面側から、RIE モードでドライエッチングを行った。さらに、図 18 のように、半導体基板 10 の第 2 面側に、直径  $60 \mu\text{m}$  の開口を有するテーパ状で

深さが  $45\ \mu\text{m}$  の第 1 の穴 13 a を形成した。

[01 22] (工程 3)

ドライエッチング装置で、 $\text{SF}_6$  ガスの流量を  $250\ \text{sccm}$  にしてコイル電圧を  $2000\ \text{W}$  にて  $2.5$  秒のエッチングステップを行った。次に、 $\text{C}_4\text{F}_8$  (パーフルオロシクロブタン) の流量を  $250\ \text{sccm}$  にしてコイル電圧を  $2000\ \text{W}$  にて  $1$  秒間、側壁の保護膜形成を行うパッシベーションステップを行い、両ステップを交互に行うサイクルを繰り返した。このボッシュ方式のドライエッチングのサイクルを  $90$  回、 $5$  分  $15$  秒間行った。

[01 23] これにより、図 19 に示すように、先に形成したテーパ状の第 1 の穴 13 a の底から半導体基板 10 の第 1 面側の I/O パッド 12 に達する  $45\ \mu\text{m}$  の深さの第 2 の穴 13 b が形成された。第 2 の穴 13 b は、ドライエッチング用フォトレジスト 60 の開口 61 の直径と同じ大きさの  $20\ \mu\text{m}$  の直径で垂直な円筒状の壁面を有するように形成された。

[01 24] 以上により、半導体基板 10 の第 2 面側から、開口径が  $60\ \mu\text{m}$  で、第 2 面側から第 1 面側に、テーパ状に直径が細くなる第 1 の穴 13 a が、 $45\ \mu\text{m}$  の深さで形成された。また、第 1 の穴 13 a の底部から I/O パッド 12 に達する、深さが  $45\ \mu\text{m}$  で直径が  $20\ \mu\text{m}$  で垂直な円筒状の壁面を有する第 2 の穴 13 b が形成された。こうして、厚さ  $90\ \mu\text{m}$  の半導体基板 10 を貫通して I/O パッド 12 に達する、第 1 の穴 13 a と第 2 の穴 13 b とからなる 2 段構成の貫通孔 13 が形成された。図 19 のように、2 段構成の貫通孔 13 の断面形状は、ワイングラス (あるいはカクテルグラス) 形状に形成された。

[01 25] (工程 4)

次に、実施例 1 と同様にして、表層のドライエッチング用フォトレジスト 60 を、アツシング装置で  $\text{O}_2$  ガスを用いて剥離した。

[01 26] (工程 5)

実施例 1 と同様にして、図 20 のように、化学気相蒸着法で、半導体基板 10 の第 2 面と 2 段構成の貫通孔 13 の壁面に、無機の  $\text{SiO}_2$  の絶縁膜 14

A を成膜した。

[01 27] その結果、2 段構成の貫通孔 1 3 の壁面および 2 段構成の貫通孔 1 3 底部まで  $\text{SiO}_2$  の均一な絶縁膜 1 4 A が成膜された。絶縁膜 1 4 A の厚さは、2 段構成の貫通孔 1 3 の第 1 の穴 1 3 a の開口部近傍で  $1.5 \mu\text{m}$ 、2 段構成の貫通孔 1 3 の第 2 の穴 1 3 b の垂直な円筒状の壁面では  $0.6 \mu\text{m}$  であつた。2 段構成の貫通孔 1 3 の第 2 の穴 1 3 b の底の I/O パッド 1 2 上には、 $0.5 \mu\text{m}$  の膜厚の絶縁膜 1 4 A が形成された。

[01 28] (工程 6)

次に、実施例 1 と同様にして、図 2 1 のように、レジストマスクは使用せずに、酸化膜のドライエッチング装置にて、 $\text{SF}_6$  ガスを主成分とする  $\text{C}_4\text{F}_8$  ガスとの混合ガスを用いて、半導体基板 1 0 の全面に渡ってエッチングを行つた。エッチングは、2 段構成の貫通孔 1 3 の穴底部の  $0.5 \mu\text{m}$  の  $\text{SiO}_2$  膜を除去して、穴底の I/O パッド 1 2 が露出されるまで行つた。

[01 29] この結果、2 段構成の貫通孔 1 3 の第 2 の穴 1 3 b の垂直な円筒状の壁面には、 $0.5 \mu\text{m}$  の膜厚の絶縁膜 1 4 が残り、2 段構成の貫通孔 1 3 の第 1 の穴 1 3 a の開口部近傍には膜厚が  $0.7 \mu\text{m}$  の絶縁膜 1 4 が残り、半導体基板 1 0 の上面にも膜厚が  $0.7 \mu\text{m}$  の絶縁膜 1 4 が残つた。

[01 30] (工程 7)

スパッタリング装置を使用し、図 2 2 のように、半導体基板 1 0 の第 2 面と 2 段構成の貫通孔 1 3 の内壁に、チタンナイトライド ( $\text{TiN}$ ) の拡散防止層を成膜した。

[01 31] (工程 8)

スパッタリング法で銅のシード層を形成した。

(工程 9)

電解めつき法により、銅を厚く形成して導電層を形成して貫通電極 (TSV) 1 5 を形成した。

[01 32] この結果、銅層による金属膜が、2 段構成の貫通孔 1 3 の上部の第 1 の穴 1 3 a のテーパ形状の壁面、2 段構成の貫通孔 1 3 の下部の第 2 の穴 1 3 b

の垂直な円筒状の壁面、および、２段構成の貫通孔 13 の底まで均一に成膜されて、貫通電極 15 が形成できた。

[01 33] なお、本発明は、上記実施例および実施形態で説明した構成に限定されなし。例えば、上記実施形態では、２段構成の貫通孔 13 を形成する際に、半導体基板 10 の第２面側から R I E モードでエッチングしてテーパ状の第 1 の穴 13 a を形成し、次に第 1 の穴 13 a の底部からボッシュモードで垂直な円筒状の壁面を有する第 2 の穴 13 b を形成した。しかし、本発明はこの手順に限定されず、以下の手順で 2 段構成の貫通孔 13 を形成することもできる。

[01 34] 例えば、開口 6 1 を有するドライエッチング用フォトレジスト 6 0 をマスクとして、半導体基板 10 の第２面側から I / O パッド 1 2 の近くまでボッシュモードで直径 2 0  $\mu$  m の垂直な円筒状の壁面を有する穴を形成する。次に、R I E モードで第２面側にドライエッチング用フォトレジスト 6 0 の開口 6 1 よりも大きな直径を有する第 1 の穴 13 a を形成する。これにより、ウィングラス状の形を有する 2 段構成の貫通孔 13 を形成することもできる。

[01 35] また、第 1 の実施形態では、２段構成の貫通孔 13 の絶縁膜 1 4 上にアルミニウム層をスパッタリングで成膜して貫通電極 1 5 を形成した。第 2 の実施形態では、２段構成の貫通孔 13 の絶縁膜 1 4 上にスパッタリングで拡散防止層を形成し、銅をめつきすることで貫通電極 1 5 を形成した。しかし、第 1 および第 2 の実施形態の貫通電極 1 5 の導電層を成膜する金属は、適宜入れ替えて用いることができる。また、貫通電極 1 5 の導電層を成膜する金属は適宜、A し銅など以外の金属を用いることもできる。

[01 36] 本発明の半導体装置の 2 段構成の貫通孔 13 の軸に垂直な断面形状は、円形、楕円形状、または、四角形状に形成することができる。

[01 37] また、本発明で用いるドライエッチング用フォトレジスト 6 0 は、フォトレジストに限定されず、電子線で描画することができるレジスト、あるいは、その他の方法で開口 6 1 を形成することができるドライエッチング用レジ

ストを用いることが可能である。

- [0138] 本発明の半導体装置の半導体基板 10 の材料はシリコン基板に限らない。他の材料の半導体基板 10 に対しても、上記実施形態と同様な形の 2 段構成の貫通孔 13 を I/O パッド 12 上に形成し、内壁面に化学気相蒸着法で絶縁膜 14 A の層を形成し、全面ドライエッチングすることで、2 段構成の貫通孔 13 の壁面に絶縁膜 14 を残しつつ、I/O パッド 12 上の絶縁膜 14 A を除去した構造が形成できる。2 段構成の貫通孔 13 であれば、均一な金属膜による高品質な貫通電極 15 を形成できる。

#### 産業上の利用可能性

- [0139] 本発明は、低コストで製造でき、かつ、接続信頼性の高い貫通電極を有する半導体装置、および、その製造方法に適用可能である。

#### 符号の説明

- [0140] 100 半導体装置
- 10、10A 半導体基板
- 11 集積回路
- 12 I/O パッド
- 12a (集積回路の)配線
- 12b 絶縁層
- 13 2 段構成の貫通孔
- 13a 第 1 の穴
- 13b 第 2 の穴
- 14、14A 絶縁膜
- 15 貫通電極、
- 20 ガラス基板
- 30 キャビティダム
- 32 キャビティ
- 33 パッシベーション膜
- 34 接着層

- 4 0 外部接続端子
- 4 1 配線パターン
- 4 2 ソルダレジスト
- 4 3 開口
- 5 0 カラーフィルタ層
- 5 1 マイクロレンズアレイ
- 6 0 ドライエッチング用フォトレジスト
- 6 1 開口

## 請求の範囲

- [請求項 1] 半導体装置であつて、  
集積回路と前記集積回路に電気接続される I / O パッドとが形成された第 1 面と、前記第 1 面と反対側の第 2 面と、を有する半導体基板と、  
前記半導体基板に形成され、壁面を有し、前記第 2 面側から前記半導体基板の厚み方向における所定の位置まで開口の直径が穴の底部に向けて細くなるテーパ状の第 1 形状部と、前記第 1 形状部から前記第 1 面側の前記 I / O パッドに達する円筒状の第 2 形状部と、を有する 2 段構成の貫通孔と、  
前記 2 段構成の貫通孔の前記壁面と前記第 2 面とに形成される無機の絶縁膜と、  
前記 I / O パッドと前記 2 段構成の貫通孔の前記壁面とに形成される金属層の貫通電極と、  
前記第 2 面に形成され、前記貫通電極に接続される配線 / ターンと、  
を備える、半導体装置。
- [請求項 2] 請求項 1 記載の半導体装置であつて、  
前記第 2 形状部の深さが前記第 2 形状部の直径の 4 倍以下である、半導体装置。
- [請求項 3] 請求項 1 または 2 に記載の半導体装置であつて、前記第 1 形状部はテーパ状の壁面を有し、前記第 1 形状部の断面において前記テーパ状の前記壁面は、前記第 2 面に対する傾きが 60 度以上 80 度以下である、半導体装置。
- [請求項 4] 請求項 1 乃至 3 の何れか一項に記載の半導体装置であつて、前記第 2 面を保護し、前記第 1 形状部に充填されるソルダーレジストをさらに備える、半導体装置。
- [請求項 5] 半導体基板の第 1 面側に、集積回路と前記集積回路に電気接続する

1 / 0 パッドとを形成し、

前記第 1 面と反対側の第 2 面側に、開口を有するドライエッチング用レジストのパターンを形成し、

前記ドライエッチング用レジストをマスクとしてドライエッチング装置を用いてRIEモードで前記半導体基板をドライエッチングして、前記第 2 面側における第 1 形状部の開口の直径が前記ドライエッチング用レジストの開口の直径よりも大きく、かつ、前記第 1 形状部の穴径が前記第 1 形状部の底部に向けて細くなるテーパ状に前記第 1 形状部が形成されるように、前記第 2 面側から前記半導体基板の厚み方向の所定の位置まで開口する前記第 1 形状部を形成し、

前記ドライエッチング用レジストをマスクとしてドライエッチング装置を用いてボッシュモードでドライエッチングして、前記第 1 形状部の前記底部から前記 1 / 0 パッドに達する、前記ドライエッチング用レジストの開口と同じ径の円筒状の壁面を有する第 2 形状部を形成し、

前記第 1 形状部と前記第 2 形状部で構成される 2 段構成の貫通孔の壁面と前記第 2 面とに、化学気相蒸着法で無機の絶縁膜を形成し、

前記絶縁膜の全面をドライエッチングし、前記 2 段構成の貫通孔の前記壁面と前記第 2 面とに前記絶縁膜を残しつつ前記 1 / 0 パッド上の前記絶縁膜を除去し、

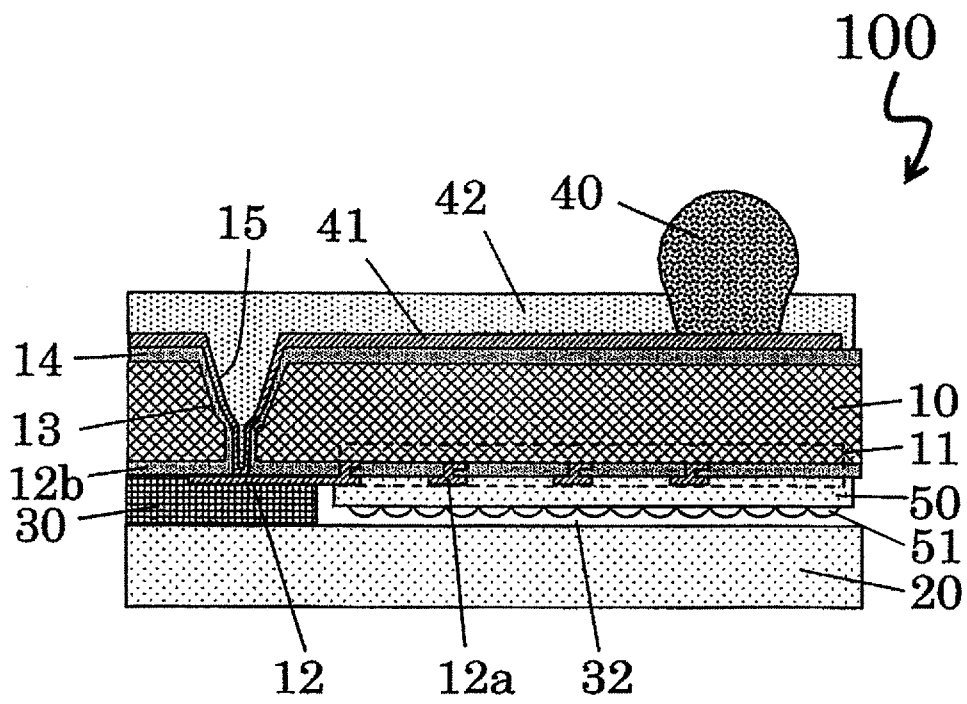
前記 1 / 0 パッドと前記 2 段構成の貫通孔の前記壁面とに金属膜で貫通電極を形成し、

前記貫通電極に接続する前記第 2 面の配線パターンを形成する、半導体装置の製造方法。

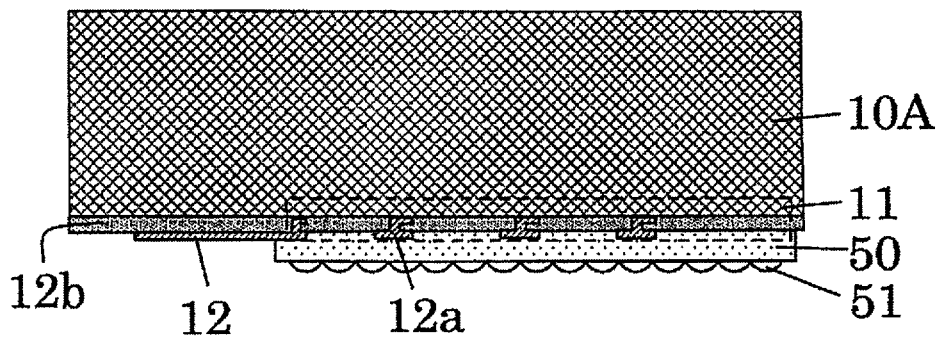
[請求項 6]

請求項 5 に記載の半導体装置の製造方法であって、さらに、前記第 2 面を保護するソルダーレジストを形成し、前記ソルダーレジストを前記第 1 形状部に充填する、半導体装置の製造方法。

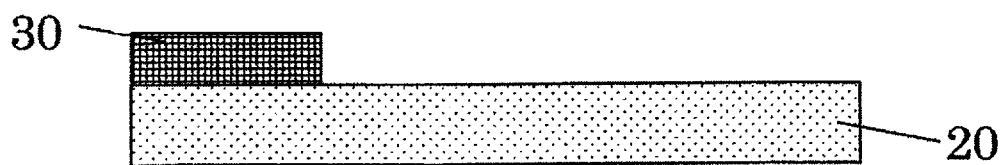
[図1]



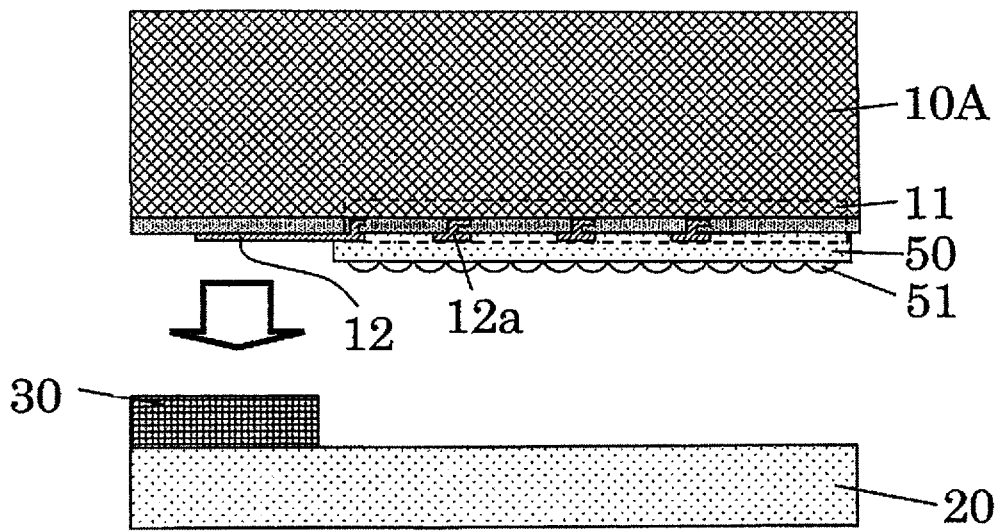
[図2]



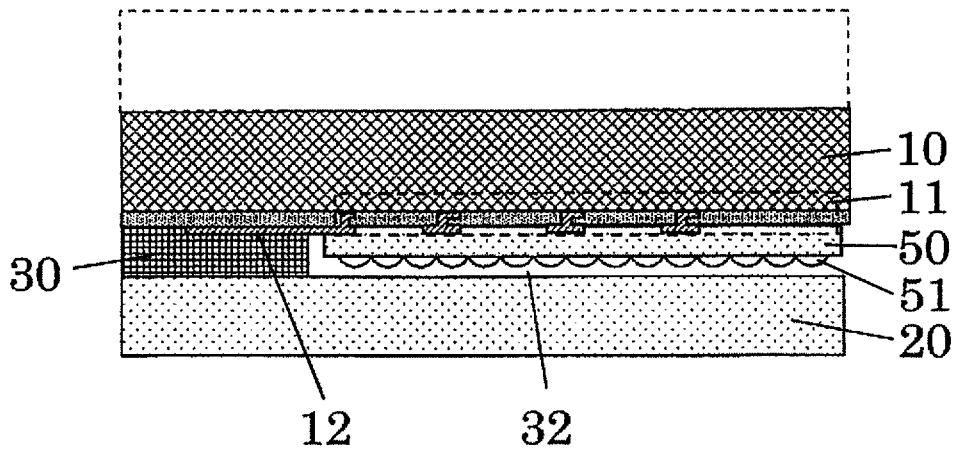
[図3]



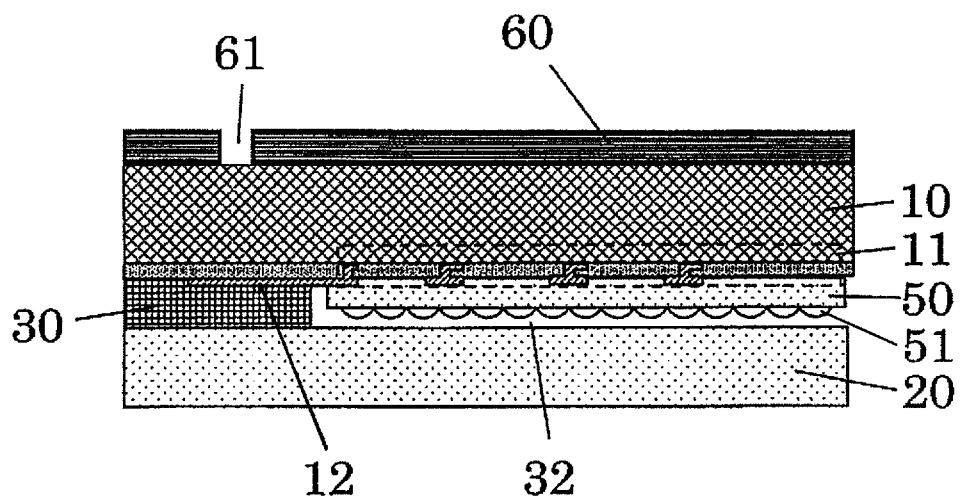
[図4]



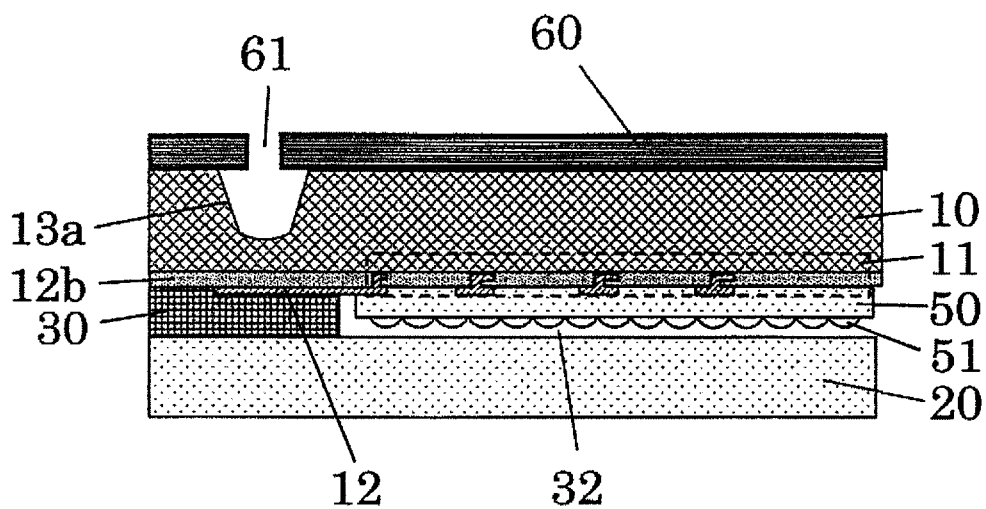
[図5]



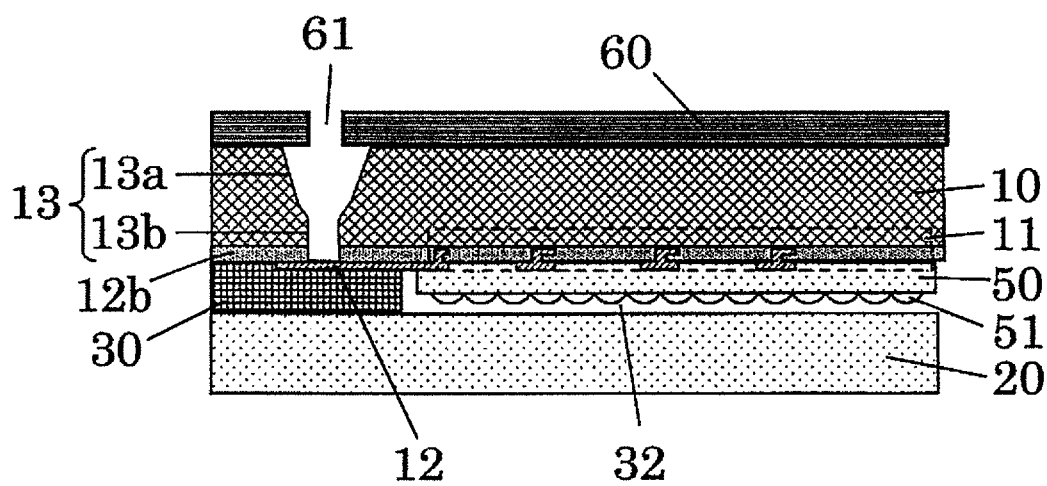
[図6]



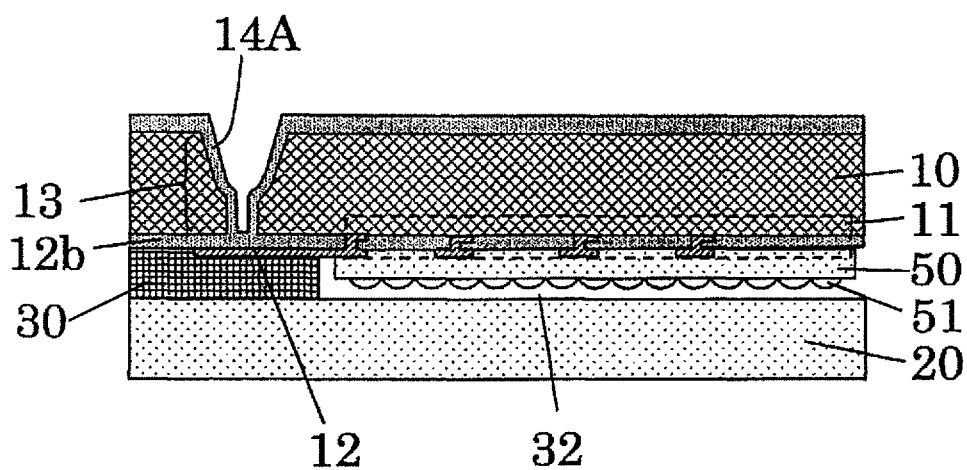
[図7]



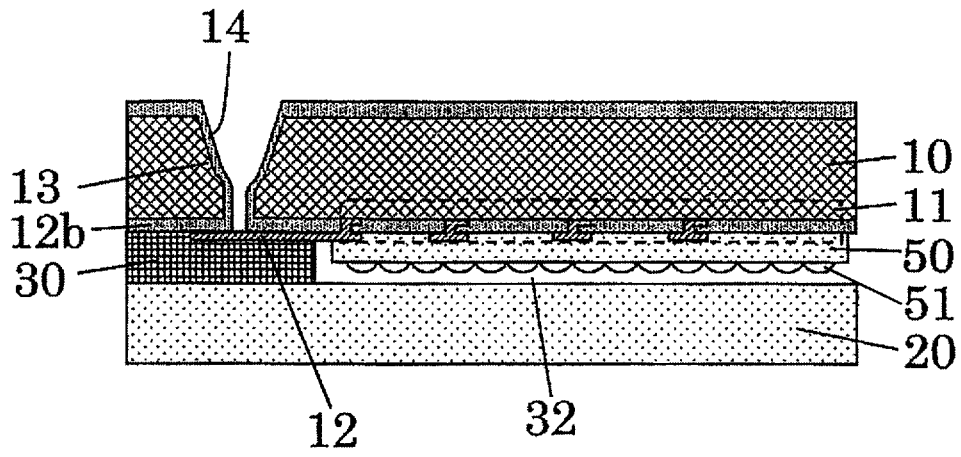
[図8]



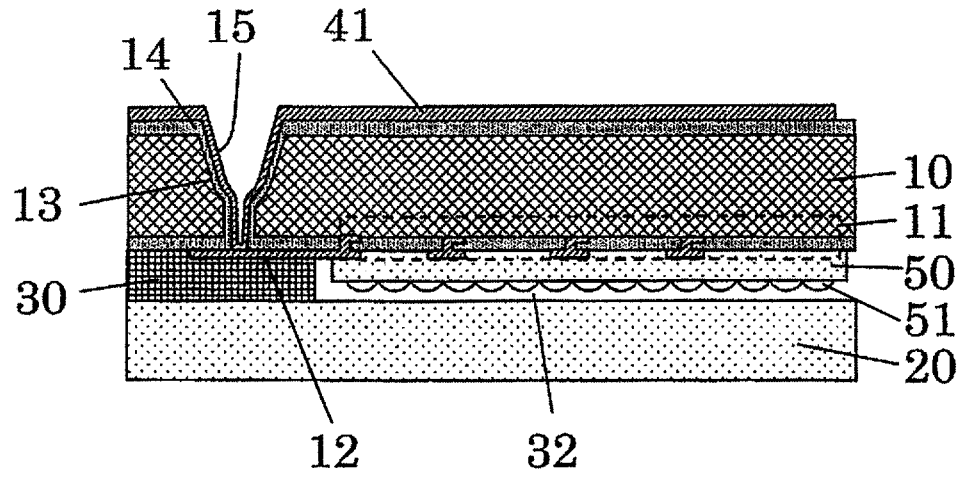
[図9]



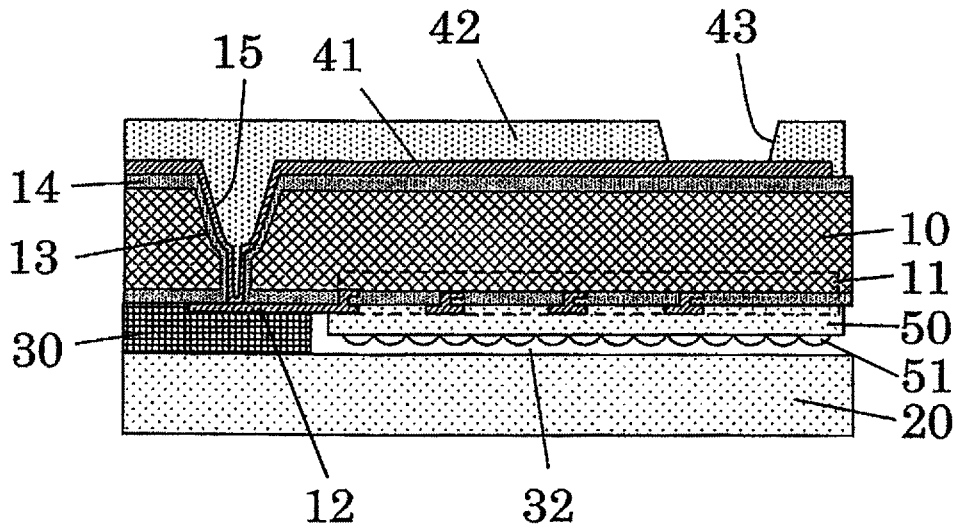
[図10]



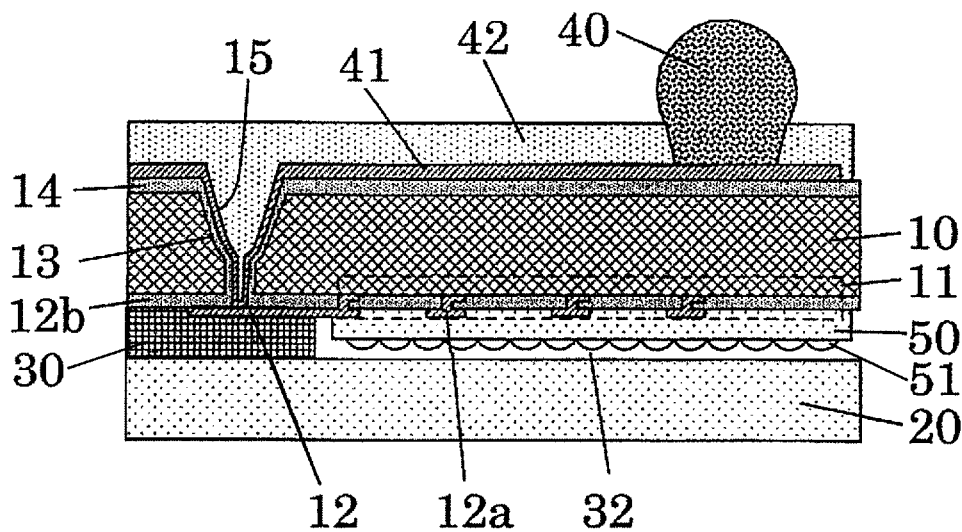
[図11]



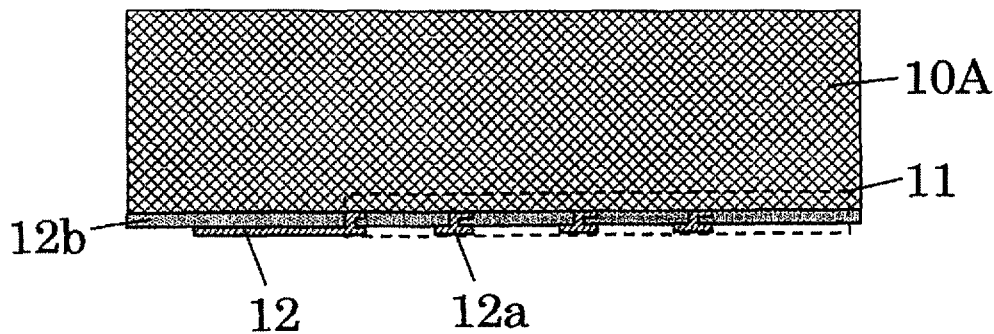
[図12]



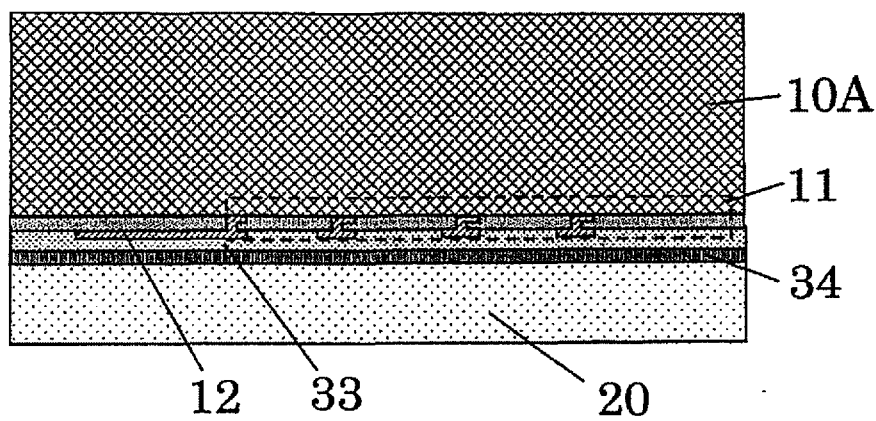
[図13]



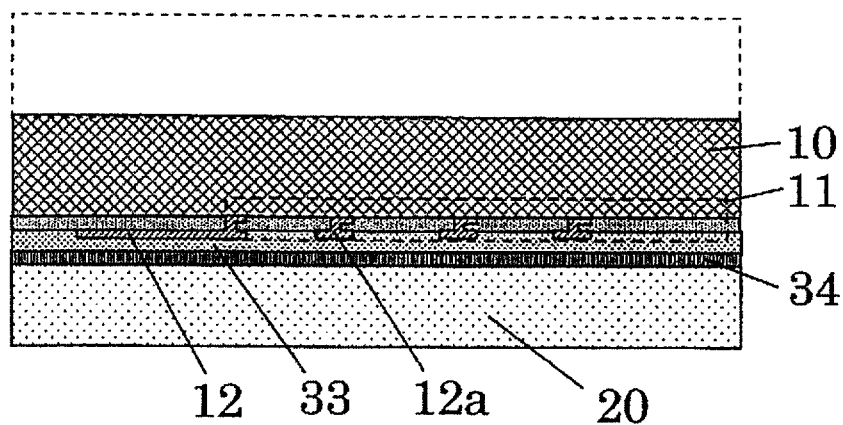
[図14]



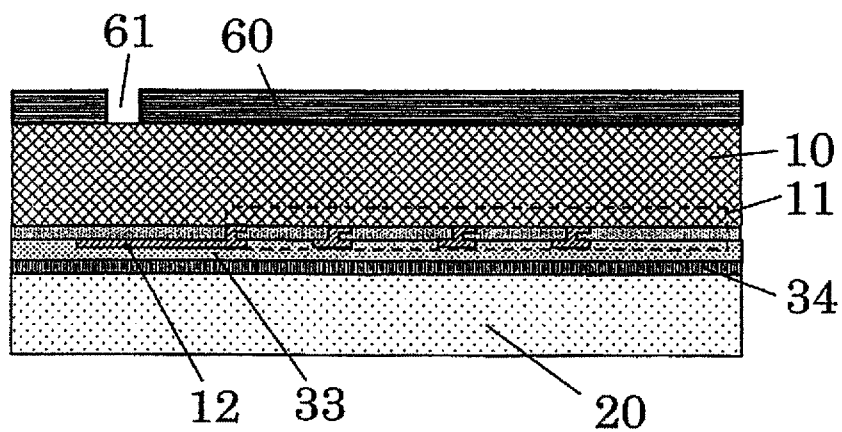
[図15]



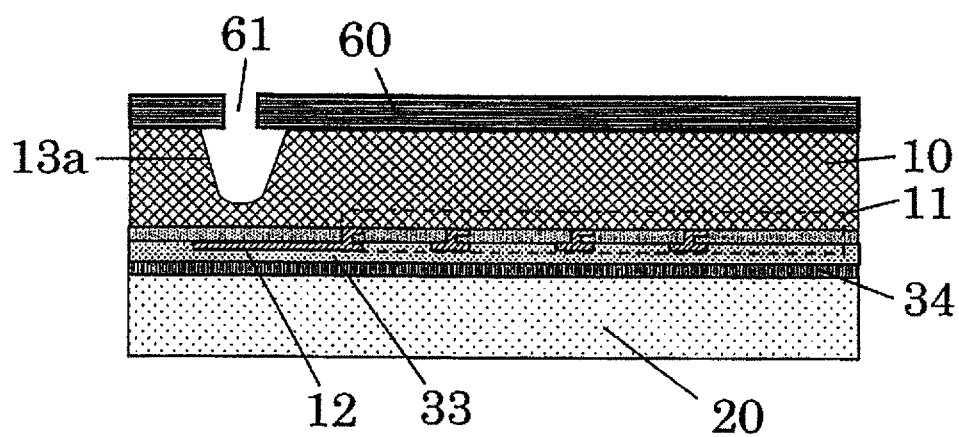
[図16]



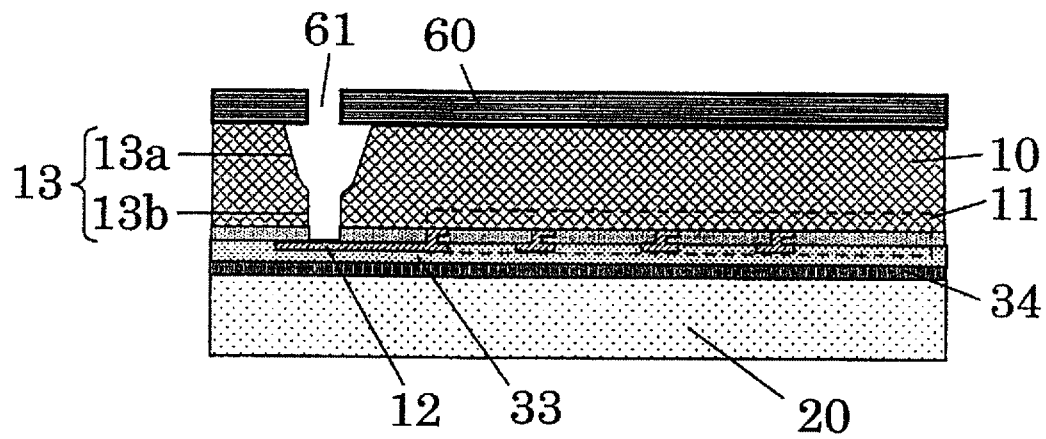
[図17]



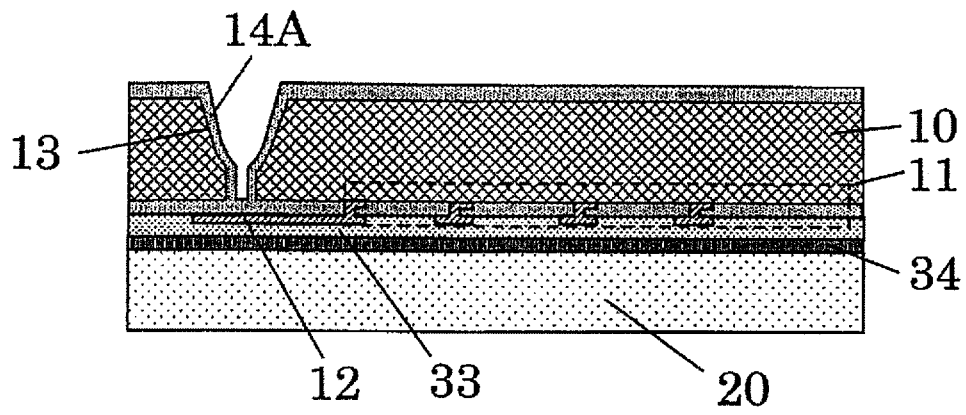
[図18]



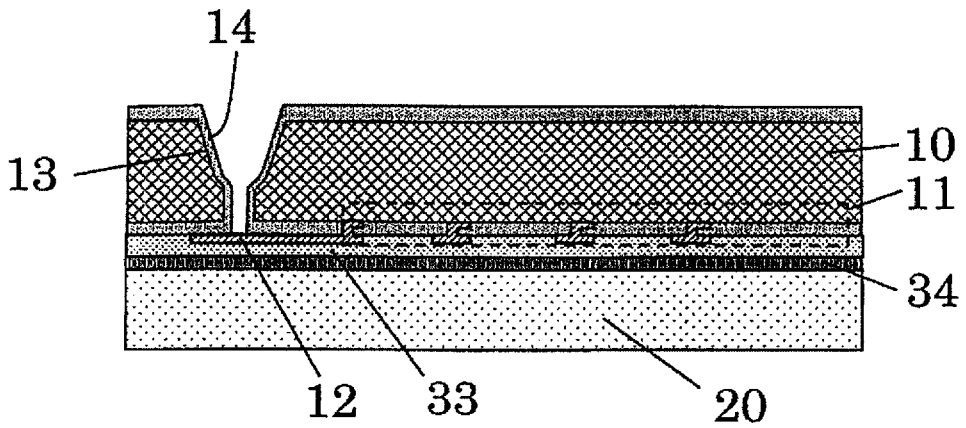
[図19]



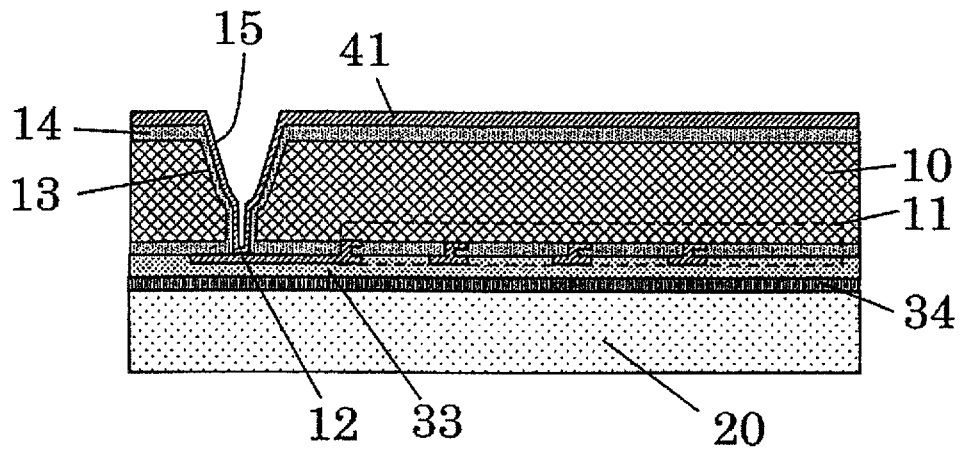
[図20]



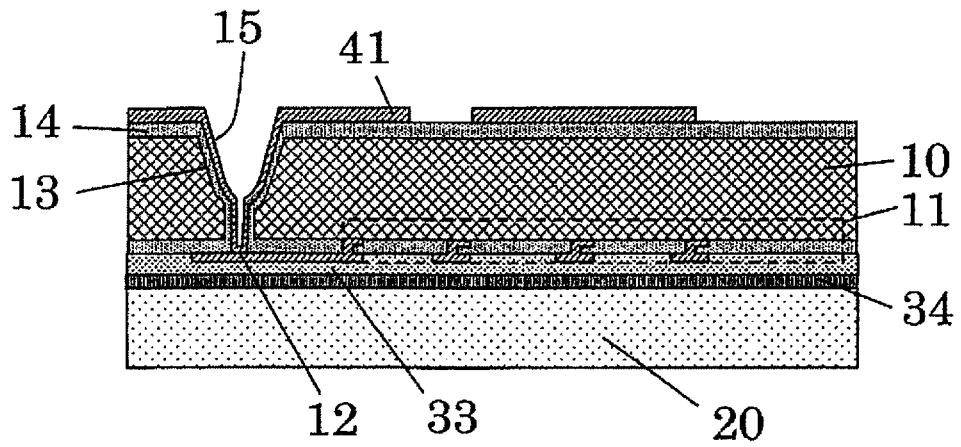
[図21]



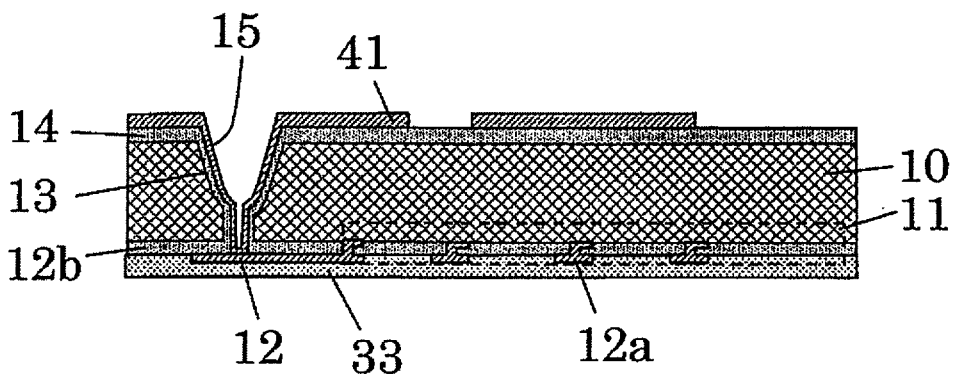
[図22]



[図23]



[図24]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT / JP2 012 / 084110

## A. CLASSIFICATION OF SUBJECT MATTER

H01L21/3205(2006.01)i, H01L21/3065(2006.01)i, H01L21/768(2006.01)i,  
H01L23/12(2006.01)i, H01L23/522(2006.01)i, H01L27/14(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/3205, H01L21/3065, H01L21/768, H01L23/12, H01L23/522, H01L27/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo	Shinan	Koho	1922-1996	Jitsuyo	Shinan	Toroku	Koho	1996-2013
Kokai	Jitsuyo	Shinan	1971-2013	Toroku	Jitsuyo	Shinan	Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2003-503855 A (Intel Corp.), 28 January 2003 (28.01.2003), paragraphs [0031] to [0055]; figs. 18 to 21 & WO 2001/001486 A1 & US 6617681 B1 & EP 1190449 A	1 2-4 5-6
Y A	JP 2008-288309 A (Sony Corp.), 27 November 2008 (27.11.2008), paragraphs [0055] to [0056]; figs. 1, 8 & US 2008/0283951 A1	2, 4 5-6
Y A	JP 2003-318178 A (Seiko Epson Corp.), 07 November 2003 (07.11.2003), paragraphs [0018] to [0032]; figs. 1 to 3 & US 2004/0016942 A1	3 5-6

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
04 March, 2013 (04.03.13)

Date of mailing of the international search report  
12 March, 2013 (12.03.13)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT / JP2 012 / 084110

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2011-3863 A (Toshiba Corp.), 06 January 2011 (06.01.2011), paragraph [0016] ; fig . 2 & US 2010/0321544 AI	4 5- 6
A	US 2006/0046463 AI (Charles M. Watkins), 02 May 2006 (02.05.2006), paragraph s [0031] to [0036] ; fig . 2 (Family : none )	1- 6
A	JP 2007-311771 A (Sanyo Electric Co., Ltd.), 29 November 2007 (29.11.2007), paragraph [0036] ; fig . 1 to 4 & US 2007/0249163 AI & EP 1848031 AI	5- 6

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/3205 (2006.01)i, H01L21/3065 (2006.01)i, H01L21/768 (2006.01)i, H01L23/12 (2006.01)i, H01L23/522 (2006.01)i, H01L27/14 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/3205, H01L21/3065, H01L21/768, H01L23/12, H01L23/522, H01L27/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-19
日本国公開実用新案公報	1971-20
日本国実用新案登録公報	1996-20
日本国登録実用新案公報	1994-20

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)  
8年

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2003-503855 A (インテル'コーポレーション)	1
Y	2003.01.28, [0031] - [0055], 図18-図21	2-4
A	& WO 2001/001486 A1 & US 6617681 B1 & EP 1190449 A	5-6
Y	JP 2008-288309 A (ソニー株式会社)	2,4
A	2008.11.27, [0055] - [0056], 図1, 図8 & US 2008/0283951 A1	5-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

IA 「特に関連のある文献ではなく、一般的な技術水準を示すもの」  
IE 「国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの」  
I 「優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)」  
Iθ 「口頭による開示、使用、展示等に言及する文献」  
IP 「国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献」  
Ir 「国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの」  
「X」 「特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの」  
Y 「特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの」  
I& 「同一パテントファミリー文献」

国際調査を完了した日  
04.03.2013

国際調査報告の発送日  
12.03.2013

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
5F 3570  
崎間 伸洋  
電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2003-318178 A (セイコーエプソン株式会社) 2003. 11. 07, [0018] - [0032] , 図 1- 図 3 & US 2004/0016942 AI	3 5-6
Y A	JP 2011-3863 A (株式会社東芝) 2011. 01. 06, [0016] , 図 2 & US 2010/0321544 AI	4 5-6
A	US 2006/0046463 AI (Charles M. Watkins) 2006. 05. 02, [0031] - [0036] , FIG. 2 (ファミリーなし)	1-6
A	JP 2007-311771 A (三洋電機株式会社) 2007. 11. 29, [0036] , 図 1- 図 4 & US 2007/0249163 AI & EP 1848031 AI	5-6