

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H01L 27/108

H01L 21/82

[12]发明专利说明书

[21] ZL 专利号 93100210.9

[45]授权公告日 2000 年 7 月 5 日

[11]授权公告号 CN 1054238C

[22]申请日 1993.1.7 [24]颁证日 2000.4.21

[21]申请号 93100210.9

[30]优先权

[32]1992.1.9 [33]US [31]07/819,148

[73]专利权人 国际商业机器公司

地址 美国纽约

[72]发明人 多纳德·迈卡尔班·凯尼

审查员 赵百令

[74]专利代理机构 中国国际贸易促进委员会专利商标事务所

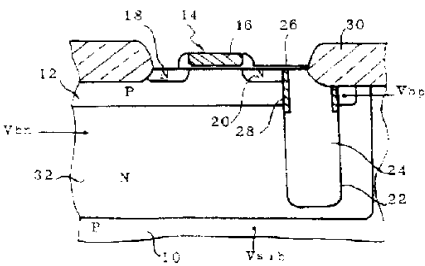
代理人 王以平

权利要求书 3 页 说明书 17 页 附图页数 6 页

[54]发明名称 扩散隐埋极板沟槽 DRAM 单元阵列

[57]摘要

公开一种高密集度的衬底沟槽 DRAM 单元存储器件及其工艺,毗邻沟槽电容器形成一隐埋区,以使 DRAM 转移 FET 的衬底能与半导体衬底上的其它 FET 电绝缘。隐埋区的一部分是由深沟槽的侧壁的侧向外扩散形成,另一部分是由完全环绕 DRAM 阵列的 N 阱表面扩散形成的。



ISSN 1008-4274

权 利 要 求 书

1. 一种动态随机存取存储器件, 包括:

多个设置于半导体衬底表面上的矩形矩阵内的深沟槽, 相邻沟槽之间的间隔在侧向和横向上基本相等; 一陷埋极板扩散区与所有的深沟槽相联, 以及

多个第一种沟槽, 其各个与衬底极板沟槽 DRAM 单元相联系, 所述 DRAM 单元包括一个转移器件、一个数据节点和一个与电容器极板连接的存储节点, 该电容器极板形成在深沟槽内, 并耦连到隐埋极板扩散区域内的一个衬底区域;

其特征在于还包括:

多个第二种沟槽, 其各个与一表面扩散隔离区相联系, 该表面扩散隔离区包围着深沟槽矩阵的周界线, 并与所述隐埋极板区相接触, 以致使矩阵内的衬底区域与衬底的其余部分在电学上和结构上隔离开来。

2. 权利要求 1 所述的动态随机存取存储器件, 其特征在于: 隐埋极板扩散区是从深沟槽的内表面扩散而形成的。

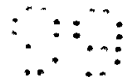
3. 权利要求 2 所述的动态随机存取存储器件, 其特征在于: 衬底的杂质导电类型是 P 型, 而隐埋极板扩展区和表面扩散区的杂质导电类型是 N 型。

4. 权利要求 3 所述的动态随机存取存储器件, 其特征在于: 隐埋极板扩散区的杂质是砷。

5. 一种制作动态随机存取存储器的方法, 包括下列步骤:

制备第一种导电类型的半导体衬底;

在所述衬底的上表面按矩阵图形形成多个深沟槽;



在所述深沟槽内侧形成介质层，再用导电电极材料填充所述沟槽；

其特征在于还包括下列步骤：

从所述沟槽深度的下部位将第二种导电类型的杂质扩散到所述衬底内，形成遍布矩阵图形整个范围的第二种导电类型的连续隐埋扩散区域；

环绕所述矩阵图形的周界线形成第二种导电类型的扩散表面区，其深度能在结构上和电学上使所述连续的隐埋扩散区之上的矩阵图形内的那部分衬底隔离开来；以及

在被隔离的矩阵图形部分内形成多个半导体器件，用以耦连到达和来自在至少某些所述深沟槽内的所述导电电极材料的信号。

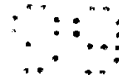
6. 权利要求 5 所述的方法，其特征在于：在所述深沟槽的上部有扩散阻挡衬层。

7. 权利要求 5 所述的方法，其特征在于：在所述深沟槽内侧形成介质层的步骤包括一个在所述深沟槽的顶部形成厚的介质衬层的步骤。

8. 权利要求 6 所述的方法，其特征在于：在所述深沟槽内侧形成介质层之前，去掉扩散阻挡衬层。

9. 权利要求 7 所述的方法，其特征在于形成多个深沟槽的步骤包括下列步骤：在所述衬底内形成多个浅沟槽；在所述浅沟槽的侧壁形成侧壁保护层；使所述浅沟槽的深度向下延伸以形成所述深沟槽；以及至少在延伸后的深沟槽侧壁的下部位设置杂质掺杂剂材料源。

10. 权利要求 9 所述的方法，其特征在于：用于形成连续的隐埋扩散区的掺杂剂材料源是砷。



11. 权利要求 9 所述的方法，其特征在于：用于形成连续的
隐埋扩散区的掺杂剂材料源是含砷的玻璃层。

说 明 书

扩散隐埋极板沟槽 DRAM 单元阵列

本申请和与之同时提交的 *J. Park* 等人的题目为“双栅衬底极板沟槽 DRAM 单元阵列”和 *G. B. Bronner* 等人的题目为“双阱衬底极板沟槽 DRAM 单元阵列”是三项同时待审的相关申请。

本发明涉及半导体存储器件,特别涉及高密度动态随机存取存储单元及其用亚微米工艺的制作方法。

半导体器件的制作工艺的设计者已被迫不断提高器件的有效密度,来保持价格和性能的竞争性。因而,VLSI 和 ULSI 工艺已进入亚微米的结构尺度范围,现在已是毫微米的特征尺寸范围内的设计工艺。知可预见的未来一段时间内,接近半导体器件设计的常规二维设计将要达到绝对原子物理的极限。传统上,动态随机存取存储器(DRAM)的设计者在每个 DRAM 的研制阶段都力求取得特征尺寸分辨率的极限,用先进的工艺来满足最严峻的挑战。例如,使 64K 比特 DRAM 的设计者感到困惑的是要弄清在感受到在制作材料中和工作环境中本来就存在着自然发生的原子粒子辐射的情况,容许可靠数据信号所要求的最小电荷容量已达到存储电容器的电荷容量的

实际物理极限,存储电容器的物理极限被视为大约 50 毫微微法 ($50 \times 10^{-15}F$)。从实际上看,这种限制妨碍了起始于 80 年代初期的 *DRAM* 尺寸与电压定标的延续。减小 *DRAM* 存储电容器所占用的半导体衬底表面面积已受到苛刻的限制。由于可靠的电容器介质材料厚度的减小,使现有的 1Mb(一兆比特)的 *DRAM* 工艺仍能继续用于平面、二维器件和电路设计。从 4Mb *DRAM* 开始,许许多多的三维设计已被用到将简单单一器件/电容器存储单元变为在垂直方向设置电容器的程度、按这种设计,电容器已被做在成形于半导体衬底表面的沟槽内。按更密集的设计,也提出一些其它形式的三维电容器,如将电容器的极板叠置于转移器件上方。然而,这种设计尚存在将内连线连到所要求的字存取和将数字比特线连接到 *DRAM* 存储单元的困难。还提出另一些设计方案,将转移器件及其相关的电容器两者均做在一个优选的最小特征尺寸的沟槽内。目前,由于不可克服的工艺困难,把这些设计用于制作工艺尚不实际。

大多数对 16Mb 和密度更大的 *DRAM* 单元的设计提案都避开继续开发沟槽单元工艺,这是因为已知在沟槽电容器结构中有漏电机构存在。当熟悉了这些漏电机构时,就可把沟槽 *DRAM* 单元设计的开拓成功地用到 16Mb 的设计中。

下列参考文献记述了用于 *DRAM* 和其它半导体工艺和已有技术的各种方案。

题目为“*DRAM* 的沟槽和密集结构”论文(“*Trench and Com-*

pact Structures— for DRAMs ”by P . Chatterjee et al. , International Electron Devices Meeting 1986, Technical Digest paper 6. 1, pp 128—131)记述了直至 16Mb DRAM 设计在沟槽单元设计中的各种变型,包括衬底极板沟槽(SPT)单元,在美国专利 US—4, 688, 063(1987. 8. 18 授于 Lu 等人并转让给该发明的受让人)中记述得更为详细。SPT 单元采用一种高导电衬底作为 DTAM 单元的极板。每个单元的存储节点做在衬底的一个深沟槽内。美国专利 US—4, 801, 988(1989. 1. 31. 授于 Kenney 并转让给该发明的受让人)记述一个改进的 SPT 单元,包括一个厚的做在沟槽内的隔离区,以便能更密集装填 DTAM 单元。题目为“容许增加存储电荷的 CMOS 半导体存储结构上的改型”(“CMOS Semiconductor Memory Structural Modification to Allow Increased Memory Charge ”anonymous , IBM Technical Disclosure Bulletin Vol . 31 , No . 11 , April 1989 pp 162—5)教导一种在支持器件下面设置一隐埋区,将 SPT 单元的衬底极板与支持器件隔离开的方法,以便容许极板的参考电压单独地偏置在最佳的 $V_{dd}/2$ 伏特。

美国专利 US—4, 912, 054(1990. 3. 27 授予 Tomassetti)记述通过使用双极型器件工艺所常用的各种外延层将双级—CMOS 电路器件隔离开的方法。题目为“具有三重阱结构的 45ns 16Mb 的 DRAM”(“A45—ns16Mbit DRAM with Triple—well Structure” by S. Fijii et al, IEEE Journal of Solid— State Circuits, Vol. 24,

No. 5, October 1989, pp1170—1175) 记述了将各种不同功能器件类型隔离开来的技术,按该方法,将沟槽 DRAM 单元的全部阵列做在注入了 p 阱的表面。

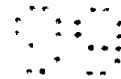
美国专利 US—4,829,017(1989. 3. 9 授予 Malhi) 记述了一种在衬底做一浅沟槽,形成一个隐埋掺杂层的方法,保护其侧壁,再延展沟槽,最后将延展的沟槽侧壁进行掺杂,形成一个对沟槽 DRAM 存储节点有用的连续掺杂区域。

题目为“采用超过隐埋层的薄外延和沟槽隔离的深亚微米 CMOS/BICMOS 的新阱结构”(New Well Structure for Deep Sub—micron CMOS/BICMOS Using Thin Epitaxy Over Buried Layer and Trench Isolation”by Y. Okazaki et al. , 1990 Symposium on VLSI Technology, Digest of Technical Papers, Paper 6C—4, pp83—4) 记述了使用隐埋外延层,将表面器件与衬底隔离开。

下列各参考文献特别涉及各种 SPT DRAM 单元的改型,将其中的与衬底导电类型相反的隐埋区作为 DRAM 存储电容器的一个极板。美国专利 US—4,918,502(1990. 4. 17. 授予 Kaga 等人) 记述了一个隐埋极板沟槽 DRAM 单元,其中的单元存储节点和一屏极做在一个单个的沟槽内。在该沟槽的底部,如此来形成一个与衬底反型的扩散,以致相邻单元的扩散互连形成类栅结构。形成一个或多个与 DRAM 无关的沟槽。起穿通作用,能给掺杂区加上合适的参考电压的偏置。所以,图 12 清楚地表明了隐埋区的类栅形貌。欧洲公开

申请 EP—0283964 (1988 . 9. 28 公开) 记述一个隐埋极板 SPT DRAM 单元, 其中的由该 DRAM 的沟槽向外的扩散区与 Kaga 等人的形成 SPT 极板的扩散区相类似。如按 Kaga 等人的方式, 形成一个类栅区域, 并与一个非单元沟槽接触。美国专利 US—4,873,560 (1989. 10. 10 授予 Sunami 等人) 还记述另一种隐埋极板 SPT 单元。将其中的存取晶体管做在单元沟槽内。所以, 图 30 及其相应说明记述了为使单元转移器件正常运行而保持隐埋区的类栅结构的重要性。Sunami 等人的专利还告诫人们, 在类栅隐埋区中的开孔应“由耗尽层填充”, 将表面器件与衬底隔离开的情况下, 就可以将单独的连线做在“隔离的”表面区, 以便使它偏置在与衬底相同的电位。英国专利申请 GB—2,215,913A (1988. 12. 27 公开) 也记述了隐埋区 SPT DRAM 单元设计的另一种类型, 其中的隐埋区的掺杂剂是用离子注入到 DDRAM 单元的深沟槽侧壁设置的。最后, 美国专利 US—4,794,434 (1988. 12. 27 授予 Pelley) 记述了一种双极器件工艺方法形成的隐埋极板 SPT DRAM 单元, 其中的隐埋极板是由一双极晶体管的隐埋的子集电极结构通常部分形成的。

虽然上面引用的参考文献阐明了各位 DTAM 设计者在试图克服使 DRAM 单元继续减小尺寸并增加密集度所固有的障碍方面所做的各种各样和有效的成果。但谁也没有能够将 DRAM 工艺用到亚 0.5 微米特征尺寸范围。为了继承 20 年来使 DRAM 工艺密集度不断增加的“传统”, 必须达到这样一种技艺。从挫折中 DRAM 的



设计者已转到使用复杂工艺过程的“叠置电容器”的 DRAM 单元上，反而发现这种设计是极其麻烦，达到实际上不可制作的程度。

本主题发明针对已有技术中未解决的问题，开拓简单 SPT 单元到 64Mb 及其以上的 DRAM 的可制作性，为现存问题提供解决办法。

本发明的一个目的是提供消除已有技术的密度限制的隐埋极板 SPT DRAM 单元阵列。

本发明的另一个目的是减小 SPT DRAM 设计的复杂性，容许工艺简化，增加产额。

本发明的一种动态随机存取存储器件，包括：多个设置于半导体衬底表面上的矩形矩阵内的深沟槽，相邻沟槽之间的间隔在侧向和横向上基本相等；一陷埋极板扩散区与所有的深沟槽相联，以及多个第一种沟槽，其各个与衬底极板沟槽 DRAM 单元相联系，所述 DRAM 单元包括一个转移器件、一个数据节点和一个与电容器极板连接的存储节点，该电容器极板形成在深沟槽内，并耦连到隐埋极板扩散区域内的一个衬底区域；其特征在于还包括：

多个第二种沟槽，其各个与一表面扩散隔离区相联系，该表面扩散隔离区包围着深沟槽矩阵的周界线，并与所述隐埋极板区相接触，以致使矩阵内的衬底区域与衬底的其余部分在电学上和结构上隔离开来。

本发明一种制作动态随机存取存储器的方法，包括下列步骤：制备第一种导电类型的半导体衬底；在所述衬底的上表面按矩阵图形形成多个深沟槽；在所述深沟槽内侧形成介质层，再用导电电极材料填充所述沟槽；其特征在于还包括下列步骤：从所述沟槽深度的下部位将第二种导电类型的杂质扩散到所述衬底内，形成遍布矩阵图形整个范围的第二种导电类型的连续隐埋扩散区



域；环绕所述矩阵图形的周界线形成第二种导电类型的扩散表面区，其深度能在结构上和电学上使所述连续的隐埋扩散区之上的矩阵图形内的那部分衬底隔离开来；以及在被隔离开的矩阵图形部分内形成多个半导体器件，用以耦连到达和来自在至少某些所述深沟槽内的所述导电电极材料的信号。

根据本发明的 DRAM 单元阵列中形成的隐埋极板电极在半导体衬底中起电学的和结构上的隔离区作用，使得单元的转移器件能够不依赖形成于衬底内的其它器件而独立地工作。此外，将半亚微米特征尺寸与扩散技术协同使用，得以提供一种简单的、在较大特征尺度下无法使用的隐埋层形成工艺。

本发明的这些和其它目的和特征，从附图和优选实施例的描述将变得更加明显。

图 1 是说明本发明的衬底极板沟槽(SPT)DRAM 单元基本电连接的简化的剖面示意图。

图 2 是示意说明用以形成阵列单元的各种器件布图关系的本发明阵列一角的平面视图。

图 3 至图 12 是说明本发明的阵列的在最佳制作工艺中各个步骤的剖面示意图。

参照图 1,它表示本发明的隐埋极板沟槽 SPT 的基本元件。该单元是 Lu 等人在美国专利 US—4,688,063 所记述的及 Kenney 在美国专利 US—4,801,988 限定的,并按本文所提到的内容将两项专利结合在一起的现有技术 SPT DRAM 单元的改进。该单元包括下列主要特征。一个 P 型半导体衬底 10 具有一个形成于其上面表的 P 型阱 12,N 沟转移器件 14 就做在其内。器件 14 的控制栅电极 16 响应于 DRAM 阵列支持电路的字存取线(未示出),通过形成于 P 阱 12 的沟道区在数据或位线扩散 N 型区 18 和扩散 N 型存储节点区 20 之间耦合数据。按已有技术相类似的方法,在毗邻存储节点 20 的深沟槽 22 内形成一个存储电容器,它包括一个用薄的介质层与衬底 10 隔离的 N 型导电的多晶硅电极形成的信号存储节点。扩散表面存储节点 20 和沟槽 22 内的信号存储节点 24 由一个导电带 26 连接。在存储沟槽的顶部,形成一个厚的绝缘衬 28,以提高由扩散存储节点 20 和衬底在 P 区 12 内形成的纵向寄生 FET 的阈值电压。设置局部表面隔离 30,按要求来确定衬底表面的有源器件区域。

除衬底 10 的半导体类型以外,单元具有与已有技术 SPT DRAM 单元的 N 沟道变型相似的属性。但还是附置一个 N 型层 32,作沟槽电容器的基准电压节点。与已有技术的隐埋极板沟槽 DRAM 单元不同,本发明的隐埋层 32 在其内制作了转移器件的表面阱 12 和其内制作了一个或多个 DRAM 单元阵列和支持电路的半导体衬底 10 之间形成了电学上的和结构上的隔离装置。这样,隐埋层 32 和它的两个 pn 结用基准电压 V_{bn} 独立地不仅给阵列单元的极板基准电压节点,而且给用于 DRAM 单元的支持器件和转换器件 14 的 N 和 P 沟道两器件的局部衬底提供加偏置的装置。应该认识到:单元转移器件 14 的局部衬底区域可独立地加参考电压 V_{bp} 偏置。独立地建立衬底偏置 V_{sub} 给可不做在 P 型阱内的器件加偏置。

虽然已有技术也记述了其它一些隐埋极板沟槽 DRAM 单元,拟用光刻条件来制作,但都使得本发明不可能实现。

本发明的一个重要方面是按简易的制作工艺步骤提供结合图 1 所述的单元阵列。

现在参照图 2,它表示依本发明制作的 DRAM 单元阵列一角的部分平面视图。在半导体衬底 10 的表面内形成的是简单矩形区的阵列沟槽 22 的矩阵。沟槽的周期性大约是 $1.7\mu m \times 0.85\mu m$ 。沟槽 22 大约是 $1.3 \times 0.45\mu m$,在沟槽之间设置 $0.4\mu m$ 的水平和垂直间隔。每个单元的元件布局类似于本人的美国专利 US-4,801,988 图 6 所示的布局,不过对开放比特线或 $1/4$ 字符间距折叠比特线构型,可

以采用其它布局构型。

位于四个毗邻沟槽的角上是一个局部表面隔离 30 的方形区,它用来隔离比特线接触扩散区 18,不再一一说明。在整个矩阵中,隔行地及隔列地设置隔离区 30。与隔离区毗邻的垂直方向上的通路是多个转移器件字线 16,部分地表明了图 2 的右下方。在两条字线 16 之间,在每个单元沟槽的下缘上是表面导电带 26。与整个阵列重叠的是金属比特线(未示出),在沟槽间沿水平走向,形成与扩散比特线区 18 相接触,如大写 Xs 所示。

为确保隐埋极板区 32(图 2 中不可见)在电学和结构上都与阵列矩阵的衬底外侧的其它区隔离开,沿整个阵列区的四周设置一表面扩散 N 型穿通区 34。穿通区 34 是与衬底其它区域中用作 P 沟道器件的 N 阱区域同时形成的。类似地,形成衬底其他区域中用作 N 沟道器件的 P 阱区的同时,形成用于阵列的 P 阱区 12。这样,除隐埋 N 型区 32 以外,并不要求附加的工艺步骤来形成 DRAM 单元的其余部分,为保证 N 阱穿通区 34 与隐埋区 12 的重叠,深沟槽 22 的外边一列或两列对 DRAM 单元沟槽是无作用的,这一点在下文描述了隐埋区的构形后,将变得明显。

据所了解的,衬底的隐埋隔离区,由一个第一子区 32 和一个第二子区 34 构成。第一子区是从沟槽 22 横向外扩散形成的,而第二子区是作为从衬底表面到隐埋子区 32 的顶部接触的穿通形成的。因为衬底上的结构密集度高,在沟槽间的亚半微米横向间隔容许从沟槽

到汇合处的外扩散形成一个连续的隐埋层,在该隐埋层中的杂质浓度仍保持在高的浓度。

现在参照图 3—图 12,它们描述了用于制作扩散隐埋极板沟槽 DRAM 单元阵列的优选工艺步骤。

参照图 3,从一片电阻率约为 $1-2\Omega \cdot \text{cm}$ 的 P 型半导体片子开始,在衬底 10 上形成厚约 175nm 的氧化/氮化层 50,作为在后续步骤中待用的腐蚀/抛光停止层。用常规 CVD TEOS 工艺淀积一层相当厚的,约 500nm ,氧化层 52,用作沟槽 22 的腐蚀掩模。用高分辨率的光致抗蚀剂做成一个光刻掩模。确定要在衬底 10 上腐蚀的沟槽 22 的图形。用氧和四氟化碳(CF_4)做活化剂,采用干等离子体刻蚀工艺,将掩模图形转移到厚氧化层 52 和氧化/氮化层 50 上。把光致抗蚀剂剥离掉之后,在“适用材料 5000”(Applied Materials 5000)腐蚀工具中,用各向异性 RIE 工艺,把沟槽 22' 腐蚀到 $1.5\mu\text{m}$ 的深度,做成如图 3 所示的结构。

接着,如图 4 所示,在起先腐蚀成的沟槽 22' 内淀积厚约 20nm TEOS CVD 氧化保形层,接着淀积一约 35nm 的氮化硅保形层,形成一个扩散阻挡衬层。选择淀积扩散衬层的厚度,以提供作为扩散阻挡层的最佳厚度,而且不必在整个单元中淀积衬层介质 28。还考虑到,在沟槽 22' 内侧提供最小材料厚度,以提供尚待腐蚀的深沟槽最大面积。然后,将部分加工过的衬底暴露于氧/ CF_4 进行 RIE 腐蚀去掉所有水平表面,包括沟槽 22' 底部在内的淀积层,在沟

槽 22' 的内侧设置一侧壁衬层 54。接着,采用 RIE 定向腐蚀,将深沟 22" 向衬底腐蚀进 $5\mu\text{m}$ 的深度,得到图 4 所示的结构。

参照图 5,用 CVD 工艺淀积约 $50\mu\text{m}$ 的掺砷玻璃保形层,为后续热扩散步骤设置一掺杂源。在 1050°C 进行常规的热推入步骤,以使掺入玻璃中的砷向衬底 10 扩散。砷在衬底中的横向扩散深度应大约为 $0.5\mu\text{m}$,以保证沟槽间的整个横向间隔完全被掺杂。在沟槽侧壁表面的掺杂表面浓度应该是大约 2×10^{19} 原子/厘米³。虽然图中所示的沟槽的净空被扩大了,但应了解沟槽最大净空大约是 $0.45\mu\text{m}$ 。在推入之后,用缓冲的 HF,按标准方法,去掉掺砷的氧化层,得到图 5 所示的结构。为了除掉残留的 RIE 腐蚀对深沟槽侧壁的损伤,可以在沟槽内侧生长一薄层“牺牲”氧化物。

在隐埋极板区形成后,为露出氮化层,用热磷酸去掉剩下的掩膜氧化层 52 的厚度和扩散阻挡衬层 54,用缓冲的 HF 去掉沟槽内侧的“牺牲”氧化物。

接着,将现露出的沟槽的硅侧壁和底部热氧化大约 4nm 厚,形成沟槽电容器结构。然后,保形淀积大约 7nm 的氮化硅。再将氮化硅氧化,形成大约 1.5nm 的二氧化硅,完成 ONO 单元节点介质体。再后,将沟槽用保形淀积填充至少掺杂 1×10^{19} 原子/厘米³ 的多晶硅,厚至衬底表面以上大约 900nm 。在大约 1000°C 的氮气中热退火步骤,来愈合任何在沟槽 22 内多晶硅中无意形成的裂痕。用选择腐蚀掺杂的多晶硅的 RIE 工艺,去掉所有在衬底平面区域上的多晶硅,

并把沟槽顶部的多晶硅腐蚀到比衬底表面低大约 $1\mu\text{m}$ 的平面,而留下沟槽底部的掺杂的多晶硅 55。在露出的沟槽顶部侧壁上,用 CVD 保形淀积大约 90nm 的二氧化硅,形成沟槽衬层 28,然后按与美国专利 4,801,988 相类似的广泛,各向异性地从平面区域,包括沟槽的底部,腐蚀掉氧化物,留下凹槽上部侧壁上的衬层 28。最后的结果如图 6 所示。

现在参照图 7,将沟槽再填以掺砷的多晶硅至表面厚度约 600nm ,并按上述条件退火。然后,最好用平面化工艺,如化学——机械抛光,去掉所有形成于衬底背面的这样淀积的多晶硅,以减小由无用层产生的任何应力。然后,使衬底的前面或含沟槽那一侧也平面化,从所有平的表面上去掉最后淀积的 600nm 的多晶硅。为了达到优质平面度,最好用化学——机械抛光技术。这种技术在美国专利 US—4,994,836(属 Beyer 等人)和 US—4,789,648(属 Chow 等人)描述得更为详细。接着,使沟槽顶部的多晶硅 55' 凹陷下去,大约比衬底表面低 $50-100\text{nm}$,以便防止随后施加的多晶硅字线与沟槽电容器的信号存储节点短路。最后的结构示于图 7。

接着,如图 8 所示,按浅沟槽隔离形式(STI)形成局部隔离。将 STI 掩模施加于该衬底,并确定 STI 要求的所有区域。腐蚀露出的氧化/氮化腐蚀停止层 50,以露出硅衬底表面的和重复填有多晶硅的沟槽顶部。最好在相同的工艺室内,将露出的衬底、沟槽衬层和多晶硅腐蚀至 350nm 深。如图 8 所示,在整个衬底上,保形淀积大约

630nm 的 LPCVD TEOS 氧化层 56。

接着,如图 9 所示,最好用共同未决申请 07/427,,153(Kerbaugh 等人,1989.10.25 申请,题为“在半导体内形成宽的填有介质的隔离沟槽”)所述的 RIE 深腐蚀和化学——机械抛光相结合的方法,使 STI 氧化层 56 平面化。接着,用热磷酸和缓冲了的 HF,去掉任何残留的氧化/氮化层 50。这时,在露出的衬底表面上,可能生长“牺牲”的氧化物,因这些将按集成本发明的阵列的 CMOS 工艺,变成 N 沟槽和 P 沟道器件的有源器件区。

接着,通常使用 N 阱掩膜,覆盖着除 N 阱所在位置以外的所有衬底,形成 P 沟道器件的和用以接触隐埋 N 型极板区 32 的 N 阱。在 N 阱掩膜形成之后,使衬底经受多次离子注入步骤,形成倒转 N 阱 34。以 900KeV 注入剂量为 5×10^{13} 原子/厘米² 的磷离子,形成浓度较高的阱的最深部分,以 500KeV 注入剂为 2.3×10^{13} 原子/厘米² 的磷离子,形成阱的基本部分,以大约 150KeV 注入剂量大约 1.9×10^{12} 原子/厘米² 的磷离子,控制穿通。如有要求,可以使用一个附加的 N 阱掩膜,这时,在大约 80KeV 下有选择地注入剂量为大约 1.3×10^{12} 原子/厘米² 的砷,来控制在选择性的 N 阱内形成的 P 沟道 FET 的阈值电压。还可以用附加的注入掩膜和离子注入,来进一步改制特殊器件的阈值电压。

在 N 阱形成之后,以类似的方法,形成一个常规的 P 阱掩膜,以便掩蔽衬底上用以形成 P 阱 58 的硼离子,也示于图 9。为形成 P 阱

以大约 200KeV 注入剂量为大约 8×10^{12} 原子/厘米² 的硼离子, 形成阱的基本部分, 以大约 80KeV 注入剂量大约 1.6×10^{12} 的硼离子, 来控制穿通区, 并以大约 7.3KeV 注入剂量为大约 3.7×10^{12} 原子/厘米的硼离子, 来控制用于 DRAM 阵列和支持电路的 N 沟道 FET 的阈值电压。于是出现图 9 的结构。由上这可知, N 阱区 34 形成与环绕深沟槽的隐埋极板区 32 的接触, 以确保所有与 DRAM 单元相关的转移器件的电学和结构上的隔离。与已有技术不同, 无须保证转移器件的衬度区能和半导体衬底 10 的电耦合。

接着, 形成如图 10 所示的栅叠层结构, 包括栅绝缘体, 导电栅和氮化硅罩。参照前文, 在剥掉“牺牲”氧化物之后, 在露出的衬底的硅表面上生长大约 10nm 的二氧化硅, 形成栅绝缘层 60。淀积大约 200nm 多晶硅层 62, 再以大约 25KeV 注入剂量为大约 6×10^{15} 原子/厘米² 的磷。紧接着, 用溅射淀积大约 100nm 的硅化钛层 64, 以减小字线的电阻率。淀积一层二氧化硅 66 和大约 80nm 的氮化硅层 68, 完成栅叠层, 得到如图 10 所示的结构。

如图 11 所示, 对多层栅叠层进行选择腐蚀确定互连的第一平面及在平面化的衬底上待形成的 CMOS FET 器件的栅电极。将露出的多晶硅在大约 1050℃ 进行轻微氧化。然后, 使用掩模板, 保护除要形成 N 沟道 FET 所在位置以外整个器件区域。以大约 30KeV 注入剂量为大约 1×10^{14} 原子/厘米² 的磷, 则形成轻掺杂 N 型区 70。拿掉掩模板之后, 先淀积大约 45nm 的 CVD 氮化硅, 后将出现在平面

衬底上的氮化物进行各向异性 RIE 处理,形成一个侧壁衬垫 72。然后,按常规方法,蒸发大约 20nm 的钴,在大约 750℃退火,再在稀硝酸中去除未反应的钴,使掺杂区硅化。

用下列图 12 所表明的工艺步骤,以类似于美国专利 US-4,944,682(属 Cronin 等人)所记述的技术,形成无边沿接触,完成器件和 DRAM 的结构。先淀积一层大约 15nm 的氮化硅,再用各向异性 RIE 工艺步骤,形成氮化硅侧壁 74。放置一掩膜板,保护 PFET 区,以大约 50KeV 注入剂量为大约 5×10^{15} 的砷,再在 900℃的氮气中进行推进步骤,形成 NFET 器件的 N^+ 型扩散区 76。再放置一块保护 NFET 区的掩膜板,以大约 10KeV 注入剂量为大约 5×10^{15} 原子/厘米² 的硼,形成 PFET 器件的 P^+ 型扩散区。用于使形成存储节点区 20 的 N 型扩散区同深沟槽顶部的多晶硅 55'相连的多晶硅表面导电带 26 是通过使用一块掩膜板,将存储节点区露出,选择腐蚀深槽顶部的氧化物,淀积 N 型多晶硅,再用化学——抛光工艺进行平面化,以留下多晶硅导电带 26 而形成的。形成氮化钛和钨的互连 78,作无边沿的接触,并淀积平面间的掺磷玻璃钝化层 80,再用化学——机械抛光技术进行平面化。根据被连接的电路的复杂性的要求,再设置一些附加的平面化的互连平面,就完成了 DRAM 的制作。

虽然,本发明仅用单一优选实施例加以描述,但本领域的技术人员应当承认,上述工艺步骤是可变换的,掺杂剂的种类和类型以及其

综材料的替换也是可以自由进行的,而不脱离本发明的精神和范畴。

说明书附图

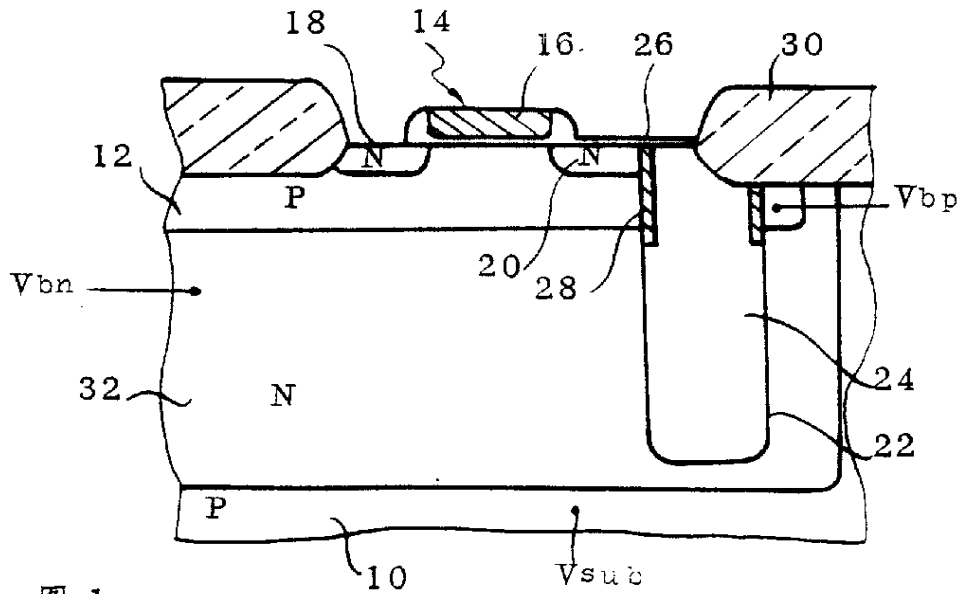


图 1

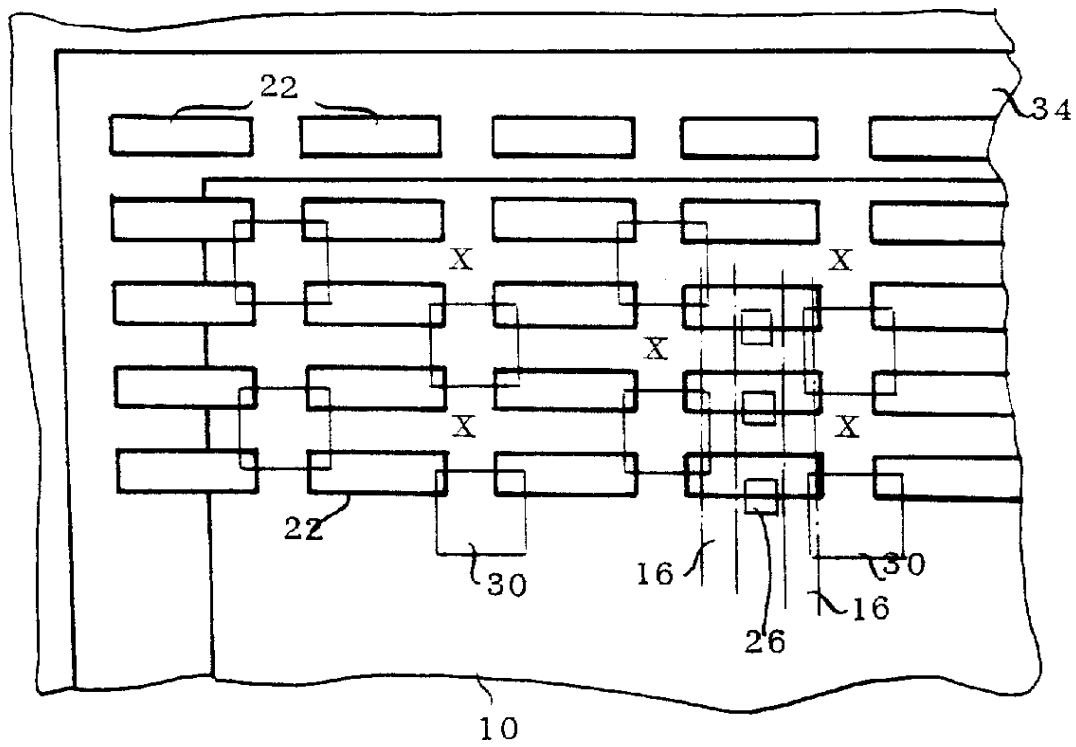


图 2

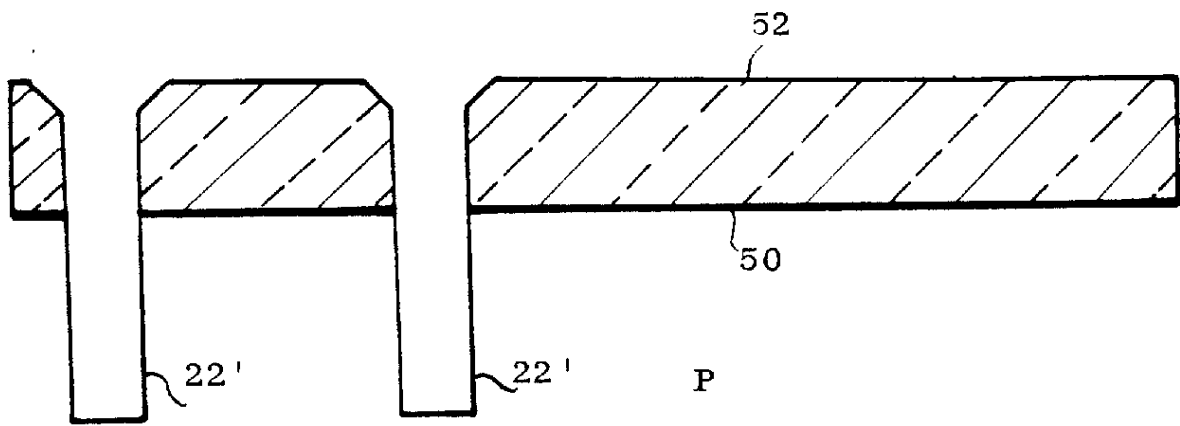


图 3

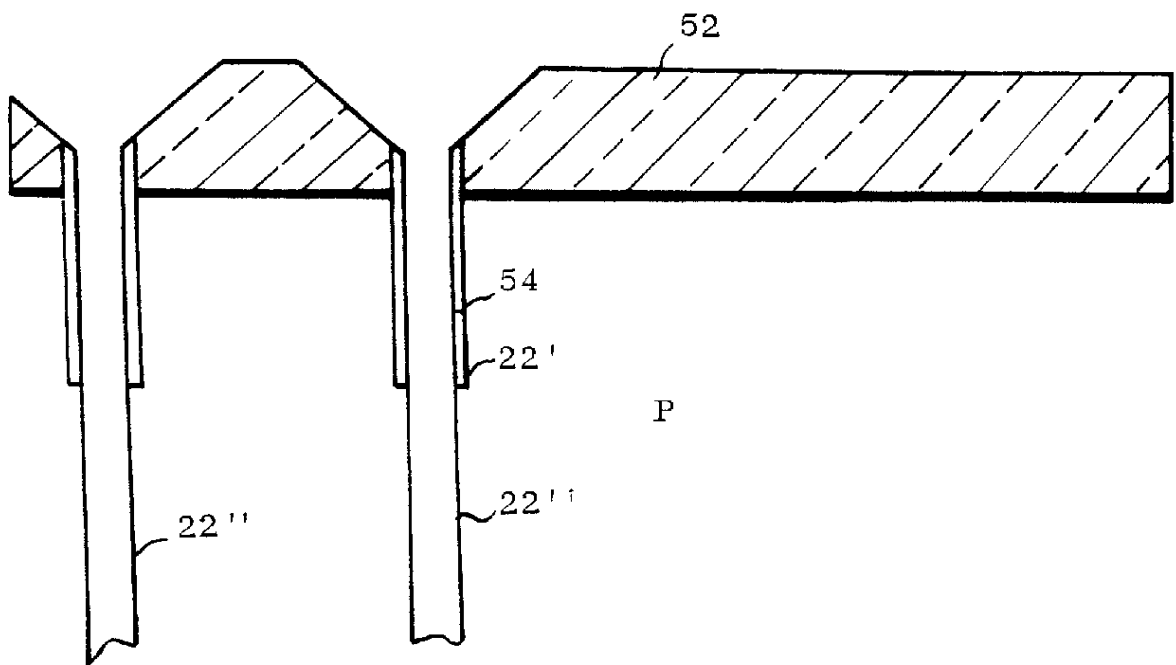


图 4

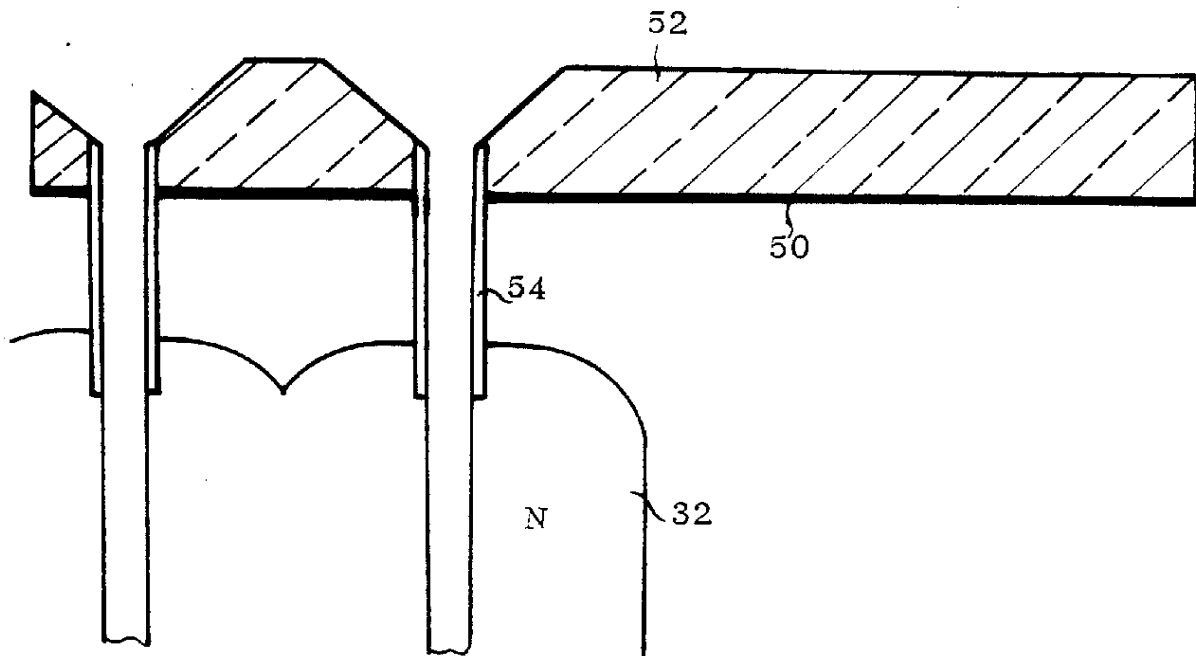


图 5

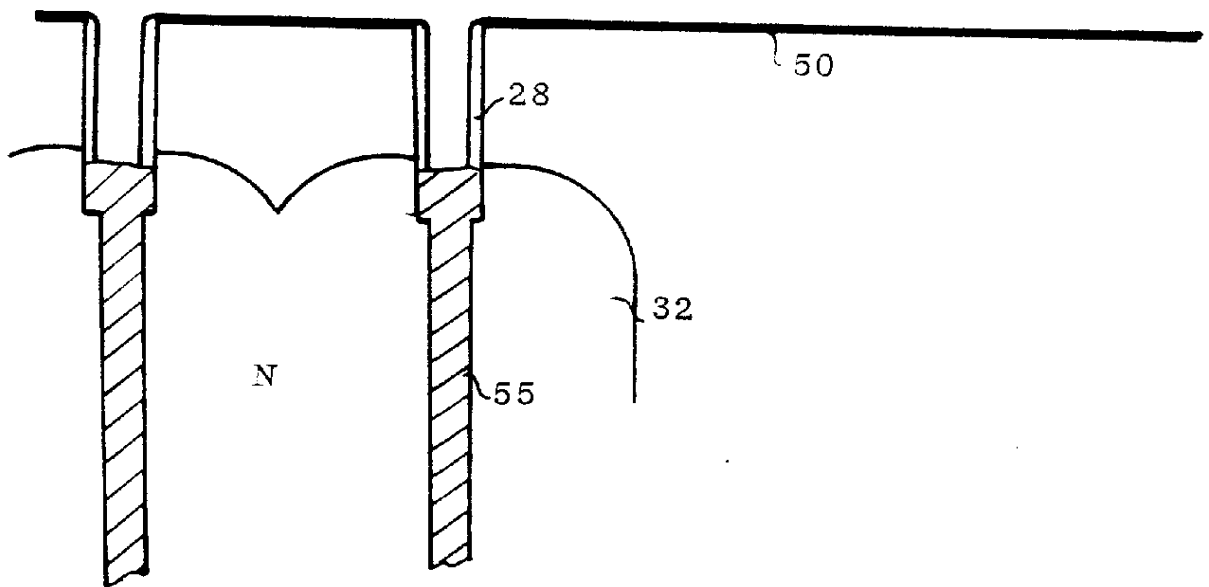


图 6

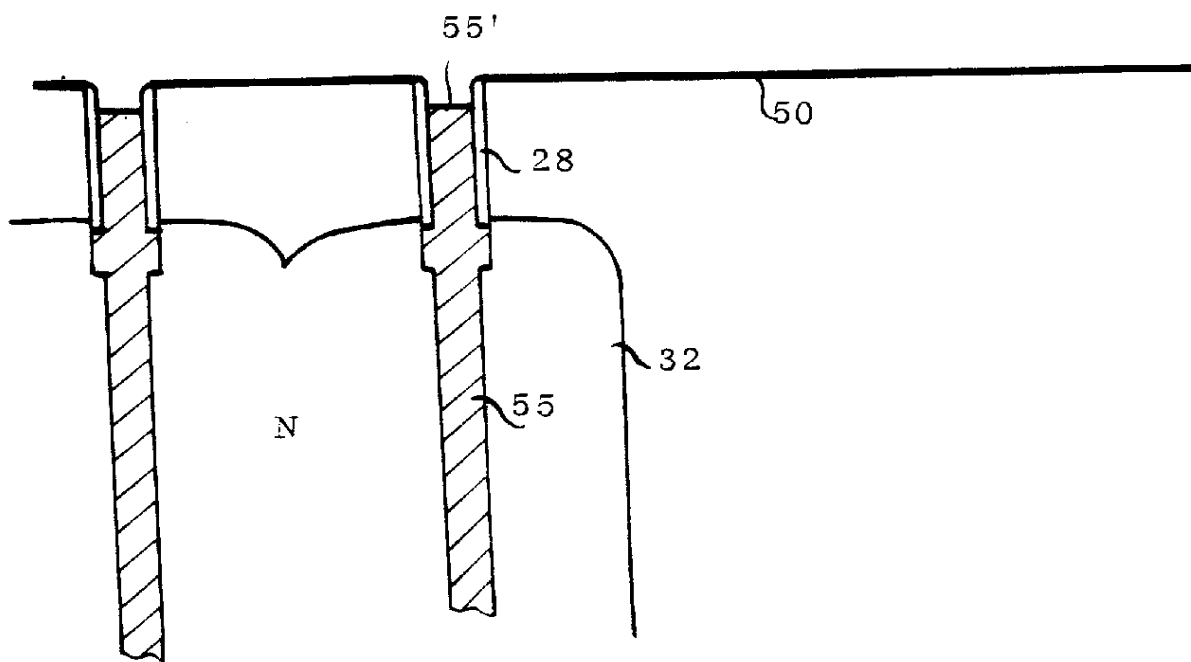


图 7

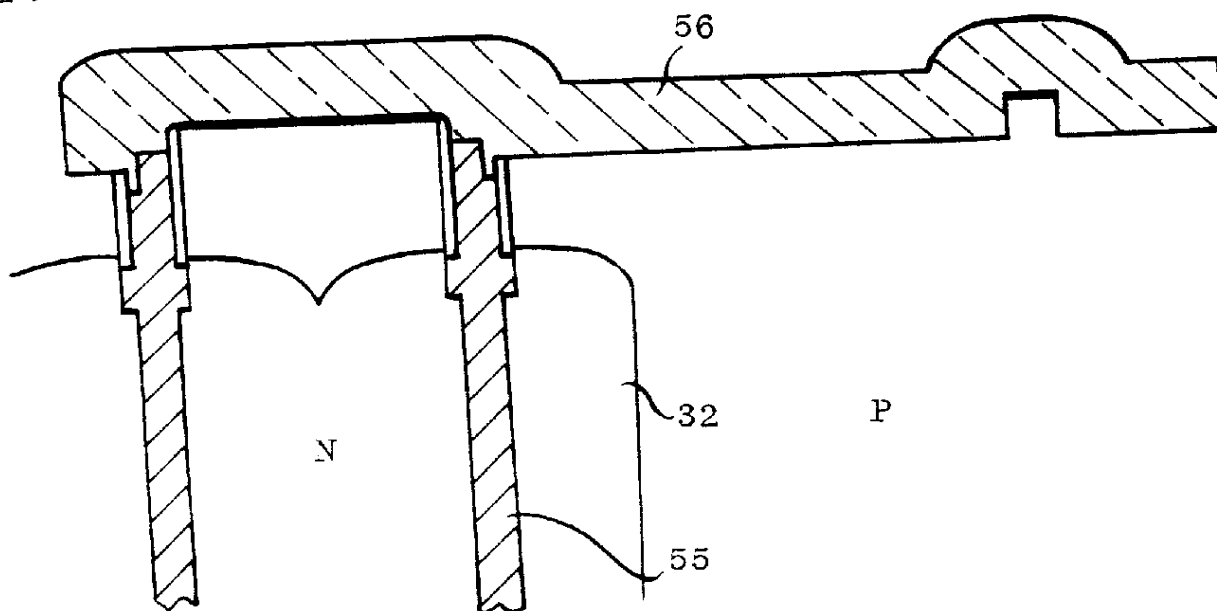


图 8

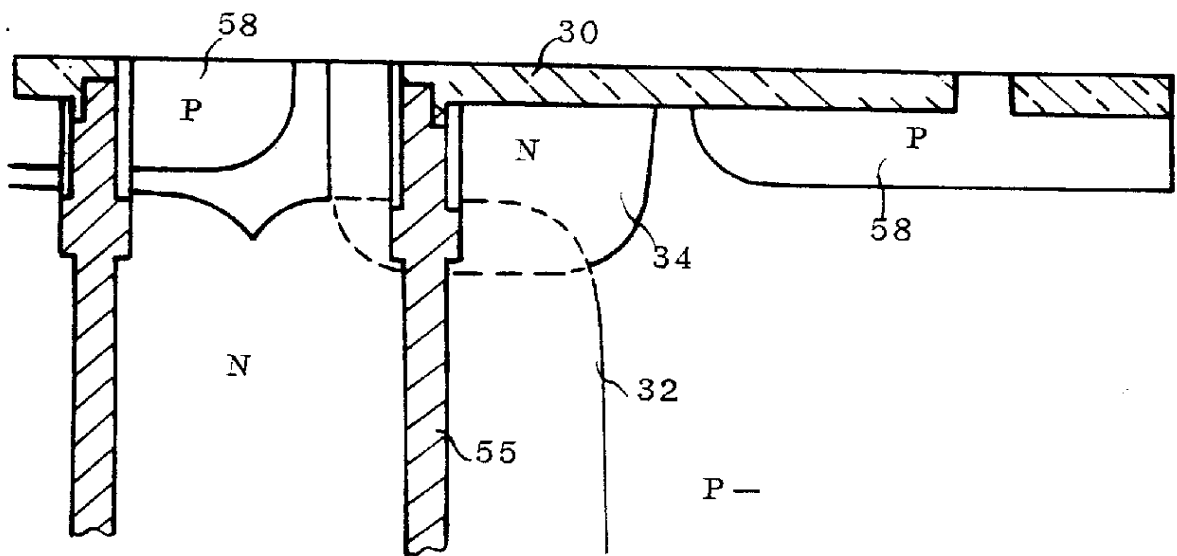


图 9

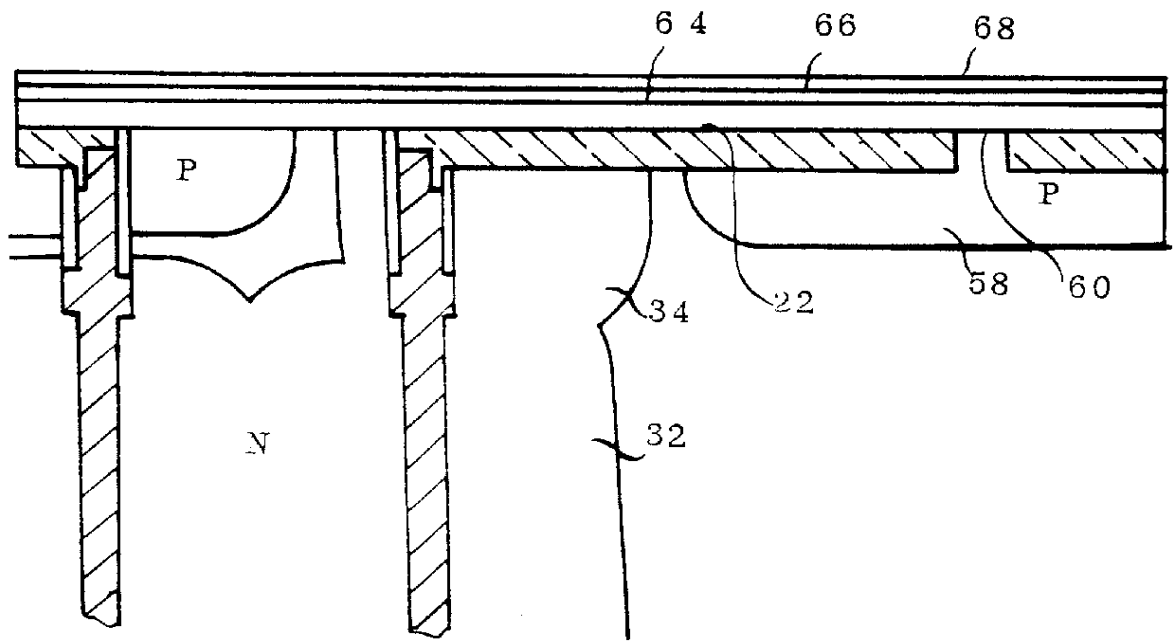


图 10

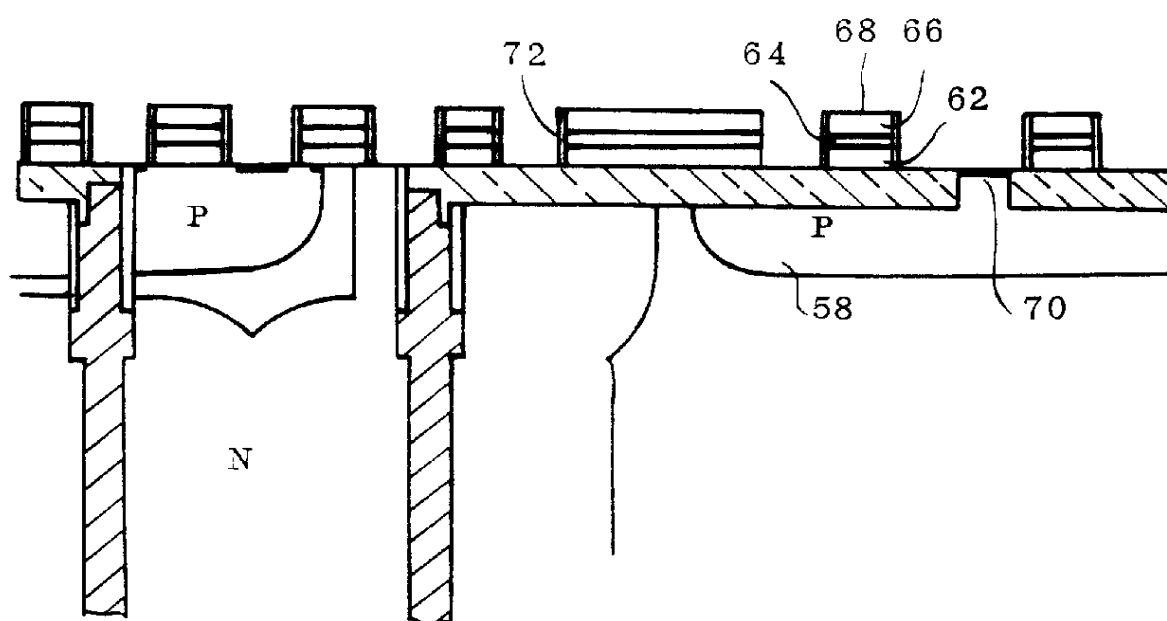


图 11

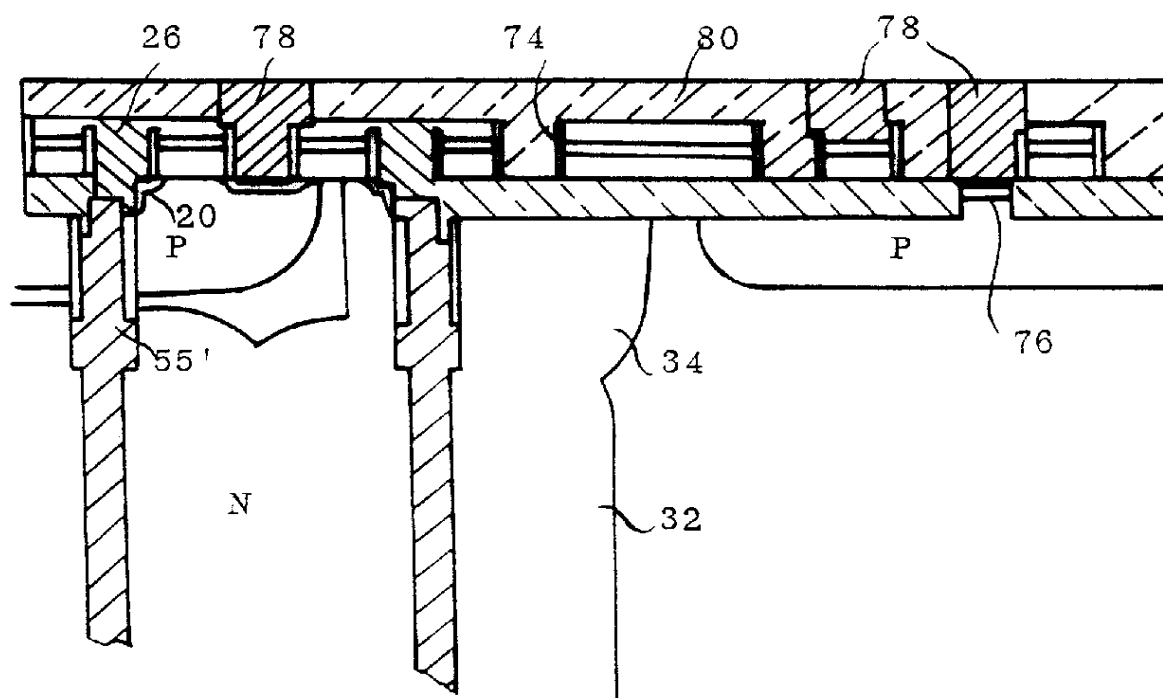


图 12