

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 12 月 5 日 (05.12.2024)



(10) 国际公布号
WO 2024/243770 A1

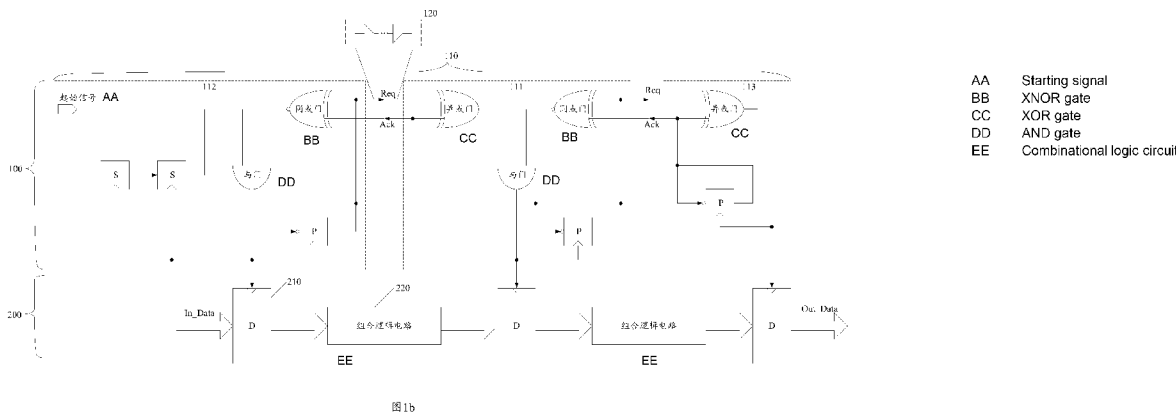
- (51) 国际专利分类号:
G06F 15/78 (2006.01) **G06F 9/48** (2006.01)
- (21) 国际申请号: PCT/CN2023/096808
- (22) 国际申请日: 2023 年 5 月 29 日 (29.05.2023)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 华为技术有限公司 (**HUAWEI TECHNOLOGIES CO., LTD.**) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。中山大学 (**SUN YAT-SEN UNIVERSITY**) [CN/CN]; 中国广东省广州市新港西路135号, Guangdong 510275 (CN)。
- (72) 发明人: 陶明慧 (**TAO, Minghui**); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。黄宇皓 (**HUANG, Yuhao**); 中国广

东省广州市新港西路135号, Guangdong 510275 (CN)。欧阳伟龙(**OUYANG, Weilong**); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。王侃文(**WANG, Kanwen**); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。虞志益(**YU, Zhiyi**); 中国广东省广州市新港西路135号, Guangdong 510275 (CN)。李智宇(**LI, Zhiyu**); 中国广东省广州市新港西路135号, Guangdong 510275 (CN)。肖山林(**XIAO, Shanlin**); 中国广东省广州市新港西路135号, Guangdong 510275 (CN)。

- (74) 代理人: 北京同达信恒知识产权代理有限公司 (**TDIP & PARTNERS**); 中国北京市西城区裕民路18号北环中心A座2002, Beijing 100029 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

(54) **Title:** ASYNCHRONOUS CIRCUIT AND IMPLEMENTATION METHOD THEREFOR, CHIP, MEDIUM, PRODUCT, AND ELECTRONIC DEVICE

(54) 发明名称: 异步电路、其实现方法、芯片、介质、产品及电子设备



(57) **Abstract:** The present application discloses an asynchronous circuit and an implementation method therefor, a chip, a medium, a product, and an electronic device. A control path of the asynchronous circuit comprises multiple stages of asynchronous handshake controllers; a first-stage asynchronous handshake controller is a source-end handshake controller having a pair of output handshake protocols, a last-stage asynchronous handshake controller is a receiving-end handshake controller having a pair of input handshake protocols, and other-stage asynchronous handshake controllers are two-phase single-rail handshake controllers each having a pair of input handshake protocols and a pair of output handshake protocols. The handshake signals of the asynchronous handshake controllers can be captured by using the propagation process of a main clock and a sub-clock, a data path and the control path are unified in clock analysis, and it is ensured to perform timing constraint on all circuits. Moreover, the relative timing constraint of the asynchronous circuit can be converted into static timing analysis that can be recognized by a traditional EDA tool, and an EDA tool is used to perform circuit optimization and timing constraint on the asynchronous circuit, thereby improving the efficiency of designing an asynchronous single-rail circuit.



BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本申请公开了一种异步电路、其实现方法、芯片、介质、产品及电子设备, 异步电路的控制通路包括多级异步握手控制器, 第一级异步握手控制器为具有一对输出握手协议的源端握手控制器, 最后一级异步握手控制器为具有一对输入握手协议的收端握手控制器, 其他级异步握手控制器为具有一对输入握手协议和一对输出握手协议的两相单轨握手控制器。可以使用主时钟和子时钟的传播过程来捕捉异步握手控制器中的握手信号, 将数据通路和控制通路统一在时钟分析中, 确保对所有电路进行时序约束。并能够将异步电路的相对时序约束转化成能被传统EDA工具识别的静态时序分析, 利用EDA工具对异步电路进行电路优化和时序约束, 提高设计异步单轨电路的效率。

异步电路、其实现方法、芯片、介质、产品及电子设备

技术领域

本申请涉及电路设计技术领域，尤其涉及一种异步电路、其实现方法、芯片、介质、产品及电子设备。

背景技术

异步电路虽早在上个世纪就已提出，但是由于其较为复杂的设计流程，和同步电子设计自动化（electronic design automation, EDA）工具的蓬勃发展，导致异步电路在很长一段时间内鲜有人问津。但是，物联网（internet of things, IoT）芯片和人工智能芯片等新兴产业的快速发展与需求，对低功耗电路和高吞吐量计算都提出了极大的挑战，让学术界甚至产业界重新关注起了具有无时钟、数据驱动、高鲁棒性特点的异步电路。

异步电路可以分为单轨电路和双轨电路。双轨电路是将时序信息内嵌入数据的编码之中，因此具有延迟不敏感和数据驱动的特性，对时序要求低，鲁棒性更强，但面积是相应同步电路的两倍以上。而单轨电路具有和同步电路相似的组合逻辑电路，面积和同步电路相近，适合迁移到同步 EDA 工具上进行设计，但单轨电路需要进行延时匹配，以保证数据的有效性，对时序要求高。由于面积上的优势和实际便捷性，目前芯片更多的选择单轨电路来进行异步电路设计。

异步单轨电路设计的一大难点是如何对其进行时序分析。同步电路是基于全局时钟对芯片进行时序分析和优化，但异步电路不存在一个全局时钟信号，异步电路是靠异步握手协议来实现各级电路的数据交换，为了保证异步电路功能的正确性，握手信号之间需要遵循一定的约束。异步单轨电路时序分析的基本原理是相对时序约束（relative timing constraints, RTC），其含义为：为保证异步单轨电路满足建立时间（setup time）和保持时间（hold time）约束，异步握手控制器需要延迟匹配控制握手触发的间隔，该间隔需要与数据通路延迟有相对大小关系。传统的同步 EDA 工具使用的是静态时序分析（static timing constraints, STA），通过设置同步电路时钟的周期和占空比等，使用工具自动分析数据通路是否满足时序约束。因此，如何基于目前的 EDA 工具实现异步电路的时序分析和芯片设计是业界的研究难点。

发明内容

本申请提供一种异步电路、其实现方法、芯片、介质、产品及电子设备，用以基于 EDA 工具实现异步电路的时序分析和芯片设计。

第一方面，本申请提供了一种异步电路，可以包括：控制通路和数据通路。控制通路具体可以包括多级异步握手控制器和延迟单元，延迟单元插入在多级异步握手控制器中各级异步握手控制器之间；各级异步握手控制器用于产生脉冲信号，延迟单元用于控制异步电路满足相对时序约束。在构建异步电路时，会采用异步握手控制器先形成多级异步数据流，构成异步流水线。之后，异步电路需要经过延迟匹配，在异步握手控制器之间插入延迟单元，才可以控制整个异步流水线的相对时序约束。如果需要扩展异步流水线，可以在多级异步握手控制器的中间级插入串联的 click 模板，则可以形成更多级的异步流水线。多

级异步握手控制器中的第一级为具有一对输出握手协议的源端握手控制器，多级异步握手控制器中的最后一级为具有一对输入握手协议的收端握手控制器，多级异步握手控制器中的其他级为具有一对输入握手协议和一对输出握手协议的两相单轨握手控制器。数据通路可以包括多级触发电路和组合逻辑电路，组合逻辑电路插入在多级触发电路中的各级触发电路之间。多级触发电路和多级异步握手控制器一一对应设置，每级触发电路可以包括一个或多个触发器，一级异步握手控制器和对应的一级触发电路（以包含一个触发器为例）构成一级异步数据流，可以认为在异步电路中包含多级异步数据流。各级触发电路用于根据对应级异步握手控制器产生的脉冲信号对数据进行捕捉和存储，组合逻辑电路可以对数据进行处理。

在启动异步电路时，可以向控制通路的第一级异步握手控制器输入起始信号，启动异步流水线，各级异步握手控制器会按顺序在第一级开始产生第一个脉冲（fire）信号。有效数据输入至数据通路后，在每级触发电路接收到对应级异步握手控制器产生的脉冲信号后，对数据进行捕捉和存储并发送至组合逻辑电路进行数据处理后传输至下一级触发电路，直至最后一级触发电路输出有效数据完成数据异步传输。

在本申请提供的上述异步电路的控制通路的一种实现方式中，可以采用相位解耦 click 模板来构建多级异步握手控制器中的中间级，实现两相捆绑数据的握手协议。而第一级和最后一级异步握手控制器分别采用 click 模板的变体以形成控制通路的头和尾，即源端握手控制器和收端握手控制器，实现了构建完整的控制流水线，大大增加了流水线的可用性，并且无需在控制通路的首尾额外接入转接电路，可以简化电路设计。

在本申请的一种实现方式中，可以采用相位解耦 click 模板来构建多级异步握手控制器中的中间级，实现两相捆绑数据的握手协议。两相单轨握手控制器具体包括：异或门、同或门、与门和相位寄存器。异或门的两个输入端用于传输一对输入握手协议，一对输入握手协议包括输入请求信号和输入应答信号。同或门的两个输入端用于传输一对输出握手协议，一对输出握手协议包括输出请求信号和输出应答信号。异或门的输出端和同或门的输出端分别与与门的两个输入端连接，与门的输出端分别与相位寄存器的时钟输入端和触发器的时钟输入端连接，与门的输出端用于产生脉冲信号作为时钟信号。

在本申请的一种实现方式中，相位寄存器可以包括第一相位寄存器和第二相寄存器。第一相位寄存器与上一级异步握手控制器之间可以单独设置第一延迟量，第二相寄存器与下一级异步握手控制器之间可以单独设置第二延迟量，第一延迟量和第二延迟量可以相同也可以不同，使得电路设计更灵活。第一相位寄存器的时钟输入端和第二相位寄存器的时钟输入端均与与门的输出端连接，第一相位寄存器的数据输入端和数据锁存输出端均用于传输一对输入握手协议中的输入应答信号，第二相位寄存器的数据输入端和数据锁存输出端均用于传输一对输出握手协议中的输出请求信号。或者，相位寄存器也可以为一个，以减小相位寄存器在电路中所占面积，该相位寄存器的时钟输入端与与门的输出端连接，该相位寄存器的数据输入端和数据锁存输出端均用于传输一对输入握手协议中的输入应答信号和一对输出握手协议中的输出请求信号。

当上一级异步数据流需要发送有效数据时，会对输入请求信号进行一次翻转，在异或门与输入应答信号进行异或操作产生一个高电平信号输出至与门的一个输入端。而下一级异步数据流在接收到本级异步数据流发送的有效数据时，会对输出应答信号进行一次翻转，在同或门与输出请求信号进行同或操作产生一个高电平信号输出至与门的另一个输入端。

当与门的两个输入端同时接收到高电平信号时，与门会产生一个拉高的脉冲（click）信号作为时钟信号输出。click 信号会触发相位寄存器翻转，改变输入应答信号和输出请求信号的值，从而完成一次握手协议。这种握手协议是两相的，即输入请求信号的每一次翻转都代表着一个有效数据的到来，而不是高电平才有效。

5 在本申请的一种实现方式中，多级异步握手控制器中第一级的源端握手控制器具体包括：至少两级同步器、同或门、与门和相位寄存器。至少两级同步器中每级同步器的输入端均用于传输起始信号，至少两级同步器中最后一级同步器的输出端与与门的一个输入端连接。在源端握手控制器中，一般可以设置两级同步器，即可消除起始信号的毛刺，保证异步流水线内部握手信号的稳定。同或门的两个输入端用于传输一对输出握手协议，一对
10 输出握手协议包括输出请求信号和输出应答信号。同或门的输出端与与门的另一个输入端连接。与门的输出端分别与相位寄存器的时钟输入端、至少两级同步器中每级同步器的时钟输入端和触发器的时钟输入端连接，与门的输出端用于产生脉冲信号作为时钟信号。相位寄存器的数据输入端和数据锁存输出端均用于传输一对输出握手协议中的输出请求信号。源端握手控制器可以在接收到的 start 信号拉高时，产生脉冲信号输出，在异步 start
15 信号关闭时，能够正确的停止产生本地脉冲信号。源端握手控制器作为多级异步握手控制器的第一级可以提高控制流水线的完整性，无需在控制流水线的头部额外接入转接电路，可以简化电路设计。

 在本申请的一种实现方式中，多级异步握手控制器中最后一级的收端握手控制器具体包括：异或门和相位寄存器。异或门的输入端用于传输一对输入握手协议，一对输入握手
20 协议包括输入请求信号和输入应答信号。异或门的输出端与相位寄存器的时钟输入端连接，异或门的输出端用于产生脉冲信号作为时钟信号。相位寄存器的数据输入端和数据锁存输出端均用于传输一对输入握手协议中的输入应答信号。收端握手控制器可以源源不断的消耗输入请求信号，作为多级异步握手控制器的最后一级可以提高控制流水线的完整性，无需在控制流水线的尾部额外接入转接电路，可以简化电路设计。

25 第二方面，本申请还提供了一种芯片，可以包括多个逻辑电路，多个逻辑电路中的至少部分逻辑电路为第一方面提供的上述异步电路。其他逻辑电路也可以包括同步电路，在此不做限定。本申请提供的芯片可以应用于各种数字逻辑芯片，尤其适用于诸如物联网芯片、人工智能芯片、神经网络芯片等对低功耗电路和高吞吐量计算都有巨大需求的芯片，异步电路的无时钟、数据驱动、高鲁棒性等特点可以满足这些芯片的需求。

30 第二方面中任一方面中的任一可能设计可以达到的技术效果，请参照上述第一方面中的任一可能设计可以达到的技术效果，这里不再重复赘述。本申请的这些方面或其它方面在以下实施例的描述中会更加简明易懂。

 第三方面，本申请提供了一种异步电路的实现方法，可以具体包括：对异步电路中的多级异步握手控制器进行时钟声明，并恢复时钟传播路径。示例性的，该异步电路可以为
35 本申请第一方面提供的上述未插入延迟单元的异步电路，也可以是插入延迟单元的异步电路，还可以是其他异步电路，本申请对此不做限定。对时钟传播路径设置设定偏移量后，对异步电路进行初次综合。对多级异步握手控制器进行延迟匹配，即在各级异步握手控制器之间（也是时钟传播路径）插入延迟单元，每个延迟单元可以具体包括多个时钟缓冲单元。具体地，在不同级异步握手控制器之间插入的延迟单元的初始延迟量可以在异步电路
40 数据库中查找。去除设定偏移量，具体可以把各子时钟的 edge_shift 重新调整为最小值例

如 0.01, 使得时钟传播路径内的延迟几乎都是由延迟单元所构成。对异步电路进行综合。之后对综合结果进行时序分析, 确定插入延迟单元后的异步电路是否满足时序约束。在不满足时序约束时, 根据综合结果调整延迟单元, 对异步电路再次进行综合, 直至经过调整后的延迟单元的异步电路通过时序约束。最后, 可以输出时序约束结果。

5 本申请提供的异步电路实现方法, 可以对异步电路的控制部分 (即控制通路) 和数据部分 (数据通路) 进行统一的时序分析, 使用主时钟 (即源时钟) 和子时钟的传播过程来捕捉异步握手控制器中的握手信号, 将异步电路的数据通路和控制通路统一在时钟分析中, 确保对异步电路的所有电路进行时序约束。并能够将异步电路的相对时序约束转化成能被传统 EDA 工具识别的静态时序分析, 利用 EDA 工具对异步电路进行电路优化和时序约束, 10 来有效提高设计异步单轨电路的效率。

在本申请的一种实现方式中, 异步电路的控制通路中多级异步握手控制器中的第一级可以为具有一对输出握手协议的源端握手控制器, 多级异步握手控制器中的最后一级可以为具有一对输入握手协议的收端握手控制器, 多级异步握手控制器中的其他级可以为具有一对输入握手协议和一对输出握手协议的两相单轨握手控制器。

15 在本申请的一种实现方式中, 可以采用相位解耦 click 模板来构建多级异步握手控制器中的中间级, 实现两相捆绑数据的握手协议。两相单轨握手控制器具体包括: 异或门、同或门、与门和相位寄存器。异或门的两个输入端用于传输一对输入握手协议, 一对输入握手协议包括输入请求信号和输入应答信号。同或门的两个输入端用于传输一对输出握手协议, 一对输出握手协议包括输出请求信号和输出应答信号。异或门的输出端和同或门的输出端分别与与门的两个输入端连接, 与门的输出端分别与相位寄存器的时钟输入端和触发器的时钟输入端连接, 与门的输出端用于产生脉冲信号作为时钟信号。

20 在本申请的一种实现方式中, 相位寄存器可以包括第一相位寄存器和第二相寄存器。第一相位寄存器与上一级异步握手控制器之间可以单独设置第一延迟单元, 第二相寄存器与下一级异步握手控制器之间可以单独设置第二延迟单元, 第一延迟单元和第二延迟单元的延迟量可以相同也可以不同, 使得电路设计更灵活。第一相位寄存器的时钟输入端和第二相位寄存器的时钟输入端均与与门的输出端连接, 第一相位寄存器的数据输入端和数据锁存输出端均用于传输一对输入握手协议中的输入应答信号, 第二相位寄存器的数据输入端和数据锁存输出端均用于传输一对输出握手协议中的输出请求信号。或者, 相位寄存器也可以为一个, 以减小相位寄存器在电路中所占面积, 该相位寄存器的时钟输入端与与门的输出端连接, 该相位寄存器的数据输入端和数据锁存输出端均用于传输一对输入握手协议中的输入应答信号和一对输出握手协议中的输出请求信号。

30 当上一级异步数据流需要发送有效数据时, 会对输入请求信号进行一次翻转, 在异或门与输入应答信号进行异或操作产生一个高电平信号输出至与门的一个输入端。而下一级异步数据流在接收到本级异步数据流发送的有效数据时, 会对输出应答信号进行一次翻转, 在同或门与输出请求信号进行同或操作产生一个高电平信号输出至与门的另一个输入端。当与门的两个输入端同时接收到高电平信号时, 与门会产生一个拉高的脉冲 (click) 信号作为时钟信号输出。click 信号会触发相位寄存器翻转, 改变输入应答信号和输出请求信号的值, 从而完成一次握手协议。这种握手协议是两相的, 即输入请求信号的每一次翻转都代表着一个有效数据的到来, 而不是高电平才有效。

40 在本申请的一种实现方式中, 在本申请实施例中, 仅采用相位解耦 click 模板无法构成

完整的异步流水线，还需要源端（source）和收端（sink）两个 click 模板的变体以形成异步流水线的头和尾，以大大增加流水线的可用性，并且需要一个起始（start）信号控制异步流水线的启动与关闭。Source 模板是只有一对输出握手协议的 click 模板，sink 模板是只有一对输入握手协议的 click 模板，source 模板可以源源不断的消耗输入请求信号。

5 在本申请的一种实现方式中，在本申请实施例中，多级异步握手控制器中第一级的源端握手控制器具体包括：至少两级同步器、同或门、与门和相位寄存器。至少两级同步器中每级同步器的输入端均用于传输起始信号，至少两级同步器中最后一级同步器的输出端与与门的一个输入端连接。在源端握手控制器中，一般可以设置两级同步器，即可消除起始信号的毛刺，保证异步流水线内部握手信号的稳定。同或门的两个输入端用于传输一对输出握手协议，一对输出握手协议包括输出请求信号和输出应答信号。同或门的输出端与与门的另一个输入端连接。与门的输出端分别与相位寄存器的时钟输入端、至少两级同步器中每级同步器的时钟输入端和触发器的时钟输入端连接，与门的输出端用于产生脉冲信号作为时钟信号。相位寄存器的数据输入端和数据锁存输出端均用于传输一对输出握手协议中的输出请求信号。源端握手控制器可以在接收到的 start 信号拉高时，产生脉冲信号输出，在异步 start 信号关闭时，能够正确的停止产生本地脉冲信号。源端握手控制器作为多级异步握手控制器的第一级可以提高控制流水线的完整性，无需在控制流水线的头部额外接入转接电路，可以简化电路设计。

10 在本申请的一种实现方式中，在本申请实施例中，多级异步握手控制器中最后一级的收端握手控制器具体包括：异或门和相位寄存器。异或门的输入端用于传输一对输入握手协议，一对输入握手协议包括输入请求信号和输入应答信号。异或门的输出端与相位寄存器的时钟输入端连接，异或门的输出端用于产生脉冲信号作为时钟信号。相位寄存器的数据输入端和数据锁存输出端均用于传输一对输入握手协议中的输入应答信号。收端握手控制器可以源源不断的消耗输入请求信号，作为多级异步握手控制器的最后一级可以提高控制流水线的完整性，无需在控制流水线的尾部额外接入转接电路，可以简化电路设计。

20 在本申请的一种实现方式中，在本申请实施例中，异步电路的数据通路（data path）可以包括多级触发电路和组合逻辑电路（function block），组合逻辑电路插入在多级触发电路中的各级触发电路之间。多级触发电路和多级异步握手控制器一一对应设置，每级触发电路可以包括一个或多个触发器，一级异步握手控制器和对应的一级触发电路（以包含一个触发器为例）构成一级异步数据流，可以认为在异步电路中包含多级异步数据流。各级异步握手控制器用于产生脉冲信号，各级触发电路用于根据对应级异步握手控制器产生的脉冲信号对数据进行捕捉和存储，组合逻辑电路可以对数据进行处理。

25 在本申请的一种实现方式中，在本申请实施例中，构建完成的异步电路中包括了多级异步数据流，构成异步流水线。异步电路需要经过后续步骤的延迟匹配，在异步握手控制器之间插入延迟单元，才可以控制整个异步流水线的相对时序约束。如果需要扩展异步流水线，可以在多级异步握手控制器的中间级插入串联的 click 模板，则可以形成更多级的异步流水线。在启动异步电路时，可以向控制通路的第一级异步握手控制器输入起始信号，启动异步流水线，各级异步握手控制器会按顺序在第一级开始产生第一个脉冲（fire）信号。有效数据输入至数据通路后，在每级触发电路接收到对应级异步握手控制器产生的脉冲信号后，对数据进行捕捉和存储并发送至组合逻辑电路进行数据处理后传输至下一级触发电路，直至最后一级触发电路输出有效数据完成数据异步传输。

本申请采用一个可以使用异步起始信号无毛刺产生异步握手源的 source 模板、一个标准的 click 模块和一个可以源源不断消耗握手信号的 sink 模块构建完整的控制流水线，无需在控制流水线的首尾额外接入转接电路，可以简化电路设计。该控制流水线所具有的功能为在异步起始信号拉高时，整个控制流水线可以正常的从第一级异步握手控制器产生脉冲信号，在异步起始信号关闭时，能够正确的停止产生本地脉冲信号。

在本申请的一种实现方式中，在对异步电路中的多级异步握手控制器进行时钟声明之前，还可以先对异步电路的各级异步握手控制器中的逻辑门电路进行门级映射 (mapping)。门级映射是指逻辑代码对应的各逻辑门电路的各端口到工艺对应的各逻辑门电路的端口之间的映射，即在 verilog 层面描述 click 单元时，直接采用工艺库中的器件进行建模。映射过程中涉及的逻辑门电路具体可以为异或门、同或门以及与门这些逻辑门电路。由于后续进行时序约束时需要声明到逻辑门电路的各端口，直接采用工艺库中的器件进行建模，使时序约束的命令可以直接声明到指定的管脚 (pin)，同时不绑定特定工艺，达到与工艺无关的效果，提高了设计的灵活性。

在本申请的一种实现方式中，在对多级异步握手控制器进行时钟声明时，可以按照上述门级映射，将第一级异步握手控制器（即源端握手控制器）中与门的输出端口定义为主时钟（也可以称为源时钟），为了使 DC 工具能更好地识别主时钟和子时钟之间的关系，在主时钟和各子时钟之间形成时钟树，可以将各级异步握手控制器（即源端握手控制器和两相单轨握手控制器）中用于传输一对输出握手协议的输出请求信号的各相位寄存器的输出端口分别定义为子时钟。主时钟在后续的顺序约束时需要声明周期和占空比，子时钟需要指定偏移量。主时钟与子时钟的数量之和等于异步握手控制器的总级数。

在本申请的一种实现方式中，在恢复时钟传播路径时，可以将时钟传播路径中存在的具有非单因素决定 (non-unate) 属性的逻辑门电路（例如可以与门、或门等）恢复为单因素决定 (unate) 属性，以避免工具无法分辨时钟上下降沿的产生，例如可以采用 “set_case_analysis” 命令恢复属性。并且，需要打断时钟传播路径中的时序环路，才能保证 ASIC 流程中传播路径的正常分析。

在本申请的一种实现方式中，可以对各子时钟设置相对主时钟相同的偏移量 (edge_shift)，以确保工具能够以一定约束进行初次综合。其中，在芯片设计流程中的综合是指将芯片设计代码映射到晶体管的过程。

在本申请的一种实现方式中，在进行初次综合后，还可以对异步时钟树的综合进行优化：为了满足异步时钟传播路径的要求，在进行时钟树综合时主动打断各级异步时钟的之间联系，以确保每级异步握手控制器本地产生的脉冲信号可以分别做时钟树的平衡，而不会从第一级异步握手控制器的主时钟就开始平衡时钟树的偏移 (skew)，导致 EDA 工具在时钟传播路径上插入无效的时钟缓冲单元作为延迟单元。例如使用 synopsys 的 ICC 工具时，在时钟树综合阶段对多级异步握手控制器中的相位寄存器的时钟输入端 (C 端) 设置为 exclude pin，实现打断全局时钟树、形成局部时钟树的目的。

在本申请的一种实现方式中，具体可以直接通过静态时序分析报告即可看到插入的延迟单元是否合适，是否通过时序约束。在时序分析报告中若 slack 值为正，则证明延迟匹配的余量已足够，可以停止迭代；若 slack 值为负，则说明还需要迭代即需要插入更多的延迟单元重新综合，直至 slack 值为正为止。

在本申请的一种实现方式中，根据综合结果调整延迟单元时，可以比对比序分析报告

中的各子时钟的偏移量与插入的延迟单元之间的关系，在延迟单元大于子时钟的偏移量时，减少延迟单元，在延迟单元小于子时钟的偏移量时，增加延迟单元。

第四方面，本申请提供了一种计算机可读存储介质。计算机可读存储介质存储多个程序，多个程序被配置为一个或多个处理器执行，多个程序包括用于执行根据第三方面的方法的指令。

第五方面，本申请提供了一种计算机程序产品。该计算机程序产品包括多个程序，多个程序被配置为一个或多个处理器执行，多个程序包括用于执行根据第三方面的方法的指令。

第六方面，本申请提供了一种电子设备，包括一个或多个处理器；包括计算机指令的存储器，计算机指令在由电子设备的一个或多个处理器执行时使得电子设备执行根据第三方面的方法。

附图说明

为了更清楚地说明本申请实施例或背景技术中的技术方案，下面将对本申请实施例或背景技术中所需要使用的附图进行说明。

图 1a 为本申请实施例提供的异步电路在未插入延迟单元之前的结构示意图；

图 1b 为本申请实施例提供的异步电路在插入延迟单元之后的结构示意图；

图 2a 为本申请实施例提供的异步电路中两相单轨握手控制器的一种结构示意图；

图 2b 为本申请实施例提供的异步电路中两相单轨握手控制器的另一种结构示意图；

图 3a 为本申请实施例提供的异步电路中源端握手控制器的一种结构示意图；

图 3b 为本申请实施例提供的异步电路中收端握手控制器的一种结构示意图；

图 4 为本申请实施例提供的异步电路的实现方法的流程示意图；

图 5 为本申请实施例提供的异步电路进行门级映射的示意图；

图 6 为本申请实施例提供的异步电路进行时钟声明的示意图；

图 7 为本申请实施例提供的异步电路恢复时钟传播路径的示意图；

图 8 为本申请实施例提供的异步电路设置相位寄存器的时钟输入端的示意图；

图 9 为本申请实施例提供的异步电路的时序分析报告的示意图。

具体实施方式

为了使本申请的目的、技术方案和优点更加清楚，下面将结合附图对本申请作进一步地详细描述。

以下实施例中所使用的术语只是为了描述特定实施例的目的，而并非旨在作为对本申请的限制。如在本申请的说明书和所附权利要求书中所使用的那样，单数表达形式“一个”、“一种”、“所述”、“上述”、“该”和“这一”旨在也包括例如“一个或多个”这种表达形式，除非其上下文中明确地有相反指示。

在本说明书中描述的参考“一个实施例”或“一些实施例”等意味着在本申请的一个或多个实施例中包括结合该实施例描述的特定特征、结构或特点。由此，在本说明书中的不同之处出现的语句“在一个实施例中”、“在一些实施例中”、“在其他一些实施例中”、“在另外一些实施例中”等不是必然都参考相同的实施例，而是意味着“一个或多个但不是所有的实

施例”，除非是以其他方式另外特别强调。术语“包括”、“包含”、“具有”及它们的变形都意味着“包括但不限于”，除非是以其他方式另外特别强调。

另外，在图中相同的附图标记表示相同或类似的结构，因而将省略对它们的重复描述。本申请中所描述的表示位置与方向的词，均是以附图为例进行的说明，但根据需要也可以做出改变，所做改变均包含在本申请保护范围内。本申请的附图仅用于示意相对位置关系不代表真实比例。

本申请提供的一种异步电路、其实现方法、芯片、介质、产品及电子设备可以应用于各种数字逻辑芯片，尤其适用于诸如物联网芯片、人工智能芯片、神经网络芯片等对低功耗电路和高吞吐量计算都有巨大需求的芯片，异步电路的无时钟、数据驱动、高鲁棒性等特点可以满足这些芯片的需求。

本申请实施例提供的一种异步电路，参照图 1a 和图 1b，可以包括：控制通路 100 和数据通路 200。控制通路 100 具体可以包括多级异步握手控制器 110 和延迟单元 120，延迟单元 120 插入在多级异步握手控制器 110 中各级异步握手控制器之间；各级异步握手控制器 110 用于产生脉冲信号，延迟单元 120 用于控制异步电路满足相对时序约束。参照图 1a，在构建异步电路时，会采用异步握手控制器 110 先形成多级异步数据流（图 1a 中以三级异步数据流为例），构成异步流水线。参照图 1b，异步电路需要经过延迟匹配，在异步握手控制器 110 之间插入延迟单元 120，才可以控制整个异步流水线的相对时序约束。如果需要扩展异步流水线，可以在多级异步握手控制器 110 的中间级插入串联的 click 模板，则可以形成更多级的异步流水线。多级异步握手控制器 110 中的第一级为具有一对输出握手协议的源端握手控制器 112，多级异步握手控制器 110 中的最后一级为具有一对输入握手协议的收端握手控制器 113，多级异步握手控制器 110 中的其他级为具有一对输入握手协议和一对输出握手协议的两相单轨握手控制器 111。数据通路 200 可以包括多级触发电路 210 和组合逻辑电路 220，组合逻辑电路 220 插入在多级触发电路 210 中的各级触发电路 210 之间。多级触发电路 210 和多级异步握手控制器 110 一一对应设置，每级触发电路 210 可以包括一个或多个触发器 D，一级异步握手控制器 110 和对应的一级触发电路 210（以包含一个触发器 D 为例）构成一级异步数据流，可以认为在异步电路中包含多级异步数据流。各级触发电路 210 用于根据对应级异步握手控制器 110 产生的脉冲信号对数据进行捕捉和存储，组合逻辑电路 220 可以对数据进行处理。

参照图 1a 和图 1b，在本申请实施例中，在启动异步电路时，可以向控制通路 100 的第一级异步握手控制器 112 输入起始信号，启动异步流水线，各级异步握手控制器 110 会按顺序在第一级开始产生第一个脉冲（fire）信号。有效数据 In_Data 输入至数据通路 200 后，在每级触发电路 210 接收到对应级异步握手控制器 110 产生的脉冲信号后，对数据进行捕捉和存储并发送至组合逻辑电路 220 进行数据处理后传输至下一级触发电路 210，直至最后一级触发电路 210 输出有效数据 Out_Data 完成数据异步传输。

在本申请实施例提供的上述异步电路的控制通路中，可以采用相位解耦 click 模板来构建多级异步握手控制器中的中间级，实现两相捆绑数据的握手协议。而第一级和最后一级异步握手控制器分别采用 click 模板的变体以形成控制通路的头和尾，即源端握手控制器和收端握手控制器，实现了构建完整的控制流水线，大大增加了流水线的可用性，并且无需在控制通路的首尾额外接入转接电路，可以简化电路设计。

在本申请实施例中，可以采用相位解耦 click 模板来构建多级异步握手控制器中的中间

级, 实现两相捆绑数据的握手协议。参照图 2a 和图 2b, 两相单轨握手控制器 111 具体包括: 异或门、同或门、与门和相位寄存器。异或门的两个输入端用于传输一对输入握手协议, 一对输入握手协议包括输入请求信号 In_Req 和输入应答信号 In_Ack。同或门的两个输入端用于传输一对输出握手协议, 一对输出握手协议包括输出请求信号 Out_Req 和输出应答信号 Out_Ack。异或门的输出端和同或门的输出端分别与与门的两个输入端连接, 与门的输出端分别与相位寄存器的时钟输入端和触发器的时钟输入端连接, 与门的输出端用于产生脉冲信号作为时钟信号。

参照图 2a, 相位寄存器可以包括第一相位寄存器 Pi 和第二相寄存器 Po。第一相位寄存器 Pi 与上一级异步握手控制器之间可以单独设置第一延迟单元, 第二相寄存器 Po 与下一级异步握手控制器之间可以单独设置第二延迟单元, 第一延迟单元和第二延迟单元的延迟量可以相同也可以不同, 使得电路设计更灵活。第一相位寄存器 Pi 的时钟输入端和第二相位寄存器 Pi 的时钟输入端均与与门的输出端连接, 第一相位寄存器 Pi 的数据输入端和数据锁存输出端均用于传输一对输入握手协议中的输入应答信号 In_Ack, 第二相位寄存器 Po 的数据输入端和数据锁存输出端均用于传输一对输出握手协议中的输出请求信号 Out_Req。

或者, 参照图 2b, 相位寄存器也可以为一个, 以减小相位寄存器在电路中所占面积, 该相位寄存器 P 的时钟输入端与与门的输出端连接, 该相位寄存器 P 的数据输入端和数据锁存输出端均用于传输一对输入握手协议中的输入应答信号 In_Ack 和一对输出握手协议中的输出请求信号 Out_Req。

当上一级异步数据流需要发送有效数据 In_Data 时, 会对输入请求信号 In_Req 进行一次翻转, 在异或门与输入应答信号 In_Ack 进行异或操作产生一个高电平信号输出至与门的一个输入端。而下一级异步数据流在接收到本级异步数据流发送的有效数据 Out_Data 时, 会对输出应答信号 Out_Ack 进行一次翻转, 在同或门与输出请求信号 Out_Req 进行同或操作产生一个高电平信号输出至与门的另一个输入端。当同时满足 $In_Req \neq In_Ack$ 和 $Out_Req = Out_Ack$ 时, 即与门的两个输入端同时接收到高电平信号时, 与门会产生一个拉高的脉冲 (click) 信号作为时钟信号输出。click 信号会触发相位寄存器翻转, 改变输入应答信号 In_Ack 和输出请求信号 Out_Req 的值, 从而完成一次握手协议。这种握手协议是两相的, 即输入请求信号 In_Req 的每一次翻转都代表着一个有效数据 In_Data 的到来, 而不是高电平才有效。

在本申请实施例中, 参照图 3a, 多级异步握手控制器中第一级的源端握手控制器 112 具体包括: 至少两级同步器、同或门、与门和相位寄存器 P。至少两级同步器中每级同步器 S (Set) 的输入端均用于传输起始信号 start, 至少两级同步器中最后一级同步器 S 的输出端与与门的一个输入端连接。在源端握手控制器 112 中, 一般可以设置两级同步器 S, 即可消除起始信号的毛刺, 保证异步流水线内部握手信号的稳定。同或门的两个输入端用于传输一对输出握手协议, 一对输出握手协议包括输出请求信号 Out_Req 和输出应答信号 Out_Ack。同或门的输出端与与门的另一个输入端连接。与门的输出端分别与相位寄存器 P 的时钟输入端、至少两级同步器中每级同步器的时钟输入端和触发器 D 的时钟输入端连接, 与门的输出端用于产生脉冲信号作为时钟信号。相位寄存器 P 的数据输入端和数据锁存输出端均用于传输一对输出握手协议中的输出请求信号 Out_Req。源端握手控制器 112 可以在接收到的 start 信号拉高时, 产生脉冲信号输出, 在异步 start 信号关闭时, 能够正确的停

止产生本地脉冲信号。源端握手控制器 112 作为多级异步握手控制器的第一级可以提高控制流水线的完整性,无需在控制流水线的头部额外接入转接电路,可以简化电路设计。

在本申请实施例中,参照图 3b,多级异步握手控制器中最后一级的收端握手控制器 113 具体包括: 异或门和相位寄存器 P。异或门的输入端用于传输一对输入握手协议,一对输入握手协议包括输入请求信号 In_Req 和输入应答信号 In_Ack。异或门的输出端与相位寄存器 P 的时钟输入端连接,异或门的输出端用于产生脉冲信号作为时钟信号。相位寄存器 P 的数据输入端和数据锁存输出端均用于传输一对输入握手协议中的输入应答信号 In_Ack。收端握手控制器 113 可以源源不断的消耗输入请求信号 In_req,作为多级异步握手控制器的最后一级可以提高控制流水线的完整性,无需在控制流水线的尾部额外接入转接电路,可以简化电路设计。

基于同一发明构思,本申请实施例还提供了一种芯片,可以包括多个逻辑电路,多个逻辑电路中的至少部分逻辑电路为本申请实施例提供的上述异步电路。其他逻辑电路也可以包括同步电路,在此不做限定。本申请提供的芯片可以应用于各种数字逻辑芯片,尤其适用于诸如物联网芯片、人工智能芯片、神经网络芯片等对低功耗电路和高吞吐量计算都有巨大需求的芯片,异步电路的无时钟、数据驱动、高鲁棒性等特点可以满足这些芯片的需求。

下面将结合上述异步电路的示例来描述本申请一些实施例提供的异步电路的实现方法。该方法可以由诸如计算机之类的电子设备的处理器执行。虽然在此以处理器来描述本公开的一些实施例的执行,但是这仅是示意,而非对本公开的范围进行限制。可以使用其它计算装置,例如图形处理器等,来实施本公开的一些实施例的方法。

参照图 4,本申请实施例提供的异步电路的实现方法,可以具体包括以下步骤:

S2、对异步电路中的多级异步握手控制器进行时钟声明,并恢复时钟传播路径。

示例性的,该异步电路可以为本申请实施例提供的上述未插入延迟单元的异步电路,电路结构参见图 1a 处描述,此处不做赘述;也可以是插入延迟单元的异步电路,电路结构参见图 1b 处描述,此处不做赘述;还可以是其他异步电路,本申请对此不做限定。

示例性的,异步电路可以包括控制通路和数据通路,控制通路可以包括多级异步握手控制器,多级异步握手控制器中的第一级可以为具有一对输出握手协议的源端握手控制器,多级异步握手控制器中的最后一级可以为具有一对输入握手协议的收端握手控制器,多级异步握手控制器中的其他级可以为具有一对输入握手协议和一对输出握手协议的两相单轨握手控制器。

示例性的,可以采用相位解耦 click 模板来构建多级异步握手控制器中的中间级,实现两相捆绑数据的握手协议。例如,参照图 2a 和图 2b,两相单轨握手控制器 111 具体包括: 异或门、同或门、与门和相位寄存器。异或门的两个输入端用于传输一对输入握手协议,一对输入握手协议包括输入请求信号 In_Req 和输入应答信号 In_Ack。同或门的两个输入端用于传输一对输出握手协议,一对输出握手协议包括输出请求信号 Out_Req 和输出应答信号 Out_Ack。异或门的输出端和同或门的输出端分别与与门的两个输入端连接,与门的输出端分别与相位寄存器的时钟输入端和触发器的时钟输入端连接,与门的输出端用于产生脉冲信号作为时钟信号。

参照图 2a,相位寄存器可以包括第一相位寄存器 Pi 和第二相寄存器 Po。第一相位寄存器 Pi 与上一级异步握手控制器之间可以单独设置第一延迟单元,第二相寄存器 Po 与下

一级异步握手控制器之间可以单独设置第二延迟单元，第一延迟单元和第二延迟单元的延迟量可以相同也可以不同，使得电路设计更灵活。第一相位寄存器 P_i 的时钟输入端和第二相位寄存器 P_i 的时钟输入端均与与门的输出端连接，第一相位寄存器 P_i 的数据输入端和数据锁存输出端均用于传输一对输入握手协议中的输入应答信号 In_Ack ，第二相位寄存器 P_o 的数据输入端和数据锁存输出端均用于传输一对输出握手协议中的输出请求信号 Out_Req 。或者，参照图 2b，相位寄存器也可以为一个，以减小相位寄存器在电路中所占面积，该相位寄存器 P 的时钟输入端与与门的输出端连接，该相位寄存器 P 的数据输入端和数据锁存输出端均用于传输一对输入握手协议中的输入应答信号 In_Ack 和一对输出握手协议中的输出请求信号 Out_Req 。

示例性的，参照图 3a，多级异步握手控制器中第一级的源端握手控制器 112 具体包括：至少两级同步器、同或门、与门和相位寄存器 P 。至少两级同步器中每级同步器 S (Set) 的输入端均用于传输起始信号 $start$ ，至少两级同步器中最后一级同步器 S 的输出端与与门的一个输入端连接。在源端握手控制器 112 中，一般可以设置两级同步器 S ，即可消除起始信号的毛刺，保证异步流水线内部握手信号的稳定。同或门的两个输入端用于传输一对输出握手协议，一对输出握手协议包括输出请求信号 Out_Req 和输出应答信号 Out_Ack 。同或门的输出端与与门的另一个输入端连接。与门的输出端分别与相位寄存器 P 的时钟输入端、至少两级同步器中每级同步器的时钟输入端和触发器 D 的时钟输入端连接，与门的输出端用于产生脉冲信号作为时钟信号。相位寄存器 P 的数据输入端和数据锁存输出端均用于传输一对输出握手协议中的输出请求信号 Out_Req 。源端握手控制器 112 可以在接收到的 $start$ 信号拉高时，产生脉冲信号输出，在异步 $start$ 信号关闭时，能够正确的停止产生本地脉冲信号。源端握手控制器 112 作为多级异步握手控制器的第一级可以提高控制流水线的完整性，无需在控制流水线的头部额外接入转接电路，可以简化电路设计。

示例性的，参照图 3b，多级异步握手控制器中最后一级的收端握手控制器 113 具体包括：异或门和相位寄存器 P 。异或门的输入端用于传输一对输入握手协议，一对输入握手协议包括输入请求信号 In_Req 和输入应答信号 In_Ack 。异或门的输出端与相位寄存器 P 的时钟输入端连接，异或门的输出端用于产生脉冲信号作为时钟信号。相位寄存器 P 的数据输入端和数据锁存输出端均用于传输一对输入握手协议中的输入应答信号 In_Ack 。收端握手控制器 113 可以源源不断的消耗输入请求信号 In_req ，作为多级异步握手控制器的最后一级可以提高控制流水线的完整性，无需在控制流水线的尾部额外接入转接电路，可以简化电路设计。

示例性的，参照图 1a 和图 1b，异步电路的数据通路 200 ($data\ path$) 可以包括多级触发电路 210 和组合逻辑电路 220 ($function\ block$)，组合逻辑电路 220 插入在多级触发电路 210 中的各级触发电路 210 之间。多级触发电路 210 和多级异步握手控制器 110 一一对应设置，每级触发电路 210 可以包括一个或多个触发器 D ，一级异步握手控制器 110 和对应的一级触发电路 210 (以包含一个触发器 D 为例) 构成一级异步数据流，可以认为在异步电路中包含多级异步数据流。各级异步握手控制器 110 用于产生脉冲信号，各级触发电路 210 用于根据对应级异步握手控制器 110 产生的脉冲信号对数据进行捕捉和存储，组合逻辑电路 220 可以对数据进行处理。

参照图 4，在本申请一些实施例中，在对异步电路中的多级异步握手控制器进行时钟声明之前，还可以包括：

S1、对异步电路的各级异步握手控制器中的逻辑门电路进行门级映射 (mapping)。门级映射是指逻辑代码对应的各逻辑门电路的各端口到跟工艺对应的各逻辑门电路的端口之间的映射,即在 verilog 层面描述 click 单元时,直接采用工艺库中的器件进行建模。

以本申请实施例提供的上述异步电路为例,映射过程中涉及的逻辑门电路具体可以为图 5 中虚线框圈出的异或门、同或门以及与门这些逻辑门电路。由于后续进行时序约束时需要声明到逻辑门电路的各端口,直接采用工艺库中的器件进行建模,使时序约束的命令可以直接声明到指定的管脚 (pin),同时不绑定特定工艺,达到与工艺无关的效果,提高了设计的灵活性。

参照图 6,在本申请实施例中,在对多级异步握手控制器 110 进行时钟声明时,可以按照上述门级映射,将第一级异步握手控制器 (即源端握手控制器 112) 中与门的输出端口定义为主时钟 (也可以称为源时钟),为了使 DC 工具能更好地识别主时钟和子时钟之间的关系,在主时钟和各子时钟之间形成时钟树,可以将各级异步握手控制器 (即源端握手控制器 112 和两相单轨握手控制器 111) 中用于传输一对输出握手协议的输出请求信号的各相位寄存器 P 的输出端口分别定义为子时钟。主时钟在后续の時序约束时需要声明周期和占空比,子时钟需要指定偏移量。主时钟与子时钟的数量之和等于异步握手控制器 110 的总级数。

参照图 7,在本申请实施例中,在恢复时钟传播路径时,可以将时钟传播路径中存在的具有非单因素决定 (non-unate) 属性的逻辑门电路 (例如可以与门、或门等)) 恢复为单因素决定 (unate) 属性,以避免工具无法分辨时钟上下降沿的产生,例如可以采用 “set_case_analysis” 命令恢复属性,参照图 7 中虚线图所示。并且,需要打断图 7 中虚线框所示的时钟传播路径中的时序环路,才能保证 ASIC 流程中传播路径的正常分析。

通过上述时钟声明和恢复时钟传播路径,可以实现传播时序约束。

S3、对时钟传播路径设置设定偏移量后,对异步电路进行初次综合。

在本申请实施例中,可以对各子时钟设置相对主时钟相同的偏移量 (edge_shift),以确保工具能够以一定约束进行初次综合。其中,在芯片设计流程中的综合是指将芯片设计代码映射到晶体管的过程。

参照图 8,在本申请实施例中,在进行初次综合后,还可以对异步时钟树的综合进行优化:为了满足异步时钟传播路径的要求,在进行时钟树综合时主动打断各级异步时钟的之间联系,以确保每级异步握手控制器本地产生的脉冲信号可以分别做时钟树的平衡,而不会从第一级异步握手控制器的主时钟就开始平衡时钟树的偏移 (skew),导致 EDA 工具在时钟传播路径上插入无效的时钟缓冲单元作为延迟单元。例如使用 synopsys 的 ICC 工具时,在时钟树综合阶段对多级异步握手控制器中的相位寄存器的时钟输入端 (C 端) 设置为 exclude pin,实现打断全局时钟树、形成局部时钟树的目的。

S4、对多级异步握手控制器进行延迟匹配,即在各级异步握手控制器之间 (也是时钟传播路径) 插入延迟单元,每个延迟单元可以具体包括多个时钟缓冲单元。具体地,在不同级异步握手控制器之间插入的延迟单元的初始延迟量可以在异步电路数据库中查找。

S5、去除设定偏移量,具体可以把各子时钟的 edge_shift 重新调整为最小值例如 0.01,使得时钟传播路径内的延迟几乎都是由延迟单元所构成。

S6、对异步电路进行综合。

S7、对综合结果进行时序分析,确定插入延迟单元后的异步电路是否满足时序约束。

在本申请实施例中，具体可以直接通过静态时序分析报告即可看到插入的延迟单元是否合适，是否通过时序约束。在不满足时序约束时，执行步骤 S8；在满足时序约束时，可以输出时序约束结果。

参照图 9，左侧为插入延迟匹配之前的时序分析报告，右侧为插入延迟匹配后的时序分析报告。在时序分析报告中若 slack 值为正，则证明延迟匹配的余量已足够，可以停止迭代；若 slack 值为负，则说明还需要迭代即需要调整延迟单元后重新综合，直至 slack 值为正为止。

S8、根据综合结果调整延迟单元。

在本申请实施例中，根据综合结果调整延迟单元时，可以比对时序分析报告中的各子时钟的偏移量与插入的延迟单元之间的关系，在延迟单元大于子时钟的偏移量时，减少延迟单元，在延迟单元小于子时钟的偏移量时，增加延迟单元。

S9、对异步电路再次进行综合，之后返回执行步骤 S7。

本申请提供的异步电路实现方法，可以对异步电路的控制部分（即控制通路）和数据部分（数据通路）进行统一的时序分析，使用主时钟（即源时钟）和子时钟的传播过程来捕捉异步握手控制器中的握手信号，将异步电路的数据通路和控制通路统一在时钟分析中，确保对异步电路的所有电路进行时序约束。并能够将异步电路的相对时序约束转化成能被传统 EDA 工具识别的静态时序分析，利用 EDA 工具对异步电路进行电路优化和时序约束，来有效提高设计异步单轨电路的效率。

基于同一发明构思，本公开实施例提供了一种电子设备，包括：一个或多个处理器；以及包括计算机指令的存储器，计算机指令在由电子设备的一个或多个处理器执行时使得电子设备执行上述异步电路的实现方法。由于该电子设备解决问题的原理与上述异步电路的实现方法解决问题的原理相似，因此，本公开实施例提供的该电子设备的实施可以参见本公开实施例提供的上述异步电路的实现方法的实施，重复之处不再赘述。

基于同一发明构思，本公开实施例还提供了一种计算机可读存储介质，其上存储有计算机程序，该计算机程序被处理器执行时实现上述异步电路的实现方法。由于该计算机可读存储介质解决问题的原理与上述异步电路的实现方法解决问题的原理相似，因此，本公开实施例提供的该计算机可读存储介质的实施可以参见本公开实施例提供的上述异步电路的实现方法的实施，重复之处不再赘述。

用于实施本公开的方法的程序代码可以采用一个或多个编程语言的任何组合来编写。这些程序代码可以提供给通用计算机、专用计算机或其他可编程数据处理装置的处理器或控制器，使得程序代码当由处理器或控制器执行时使流程图和/或框图中所规定的功能/操作被实施。程序代码可以完全在机器上执行、部分地在机器上执行，作为独立软件包部分地在机器上执行且部分地在远程机器上执行或完全在远程机器或服务器上执行。

在本公开的上下文中，机器可读介质可以是有形的介质，其可以包含或存储以供指令执行系统、装置或设备使用或与指令执行系统、装置或设备结合地使用的程序。机器可读介质可以是机器可读信号介质或机器可读储存介质。机器可读介质可以包括但不限于电子的、磁性的、光学的、电磁的、红外的、或半导体系统、装置或设备，或者上述内容的任何合适组合。机器可读存储介质的更具体示例会包括基于一个或多个线的电气连接、便携式计算机盘、硬盘、随机存取存储器（RAM）、只读存储器（ROM）、可擦除可编程只读存储器（EPROM 或快闪存储器）、光纤、便捷式紧凑盘只读存储器（CD-ROM）、光学储

存设备、磁储存设备、或上述内容的任何合适组合。

显然，本领域的技术人员可以对本申请进行各种改动和变型而不脱离本申请的保护范围。这样，倘若本申请的这些修改和变型属于本申请权利要求及其等同技术的范围之内，则本申请也意图包含这些改动和变型在内。

权利要求

1.一种异步电路，其特征在于，包括：控制通路和数据通路；

所述控制通路包括多级异步握手控制器和延迟单元，所述延迟单元插入在所述多级异步握手控制器中各级异步握手控制器之间；所述各级异步握手控制器用于产生脉冲信号，
5 所述延迟单元用于控制所述异步电路满足相对时序约束；

所述多级异步握手控制器中的第一级为具有一对输出握手协议的源端握手控制器，所述多级异步握手控制器中的最后一级为具有一对输入握手协议的收端握手控制器，所述多级异步握手控制器中的其他级为具有一对输入握手协议和一对输出握手协议的两相单轨握手控制器；

10 所述数据通路包括多级触发电路和组合逻辑电路，所述组合逻辑电路插入在所述多级触发电路中的各级触发电路之间；所述各级触发电路用于根据对应级异步握手控制器产生的脉冲信号对数据进行捕捉和存储。

2.如权利要求 1 所述的异步电路，其特征在于，所述源端握手控制器包括：至少两级
15 同步器、同或门、与门和相位寄存器；

所述至少两级同步器中每级同步器的输入端均用于传输起始信号，所述同或门的输入端用于传输一对输出握手协议，所述至少两级同步器中最后一级同步器的输出端和所述同或门的输出端分别与所述与门的输入端连接，所述与门的输出端分别与所述相位寄存器的时钟输入端、所述至少两级同步器中每级同步器的时钟输入端和所述触发电路的时钟输入
20 端连接，所述与门的输出端用于产生所述脉冲信号；

所述相位寄存器的数据输入端和数据锁存输出端均用于传输所述一对输出握手协议中的输出请求信号。

3.如权利要求 1 所述的异步电路，其特征在于，所述收端握手控制器包括：异或门和
25 相位寄存器；

所述异或门的输入端用于传输一对输入握手协议，所述异或门的输出端与所述相位寄存器的时钟输入端连接，所述异或门的输出端用于产生所述脉冲信号；所述相位寄存器的数据输入端和数据锁存输出端均用于传输所述一对输入握手协议中的输入应答信号。

4.如权利要求 1 所述的异步电路，其特征在于，所述两相单轨握手控制器包括：异或
30 门、同或门、与门和相位寄存器；

所述异或门的输入端用于传输一对输入握手协议，所述同或门的输入端用于传输一对输出握手协议，所述异或门的输出端和所述同或门的输出端分别与所述与门的输入端连接，所述与门的输出端分别与所述相位寄存器的时钟输入端和所述触发电路的时钟输入端连
35 接，所述与门的输出端用于产生所述脉冲信号；

所述相位寄存器用于传输所述一对输入握手协议中的输入应答信号和所述一对输出握手协议中的输出请求信号。

5.如权利要求 4 所述的异步电路，其特征在于，所述相位寄存器包括第一相位寄存器

和第二相位寄存器，所述第一相位寄存器的时钟输入端和所述第二相位寄存器的时钟输入端均与所述与门的输出端连接，所述第一相位寄存器的数据输入端和数据锁存输出端均用于传输所述一对输入握手协议中的输入应答信号，所述第二相位寄存器的数据输入端和数据锁存输出端均用于传输所述一对输出握手协议中的输出请求信号。

5

6.一种芯片，其特征在于，包括多个逻辑电路，所述多个逻辑电路中的至少部分逻辑电路为异步电路，所述异步电路包括控制通路和数据通路；

10

所述控制通路包括多级异步握手控制器和延迟单元，所述延迟单元插入在所述多级异步握手控制器中各级异步握手控制器之间；所述各级异步握手控制器用于产生脉冲信号，所述延迟单元用于控制所述异步电路满足相对时序约束；

所述多级异步握手控制器中的第一级为具有一对输出握手协议的源端握手控制器，所述多级异步握手控制器中的最后一级为具有一对输入握手协议的收端握手控制器，所述多级异步握手控制器中的其他级为具有一对输入握手协议和一对输出握手协议的两相单轨握手控制器；

15

所述数据通路包括多级触发电路和组合逻辑电路，所述组合逻辑电路插入在所述多级触发电路中的各级触发电路之间；所述各级触发电路用于根据对应级异步握手控制器产生的脉冲信号对数据进行捕捉和存储。

20

7.一种异步电路的实现方法，其特征在于，包括：

对异步电路中的多级异步握手控制器进行时钟声明，并恢复时钟传播路径；

对所述时钟传播路径设置设定偏移量后，对所述异步电路进行初次综合；

对所述多级异步握手控制器插入延迟单元进行延迟匹配，并去除所述设定偏移量，对所述异步电路进行综合；

25

在确定综合后的异步电路未通过时序约束时，根据综合结果调整所述延迟单元，对所述异步电路再次进行综合，直至经过调整后的延迟单元的异步电路通过时序约束。

8.如权利要求7所述的实现方法，其特征在于，在对异步电路中的多级异步握手控制器进行时钟声明之前，还包括：

30

对所述异步电路的各级异步握手控制器中的逻辑门电路进行门级映射，所述门级映射用于在逻辑代码对应的各逻辑门电路的端口与工艺对应的各逻辑门电路的端口之间进行映射。

9.如权利要求7或8所述的实现方法，其特征在于，所述对所述多级异步握手控制器进行时钟声明，包括：

35

将所述多级异步握手控制器中第一级异步握手控制器的与门的输出端口定义为主时钟，将多级异步握手控制器中用于传输一对输出握手协议的输出请求信号的各相位寄存器的输出端口分别定义为子时钟。

40

10.如权利要求9所述的实现方法，其特征在于，所述恢复时钟传播路径，还包括：

将时钟传播路径中存在的具有非单因素决定属性的逻辑门电路恢复为单因素决定属

性，并打断时钟传播路径中的时序环路。

11.如权利要求 9 所述的实现方法，其特征在于，在进行初次综合后，还包括：
打断各级异步握手控制器之间的异步时钟联系。

5

12.如权利要求 11 所述的实现方法，其特征在于，打断各级异步握手控制器之间的异步时钟联系，包括：

将所述多级异步握手控制器中的相位寄存器的时钟输入端设置为 `exclude_pin`。

10

13.如权利要求 9-12 任一项所述的实现方法，其特征在于，根据综合结果调整所述延迟单元，包括：

在所述综合结果中确定所述子时钟的偏移量大于所述延迟单元时，增加所述延迟单元；
在所述综合结果中确定所述子时钟的偏移量小于所述延迟单元时，减少所述延迟单元。

15

14.一种计算机可读存储介质，其特征在于，存储多个程序，所述多个程序被配置为一个或多个处理器执行，所述多个程序包括用于执行权利要求 7-13 中任一项所述的方法的指令。

20

15.一种计算机程序产品，其特征在于，所述计算机程序产品包括多个程序，所述多个程序被配置为一个或多个处理器执行，所述多个程序包括用于执行权利要求 7-13 中任一项所述的方法的指令。

25

16.一种电子设备，其特征在于，包括：

一个或多个处理器；以及

包括计算机指令的存储器，所述计算机指令在由所述电子设备的所述一个或多个处理器执行时使得所述电子设备执行权利要求 7-13 中任一项所述的方法。

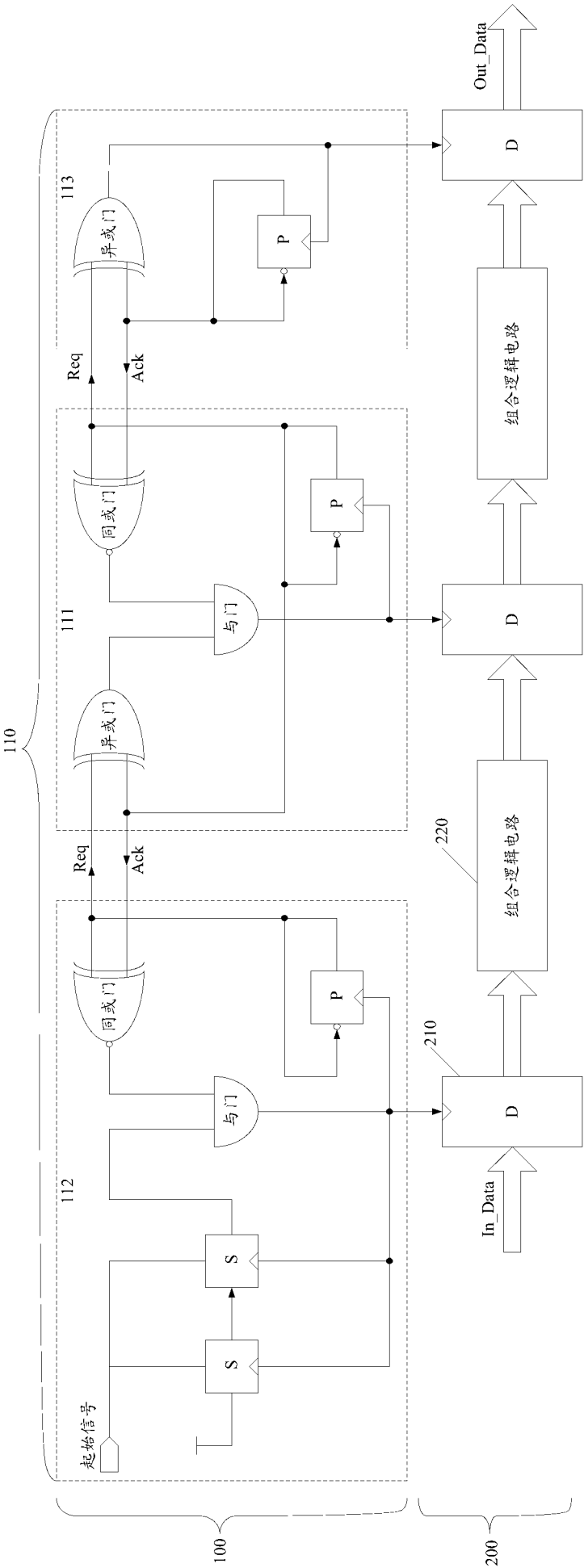


图 1a

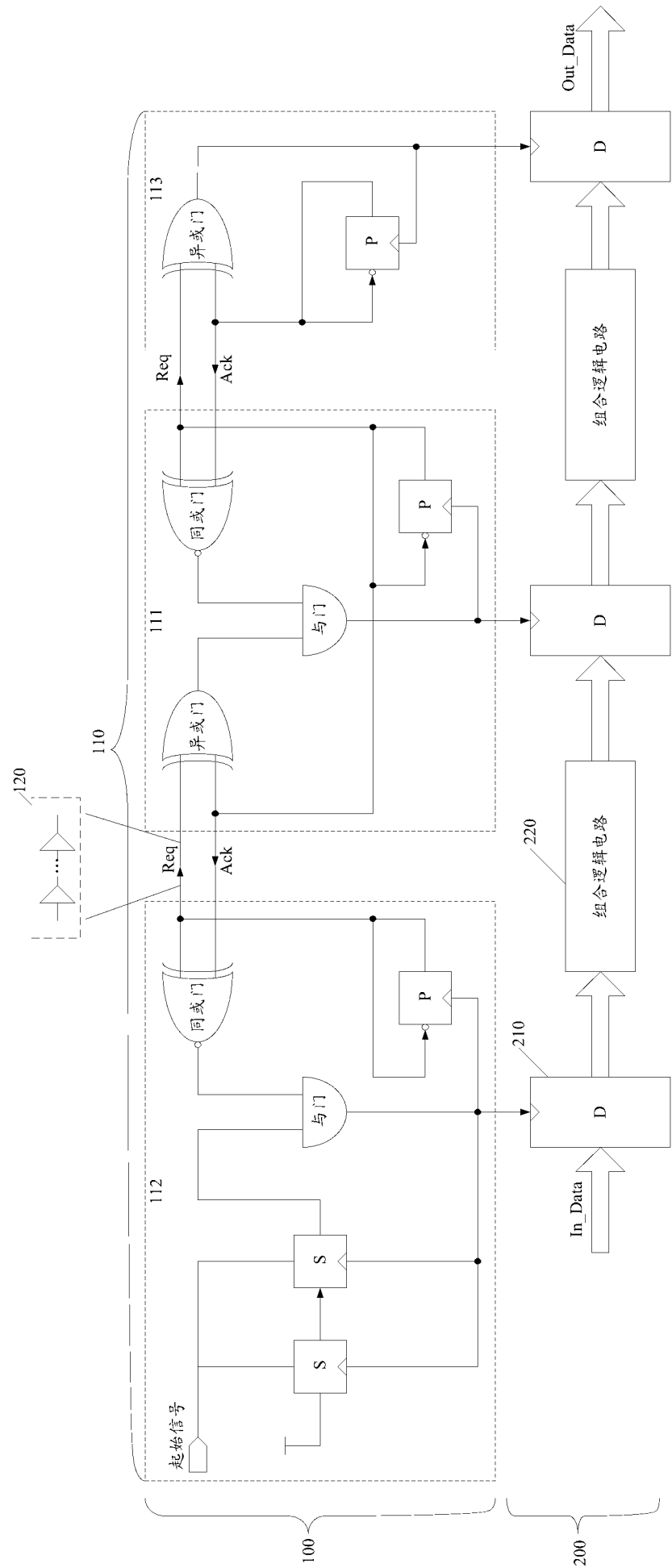


图 1b

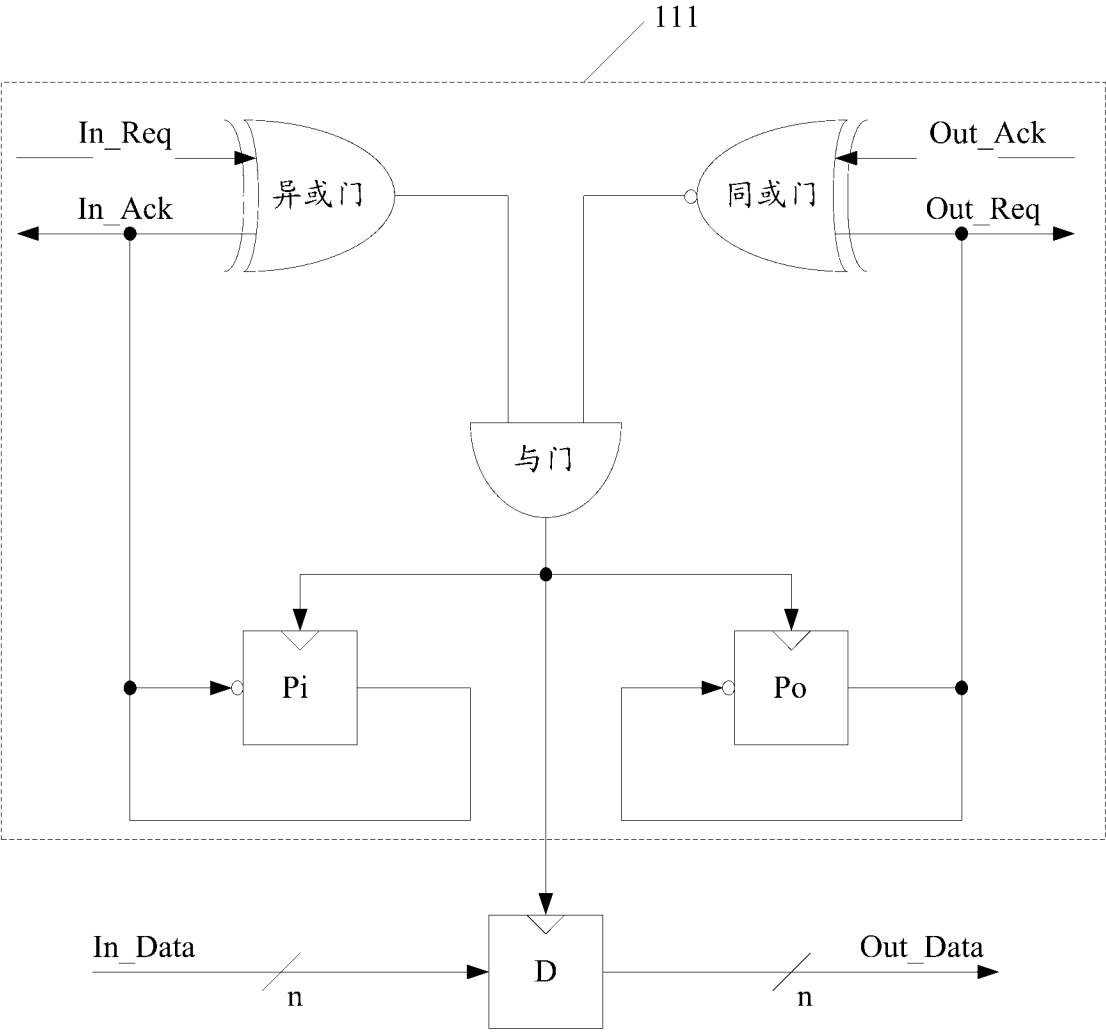


图 2a

111

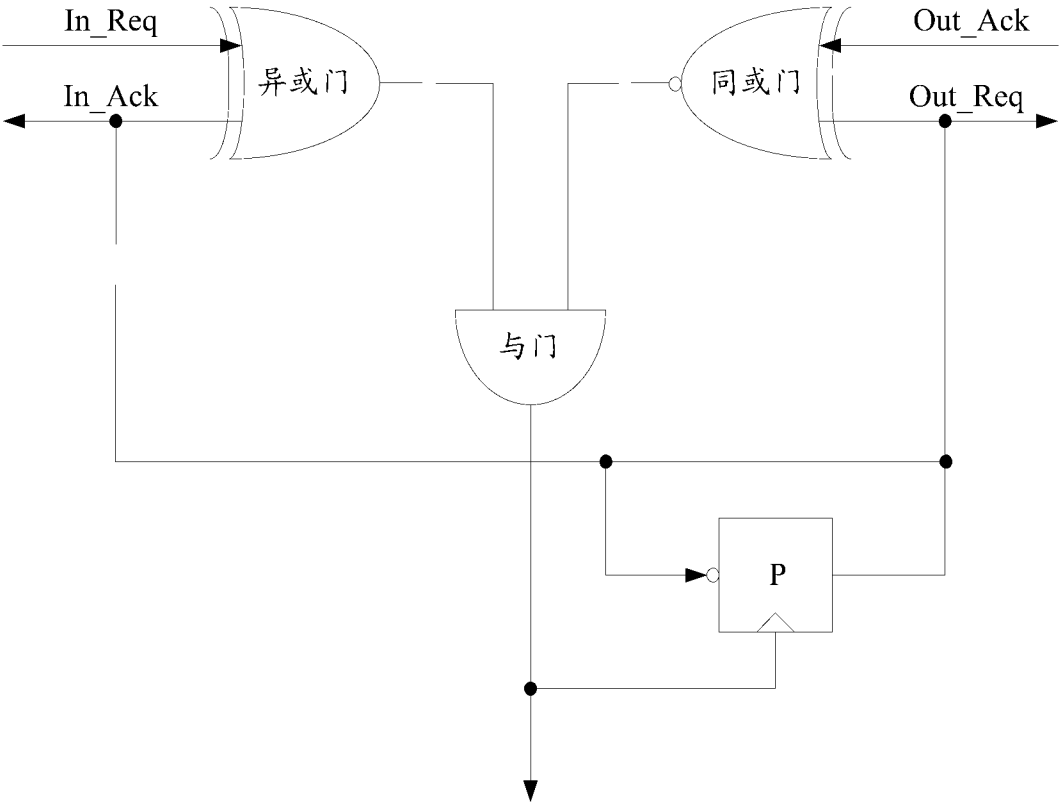


图 2b

112

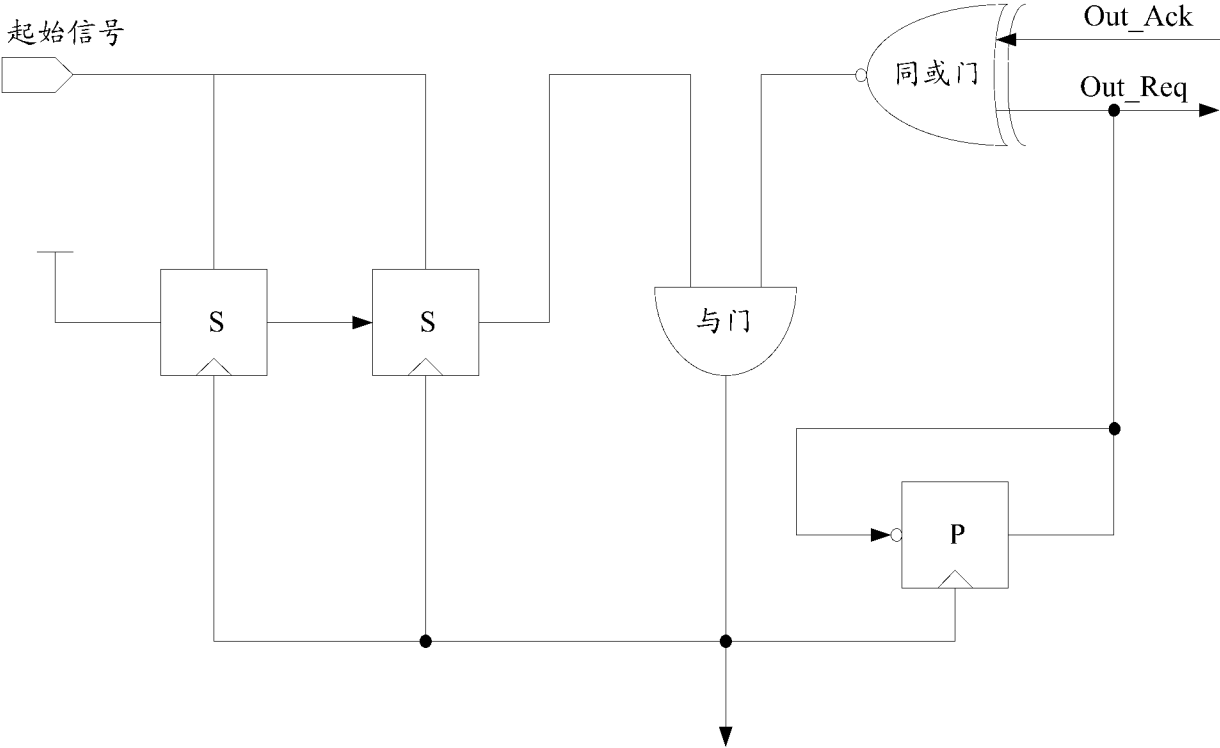


图 3a

113

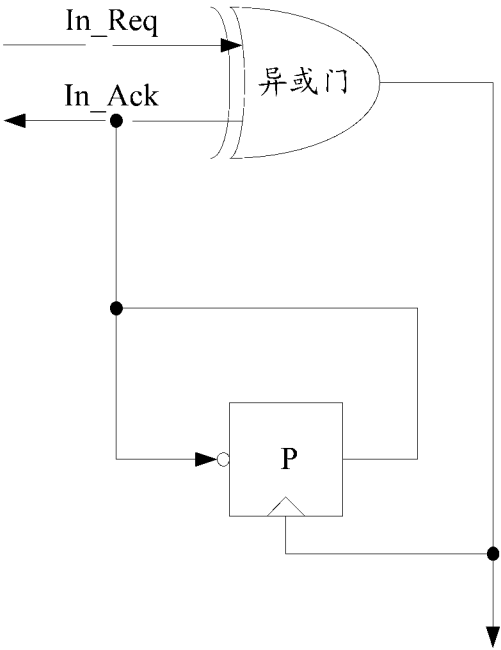


图 3b

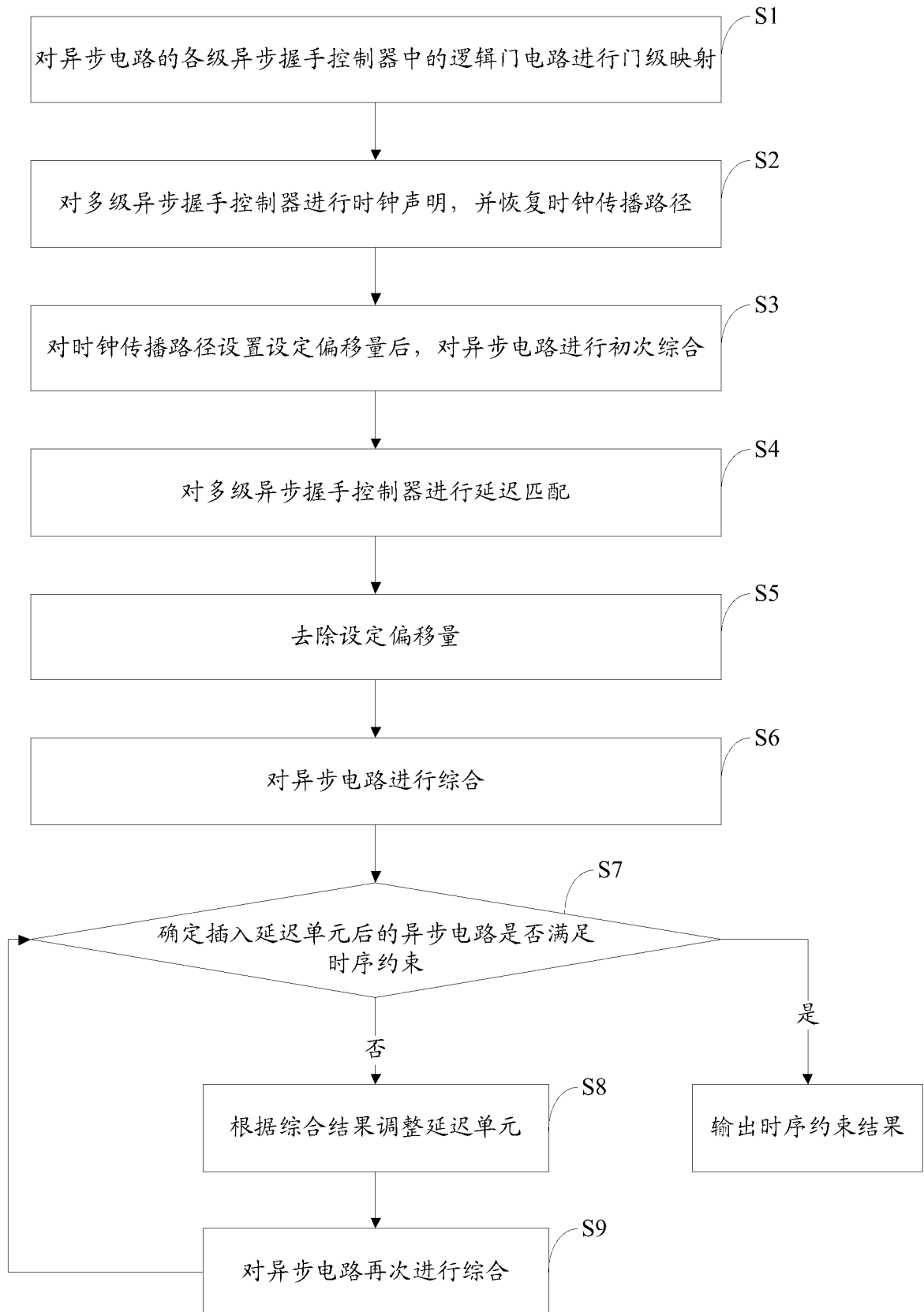


图 4

Verilog层面的逻辑门描述		
工艺库异或门的器件名	实例名1	(.A1(In_Req), .A2(Out_Ack), .Z(xor_w))
工艺库同或门的器件名	实例名2	(.A1(In_Req), .A2(Out_Ack), .Z(xor_w))
工艺库与门的器件名	实例名3	(.A1(In_Req), .A2(Out_Ack), .Z(xor_w))

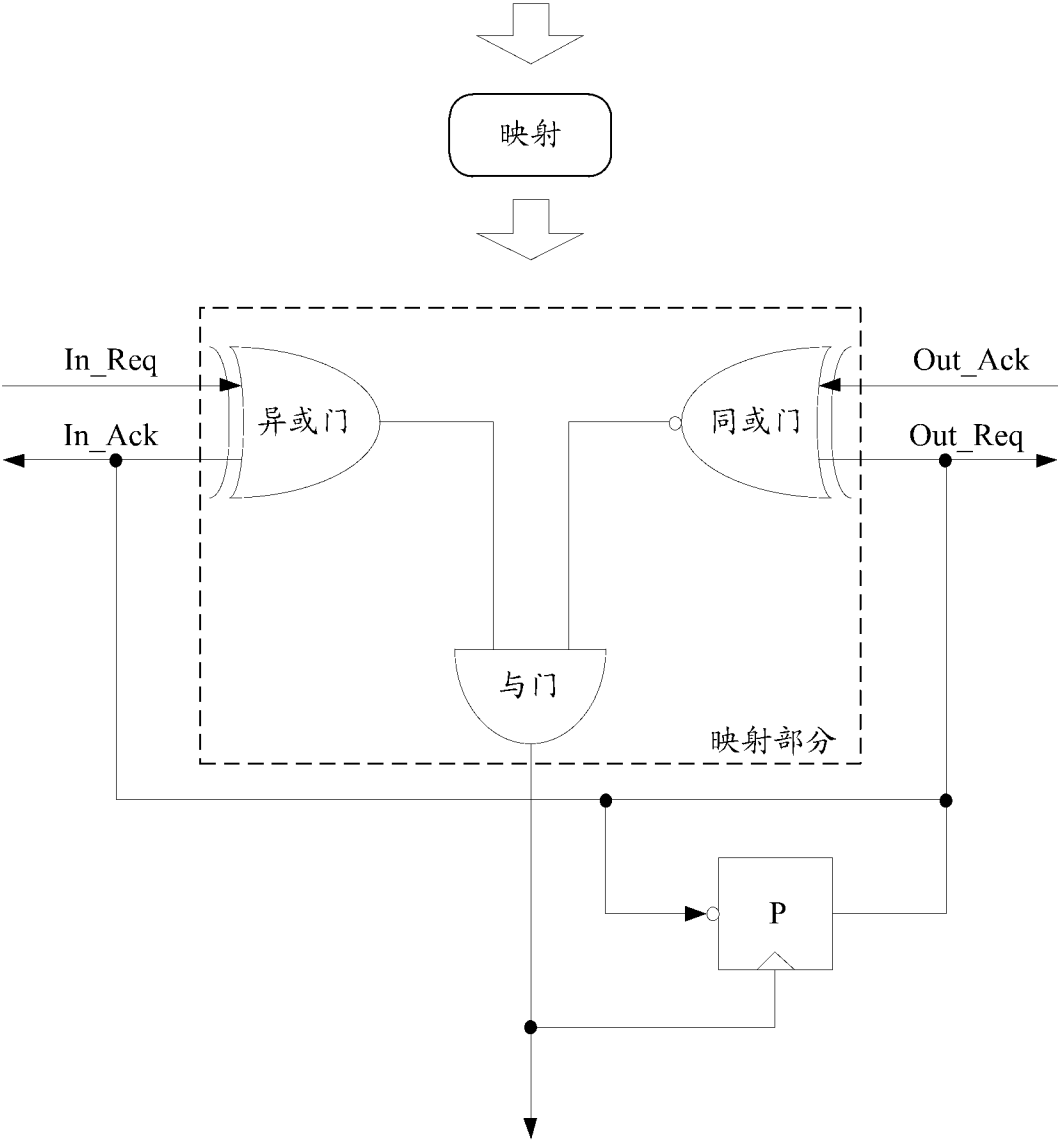


图 5

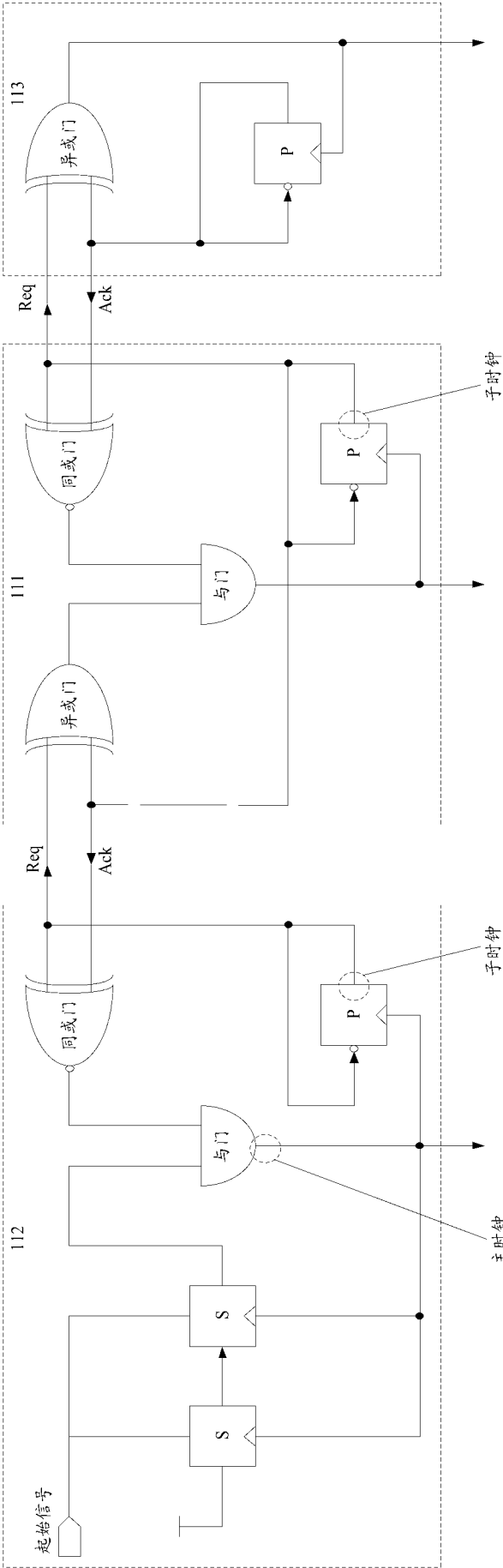


图 6

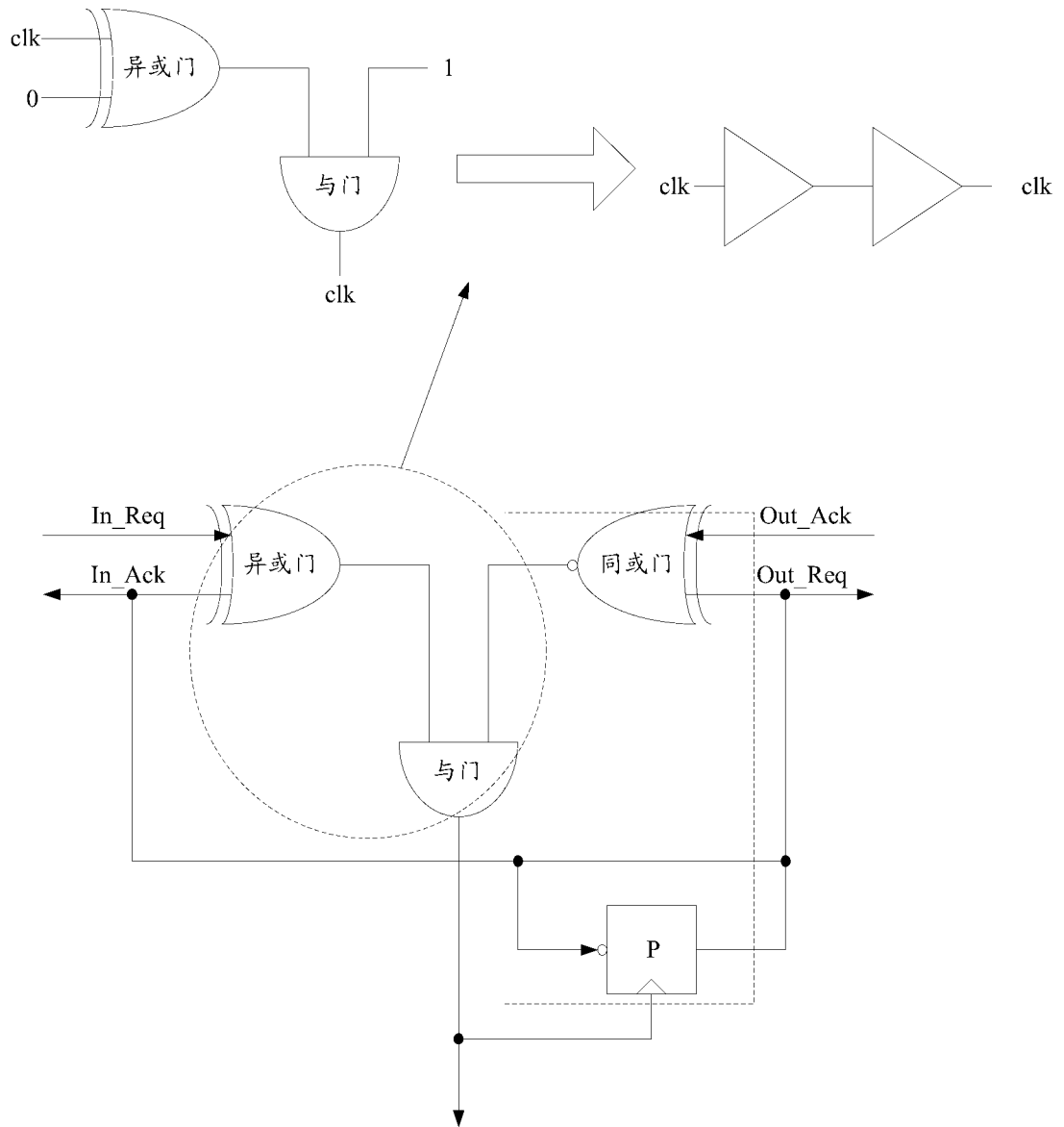


图 7

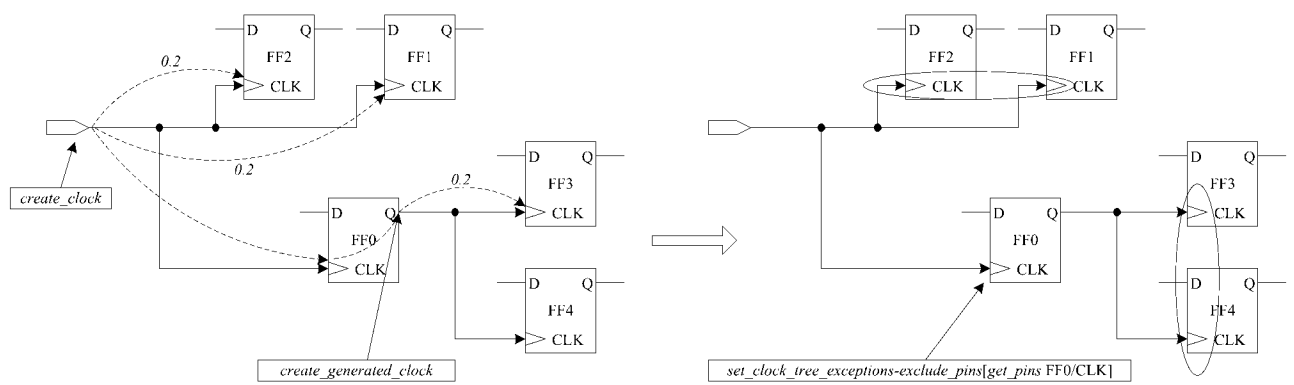


图 8

Point	Incr	Path	Point	Incr	Path
clock fire1 (rise edge)	0.00	0.00	clock fire1 (rise edge)	0.00	0.00
clock network delay (ideal)	0.00	0.00			
XNR2D0BWP12T	0.07	0.07	XNR2D0BWP12T	0.07	0.26
.....					
data arrival time		1.91	data arrival time		1.95
clock fire2 (rise edge)	2.20	2.20	clock fire2 (rise edge)	0.01	0.01
clock network delay (ideal)	0.00	0.00			
clock uncertainty	-0.20	2.00	clock uncertainty	-0.20	2.01
.....					

图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/096808

A. CLASSIFICATION OF SUBJECT MATTER

G06F 15/78(2006.01)i; G06F9/48(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:G06F,H04L,H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT; ENTXT; CNABS; WPABS; CJFD; DWPI; CNKI; IEEE; 3GPP: 异步, 电路, 时钟, 时序, 偏移, 差值, 延迟, 时延, 延时, 数据, 电子设计自动化, asynchronous, circuit?, clock?, tim+, offset, differen+, delay, laten+, data, EDA

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2023279341 A1 (HUAWEI TECHNOLOGIES CO., LTD.) 12 January 2023 (2023-01-12) page 7, paragraph 2-page 17, paragraph 2, and figures 1-13	1-16
X	CN 109871611 A (TSINGHUA UNIVERSITY) 11 June 2019 (2019-06-11) description, paragraphs 28-29, and figures 1-5	1-16
A	CN 103874968 A (CORNELL UNIVERSITY) 18 June 2014 (2014-06-18) entire document	1-16
A	CN 105306022 A (BEIJING INSTITUTE OF TECHNOLOGY) 03 February 2016 (2016-02-03) entire document	1-16
A	US 9449127 B1 (MISHRA ATEET et al.) 20 September 2016 (2016-09-20) entire document	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

08 December 2023

Date of mailing of the international search report

14 December 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/096808

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2023279341	A1	12 January 2023	None			
CN	109871611	A	11 June 2019	CN	109871611	B	08 June 2021
CN	103874968	A	18 June 2014	WO	2013020114	A1	07 February 2013
				US	2014372784	A1	18 December 2014
				US	9633157	B2	25 April 2017
				CN	103874968	B	26 October 2016
CN	105306022	A	03 February 2016	CN	105306022	B	12 June 2018
US	9449127	B1	20 September 2016	US	2016292332	A1	06 October 2016

A. 主题的分类

G06F 15/78(2006.01)i; G06F9/48(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:G06F,H04L,H03K

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词 (如使用))

CNTEXT;ENTEXT;CNABS;WPABS;CJFD;DWPI;CNKI;IEEE;3GPP: 异步, 电路, 时钟, 时序, 偏移, 差值, 延迟, 时延, 延时, 数据, 电子设计自动化, asynchronous, circuit?, clock?, tim+, offset, differen+, delay, laten+, data, EDA

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	WO 2023279341 A1 (HUAWEI TECH CO LTD) 2023年1月12日 (2023 - 01 - 12) 第7页第2段-第17页第2段, 图1-13	1-16
X	CN 109871611 A (清华大学) 2019年6月11日 (2019 - 06 - 11) 说明书第28-29段, 图1-5	1-16
A	CN 103874968 A (康奈尔大学) 2014年6月18日 (2014 - 06 - 18) 全文	1-16
A	CN 105306022 A (北京理工大学) 2016年2月3日 (2016 - 02 - 03) 全文	1-16
A	US 9449127 B1 (MISHRA ATEET 等) 2016年9月20日 (2016 - 09 - 20) 全文	1-16

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“p” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2023年12月8日

国际检索报告邮寄日期

2023年12月14日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

张慧玲

电话号码 (+86) 62412229

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/096808

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
WO	2023279341	A1	2023年1月12日	无	
CN	109871611	A	2019年6月11日	CN	109871611 B 2021年6月8日
CN	103874968	A	2014年6月18日	WO	2013020114 A1 2013年2月7日
				US	2014372784 A1 2014年12月18日
				US	9633157 B2 2017年4月25日
				CN	103874968 B 2016年10月26日
CN	105306022	A	2016年2月3日	CN	105306022 B 2018年6月12日
US	9449127	B1	2016年9月20日	US	2016292332 A1 2016年10月6日