



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

209760

(11)

(B1)

(51) Int. Cl.³
G 06 F 15/16

/22/ Přihlášeno 13 06 80
/21/ /PV 4189-80/

(40) Zveřejněno 31 03 81

(45) Vydáno 15 02 83

(75)

Autor vynálezu

SMÍŠEK JIŘÍ ing., PRAHA

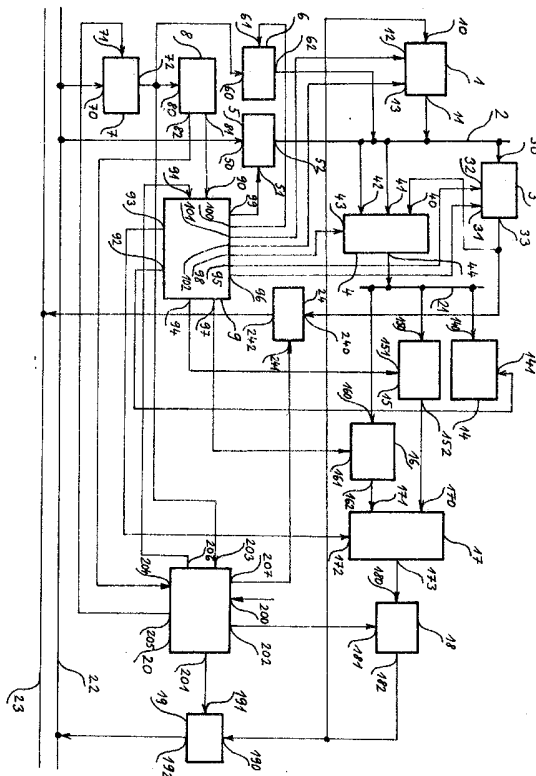
(54) Zapojení řadiče procesoru

Vynález se týká oboru samočinné počítače - základní jednotka. Zapojení řeší zvýšení operační rychlosti malého počítače zároveň s úsporou materiálu.

Řešení úspory materiálu se dosahuje použitím instrukčního dekodéru a dekodéru časových signálů s takovými funkčními vlastnostmi, že lze využít posuvného adresního registru jednak pro uložení konstanty nebo adresy, jednak pro provedení operací rotace a aritmetický posuv. Další část řešení úspory spočívá ve vhodném řízení přepínače druhé vnitřní sběrnice, čímž se značně zjednoduší funkce bloku konstant na B-vstupu aritmeticko-logické jednotky. Zvýšení operační rychlosti se řeší vynecháním jednoho nebo dvou taktů generátoru časových signálů, které lze zajistit propojením výstupů instrukčního registru a instrukčního dekodéru se vstupy generátoru časových signálů. Zvýšení operační rychlosti přispívají další funkční vlastnosti dekodéru časových signálů, které umožňují efektivně řídit činnost datového registru na A-vstupu aritmeticko-logické jednotky.

Možnost použití je pouze v uvedeném oboru.

Daný vynález je charakterizován předemětem vynálezu.



Předmětem vynálezu je zapojení řadiče procesoru, které ve spojení s datovou cestou procesoru řeší zvýšení operační rychlosti malého počítače zároveň s úsporou materiálu.

V praxi je procesor počítače řešen mnoha způsoby a jeho složitost odpovídá funkčním vlastnostem celého počítače. Například u malého řídicího počítače je instrukční soubor značně omezený a jedním z hlavních hledisek návrhu procesoru je co možná nejmenší počet elektronických obvodů a vysoká operační rychlost. Tomuto požadavku je podřízen návrh jak datové cesty procesoru, tak i řadiče. V dosud známých zapojeních procesorů malých počítačů nejsou uvedené požadavky splněny zcela optimálním způsobem. Například při volbě registrové orientace instrukcí rotace a aritmetický posuv není uvažována možnost vhodným řízením datové cesty kumulovat funkce některých registrů, a tak dosáhnout určité úspory materiálu. Dále není uvažována možnost efektivnějšího využití doby trvání jednotlivých fází řadiče procesoru při provádění skokových a jednooperandových instrukcí a instrukcí zanášení konstanty do zápisníkové paměti. Konečně zrychlení slabikových operací je zde řešeno ne zcela úsporným způsobem.

Optimálnější splnění uvedených kritérií poskytuje zapojení řadiče procesoru podle vynálezu, jehož podstatou je, že první výstup instrukčního dekodéru je spojen s prvním vstupem dekodéru časových signálů, druhý výstup instrukčního dekodéru je spojen s druhým vstupem generátoru časových signálů, výstup instrukčního registru je spojen s třetím vstupem generátoru časových signálů, jehož pátý výstup je zapojen na druhý vstup dekodéru časových signálů, třetí výstup dekodéru časových signálů je spojen s hladinovým hodinovým vstupem datového registru, čtvrtý výstup dekodéru časových signálů je spojen s hodinovým vstupem posuvného adresního registru, pátý výstup dekodéru časových signálů je spojen se zápisovým vstupem posuvného adresního registru a sedmý výstup dekodéru časových signálů je zapojen na ovládací vstup přepínače druhé vnitřní sběrnice.

Výhodou tohoto zapojení je skutečnost, že v posuvném adresním registru se kumulují funkce uložení konstanty, rotace a aritmetický posuv. Tímto spojením odpadá nutnost realizovat zvláštními obvody jak funkci uložení, tak i funkci posouvání. Další výhodou je možnost efektivněji využít doby trvání jednotlivých fází generátoru časových signálů, a tak zvýšit operační rychlost procesoru. Konečně při daném ovládání přepínače druhé vnitřní sběrnice, pro realizaci zrychlení slabikových operací, se zajistí úspora přepínače na B-vstupu aritmeticko-logické jednotky, a tím optimálnější řešení bloku generace konstanty.

Na připojeném výkrese je zapojení podle vynálezu, kde je uvedeno vzájemné propojení jednotlivých bloků společně s jejich označením.

První vnitřní sběrnice 2 je spojena s výstupem 11 zápisníkové paměti 1, se vstupem 30 posuvného adresního registru 3, s výstupem 52 datového přijímače 5, s druhým vstupem 41 a se třetím vstupem 42 přepínače 4 a s výstupem 62 hradla 6. Druhá vnitřní sběrnice 21 je spojena s výstupem 44 přepínače 4, se vstupem 140 instrukčního čítače 14, se vstupem 150 datového registru 15 a se vstupem 160 bloku 16 generace konstanty. Výstup 152 datového registru 15 je spojen s A-vstupem 170 aritmeticko-logické jednotky 17, jejíž B-vstup 171 je spojen s výstupem 162 bloku 16 generace konstanty, a jejíž výstup 173 je spojen s datovým vstupem 180 výstupního datového registru 18. Jeho výstup 182 je spojen s datovým vstupem 10 zápisníkové paměti 1 a s datovým vstupem 190 datového vysílače 19, jehož výstup 192 je spojen přes vnější datovou sběrnici 22 s datovým vstupem 70 instrukčního registru 7 a s datovým vstupem 50 datového přijímače 5. Výstup 33 posuvného adresního registru 3 je spojen s prvním vstupem 40 přepínače 4 a s adresním vstupem 240 adresního vysílače 24, jehož výstup 242 je spojen s vnější adresní sběrnici 23. Výstup 72 instrukčního registru 7 je spojen s datovým vstupem 60 hradla 6, se vstupem 80 instrukčního dekodéru 8 a se třetím vstupem 203 generátoru 20 časových signálů. První výstup 81 instrukčního dekodéru 8 je spojen s prvním vstupem 90 dekodéru 2 časových signálů, druhý výstup 82 instrukčního dekodéru 8 je spojen s druhým vstupem 204 generátoru 20 časových signálů, jehož pátý výstup 206 je zapojen na druhý vstup 91 dekodéru 2 časových signálů. Třetí výstup 94 dekodéru 2 časových signálů je spojen s hladinovým hodinovým vstupem 151 datového registru 15, čtvrtý výstup 95 dekodéru 2 časových

signálů je spojen s hodinovým vstupem 32 posuvného adresního registru 3, pátý výstup 96 dekodéru 2 časových signálů je spojen se zápisovým vstupem 31 posuvného adresního registru 3 a sedmý výstup 98 dekodéru 2 časových signálů je zapojen na ovládací vstup 43 přepínače 4. První výstup 92 dekodéru 2 časových signálů je spojen se zápisovým vstupem 141 instrukčního čítače 14, druhý výstup 93 dekodéru 2 časových signálů je spojen s ovládacím vstupem 172 aritmeticko-logické jednotky 17, šestý výstup 97 dekodéru 2 časových signálů je spojen s ovládacím vstupem 161 bloku 16 generace konstanty, osmý výstup 99 dekodéru 2 časových signálů je spojen s hradlovacím vstupem 51 datového přijímače 5, devátý výstup 100 dekodéru 2 časových signálů je spojen s řídicím vstupem 61 hradla 6, desátý výstup 101 dekodéru 2 časových signálů je zapojen na výběrový vstup 12 zápisníkové paměti 1 a jedenáctý výstup 102 dekodéru 2 časových signálů je spojen se zápisovým vstupem 13 zápisníkové paměti 1. Druhý výstup 202 generátoru 20 časových signálů je spojen s hladinovým hodinovým vstupem 181 výstupního datového registru 18, třetí výstup 205 generátoru 20 časových signálů je spojen s hodinovým vstupem 71 instrukčního registru 7, první výstup 201 generátoru 20 časových signálů je spojen s řídicím vstupem 191 datového vysílače 19 a čtvrtý výstup 207 generátoru 20 časových signálů je spojen s řídicím vstupem 241 adresního vysílače 24.

Funkce zapojení je následující: Aktivní hladinou na prvním vstupu 200 se odstartuje generátor 20 časových signálů a signálem z třetího výstupu 205 uvede instrukční registr 7 přes hodinový vstup 71 do stavu snímání. S vnější datové sběrnice 22 se šíří přes datový vstup 70 operační kód instrukce na vstup 80 instrukčního dekodéru 8 a na třetí vstup 203 generátoru 20 časových signálů. Po uplynutí doby trvání prvního taktu se instrukční registr 7 uzavře a generátor 20 časových signálů přejde do v pořadí dalšího taktu. V případě, že se jedná o skupinu instrukcí skoků nebo instrukcí zanesení konstanty do zápisníkové paměti 1, přejde vlivem signálu na třetím vstupu 203 přímo do čtvrtého taktu. V tomto taktu probíhá dekódování v instrukčním dekodéru 8 a dále v dekodéru 2 časových signálů. Signálem z devátého výstupu 100 se přes řídicí vstup 61 otevře hradlo 6 a příslušné bity instrukce, které odpovídají cílové adrese nebo dané konstantě, se objeví na první vnitřní sběrnici 2. Odtud projde cílová adresa přes druhý vstup 41 přepínače 4 na druhou vnitřní sběrnici 21 a dále na vstup 140 instrukčního čítače 14, kam se uloží signálem na zápisovém vstupu 141. Konstanta se naopak šíří přes blok 16 generace konstanty a přes B-vstup 171 aritmeticko-logické jednotky 17, kde je s časovým předstihem nastavena přes ovládací vstupy 172 a 161 průchozí operace. Rovněž výstupní datový registr 18 je vlivem aktivního signálu na hladinovém hodinovém vstupu 181 v propustném stavu. Konstanta se tudíž dostane až na datový vstup 10 zápisníkové paměti 1. Potom se výstupní datový registr 18 uzavře, přes výběrový vstup 12 se uvede zápisníková paměť 1 do činnosti a aktivním signálem na zápisovém vstupu 13 se konstanta uloží do příslušné buňky. Potom přejde generátor 20 časových signálů opět do prvního taktu a snímá se další instrukce v programu. Pokud se nejedná o uvedené dvě skupiny instrukcí, přechází generátor 20 časových signálů z prvního taktu do druhého taktu. V tomto taktu probíhá dekódování v instrukčním dekodéru 8. V případě, že se nejedná o skupinu dvouoperandových instrukcí, paměťových jednooperandových instrukcí a instrukcí dvojkového doplňku, aktivním signálem na druhém vstupu 204 se zajistí přechod z druhého taktu přímo do čtvrtého taktu. Například registrová jednooperandová instrukce probíhá tak, že operand z výstupu 11 zápisníkové paměti 1 se šíří v druhém a čtvrtém taktu přes druhý vstup 41 přepínače 4 na druhou vnitřní sběrnici 21. Dále projde přes datový registr 15, který je po celou dobu trvání obou taktů v propustném stavu aktivním signálem na hladinovém hodinovém vstupu 151. Na aritmeticko-logické jednotce 17 a na bloku 16 generace konstanty je v časovém předstihu nastaven příslušný operační kód. Výsledek operace se potom uloží do stejné buňky zápisníkové paměti 1 stejnou sekvencí jako u instrukce zanesení konstanty. U registrovaných operací rotace a aritmetický posuv se závěrem druhého taktu uloží operand z datového vstupu 30 do posuvného adresního registru 3, na základě aktivního signálu na zápisovém vstupu 31. Ve čtvrtém taktu se potom provede posuv o jedno binární místo aktivním signálem na hodinovém vstupu 32. Výsledek projde přes první vstup 40 přepínače 4, přes blok 16 generace konstanty, přes B-vstup 171 aritmeticko-logické jednotky 17 a uloží se opět do stejné buňky zápisníkové paměti 1. Jedná-li se o skupinu registrovaných dvouoperandových instrukcí, na konci druhého taktu se uloží jeden z operandů do posuvného adresního registru 3 aktivním signálem na zápisovém vstupu 31.

Generátor 20 časových signálů pak přejde do třetího taktu, ve kterém se druhý operand uloží do datového registru 15 zapisovacím impulsem na hladinovém hodinovém vstupu 151. Operand jde přes druhý vstup 41 přepínače 4. Ve čtvrtém taktu se obsah adresního posuvného registru 3 přesune přes první vstup 40 přepínače 4 na druhou vnitřní sběrnici 21 a dále přes blok 16 generace konstanty, který je signálem 161 uveden do propustného stavu. V časovém předstihu je na aritmeticko-logické jednotce 17 přes ovládací vstup 172 nastaven příslušný kód operace. Výsledek se pak ukládá do buňky uložení v zápisníkové paměti 1. Paměťová verze těchto instrukcí probíhá tak, že adresa buňky operační paměti se na konci druhého taktu uloží ze zápisníkové paměti 1 do posuvného adresního registru 3. Je-li místo uložení výsledku v buňce operační paměti, pak se ve třetím taktu otevře datový přijímač 5 aktivním signálem na hradlovacím vstupu 51 a adresní vysílač 24, aktivním signálem na řídicím vstupu 241. Adresovaný operand z výstupu 242 přes vnější adresní sběrnici 23 se šíří po vnější datové sběrnici 22 na datový vstup 50 datového přijímače 5 a dále přes druhý vstup 41 přepínače 4 na vstup 150 datového registru 15, kam se uloží. Druhý operand se přesune na druhou vnitřní sběrnici 21 přes druhý vstup 41 v případě operace se slovem nebo operace se slabikou ze sudé adresy operační paměti. V případě liché adresy se přesune přes třetí vstup 42, kde dojde signálem na ovládacím vstupu 43 k záměně pozic slabik u čteného slova. Druhý operand se pak šíří přes blok 16 generace konstanty na B-vstup 171 aritmeticko-logické jednotky 17. Výsledek operace s obsahem datového registru 15 se uloží do výstupního datového registru 18, kde čeká při ukončeném snímání signálem na hladinovém hodinovém vstupu 181, až dojde k jeho vypuštění na vnější datovou sběrnici 22 přes datový vysílač 19. Adresace buňky uložení probíhá aktivním signálem na řídicím vstupu 241 a synchronizaci dat provede signál na řídicím vstupu 191. Instrukce dvojkového doplňku proběhne tak, že ve třetím taktu se uloží nulová konstanta do datového registru 15, která se vytvoří na výstupu 44 přepínače 4. Ve čtvrtém taktu projde operand z výstupu 11 zápisníkové paměti 1 přes druhý vstup 41 přepínače 4 a přes blok 16 generace konstanty na B-vstup 171 aritmeticko-logické jednotky 17, kde je nastavena operace odčítání.

Možnost použití uvedeného zapojení je v procesoru malého počítače, kde se zpracovává popsaný instrukční soubor.

P R E D M Ě T V Y N Á L E Z U

1. Zapojení řadiče procesoru s dekodéry, s obvody datové cesty a s generátorem časových signálů, vyznačující se tím, že první výstup (81) instrukčního dekodéru (8) je spojen s prvním vstupem (90) dekodéru (9) časových signálů druhý výstup (82) instrukčního dekodéru (8) je spojen s druhým vstupem (204) generátoru (20) časových signálů, výstup (72) instrukčního registru (7) je spojen s třetím vstupem (203) generátoru (20) časových signálů, jehož pátý výstup (206) je zapojen na druhý vstup (91) dekodéru (9) časových signálů, třetí výstup (94) dekodéru (9) časových signálů je spojen s hladinovým hodinovým vstupem (151) datového registru (15), čtvrtý výstup (95) dekodéru (9) časových signálů je spojen s hodinovým vstupem (32) posuvného adresního registru (3), pátý výstup (96) dekodéru (9) časových signálů je spojen se zápisovým vstupem (31) posuvného adresního registru (3) a sedmý výstup (98) dekodéru (9) časových signálů je zapojen na ovládací vstup (43) přepínače (4) druhé vnitřní sběrnice (21).

2. Zapojení podle bodu 1, vyznačující se tím, že první výstup (92) dekodéru (9) časových signálů je spojen se zápisovým vstupem (141) instrukčního čítače (14), druhý výstup (93) dekodéru (9) časových signálů je spojen s ovládacím vstupem (172) aritmeticko-logické jednotky (17), šestý výstup (97) dekodéru (9) časových signálů je spojen s ovládacím vstupem (161) bloku (16) generace konstanty, osmý výstup (99) dekodéru (9) časových signálů je spojen s hradlovacím vstupem (51) datového přijímače (5), devátý výstup (100) dekodéru (9) časových signálů je spojen s řídicím vstupem (61) hradla (6), desátý výstup (101) dekodéru (9) časových signálů je zapojen na výběrový vstup (12) zápisníkové paměti (1) a jedenáctý výstup (102) dekodéru (9) časových signálů je spojen se zápisovým vstupem (13) zápisníkové paměti (1).

3. Zapojení podle bodu 1, vyznačující se tím, že druhý výstup (202) generátoru (20) časových signálů je spojen s hladinovým hodinovým vstupem (181) výstupního datového registru (18), třetí výstup (205) generátoru (20) časových signálů je spojen s hodinovým vstupem (71) instrukčního registru (7), první výstup (201) generátoru (20) časových signálů je spojen s řídicím vstupem (191) datového vysílače (19) a čtvrtý výstup (207) generátoru (20) časových signálů je spojen s řídicím vstupem (241) adresního vysílače (24).

1 list výkresů

