

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-10220

(P2017-10220A)

(43) 公開日 平成29年1月12日(2017.1.12)

(51) Int.Cl.	F I	テーマコード (参考)
G 0 6 F 13/362 (2006.01)	G 0 6 F 13/362 5 1 0 F	5 B 0 6 0
G 0 6 F 13/28 (2006.01)	G 0 6 F 13/28 3 1 0 Y	5 B 0 6 1
G 0 6 F 12/00 (2006.01)	G 0 6 F 12/00 5 7 1 B	

審査請求 未請求 請求項の数 7 O L (全 12 頁)

(21) 出願番号	特願2015-124199 (P2015-124199)	(71) 出願人	000001270
(22) 出願日	平成27年6月19日 (2015. 6. 19)		コニカミノルタ株式会社
			東京都千代田区丸の内二丁目7番2号
		(74) 代理人	100091926
			弁理士 横井 幸喜
		(72) 発明者	諸見里 尚
			東京都千代田区丸の内二丁目7番2号 コニカミノルタ株式会社内
		Fターム(参考)	5B060 CD13 KA03 KA04
			5B061 BA01 BA03 BB06 BC05 BC10

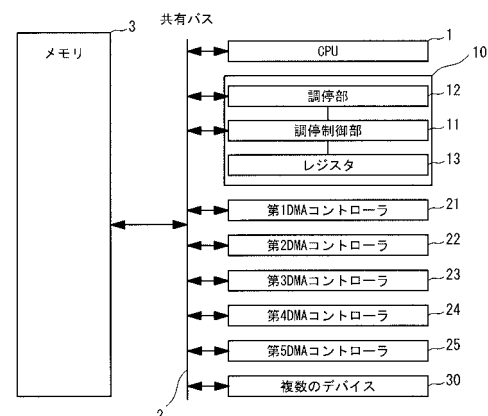
(54) 【発明の名称】 調停回路

(57) 【要約】

【課題】メモリアクセスにおける競合時の調停処理を一括で実施する。

【解決手段】CPUおよび該CPUに從属するメモリと、メモリに対してアクセス可能な共有バスと、を備え、共有バスを介してメモリアクセスする複数のデバイスが接続されるプロセッサにおけるメモリアクセスの調停を行う調停回路であって、複数のデバイスによるアクセス競合時に優先順位に従って共有バスへのアクセスを調停する調停部と、複数のデバイスをグループ分けしグループ間およびグループ内の調停時における優先順位を保持する優先順位記憶部と、調停処理を制御し、グループ間およびグループ内の優先順位を設定可能な調停制御部とを備え、調停制御部は、複数のデバイスによるアクセス要求発生時にデバイスグループ間およびグループ内に対して設定された優先順位に基づき最終優先順位を決定して、複数ある調停の一括処理を可能にする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

CPUおよび該CPUに従属するメモリと、前記メモリに対してアクセス可能な共有バスと、を備え、共有バスを介してメモリにアクセスする複数のデバイスが接続されるプロセッサにおけるメモリアクセスの調停を行う調停回路であって、

複数の前記デバイスによるアクセス競合時に優先順位に従って前記共有バスへのアクセスを調停する調停部と、

前記複数のデバイスをグループ分けしグループ間およびグループ内の調停時における優先順位を保持する優先順位記憶部と、

調停処理を制御し、前記グループ間およびグループ内の優先順位を設定可能な調停制御部とを備え、

前記調停制御部は、複数のデバイスによるアクセス要求発生時にデバイスグループ間およびグループ内に対して設定された優先順位に基づき最終優先順位を決定して、複数ある調停の一括処理を可能にすることを特徴とする調停回路。

10

【請求項 2】

前記プロセッサに1以上のDMAコントローラを有することを特徴とする請求項1記載の調停回路。

【請求項 3】

前記DMAコントローラに前記グループが対応付けられていることを特徴とする請求項1に記載の調停回路。

20

【請求項 4】

前記調停制御部は、前記グループ間の優先順位を上位ビットとし、前記グループ内の優先順位を下位ビットとして該ビットを連結処理して最終優先順位を決定することを特徴とする請求項1～3のいずれか1項に記載の調停回路。

【請求項 5】

前記デバイスの共有バスに対するアクセス要求特性情報を保持するアクセス要求特性記憶部を備え、

前記調停制御部は、調停における優先順位をアクセス要求特性情報に従って設定可能であり、複数のデバイスによるアクセス要求発生時にそれぞれのアクセス要求特性情報によって設定・変更された優先順位に基づき最終優先順位を決定して、複数ある調停の一括処理を可能にすることを特徴とする請求項1～4のいずれか1項に記載の調停回路。

30

【請求項 6】

前記調停制御部は、前記デバイスの共有バスに対するアクセス要求特性情報の通知を受信可能であり、

前記調停制御部は、調停における優先順位をアクセス要求特性情報に従って設定可能であり、複数のデバイスによるアクセス要求発生時にそれぞれのアクセス要求特性情報によって設定・変更された優先順位に基づき最終優先順位を決定して、複数ある調停の一括処理を可能にすることを特徴とする請求項1～5のいずれか1項に記載の調停回路。

【請求項 7】

前記調停制御部は、アクセス要求特性情報によって、グループ間およびグループ内の調停時における優先順位を変更することを特徴とする請求項5または6に記載の調停回路。

40

【発明の詳細な説明】**【技術分野】****【0001】**

この発明は、メモリに対しアクセス可能な共有バスと、共有バスを介してメモリにアクセスする複数のデバイスとを備えるプロセッサに対しメモリアクセスの調停を行う調停回路に関するものである。

【背景技術】**【0002】**

CPUとこれに従属するメモリと、共有バスとを有し、共有バスを介してメモリにアク

50

セスする複数のデバイスが接続されるプロセッサでは、一般に、複数のDMAコントローラからのDMAリクエストが、ある決まった優先順位で調停処理されてデータ転送が実行される。このとき、固定優先順位の場合に高優先度であるDMAコントローラからの要求がバスを占有し続けてしまう問題の解決手段として、加重ラウンドロビンなどのように優先順位を決まった割合で巡回させて調停する方法がある。巡回型の優先度設定は各DMAコントローラに割り当てられるバス帯域の割合に等しい。

【0003】

これら固定優先順や巡回型の調停は、バスに接続されるDMAコントローラが多い程優先順位確定の為に回路が複雑になり、帯域の調整の自由度が低くなってしまう問題がある。

10

この問題を解決するために、特許文献1のようにDMAコントローラに対して優先順位を設定保持するレジスタを設けると同時に、複数のDMAコントローラをいくつかのグループに分けて固定優先順位や巡回型の優先順位を設定する技術があり、帯域調整の自由度向上を可能としている。

特許文献1の調停回路では、アクセス許可が発せられたときに優先順位が更新される巡回順位グループを含む複数のグループに分割され優先順位レジスタに保持する優先順位を示すデータを初期値として変更可能とし、要求元ごとに所望の優先順位を得ることで、帯域の調整の自由度を高めることを可能としている。

【0004】

また前述した優先順位は予め設定されたものである。そのため、DMAのアクセス要求特性（リクエストにおけるバスの占有時間やリクエスト間のサイクル、連続リクエスト発行数など）が複数のDMAコントローラにおいてそれぞれ異なる場合、優先順位設定によるバス帯域の割合に対して各々のパフォーマンスに誤差が大きくなる問題がある。この問題を解決するために、特許文献2のようにDMAコントローラ内部にあるFIFOバッファの蓄積状態を調停回路へ通知し、アクセス要求の優先順位を変更する技術や、特許文献3のように、DMAコントローラ内部にある画像処理回路が処理する圧縮伸長率に応じてアクセス要求の優先順位を変更する技術があり、これらによって所望のバス帯域の調整を行うことを可能としている。

20

【0005】

特許文献2では、機能ブロックから発行されたアクセス要求をバッファリングしバッファに蓄積されているアクセス要求の数を通知し、アクセス要求の蓄積状態に基づいてアクセス要求の優先順位を変更することで効率よくアクセス要求を制御するメモリ制御装置を実現する。

30

特許文献3では、メモリ制御回路が画像処理回路から受け付けたリクエストに応じて読み出した画像データの圧縮率を取得し、取得した圧縮率に応じてメモリ制御回路の所定の優先基準を変更することでバス帯域の少ないプリンタコントローラにおいて、プリンタのパフォーマンスの向上を図ることを目的とする。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2007-52545号公報

【特許文献2】特開2007-323279号公報

【特許文献3】特開2004-284056号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献1では、グループ内における優先処理については述べているが、グループ間における優先処理について優先順位付けが可能としているもののその具体例についての説明がない。一般に調停すべき対象が複数のグループに分かれている場合や調停が多段構成である場合は、その分の調停回路が複数必要であり回路規模も大きく複雑に

40

50

なり特許文献 1 の目的の 1 つである回路の簡略化・高速化に相反する。

また、例えば特許文献 2 では D M A コントローラ内部の F I F O バッファ容量が少ない場合においては優先順位の変更による帯域調整が難しく、また特許文献 3 では、圧縮伸長率の幅が少ない場合において同様に帯域調整が難しく、また F I F O バッファや圧縮伸長処理がない D M A コントローラとの帯域調整は不可能であるという課題がある。

【 0 0 0 8 】

本発明の一形態では、グループ間における優先処理が可能かつ優先順位の決定における調停処理を一括で実施することで帯域調整の自由度や帯域効率の向上と回路の簡素化・高速化を両立させることを目的とし、

本発明の他の形態では、複数の D M A コントローラが持つ共通なアクセス要求特性項目を定義して D M A コントローラ間の帯域調整を可能とし、メモリ帯域の効率を向上させることを目的の一つとする。

【課題を解決するための手段】

【 0 0 0 9 】

本発明の調停回路のうち、第 1 の形態の本発明は、

C P U および該 C P U に従属するメモリと、前記メモリに対してアクセス可能な共有バスと、を備え、共有バスを介してメモリにアクセスする複数のデバイスが接続されるプロセッサにおけるメモリアクセスの調停を行う調停回路であって、

複数の前記デバイスによるアクセス競合時に優先順位に従って前記共有バスへのアクセスを調停する調停部と、

前記複数のデバイスをグループ分けしグループ間およびグループ内の調停時における優先順位を保持する優先順位記憶部と、

調停処理を制御し、前記グループ間およびグループ内の優先順位を設定可能な調停制御部とを備え、

前記調停制御部は、複数のデバイスによるアクセス要求発生時にデバイスグループ間およびグループ内に対して設定された優先順位に基づき最終優先順位を決定して、複数ある調停の一括処理を可能にすることを特徴とする。

【 0 0 1 0 】

他の形態の調停回路は、前記形態の本発明において、前記プロセッサに 1 以上の D M A コントローラを有することを特徴とする。

【 0 0 1 1 】

他の形態の調停回路は、前記形態の本発明において、前記 D M A コントローラに前記グループが対応付けられていることを特徴とする。

【 0 0 1 2 】

他の形態の調停回路は、前記形態の本発明において、前記調停制御部は、前記グループ間の優先順位を上位ビットとし、前記グループ内の優先順位を下位ビットとして該ビットを連結処理して最終優先順位を決定することを特徴とする。

【 0 0 1 3 】

他の形態の調停回路は、前記形態の本発明において、前記デバイスの共有バスに対するアクセス要求特性情報を保持するアクセス要求特性記憶部を備え、

前記調停制御部は、調停における優先順位をアクセス要求特性情報に従って設定可能であり、複数のデバイスによるアクセス要求発生時にそれぞれのアクセス要求特性情報によって設定・変更された優先順位に基づき最終優先順位を決定して、複数ある調停の一括処理を可能にすることを特徴とする。

【 0 0 1 4 】

他の形態の調停回路は、前記形態の本発明において、前記調停制御部は、前記デバイスの共有バスに対するアクセス要求特性情報の通知を受信可能であり、

前記調停制御部は、調停における優先順位をアクセス要求特性情報に従って設定可能であり、複数のデバイスによるアクセス要求発生時にそれぞれのアクセス要求特性情報によって設定・変更された優先順位に基づき最終優先順位を決定して、複数ある調停の一括処

10

20

30

40

50

理を可能にすることを特徴とする。

【 0 0 1 5 】

他の形態の調停回路は、前記形態の本発明において、前記調停制御部は、アクセス要求特性情報によって、グループ間およびグループ内の調停時における優先順位を変更することを特徴とする。

【 発明の効果 】

【 0 0 1 6 】

本発明は、グループ間における優先処理が可能かつ優先順位の決定における調停処理を一括で実施することで帯域調整の自由度や帯域効率の向上と回路の簡素化・高速化を両立させることを可能にする効果がある。

【 図面の簡単な説明 】

【 0 0 1 7 】

【 図 1 】本発明の一実施形態の調停回路およびその周辺のプロセッサ、デバイスの制御ブロックを示す図である。

【 図 2 】同じく、調停処理のフローを示す図である。

【 図 3 】同じく、グループ間の優先順位とグループ内の優先順位に基づいて最終優先順位を決定する連結処理を説明する図である。

【 図 4 】同じく、アクセス要求特性情報に従って調停処理における最終優先順位を決定する連結処理を説明する図である。

【 図 5 】他の実施形態において、調停回路が D M A コントローラによるアクセス要求特性情報の通知を受ける状態を説明する図である。

【 図 6 】本発明の一実施形態において、アクセス要求特性情報に従って処理される状態を説明する図である。

【 図 7 】同じく、デバイスにおいて連続メモリアクセスによりデータ処理を行うタイミングチャートを示す図である。

【 図 8 】他の形態において、デバイスにおいて連続メモリアクセスによりデータ処理を行うタイミングチャートを示す図である。

【 発明を実施するための形態 】

【 0 0 1 8 】

(実施形態 1)

以下に、本発明の一実施形態を添付図面に基づいて説明する。

本発明が適用されるプロセッサの一形態では、C P U 1 と共有バス 2 と共有バス 2 に接続されたメモリ 3 とを備えており、共有バス 2 に複数のデバイス 3 0 が接続される。この図では、複数のデバイス 3 0 が便宜上一つのブロックで記載されているが、それぞれがアクセス要求をすることができる複数のデバイスで構成されているものである。デバイスとしては、例えば画像形成装置において備えられるものが挙げられる。デバイスには、スキャナー、両面読み取り部、画像処理部、プリンタ、など各種のものが挙げられる。

【 0 0 1 9 】

さらに共有バス 2 には、D M A コントローラが接続されている。この形態では、第 1 D M A コントローラ 2 1、第 2 D M A コントローラ 2 2、第 3 D M A コントローラ 2 3、第 4 D M A コントローラ 2 4、第 5 D M A コントローラ 2 5 が接続されている。各 D M A コントローラは、デバイスからのアクセス要求を受けることができる。各 D M A コントローラには、それぞれ一または複数のデバイスが割り当てられている。

【 0 0 2 0 】

また、共有バス 2 には、調停回路 1 0 が接続されている。

調停回路 1 0 は、調停処理を制御する調停制御部 1 1 と、優先順位に従って複数の前記デバイスによるアクセス競合時に前記共有バス 2 へのアクセスを調停する調停部 1 2 と、複数デバイスをグループ分けしグループ間およびグループ内の調停時における優先順位を保持するレジスタ 1 3 とを有している。

調停制御部 1 1 は、例えば C P U とこれを動作させるプログラムによって構成すること

10

20

30

40

50

ができる。レジスタ 13 は、本発明の優先順位記憶部として機能する。

調停制御部 11 は、レジスタ 13 に登録された優先順位を設定、変更することができる。

。なお、優先順位の初期の設定では、例えば、設定情報をインストールしてもよく、また、操作部を通してユーザが設定入力ができるようにしてもよい。

【0021】

レジスタ 13 では、各デバイスについて従属グループにおけるグループ間優先順位と、デバイスの優先順位、グループ間の優先処理内容、グループ内の優先処理内容が設定、保持されている。

【0022】

表 1 は、レジスタ 13 に保持された設定内容が示されている。従属グループとして、グループ A、B、C が設定されており、グループ A、B、C のグループ間優先処理は、固定優先に設定されている。グループ A は、グループ優先度が 2、グループ内優先処理が固定優先順位に設定されている。

グループ B は、グループ優先度が 1、グループ内優先処理が固定優先順位に設定されている。グループ C は、グループ優先度が 3、グループ内優先処理がラウンドロビンに設定されている。

なお、優先度は、数値が高いものほど優先度が高くなっている。以下も同様である。

【0023】

また、各デバイスについて（この実施形態では、DMAC 1 ~ DMAC 5 と表記）、従属グループとデバイス優先度が設定されている。

DMAC 1 のデバイスでは、従属グループが A でデバイス優先度が 1 に設定されている。

DMAC 2 のデバイスでは、従属グループが B でデバイス優先度が 1 に設定されている。

DMAC 3 のデバイスでは、従属グループが B でデバイス優先度が 2 に設定されている。

DMAC 4 のデバイスでは、従属グループが C でデバイス優先度が 3 に設定されている。

DMAC 5 のデバイスでは、従属グループが C でデバイス優先度が 1 に設定されている。

【0024】

【表 1】

グループ	グループ間優先処理	グループ優先度	グループ内優先処理
A	固定優先	2	固定優先順位
B		1	固定優先順位
C		3	ラウンドロビン

デバイス	従属グループ	デバイス優先度
DMAC1	A	1
DMAC2	B	1
DMAC3	B	2
DMAC4	C	3
DMAC5	C	1

【0025】

上記したグループおよびデバイスは、一例として示しており、その他に、グループやデ

10

20

30

40

50

バイスが存在するものであってもよい。また、機械構成の変更によってグループやデバイスが変更されるものであってもよい。

【0026】

なお、調停制御部11では、デバイスによるアクセス競合時にデバイスグループ間およびグループ内に対して設定された優先順位に基づき最終優先順位を決定して、複数ある調停の一括処理を可能にする。

調停制御部11による処理フローを図2に示す。

デバイスによるアクセスは、第1DMAコントローラ21～第5DMAコントローラ25に伝えられ、アクセス要求が調停回路10に伝わって調停制御部11においてアクセス競合が判定される(ステップs1)。

10

【0027】

調停制御部11では、レジスタ13からグループの優先度を読み出して行うグループ間調停(ステップs2)と、レジスタ13からグループ内優先度を読み出して行うグループ内調停(ステップs3)とが一括で処理される。

一括処理によって最終優先順位が決定されてレジスタ13の優先度が更新される(ステップs4)。調停制御部11では、調停部12に調停処理の実施を指示する。調停部12では、レジスタ13に設定された優先順位に従ってメモリアccessの調停を実施する。

【0028】

一括処理では、グループ優先度が上位ビット側、デバイス優先度が下位ビット側にして、ビット連結処理を行う。さらに、結果の大小を比較して最終優先順位を決定する。この方法により、グループ間の優先処理およびグループ内の優先処理を一括処理可能となる。その例を図3に示す。

20

各デバイスにおいて、グループ間優先度とグループ内優先度の連結処理が行われる。例えばDMAC1では、グループ間優先度2'h2で、グループ内優先度2'h1であり、これを連結処理すると、10進数で9の値が求められる。各デバイスで同様の処理を行うことで、DMAC4で優先順位が最も高く、DMAC2で優先順位が最も低い結果が得られる。

【0029】

(実施形態2)

次に、アクセス要求特性情報を参照して優先順位を決定する他の形態を説明する。

30

この形態では、アクセス要求特性情報がレジスタ13に保持されている。この形態では、レジスタ13は、本発明のアクセス要求特性記憶部として機能する。また、調整回路10において、レジスタ13以外の他のレジスタにアクセス要求特性情報が保持されているものであってもよい。

【0030】

この形態において、レジスタ13に設定された各デバイスについて、従属グループと各デバイスの優先度の設定内容は前記実施形態と同様である。

すなわち、従属グループとして、グループA、B、Cが設定され、グループ間優先処理は、固定優先に設定されている。グループAは、グループ優先度が2、グループ内優先処理が固定優先順位に設定され、グループBは、グループ優先度が1、グループ内優先処理が固定優先順位に設定され、グループCは、グループ優先度が3、グループ内優先処理がラウンドロビンに設定されている。

40

【0031】

また、DMAC1のデバイスでは、従属グループがAでデバイス優先度が1に設定され、DMAC2のデバイスでは、従属グループがBでデバイス優先度が1に設定され、DMAC3のデバイスでは、従属グループがBでデバイス優先度が2に設定され、DMAC4のデバイスでは、従属グループがCでデバイス優先度が3に設定され、DMAC5のデバイスでは、従属グループがCでデバイス優先度が1に設定されている。

【0032】

また、アクセス要求特性情報として、各デバイスについて、連続アクセス処理回数、連

50

続アクセス時の優先度、連続アクセス後の休閑サイクル、休閑時の優先度が設定されている。

これらの設定内容は、初期設定としてレジスタに登録されていてもよく、また、設定情報としてインストールされてもよく、ユーザが操作部などを通して設定できるようにしてもよい。

【 0 0 3 3 】

例えば、DMAC 1 のデバイスに対しては、連続アクセス処理回数が 1、連続アクセス時の優先度が 3、連続アクセス後の休閑サイクルが 1、休閑時の優先度が 1 に設定されている。

また、DMAC 2 のデバイスに対しては、連続アクセス処理回数が 4、連続アクセス時の優先度が 3、連続アクセス後の休閑サイクルが 10、休閑時の優先度が 1 に設定されている。

【 0 0 3 4 】

【表 2】

グループ	グループ間優先処理	グループ優先度	グループ内優先処理
A	固定優先	2	固定優先順位
B		1	固定優先順位
C		3	ラウンドロビン

デバイス	従属グループ	デバイス優先度
DMAC1	A	1
DMAC2	B	1
DMAC3	B	2
DMAC4	C	3
DMAC5	C	1

デバイス	連続アクセス 処理回数	連続アクセス時の 優先度	連続アクセス後の 休閑サイクル	休閑時の 優先度
DMAC1	1	3	1	1
DMAC2	4	3	10	1
DMAC3	4	3	5	1
DMAC4	2	3	20	2
DMAC5	2	3	40	1

【 0 0 3 5 】

上記アクセス要求特性情報に従って、調停制御部 11 では、最終優先順位を決定する。その例を図 4 に従って、説明する。

まず、アクセス要求発生時にアクセス競合がなく、DMAC 2 のみのアクセス要求が発生すると、図 4 の上段に示すように、デバイスグループ間およびグループ内に対して設定された優先順位に基づき最終優先順位が決定される。この例では、最終優先順位が 5 に設定される。

【 0 0 3 6 】

一方、DMAC 2 で、アクセス要求特性に基づいて連続処理が行われると、連続処理回数は表 2 に示すように 4 であるので、DMAC 2 のアクセスが 4 回処理される間、図 4 中段に示すように、連続アクセス時の優先度が優先度 3 に変更されて、ビットの連結処理に

よって優先度は 7 に変更される。変更された優先度は、レジスタ 13 に登録される。

【0037】

また、DMAC2 のアクセスが 4 回処理された後、休閒サイクルである 10 サイクル期間中は、図 4 下段に示すように、休閒時の優先度は 1 に変更されて、ビットの連結処理によって優先度は 5 に変更される。

休閒サイクル後は、元の優先度に戻り、図 4 最下段に示すように、ビットの連結処理によって優先度は 5 となる。

なお、この例では、通常時の DMAC2 のデバイス優先度と、休閒時のデバイス優先度が同じ数値になっているため、最終優先順位が同じになっているが、上記優先度が互いに異なっていれば、最終優先順位は異なったものとなる。

10

【0038】

なお、上記の例では、レジスタにアクセス要求特性情報が保持されている例について説明したが、アクセス要求特性情報を調停回路外、例えば、DMA コントローラなどからの通知を受けて、アクセス要求特性情報に応じた調停処理を行うようにしてもよい。

【0039】

図 5 は、その変更例を示すものであり、第 1 DMA コントローラ 21 から調停回路 10 に通知が行われる状態を示すブロック図である。通知は、例えば調停回路 10 の調停制御部 11 で受信することができる。

上記実施形態では、複数デバイスによるメモリなどへの DMA 要求を調停する調停回路 10 において、要求元を複数グループに分けてグループ間での優先順位とグループ内での優先順位をそれぞれ変更可能かつ一括処理とし、要求元の連続アクセス回数やアクセスサイクルといった特性に合わせて優先順位を変更することで帯域の効率を高めることができる。

20

【0040】

図 6 は、アクセス要求特性情報が与えられる状況を説明するブロック図である。

DMAC1 では、画像データを先頭から水平方向に 1 画素ずつライン単位で入力し、4 ライン分バッファに格納した後、画像データの配列を 4 × 4 画素単位に変換してメモリにライト出力するものである。

【0041】

具体的には、DMAC1 では、画像入力部において、1 ライン単位（水平方向）の順に入力し、次に、配列変換 + バッファで 4 × 4 画素単位に画像データの配列を変換し、画像出力部でメモリから 4 × 4 画素単位で共有バスにデータを出力し、メモリ 3 に受け渡す。

30

【0042】

また、DMAC2 では、メモリに 4 × 4 画素単位で配列格納された画像データをリード入力してバッファに格納した後、4 × 4 画素もしくは 8 × 8 画素単位で画像処理を行い、4 × 4 画素もしくは 8 × 8 画素単位でデータ出力する。

【0043】

具体的には、DMAC2 では、メモリ 3 から画素単位のデータを画像入力部に入力し、次に、画像処理部 + バッファで 4 × 4 または 8 × 8 画素単位で画像処理を行い、さらに、画像出力部で 4 × 4 または 8 × 8 画素単位でデータを出力する。

40

【0044】

上記動作を図 7、8 のタイミングチャートによって説明する。

図 7 に示すように、DMAC1 動作例では、入力画像はクロック周期に従って、1 ラインずつ入力される。一方、メモリアクセスする出力画像では、4 ライン分の画像を出力するため、メモリに対し連続アクセスが行われる連続メモリアクセス期間と、連続アクセス間にメモリアクセス休閒期間とを有している。

【0045】

例えば、入力画像が 1 ライン当たり 8000 画素である場合、4 ライン分のデータが格納される。バッファ内に 4 × 4 単位の画像が 2000 ブロック存在する。メモリへの 1 回のライトアクセスで 100 ブロック分を転送する場合、連続アクセス要求回数は 20 回と

50

なり、これがアクセス要求特性となる。また 1 ~ 4 ライン目の出力後、5 ~ 8 ライン目の画像が入力完了までメモリアクセスしない休閑期間がある。これもアクセス要求特性である。上記のタイミング図の例では 1 6 0 0 0 ~ 2 0 0 0 0 クロックサイクルが休閑サイクルであり、これがアクセス要求特性となる。

【 0 0 4 6 】

また、図 8 に示すように、D M A C 2 の動作例では、4 × 4 画像処理モードにおいて、メモリアクセスで 1 ~ 4 ラインの画素データを得るために、連続メモリアクセスを行って 4 × 4 の画素をメモリ 3 から入力する。この連続メモリアクセス期間の間は休閑期間となる。

画像の出力は、メモリアクセスとは関係なく、1 ~ 4 ラインの 4 × 4 の出力画像が出力される。

4 × 4 画像処理モード時は、1 ブロック分のメモリリードアクセスで 1 回分の画像処理ができるので、連続メモリアクセス回数は 1 回が最小値となり、画像処理を一度にまとめて処理する場合はこの最小値の整数倍となる。（バッファサイズで最適値を調整する）

【 0 0 4 7 】

また、8 × 8 の画像出力モードでは、4 × 4 画素数によって 1 ~ 8 ライン目までのメモリが連続メモリアクセスによってメモリ 3 から入手される。この連続メモリアクセス期間の間は休閑期間となる。

画像の出力は、メモリアクセスとは関係なく、1 ~ 8 ラインの 8 × 8 の出力画像が出力される。

8 × 8 画像処理モード時は 4 ブロック分のメモリリードアクセスで 1 回分の画像処理ができるので、連続メモリアクセス回数は 4 回が最小値となり、上記同様に画像処理を一度にまとめて処理する場合はこの最小値の整数倍となる。

【 0 0 4 8 】

以上、本発明について上記実施形態に基づいて説明を行ったが、本発明の範囲を逸脱しない限りは実施形態に対し適宜の変更を行うことができる。

【 符号の説明 】

【 0 0 4 9 】

- 1 C P U
- 2 共有バス
- 3 メモリ
- 1 0 調停回路
- 1 1 調停制御部
- 1 2 調停部
- 1 3 レジスタ
- 2 1 第 1 D M A コントローラ
- 2 2 第 2 D M A コントローラ
- 2 3 第 3 D M A コントローラ
- 2 4 第 4 D M A コントローラ
- 2 5 第 5 D M A コントローラ
- 3 0 複数のデバイス

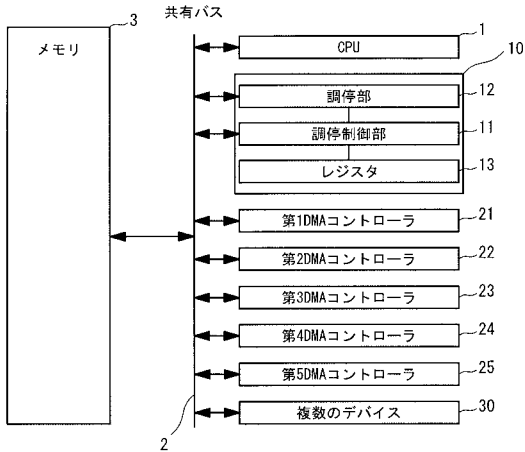
10

20

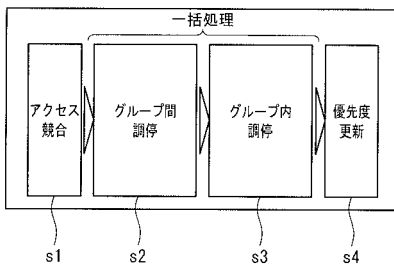
30

40

【図 1】



【図 2】



【図 4】

DMC 2のみアクセス要求発生時、アクセス競合がないので DMC 2のアクセスが処理される

DMA NO.		最終優先順位
DMAC1:	{2h 2, 2h 1}	⇒ 9
DMAC2:	{2h 1, 2h 1}	⇒ 5
DMAC3:	{2h 1, 2h 2}	⇒ 6
DMAC4:	{2h 3, 2h 3}	⇒ 15
DMAC5:	{2h 3, 2h 1}	⇒ 13

DMC 2の連続アクセス処理回数は4であるので、DMC 2のアクセスが計4回処理される間、連続アクセス時の優先度3に変更される。

DMA NO.		最終優先順位
DMAC1:	{2h 2, 2h 1}	⇒ 9
DMAC2:	{2h 1, 2h 3}	⇒ 7
DMAC3:	{2h 1, 2h 2}	⇒ 6
DMAC4:	{2h 3, 2h 3}	⇒ 15
DMAC5:	{2h 3, 2h 1}	⇒ 13

DMC 2のアクセスが計4回処理された後、休眠サイクルである10サイクル期間中は休眠時の優先度1に変更される。

DMA NO.		最終優先順位
DMAC1:	{2h 2, 2h 1}	⇒ 9
DMAC2:	{2h 1, 2h 1}	⇒ 5
DMAC3:	{2h 1, 2h 2}	⇒ 6
DMAC4:	{2h 3, 2h 3}	⇒ 15
DMAC5:	{2h 3, 2h 1}	⇒ 13

休眠サイクル後、元の優先度に戻る。

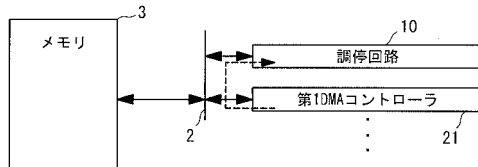
DMAC2:	{2h 1, 2h 1}	⇒ 5
--------	--------------	-----

【図 3】

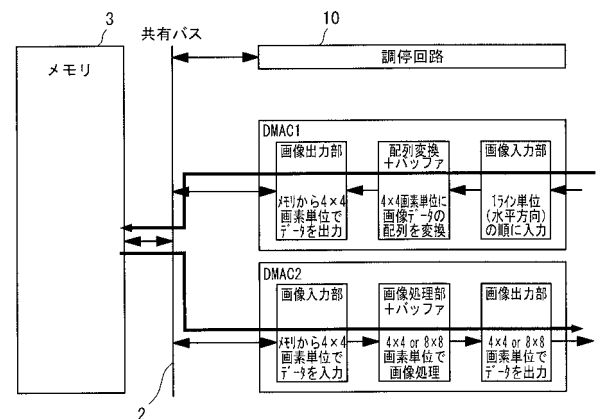
例)		最終優先順位
DMAC1:	{2h 2, 2h 1}	⇒ 9
DMAC2:	{2h 1, 2h 1}	⇒ 5
DMAC3:	{2h 1, 2h 2}	⇒ 6
DMAC4:	{2h 3, 2h 3}	⇒ 15
DMAC5:	{2h 3, 2h 1}	⇒ 13

※DMAC 4の優先順位が最も高く
DMAC 2の優先順位が最も低い

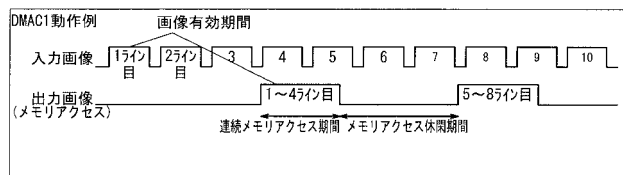
【図 5】



【図 6】



【図 7】



【 図 8 】

