

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/739 (2006.01)

H01L 29/861 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200580013429.3

[43] 公开日 2007 年 4 月 11 日

[11] 公开号 CN 1947258A

[22] 申请日 2005.4.6

[21] 申请号 200580013429.3

[30] 优先权

[32] 2004.4.30 [33] US [31] 10/836,170

[86] 国际申请 PCT/US2005/011276 2005.4.6

[87] 国际公布 WO2005/111817 英 2005.11.24

[85] 进入国家阶段日期 2006.10.27

[71] 申请人 飞思卡尔半导体公司

地址 美国得克萨斯

[72] 发明人 祝荣华 阿米塔瓦·鲍斯

维什努·K·凯姆卡

维贾·帕塔萨拉蒂

[74] 专利代理机构 中原信达知识产权代理有限责任
公司

代理人 黄启行 穆德骏

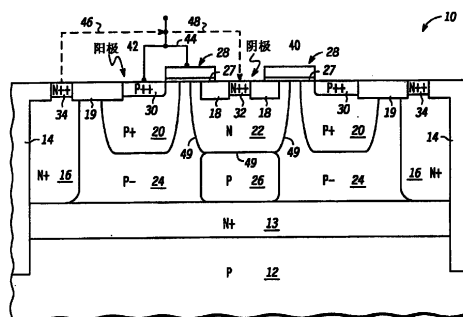
权利要求书 4 页 说明书 7 页 附图 1 页

[54] 发明名称

半导体器件及其形成方法

[57] 摘要

在一个实施例中，半导体器件 10 包括二极管，该二极管使用隔离区(34、16、和 13)和用于限制注入半导体衬底(12)的寄生电流的多个掺杂剂浓度(30、20、24、和 26)。在隔离区(34、16、和 13)上使用多个偏压来影响半导体器件(10)的性质。而且在阳极(42)和阴极(40)之间的结上形成导电层(28)。该导电层(28)可以降低选定区域的电场，从而增大施加到阴极(40)的最大电压。



1. 一种半导体器件，包括：

第一导电类型的衬底；

第一导电类型的阳极，该阳极包括多个掺杂剂浓度，其中第一部分的掺杂剂浓度比第二部分的掺杂剂浓度高一个数量级，其中第一和第二部分都不用于形成欧姆接触；

与第一导电类型不同的第二导电类型的阴极，阳极与阴极邻接设置，且形成阳极/阴极结界面；

第二导电类型的导电隔离部件，其中导电隔离部件包括埋入层和导电连接到埋入层的导电垂直部分，其中埋入层设置在衬底和阳极及阴极区之间，并且其中导电垂直部分从区域的侧面包围阳极和阴极区域；和

设置在阳极顶部和导电隔离部件的导电垂直部分顶部之间的半导体器件部分内部的介电隔离区。

2. 权利要求 1 的所述半导体器件，其中衬底包括 P 型衬底。

3. 权利要求 2 的所述半导体器件，其中 P 型衬底还包括位于衬底上的 P 型外延层。

4. 权利要求 1 的所述半导体器件，其中第一导电类型包括 P 型，第二导电类型包括 N 型。

5. 权利要求 1 的所述半导体器件，其中多个掺杂剂浓度包括分离的高、低和中间掺杂剂浓度部分。

6. 权利要求 5 的所述半导体器件，其中高掺杂剂浓度为 $2E17$ - $5E17$ 的量级，低掺杂剂浓度为 $1E15$ - $5E15$ 的量级，并且中间掺杂剂浓度为 $2E16$ - $5E16$ 的量级。

7. 权利要求 1 的所述半导体器件，其中阴极具有 $3\text{E}16\text{-}6\text{E}16$ 量级的掺杂剂浓度。

8. 权利要求 1 的所述半导体器件，其中导电垂直部分从区域表面向下延伸到埋入层。

9. 权利要求 1 的所述半导体器件，其中导电垂直部分的宽度控制由垂直 NPN 和垂直 PNP 区形成的寄生晶体管引起的注入到衬底的寄生电流的量。

10. 权利要求 9 的所述半导体器件，其中导电垂直部分的宽度选择为大致消除衬底中的寄生电流。

11. 权利要求 1 的所述半导体器件，其中埋入层包括 N+埋入层，导电垂直部分包括 N+导电下沉区。

12. 权利要求 1 的所述半导体器件，其中导电隔离部件电连接到阳极。

13. 权利要求 1 的所述半导体器件，其中导电隔离部件电连接到阴极。

14. 权利要求 1 的所述半导体器件，其中导电隔离部件电浮置。

15. 权利要求 1 的所述半导体器件，还包括：

位于阳极和阴极之间区域上方的电介质，至少包括跨越阳极/阴极结的部分；和

电介质上方的导电层，其中导电层电连接到阳极。

16. 权利要求 15 的所述半导体器件，其中导电隔离部件电连接到阳极。

17. 权利要求 15 的所述半导体器件，其中电介质包括氧化物。

18. 权利要求 15 的所述半导体器件，其中导电层包括多晶硅。

19. 权利要求 1 的所述半导体器件，其中半导体器件集成至可操作于高电压和高电流的功率集成电路。

20. 权利要求 1 的所述半导体器件，其中阴极还包括欧姆区和仅在欧姆区的垂直侧面附近包围欧姆区的介电隔离区，欧姆区和介电隔离区设置在阴极顶部部分，此外其中欧姆区包括适合于欧姆接触的重掺杂区。

21. 权利要求 1 的所述半导体器件，其中阳极还包括设置在阳极顶部部分的欧姆区，此外其中欧姆区包括适合于欧姆接触的重掺杂区。

22. 权利要求 1 的所述半导体器件，还包括：

从导电隔离部件的侧面包围导电隔离部件的沟槽介电隔离区，该沟槽介电隔离区从导电隔离部件表面向下延伸到衬底。

23. 一种半导体器件的形成方法，包括：

提供第一导电类型的衬底；

注入第二导电类型的埋入层，该埋入层形成导电隔离部件的一部分；

在埋入层上方沉积第一导电类型的外延层，其中一部分外延层形成阳极的第一部分；

注入分别具有第一导电类型和第二导电类型的第一和第二区，第一区对应于阳极的第二部分，第二区对应于阴极的第一部分；

蚀刻用作氧化物隔离的区域，并在该刻蚀区沉积氧化物；
注入第一导电类型的第三区，第三区对应于阳极的第三部分；和
注入第二导电类型的第四区，第四区形成导电隔离部件的第二部分。

24. 权利要求 23 的所述方法，其中阳极包括多个掺杂剂浓度，其中一个部分的掺杂剂浓度比另一个部分的掺杂剂浓度高一个数量级，其中每个部分都不用于形成欧姆接触。

25. 权利要求 23 的所述方法，其中阳极邻近阴极设置，并形成阳极/阴极界面。

26. 权利要求 23 的所述方法，其中导电隔离部件包括埋入层和导电连接到埋入层的导电下沉区，其中埋入层设置在衬底和阳极及阴极区之间，并且其中导电下沉区从区域的侧面包围阳极和阴极区。

27. 权利要求 23 的所述方法，其中导电隔离部件的第二部分包括导电下沉区，导电下沉区从第二部分的表面向下延伸到埋入层，并且其中蚀刻用于氧化物隔离的区域和在蚀刻区域沉积氧化物包括形成设置在阳极顶部和导电隔离部件的导电下沉区顶部之间的半导体器件部分内部的介电隔离区。

半导体器件及其形成方法

技术领域

本发明一般涉及半导体，更具体地涉及半导体器件及其形成方法。

背景技术

对于集成电路来说，限定由半导体器件注入其半导体衬底的电流通常是很重要的。这对于在较高电压和电流下工作的功率集成电路来说尤其重要。此外，希望增大功率集成电路可使用的最大电压。

附图说明

通过实例说明本发明，但不限于附图，附图中相似的引用标记表示相似的元件，附图中：

图 1 示例根据本发明的一个实施例的半导体器件的截面图；和

图 2 是以图解形式示例图 1 的半导体器件产生的阴极电流和衬底电流的电流-电压（阴极-阳极电压）曲线的示例图。

本领域技术人员理解附图中示例的元件是为了简明和清楚的目的，并未按比例绘制。例如，附图中某些元件的尺寸与其它元件相比有所放大，有助于更好地理解本发明的实施例。

具体实施方式

在同一芯片上集成功率器件和模拟、CMOS（互补金属氧化物半导体）的 SMARTMOS 技术的快速发展为芯片上系统的解决方案制造了机会。自动、便携和计算机外围应用需要一种从较低的电池电压一直到几十伏的高压都能够工作的通用精密功率技术。然而，某些传统半导体器件，例如二极管，在一定的条件下会遇到寄生衬底注入的问题。为了抑制衬底注入的目的，将高压隔离二极管器件集成到精密功

率技术需要一种新的结构和形成方法。

图 1 示例根据本发明的一个实施例的半导体器件的截面图。图 1 中所用到的“P-、P、P+、和 P++”表示具有 P 型导电性的半导体材料，其中掺杂剂浓度从最低掺杂剂浓度 P-、到较高掺杂剂浓度 P、甚至到更高的 P+掺杂剂浓度、直到最高掺杂剂浓度 P++变化。类似地，“N、N+、和 N++”表示具有 N 型导电性的半导体材料，其中掺杂剂浓度从最低掺杂剂浓度 N、到较高掺杂剂浓度 N+、直到最高掺杂剂浓度 N++变化。

在图 1 所示的本发明的实施例中，半导体器件 10 是二极管，其阳极 42 由 P++区 30、P+区 20、P-区 24 和 P 区 26 构成，阴极 40 由 N++区 32 和 N 区 22 构成。P 区 12 是半导体衬底，N+区 13 是埋入层，或者可以是以任意方式形成的 N+层。N+区 16 作为导电下沉区(*conductive sinker*)。N+区 16 和 N+层 13 一起形成用于使二极管 10 与集成电路其余部分导电隔离的导电隔离槽或导电隔离部件。介电层 14 用于包围二极管 10。介电层 14 形成用于使二极管 10 与集成电路的其余部分电隔离的电性隔离阻挡层。注意介电层 14 由任意介电材料形成。氧化物仅仅是能够使用的一种可能的介电材料。可以使用其它任意合适的材料，例如氧化物和多晶硅的混合物。

阳极 42 包括 P++区 30，阴极 40 包括 N++区 32，隔离区 16 包括 N++区 34。为了形成良好的欧姆接触，这些区 30、32 和 34 都是重掺杂的，因此这里称作欧姆区。在本发明的某些实施例中，分别在区 30、32 和 34 上方形成金属接触（未示出）。

在本发明的示例实施例中，在阳极 42 和阴极 40 之间的结上方形成介电层 27。注意介电层 27 可以由任意介电材料形成。在一个实施例中的，使用薄氧化层形成介电层 27。在介电层 27 上方形成导电层 28。注意导电层 28 可以由任意导电或半导体材料形成。在一个实施例中，

使用多晶硅层形成导电层 28。还要注意可以使用多个层形成介电层 27 和导电层 28 的每一个。

在本发明的示例实施例中，在阳极 42 和 N+区 16 之间形成介电层 19。注意介电层 19 可以由任意介电材料形成。在一个实施例中，使用场氧化层形成介电层 19。氧化物仅仅是能够使用的一种可能的介电材料。可以使用任意其它适当的介电材料。

在本发明的示例实施例中，介电层 18 形成为包围 N++区 32 的环。注意介电层 18 可由任意介电材料形成。在某些实施例中，使用场氧化层形成介电层 18。氧化物仅仅是能够使用的一种可能的介电材料。可以使用任意其它适当的介电材料。在某些实施例中，介电层 18 可以是浅沟槽隔离区。使用介电层 18 的一个作用是承受 N++区 32 和导电层或导电板 28 之间更高的电压差。本发明的另一实施例不使用介电层 18，而是使其它区域延伸到表面平面（即，邻接层 27 的底表面的表面平面）。

在本发明的一个实施例中，阳极 42 通过导电层 44 电连接到导电层 28。导电层 44 并未使用任何具体技术示例，解释为可以使用任意希望的技术。使用任意能够形成在半导体器件 10 上的导电材料形成导电层 44。

本发明的可选实施例可以电性偏置由 N++区 34、N+区 16 和 N+区 13 形成 N 隔离区，从而减小从垂直寄生 NPN 和 PNP 器件注入到衬底 12 的寄生电流。注意在示例实施例中，垂直寄生 NPN 晶体管具有由区 32 和 22 形成的第一 N 区，具有由区 30、20、24 和 26 形成的 P 区并且具有由区 13 形成第二 N 区。类似地，垂直寄生 PNP 晶体管具有由区 30、20、24 和 26 形成的第一 P 区，具有由区 13 形成的 N 区并且具有由区 12 形成的第二 P 区。

如果 N++区 34 电连接（例如短接）到阳极 42，那么垂直寄生 PNP

晶体管的发射极和基极大致处于同一电压，因此不存在发射极/基极偏压。因此，垂直寄生 PNP 晶体管产生非常小的注入到 P 衬底 12 的集电极电流。此外，如果 N++区 34 电连接（例如短接）到阳极 42，那么垂直寄生 NPN 晶体管的基极和集电极大致处于同一电压，因此集电极电压不可能降低到低于地的负电压。如果集电极降低至负电压，那么 N+区 13 和 P 衬底 12 之间的结会形成导通的二极管结，由此向衬底 12 注入电流。

如果 N++区 34 电连接（例如短接）到阴极 40，那么阴极 40 将能够承受更高的电压。电连接 N++区 34 和阴极 40 在 N 区 22 和 P 区 26 之间的结上并且同样在 P 区 26 和 N+区 13 之间的结上产生负偏压。这两个反向偏置的结一起减小 N 区 22 中的电场，特别是最接近 P-区 24 和最接近介电层 18 的 N 区 22 部分。该减小的电场使得阴极 40 上能够承受更高的最大电压。

如果 N++区 34 没有电连接到阳极 42 或阴极 40 且处于电浮置，那么阴极 40 将能够承受甚至更高的电压。如果 N+区 13 的电压设为浮置，那么阴极 40 所能承受的最大电压将不受到 P+区 20 和 N+区 13 之间的物理距离的限制，而是受到器件 10 的其他特性的限制（例如 N+区 13 和 P 区 12 的掺杂浓度）。

在本发明的一个实施例中，阳极 42 包括多个掺杂剂浓度。在一个实施例中，P++区 30 具有 $1E20$ 量级的掺杂剂浓度，P+区 20 具有 $2E17$ - $4E17$ 范围内的掺杂剂浓度，P-区 24 具有 $1E15$ - $5E15$ 范围内的掺杂剂浓度，并且 P 区 26 具有 $2E16$ - $5E16$ 范围内的掺杂剂浓度。给定这些掺杂剂浓度仅仅是为了示例性的目的。本发明的其他实施例可以使用任意适合的掺杂剂浓度。注意 P++区 30 中的重掺杂剂浓度是为了与上方的导电层（未示出）形成良好欧姆接触的目的。因此这里 P++区 30 可以称作欧姆区。注意对于本发明的某些实施例来说，阳极 42 中用到的最低的 P 型掺杂剂浓度和阳极 42 中用到的最高的 P 型掺杂剂浓度

之间至少相差一个数量级（即 10 的一次幂）。本发明的其他实施例中，阳极 42 中用到的最低的 P 型掺杂剂浓度和阳极 42 中用到的最高的 P 型掺杂剂浓度之间至少相差两个数量级（即 10 的二次幂或一百倍）。注意，本发明的其他实施例可以将最低和最高的掺杂剂浓度之间的差异指定为 0（即无差异）和集成电路制造技术允许的最大差异之间的任意期望值。

在本发明的一个实施例中，阴极 40 包括多个掺杂剂浓度。在一个实施例中，N++区 32 具有 $5E20$ 量级的掺杂剂浓度，N 区 22 具有 $3E16$ - $6E16$ 范围内的掺杂剂浓度。给定这些掺杂剂浓度仅仅是为了示例性的目的。本发明的其他实施例可以使用任意适合的掺杂剂浓度。注意 N++区 32 中的重掺杂浓度是为了与上方的导电层（未示出）形成良好欧姆接触的目的。因此这里 N++区 32 可以称作欧姆区。界面 49 形成阳极 42 和阴极 40 之间的阳极/阴极结界面。

在本发明的一个实施例中。隔离区（34、16、13）包括多个掺杂剂浓度。在一个实施例中，N++区 34 具有 $5E20$ 量级的掺杂剂浓度，N+区 16 具有 $5E17$ - $8E17$ 范围内的掺杂剂浓度，并且 N+区 13 具有 $1E18$ - $5E18$ 范围内的掺杂剂浓度。给定这些掺杂剂浓度仅仅是为了示例性的目的。本发明的其他实施例可以使用任意适合的掺杂剂浓度。注意 N++区 34 的重掺杂浓度是为了与上方的导电层（未示出）形成良好欧姆接触的目的。因此这里 N++区 34 可以称作欧姆区。

对于本发明的其他实施例来说，可以掺杂 P 衬底 12 形成 P+衬底 12。在本发明的另一实施例中，衬底 12 可以是具有其上形成上方 P 型外延层的 P++衬底。然后可以使用注入和扩散形成 N 型埋入层，其用作与图 1 示例的 N+区 13 类似的功能。然后在 N 型埋入层上方沉积第二 P 型外延层。该第二 P 型外延层可用作与图 1 示例的 P-区 24 类似的功能。然后使用注入形成 P 区 26 和 N 区 22。注意对于某些实施例来说，可以使用同一注入掩模形成区 26 和 22。接着，进行蚀刻和氧化物

沉积形成层 14、18 和 19。然后使用注入形成 P+区 20，并使用不同的注入形成 N+区 16。本发明的其他实施例可以使用多个注入步骤和掩模形成 N+区 16。接着，进行氧化物沉积形成层 27，并进行多晶硅沉积形成层 28。然后使用注入形成 N++区 32 和 34，并使用不同的注入形成 P++区 30。本发明的其他实施例可以使用以任意适当顺序的任意适当的其他处理步骤，形成半导体器件 10 的各个实施例。

图 2 是以图解形式示例图 1 的半导体器件 10 产生的阴极电流（ $I_{\text{cathode 50}}$ ）和衬底电流（ $I_{\text{substrate 52}}$ ）的电流-电压（阴极-阳极电压）曲线的示例图。注意注入到衬底 12（见图 1）的寄生电流（ $I_{\text{substrate 52}}$ ）大约比阴极电流（ $I_{\text{cathode 50}}$ ）小 6 个数量级。图 2 假设 N++区 34（隔离区）与阳极 42 短接，并都大约为 0 伏，阴极 40 的电压被限制在 0 伏以下，衬底 12 偏置为 -10 伏，并且半导体器件 10 的温度大约为 150 摄氏度。N+区 16 的宽度增至超过 10 微米可以进一步减小注入衬底 12 的阴极电流，然而，经常必须在形成半导体器件 10 所需的半导体面积值和半导体器件 10 的电性能之间折中。注意对于传统非隔离的二极管来说，注入衬底的寄生电流大约为阴极电流的 10%。因此传统非隔离的二极管向衬底注入非常大的寄生电流，导致形成在同一集成电路上的临近电路系统可能出现故障。

虽然参照具体导电类型或电势极性描述本发明，但是本领域技术人员能意识到可以使用相反的导电类型和电势极性。此外，用于形成半导体器件 10 的各个部分的半导体材料可以是任意适当的材料。例如，衬底 12 可以是硅或其他任意适当的半导体材料。此外，半导体器件 10 可以集成至能够在高压和高电流下工作的功率集成电路。

在上面的描述中，参照具体实施例描述本发明。然而，本领域普通技术人员能意识到可以不脱离由下面给出的权利要求限定的本发明的范围做出各种修改和改变。因此，说明和附图应当视为示例性的，而非限制性的，并且所有修改都包括在本发明的范围内。

上面根据特定实施例描述了益处、优点和问题的解决方法。然而，引起任何益处、优点或解决方法产生或更加显著的益处、优点或解决方法并不构成成为任一或所有权利要求的关键的、必需的或本质的特征或要素。这里用到的术语“包括”、“包含”或任一其它变化，意味着覆盖了非排它的内容，例如包括一系列要素的工艺、方法、物品、或装置不仅仅包括这些要素，还包括未明确列出的或者这些工艺、方法、物品或装置固有的其它要素。

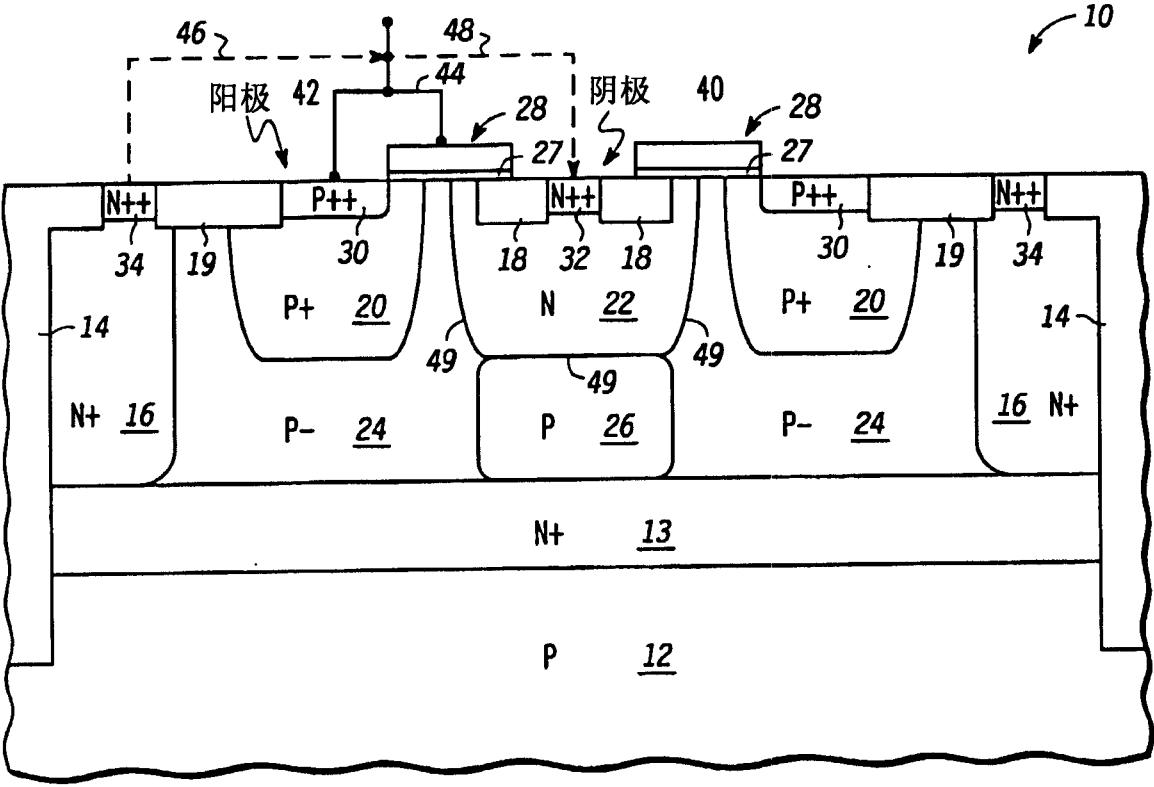


图1

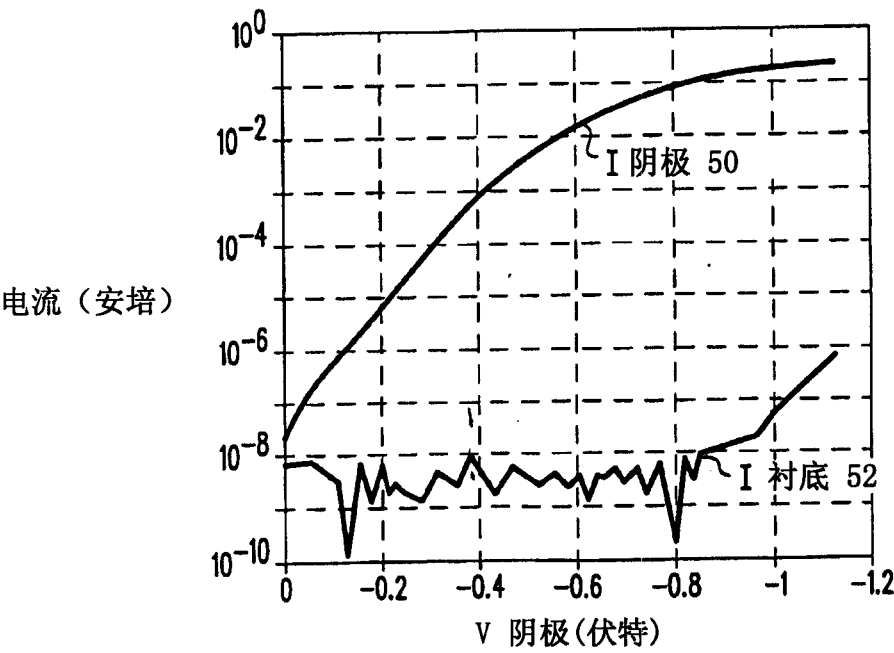


图2