

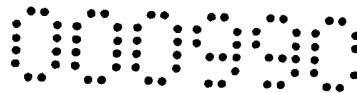


(10)

(12)

Zusammenfassung

Prozesse, die verwendet werden, um Halbleiterstrukturen von einem anfänglichen Substrat auf ein Basissubstrat zu überführen, umfassen, dass das anfängliche Substrat mit einer Siliziumdioxidschicht an eine dotierte Siliziumstruktur gebondet wird, die durch eine Wasserstoffimplantation für ein Spalten ausreichend geschwächt ist. Nach dem Spalten verbleibt eine dotierte Siliziumschicht, die die Siliziumdioxidschicht zwischen der dotierten Siliziumschicht und dem anfänglichen Substrat vergräbt. Es werden Halbleiterstrukturen in/an einer Epitaxieschicht ausgebildet, die an der dotierten Siliziumschicht angeordnet ist, wobei eine Halbleiter-Zwischenstruktur gebildet wird. Eine Prozesshalterung wird temporär zum Tragen an die Halbleiterstrukturen gebondet. Das anfängliche Substrat wird durch einen mechanischen Abdünnungsprozess, gefolgt von einem chemischen Ätzen unter Verwendung der vergrabenen Siliziumdioxidschicht als Ätzstopp, abgedünnt und entfernt. Die Siliziumdioxidschicht wird chemisch von der dotierten Siliziumschicht entfernt. Ein Basissubstrat wird an der dotierten Siliziumschicht ausgebildet. Die Prozesshalterung wird entfernt, wobei die Halbleiterstrukturen an dem Basissubstrat angeordnet hinterlassen werden.



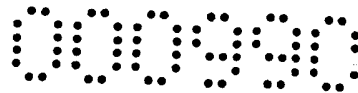
AN SUBSTRATEN AUSGEBILDETE HALBLEITERSTRUKTUREN UND VERFAHREN ZUM
HERSTELLEN DIESER

HINTERGRUND DER ERFINDUNG

Die vorliegende Erfindung betrifft allgemein Halbleiterbauelemente und insbesondere verschiedene Ausführungsformen von an verschiedenen Substraten, wie beispielsweise Metall, ausgebildeten Halbleiterstrukturen und Verfahren zum Herstellen solcher Bauelemente.

Allgemein setzt eine herkömmliche Halbleiterherstellung eine Anzahl von Prozessen ein, um Halbleiterstrukturen an Substraten auszubilden. Das Substrat ist typischerweise Teil eines Wafers. Ein Wafer ist eine kleine, dünne, kreisförmige Scheibe eines halbleitenden Materials, wie beispielsweise Silizium, an der Halbleiterstrukturen ausgebildet werden. Standardmäßige Bauelementfertigungsprozesse, wie beispielsweise Ätzen, Abscheidung und galvanisches Beschichten, werden verwendet, um Halbleiterstrukturen an dem Wafer zu erzeugen. Nach der Ausbildung der Halbleiterstrukturen wird der Wafer getestet und dann zerteilt, um einzelne Halbleiterstrukturen zu trennen, die allgemein Chips genannt werden und eine Substratschicht umfassen. Eine Substratschicht (Substrat) wird oftmals als die Basisschicht oder der Body des Chips bezeichnet, auf die oder den andere Schichten abgeschieden werden, um die Halbleiterstrukturen auszubilden. An dem Substrat ausgebildete Halbleiterstrukturen können diskrete Bauelemente oder integrierte Schaltkreise sein. Beispielsweise kann die Halbleiterstruktur aus einem einzelnen diskreten Leistungstransistor bestehen oder kann aus einer Anzahl von Transistoren und anderen elektronischen Elementen ausgebildet sein, wie beispielsweise aus Widerständen, Kondensatoren, etc., die miteinander elektrisch gekoppelt sind, um einen integrierten Schaltkreis zu bilden.

Das Substrat spielt hinsichtlich der Halbleiterstrukturen, die es trägt, eine entscheidende Rolle, ob es sich nun um ein diskretes Bauelement, wie beispielsweise einen Leistungstransistor, oder einen integrierten Schaltkreis handelt. Das Substrat wird oftmals verwendet, um die Halbleiterstruktur hinsichtlich einer Beschädigung aufgrund eines mechanischen Biegens strukturell zu unterstützen. Das Substrat kann auch als Teil der Halbleiterstruktur verwendet werden, wobei vertikale oder laterale Stromflüsse gestützt werden. Bei einigen Bauelementen wird das Substrat als ein Isolator verwendet, wobei das Substrat ausgestaltet ist, um die Halbleiterstruktur von anderen Halbleiterstrukturen oder von einer elektroni-



schen Kopplung mit einer leitenden Fläche zu isolieren.

In Abhängigkeit von seinen Eigenschaften und Abmessungen kann ein Substrat die Leistung von Halbleiterstrukturen, die es trägt, nachteilig beeinflussen. Das Substrat kann unerwünschte parasitäre Impedanzen und Wärmeleitungspfade einführen, die die Leistungsaufnahme, die Verlustleistung und die Betriebsbandbreite einer Halbleiterstruktur beeinflussen können. Beispielsweise kann das Substrat bei einem typischen als Komplementär-Metalloxid-Halbleiter ausgebildeten integrierten Schaltkreis (CMOS-Schaltkreis) zu einem Latch-Up beitragen. Ein Setzen des CMOS-Bauelements auf ein isolierendes Substrat, z.B. Silicon-On-Insulator (SOI), anstatt auf ein leitendes Substrat kann Leckströme reduzieren und dabei helfen, einen Latch-Up zu verhindern, wobei das isolierende Substrat jedoch auch die Wärmeableitung von der CMOS-Schaltung einschränken kann. Für Hochfrequenz-Einrichtungen (HF-Einrichtungen) ist das Substrat oftmals hinsichtlich Übertragungsleitungen, die verwendet werden, um Hochgeschwindigkeitsdaten zu übertragen, ein kritisches Entwurfselement. Die Dicke und der Typ von Substratmaterial sind für die Übertragungseffizienz solcher Hochgeschwindigkeitssignale wichtig. Das Substrat spielt bei der Wärmeableitung der Halbleiterstruktur oftmals eine wichtige Rolle. Beispielsweise kann ein Metallsubstrat verwendet werden, um dabei zu helfen, Wärme von einem Bauelement an eine Außenumgebung abzuführen. Daher sind die Dicke, das Material und der strukturelle Entwurf der Substratschicht entscheidende Komponenten hinsichtlich der Leistung und der strukturellen Integrität der Halbleiterstruktur, die sie trägt.

Bei bestimmten Bauelementen wird das Substrat als Teil des Stromleitungs-pfads verwendet. Beispielsweise spielt das Substrat bei dem Festkörperschalter eine wichtige Rolle, der eine wichtige Halbleiterstruktur ist, die für Anwendungen diskreter Bauelemente und integrierte Schaltkreise verwendet wird. Festkörperschalter umfassen beispielsweise den Metalloxid-Halbleiter-Feldeffekt-Leistungstransistor (Leistungs-MOSFET), den Bipolartransistor mit isoliertem Gate (IGBT) und verschiedene Typen von Thyristoren. Einige der definierenden Leistungseigenschaften für den Leistungsschalter sind sein Ein-Widerstand (d.h. Drain-Source-Ein-Widerstand, $R_{DS(on)}$), seine Durchschlagsspannung und seine Schaltgeschwindigkeit. In Abhängigkeit von den Anforderungen einer bestimmten Anwendung wird auf jedes dieser Leistungskriterien ein anderer Schwerpunkt gesetzt. Beispielsweise weist der IGBT bei Leistungsanwendungen von größer als 300 - 400 Volt im Vergleich zu dem Leistungs-MOSFET einen von Natur aus niedrigeren Ein-Widerstand auf, seine Schaltgeschwindigkeit ist jedoch aufgrund seiner langsamen Abschaltteeigenschaften niedriger. Daher ist der

IGBT für Anwendungen mit mehr als 400 Volt mit niedrigen Schaltfrequenzen, die einen niedrigen Ein-Widerstand erfordern, der bevorzugte Schalter, während der Leistungs-MOSFET oftmals als Bauelement für Anwendung mit relativ höherer Frequenz gewählt wird.

Allgemein werden die Schaltgeschwindigkeit, der Ein-Widerstand, die Durchschlagspannung und die Verlustleistung eines typischen MOSFET-Bauelements durch das Layout, die Abmessungen und die Materialien beeinflusst. Die Entwurfspraxis in der Industrie versuchte, den Ein-Widerstand des MOSFET so niedrig wie möglich zu halten, um eine statische Verlustleistung zu verringern und Stromdichten zu erhöhen. Beispielsweise besteht der Ein-Widerstand bei vertikalen Leistungs-MOSFET-Bauelementen aus verschiedenen Widerständen, wie beispielsweise einem Kanalwiderstand, einem Epitaxieschichtwiderstand und einem Substratwiderstand. Der Ein-Widerstand solch eines vertikalen Leistungs-MOSFET-Bauelements (sowie anderer MOSFET-Bauelemente) wird direkt durch den Typ und die Abmessungen der Materialien beeinflusst, die verwendet werden, um den Drain-Source-Leitungspfad auszubilden. Daher ist das Substrat bei einem vertikalen Leistungs-MOSFET ein entscheidendes Leistungselement.

Zusätzlich zu der Substratschicht beeinflussen die Halbleiterschichten, die Halbleiterstrukturen wie beispielsweise MOSFETs und CMOS-Schaltungen bilden, von Natur aus die Betriebsleistung der Halbleiterstrukturen. Die Substratschicht und die Halbleiterschichten führen bei den Halbleiterstrukturen parasitäre Effekte ein, die dem Substrat und den Halbleiterschichten eigen sind. Beispielsweise werden parasitäre Kapazitäten und Induktivitäten direkt durch die Materialien, die für die Halbleiterschichten und das Substrat verwendet werden (z.B. Isolator, Halbleiter, Dotierungskonzentration, etc.) und die Abmessungen (z.B. Höhe, Breite, Länge, etc.), die verwendet werden, um die Halbleiterstrukturen auszubilden und zu tragen, beeinflusst. Solche parasitären Effekte führen allgemein zu einer Verschlechterung der elektrischen Leistung und des Betriebs der Halbleiterstruktur.

Allgemein neigen kleinere Abmessungen der Halbleiterstrukturen dazu, Parameter, wie beispielsweise Widerstand, Verlustleistung und parasitäre Impedanz, zu reduzieren. In Bezug auf die Halbleiterschichten ist die Halbleiterstruktur-Betriebsfrequenz beispielsweise um so besser, je dünner die Halbleiterschichten sind. Auch neigen Substratmaterialien mit größerer spezifischer Wärmekapazität und wärmekapazitivere Substratmaterialien dazu, die Wärmeableitungsfähigkeit der Halbleiterstrukturen zu erhöhen, wohingegen dünnere Substrate dazu neigen, die Betriebsfrequenz

für jene Bauelemente zu verbessern, die auf dem Substrat als Teil des Leitungspaths beruhen. Wenn jedoch die Größe von Halbleiterstrukturen verringert wird, stellt ein Bereitstellen von dünneren Halbleiterschichten und Substraten eine Prozessherausforderung für Halbleiterhersteller dar. Bei herkömmlichen Halbleiterstrukturfertigungsprozessen wird das Substrat, nachdem Halbleiterstrukturen, andere Halbleiterschichten und Metallschichten auf das Substrat aufgebracht wurden, oftmals unter Verwendung eines Prozesses, wie beispielsweise eines chemisch-mechanischen Polierens (CMP), abgedünnt. Chemische Ätzprozesse wurden entwickelt, um das Substrat weiter auf ein dünneres Profil zu ätzen, chemische Ätzprozesse sind jedoch schwierig zu steuern und führen oftmals zu beschädigten Halbleiterstrukturen, die während des Prozesses unbeabsichtigterweise geätzt werden. Zusätzlich weisen herkömmliche Substratabdünnungsprozesse eigene Einschränkungen auf, da die Halbleiterstrukturen eine strukturelle Unterstützung erfordern. Daher liefern herkömmliche Prozesse zum Abdünnen des Substrats aufgrund von Ätzfehlern und der mechanischen Biegung des Substrats allgemein einige defekte Halbleiterstrukturen.

Es besteht daher ein Bedarf an Strukturen und Verfahren zum Ausbilden von Halbleiterstrukturen mit optimierten Halbleiterschichten und Substraten zum Verbessern der Betriebsleistung, während prozessbezogene Defekte aufgrund von strukturellen Spannungen minimiert werden.

KURZZUSAMMENFASSUNG DER ERFINDUNG

Ausführungsformen der vorliegenden Erfindung betreffen eine Ausbildung von Halbleiterstrukturen und einen Prozess zum Überführen von Halbleiterstrukturen, die in und/oder an Siliziumschichten ausgebildet sind, die auf ein anfängliches Substrat abgeschieden sind, auf ein Basissubstrat, wie beispielsweise Metall, Silizium, Glas und dergleichen. Bei einer Ausführungsform offenbart die vorliegende Erfindung Verfahren und Strukturen, die verwendet werden, um diskrete Bauelemente und integrierte Schaltkreise von der anfänglichen Substratschicht auf ein Basissubstrat zu überführen. Die hierin beschriebenen Prozesse und Strukturen stellen Halbleiterschichten und Substrate mit einer verbesserten elektrischen und strukturellen Leistung bereit, was für eine verbesserte elektrische Leistung der Halbleiterstrukturen sorgt, die mit den Halbleiterschichten und Substraten integral sind und durch diese getragen werden.

Bei einer anderen Ausführungsform stellt die Erfindung ein Verfahren zum Überführen von Halbleiterstrukturen von einem anfänglichen Substrat auf

ein Basissubstrat bereit. Das Verfahren umfasst, dass ein anfängliches Substrat mit einer Ätzstoppschicht versehen wird, eine dotierte Siliziumschicht an der Ätzstoppschicht bereitgestellt wird und Halbleiterstrukturen an der dotierten Siliziumschicht ausgebildet werden. Die Halbleiterstrukturen, die dotierte Siliziumschicht, die Ätzstoppschicht und das anfängliche Substrat bilden einen Halbleiterprozess. Das Verfahren umfasst ferner, dass der Halbleiterprozess mit einer entfernbaren Trägerstruktur getragen wird, das anfängliche Substrat unter Verwendung eines chemischen Ätzprozesses entfernt wird, der das anfängliche Substrat bis zu der Ätzstoppschicht entfernt, die Ätzstoppschicht mit einem chemischen Ätzprozess entfernt wird und ein Substratmaterial auf die dotierte Siliziumschicht abgeschieden wird, um das Basissubstrat auszubilden.

Bei einer anderen Ausführungsform stellt die vorliegende Erfindung ein Verfahren zum Ausbilden von Halbleiterstrukturen an einem Metallsubstrat bereit. Das Verfahren umfasst, dass ein anfängliches Substrat mit einer freigelegten Siliziumdioxid-Ätzstoppschicht versehen wird, ein mit Wasserstoff implantiertes dotiertes Siliziummaterial an die Siliziumdioxid-Ätzstoppschicht gebondet wird, ein Bereich des dotierten Siliziummaterials ermittelt wird, der ausreichend durch den Wasserstoff geschwächt ist, um ein Spalten des dotierten Siliziummaterials entlang dem Bereich zu ermöglichen, und das dotierte Siliziummaterial entlang dem Bereich gespalten wird, was eine an die Siliziumdioxidschicht gebondete dotierte Siliziumschicht zurücklässt. Das Verfahren umfasst ferner, dass Halbleiterstrukturen an der dotierten Siliziumschicht ausgebildet werden, die Halbleiterstrukturen, die Siliziumdioxidschicht und das anfängliche Substrat mit einer Trägereinrichtung getragen werden, das anfängliche Substrat entfernt wird, die Siliziumdioxidschicht entfernt wird und eine ausreichende Menge an Metall für die dotierte Siliziumschicht bereitgestellt wird, um ein Metallsubstrat auszubilden.

Bei einer anderen Ausführungsform stellt die Erfindung eine Substratstruktur bereit. Die Substratstruktur umfasst eine an einem anfänglichen Substrat angeordnete Ätzstoppschicht. Die Ätzstoppschicht ist ausgestaltet, um eine Prozessbarriere für einen Prozess eines chemisch-mechanischen Polierens zum Entfernen des anfänglichen Substrats bereitzustellen. Die Substratstruktur umfasst auch eine an der Ätzstoppschicht angeordnete Halbleiterschicht.

KURZBESCHREIBUNG DER ZEICHNUNGEN

Fig. 1 zeigt eine Querschnittsansicht einer Ausführungsform eines bei-

spielhaften n-leitenden Trench-MOSFETs gemäß Ausführungsformen der Erfindung; Fig. 2 zeigt eine Querschnittsansicht einer Ausführungsform eines Siliziummaterials mit einem mit Wasserstoffionen implantierten Bereich gemäß Ausführungsformen der Erfindung; Fig. 3 zeigt eine Querschnittsansicht einer Ausführungsform eines anfänglichen Substrats und des dotierten Siliziummaterials gemäß Ausführungsformen der Erfindung; Fig. 4 zeigt eine Querschnittsansicht einer Ausführungsform des anfänglichen Substrats, das an das dotierte Siliziummaterial von Fig. 3 gebondet ist, gemäß Ausführungsformen der Erfindung; Fig. 5 zeigt eine Querschnittsansicht einer Ausführungsform des anfänglichen Substrats, das von dem dotierten Siliziummaterial von Fig. 3 getrennt ist, wobei eine Schicht mit dotiertem Silizium an dem anfänglichen Substrat zurückgelassen ist und eine Halbleiterprozessstruktur ausbildet ist, gemäß Ausführungsformen der Erfindung; Fig. 6 zeigt eine Querschnittsansicht einer Ausführungsform der Halbleiterprozessstruktur von Fig. 5 mit einer an der dotierten Siliziumschicht angeordneten Epitaxieschicht gemäß Ausführungsformen der Erfindung; Fig. 7 zeigt eine Querschnittsansicht einer Ausführungsform der Halbleiterprozessstruktur von Fig. 6, wobei an der Epitaxieschicht ausgebildete Halbleiterstrukturen eine Halbleiterstrukturschicht bilden, gemäß Ausführungsformen der Erfindung; Fig. 8 zeigt eine Querschnittsansicht einer Ausführungsform einer Prozesshalterung, die an der Halbleiterstrukturschicht befestigt ist, um die Halbleiterprozessstruktur für eine Verarbeitung zu tragen, gemäß Ausführungsformen der Erfindung; Fig. 9 zeigt eine Querschnittsansicht einer Ausführungsform der Halbleiterprozessstruktur nach dem Abdünnen des anfänglichen Substrats durch einen Substratabdünnungsprozess gemäß Ausführungsformen der Erfindung; Fig. 10 zeigt eine Querschnittsansicht einer Ausführungsform der Halbleiterprozessstruktur nach dem Entfernen des anfänglichen Substrats durch einen Substratätzprozess gemäß Ausführungsformen der Erfindung; Fig. 11 zeigt eine Querschnittsansicht einer Ausführungsform der Halbleiterprozessstruktur nach dem Entfernen der Ätzstoppschicht durch einen Ätzprozess gemäß Ausführungsformen der Erfindung; Fig. 12 zeigt eine Querschnittsansicht einer Ausführungsform der Halbleiterprozessstruktur nach dem Ausbilden eines Metallsubstrats an der dotierten Siliziumschicht gemäß Ausführungsformen der Erfindung; Fig. 13 zeigt eine Querschnittsansicht einer Ausführungsform der Halbleiterprozessstruktur nach dem Entfernen der Prozesshalterung von der Halbleiterprozessstruktur gemäß Ausführungsformen der Erfindung;

Fig. 14 zeigt eine Querschnittsansicht einer Ausführungsform der Halbleiterprozessstruktur vor dem Zerteilen gemäß Ausführungsformen der Erfindung; und Fig. 15 zeigt eine Querschnittsansicht einer Ausführungsform

der Halbleiterprozessstruktur nach dem Zerteilen in einzelne Bauelemente gemäß Ausführungsformen der Erfindung.

DETAILLIERTE BESCHREIBUNG DER ERFINDUNG

Die vorliegende Erfindung betrifft Halbleiterstrukturen und Prozesse zum Überführen von Halbleiterstrukturen, die in und/oder an Siliziumschichten ausgebildet sind, die an einem anfänglichen Substrat ausgebildet sind, wie beispielsweise einem anfänglichen Substrat für einen Leistungsmosfet, auf ein Basissubstrat, wie beispielsweise Metall, Glas, Silizium oder dergleichen. Die vorliegende Erfindung betrifft auch ein Überführen von Halbleiterstrukturen, die in und/oder an Siliziumschichten ausgebildet sind, die an einem anfänglichen Substrat ausgebildet sind, auf einen Isolator für Silicon-On-Insulator-Bauelemente (SOI-Bauelemente). Der Prozess umfasst ein Ausbilden einer Schicht aus Siliziumdioxid (SiO_2) an dem anfänglichen Substrat. Der Prozess umfasst ferner ein Bereitstellen einer dotierten Siliziumschicht an der SiO_2 -Schicht. Ein dotiertes Halbleitermaterial wird mit Wasserstoffionen (z.B. H^+) implantiert, um einen spaltbaren Bereich auszubilden. Das dotierte Siliziummaterial wird an die SiO_2 -Schicht gebondet. Die Wasserstoffkonzentration in dem spaltbaren Bereich reicht aus, um zu ermöglichen, das dotierte Siliziummaterial zu spalten. Bei einer Ausführungsform wird das dotierte Siliziummaterial bei einer Temperatur ausgeheilt, die ausreicht, um den spaltbaren Bereich zu spalten. Nach dem Spalten verbleibt eine Schicht aus dotiertem Siliziummaterial an der SiO_2 -Schicht, die die SiO_2 -Schicht zwischen dem Substrat und der dotierten Siliziumschicht vergräbt. An der dotierten Siliziumschicht wird eine Epitaxieschicht ausgebildet. Halbleiterstrukturen werden in und/oder an der Epitaxieschicht unter Verwendung von herkömmlichen Halbleiterstrukturausbildungsprozessen ausgebildet, wobei eine Halbleiterstrukturschicht gebildet wird (d.h. eine Schicht, die elektronisch Bauteile enthält, wie beispielsweise diskrete Transistoren, integrierte Schaltkreise und dergleichen). Das Substrat, die dotierte Siliziumschicht, die SiO_2 -Schicht, die Epitaxieschicht und die Halbleiterstrukturschicht bilden einen Halbleiter-Zwischenstruktur-Body. Das Verfahren umfasst ferner ein Anbringen einer Trägerstruktur an den Halbleiterstrukturen, um die Halbleiterprozess-Zwischenstruktur für eine weitere Verarbeitung zu tragen. Sobald die Halbleiterprozess-Zwischenstruktur getragen wird, wird das anfängliche Substrat unter Verwendung eines mechanischen Schleifprozesses, gefolgt von einem chemischen Ätzprozess unter Verwendung der vergrabenen SiO_2 -Schicht als eine Ätzstoppschicht, entfernt. Die SiO_2 -Schicht wird dann unter Verwendung eines chemischen Ätzprozesses entfernt. Die dotierte Siliziumschicht, die Epitaxieschicht und die Halb-

leiterstrukturen bilden eine zweite Halbleiterprozess-Zwischenstruktur. Dann wird eine Basissubstratschicht, wie beispielsweise ein Metall, an der dotierten Siliziumschicht ausgebildet, die eine ausreichende Dicke aufweist, um das Basissubstrat zu bilden. Das Basissubstrat, die dotierte Siliziumschicht, die Epitaxieschicht und die Halbleiterstrukturen bilden eine Halbleiterprozess-Endstruktur. Bei einem anderen Prozessschritt kann die Halbleiterprozess-Endstruktur zerteilt und in eine oder mehrere Halbleiterstrukturen, z.B. Chips, gepackt werden. Bei einer Ausführungsform wird ein Metall wie beispielsweise Kupfer als das an der dotierten Siliziumschicht ausgebildete Substrat verwendet.

Für ein besseres Verständnis des oben beschriebenen beispielhaften Prozessflusses wird die Erfindung im Kontext eines vertikalen Leistungs-MOSFETs des in Fig. 1 gezeigten Typs ausführlicher beschrieben. Fig. 1 zeigt eine Querschnittsansicht einer Ausführungsform eines beispielhaften n-leitenden Trench-MOSFET 100. Es ist jedoch zu verstehen, dass die prinzipiellen Techniken der vorliegenden Erfindung sowohl für diskrete Bauelemente als auch für integrierte Schaltkreise unter Verwendung jeder Verarbeitungstechnologie gelten. Wie bei allen anderen hierin beschriebenen Figuren ist zu verstehen, dass die relativen Abmessungen und Größen verschiedener Elemente und Komponenten, die in den Figuren gezeigt sind, nicht exakt die tatsächlichen Abmessungen reflektieren und nur Erläuterungszwecken dienen sollen. Der MOSFET 100 umfasst eine Gate-Elektrode G, die in Gräben 102 ausgebildet ist. Die Gräben 102 erstrecken sich von der Oberfläche eines p--Wannen-Body-Bereichs 104 und enden in einem n-leitenden Drift- oder Epitaxiebereich 106 endet. Bei einer Ausführungsform sind die Gräben 102 mit dünnen Dielektrikumschichten 108 ausgekleidet und sind im Wesentlichen mit leitendem Material 110 bedeckt, wie beispielsweise mit dotiertem Polysilizium. N-leitende Source-Bereiche 112 sind in dem p--Wannen-Body-Bereich 104 benachbart zu den Gräben 102 ausgebildet. Der MOSFET 100 umfasst einen p+-Body-Bereich 117, der in dem p--Wannen-Body-Bereich 104 ausgebildet ist. Der MOSFET 100 umfasst eine Metall-Source-Schicht 116. Ein Drain-Anschluss D für den MOSFET 100 ist mit einem an einer dotierten Siliziumschicht 114 angeordneten Metallsubstrat 118 gekoppelt. Die Epitaxieschicht 106 und der Body-Bereich 104 bilden eine an der dotierten Siliziumschicht 114 angeordnete Halbleiterstrukturschicht 107. Die Struktur von Fig. 1 wiederholt sich viele Male, um eine Anordnung von Transistoren auszubilden. Eine Anzahl von verschiedenen Leistungsbauelementen mit verschiedenen Verbesserungen ist ausführlicher in der an den Rechtsinhaber der vorliegenden Erfindung übertragenen US-Patentanmeldung Nr. 11/026,276 mit dem Titel "Power Semiconductor Devices and Methods of Manufacture" beschrieben, deren Offenbarungsgehalt

hierin durch Bezugnahme vollständig mit eingeschlossen ist.

Obwohl herkömmliche vertikale Trench-MOSFETs einen guten Ein-Widerstand aufweisen, weisen sie allgemein eine relativ hohe Eingangskapazität auf. Die Eingangskapazität für vertikale Trench-MOSFETs, einschließlich des MOSFET 100, weist zwei Komponenten auf: die Gate-Source-Kapazität C_{gs} und die Gate-Drain-Kapazität C_{gd} . Die Gate-Source-Kapazität C_{gs} resultiert aus der Überschneidung zwischen dem leitenden Gate-Material 110 und den Source-Bereichen 112 in der Nähe der Oberseite des Grabens 102. Die zwischen dem Gate und dem invertierten Kanal in dem Body ausgebildete Kapazität trägt auch zu C_{gs} bei, da bei typischen Leistungsschaltanwendungen die Body- und Source-Elektroden des Transistors kurzgeschlossen sind. Die Gate-Drain-Kapazität C_{gd} resultiert aus der Überschneidung zwischen dem leitenden Gate-Material 110 an der Unterseite jedes Grabens 102 und der Epitaxieschicht 106, die mit dem Metallsubstrat 118 über die dotierte Siliziumschicht 114 verbunden ist. Die Gate-Drain-Kapazität C_{gd} , oder Miller-Kapazität, begrenzt die Übergangszeit V_{DS} des Transistors. Daher führen höhere C_{gs} und C_{gd} zu erheblichen Schaltverlusten. Diese Schaltverluste werden zunehmend wichtiger, da sich Power Management-Anwendungen zu höheren Schaltfrequenzen hin bewegen.

Eine Möglichkeit, die Gate-Source-Kapazität C_{gs} zu reduzieren, ist das Reduzieren der Kanallänge des Transistors. Eine kürzere Kanallänge reduziert die Gate-Kanal-Komponente von C_{gs} direkt. Eine kürzere Kanallänge ist auch direkt proportional zu dem Ein-Widerstand $R_{DS(on)}$ und ermöglicht ein Erhalten derselben Stromkapazität des Bauelements mit weniger Gate-Gräben. Dies reduziert sowohl C_{gs} als auch C_{gd} durch Reduzieren des Umfangs an Gate-Source- und Gate-Drain-Überschneidung. Eine kürzere Kanallänge macht das Bauelement jedoch auch für ein Durchschlagen anfällig, wenn die Verarmungsschicht, die als ein Ergebnis des in Sperrrichtung vorgespannten Body-Drain-Übergangs gebildet wird, tief in den Body-Bereich reicht und sich den Source-Bereichen annähert. Eine Verringerung der Dotierungskonzentration der Epitaxieschicht 106, so dass sie mehr von der Verarmungsschicht aufrechterhält, hat den unerwünschten Effekt des Erhöehens des $R_{DS(on)}$ des Transistors.

Bei einer Ausführungsform kann der Ein-Widerstand des Bauelements durch Reduzieren der Dicke der Halbleiterstrukturschicht 107 reduziert werden. Beispielsweise verringert ein Reduzieren der Dicke der Halbleiterstrukturschicht 107 die Kanallänge. Bei einer Ausführungsform wird eine niedrigere C_{gd} auch durch Bereitstellen einer relativ dünnen dotierten Siliziumschicht 114 an dem Metallsubstrat 118 bereitgestellt. Das Metallsub-

strat 118 stellt auch eine strukturelle Unterstützung für die Transistorstruktur bereit. Mit den hierin beschriebenen Prozessen können die Halbleiterstrukturschicht 107 und die dotierte Siliziumschicht 114 eine Größe aufweisen, die erheblich dünner ist als die bei herkömmlichen Transistorausgestaltungen. Beispielsweise kann der Driftbereich etwa 7,5 Mikrometer (μm) der Gesamtdicke von etwa 10 μm der Halbleiterstrukturschicht 107 betragen, die den Bauelementbereich 104 umfasst. Zusätzlich kann, da es kein dickes anfängliches Substrat zu überwinden gibt, die Epitaxieschicht 106 mit einem vorbestimmten Dotierungsprofil dotiert werden und mit einer reduzierten Dicke ausgebildet werden, um eine akzeptable Durchschlagfestigkeit aufrechtzuerhalten, während R_{psm} verringert wird.

Fig. 2 zeigt eine Querschnittsansicht einer Ausführungsform eines dotierten Siliziummaterials 202 mit einem mit Wasserstoffionen (H^+) dotierten Bereich 204, und Fig. 3 zeigt eine Querschnittsansicht einer Ausführungsform eines anfänglichen Substrats (z.B. einer Trägerhalterung) 308 und des dotierten Siliziummaterials 202 gemäß Ausführungsformen der Erfindung. In Bezug auf Fig. 2 kann das dotierte Siliziummaterial 202 durch nahezu jeden Typ von Dotierstoff, wie beispielsweise Bor, Arsen und dergleichen, dotiert sein, die verwendet werden, um Halbleiterstrukturen auszubilden. Bei diesem Beispiel wird ein Dotierstoff verwendet, um ein n^+ -leitendes Material auszubilden. Um die Schicht 114 von dotiertem Silizium zu erzeugen, wird das dotierte Siliziummaterial 202 mit Wasserstoffionen dotiert, um den wasserstoffreichen Bereich 204 auszubilden. Ein beispielhafter Prozess zum Dotieren von Wasserstoffionen in ein Siliziumsubstrat ist in dem US-Patent Nr. 5,374,564 von Bruel offenbart, dessen Offenbarungsgehalt hierin durch Bezugnahme vollständig mit eingeschlossen ist.

Bei einer Ausführungsform wird die Konzentration von Wasserstoffionen an der Oberfläche des dotierten Siliziums 202 bei einer ausreichenden Tiefe und einem ausreichenden Energiepotential bereitgestellt, um einen spaltbaren Bereich 208 mit einer beispielhaften Dicke von zwischen etwa 1 - 2 μm auszubilden. Beispielsweise wird das dotierte Siliziummaterial 202 mit Wasserstoffionen mit einem Energieniveau von 170 keV auf ein Dosisniveau von $5 \times 10^{16}/\text{cm}^2$ Wasserstoffionen dotiert, um den spaltbaren Bereich 208 mit einer Dicke von etwa 1,7 μm auszubilden. Wegen der Wasserstoffversprödung ist das Gitter des spaltbaren Bereichs 208 schwächer als das Gitter des nicht mit Wasserstoff dotierten Siliziums.

Das anfängliche Substrat 308 umfasst eine Siliziumdioxid-Schicht (SiO_2 -Schicht) 306. Die SiO_2 -Schicht 306 wird als eine Ätzstoppschicht verwendet

und kann nahezu jede Dicke aufweisen, die einen Vorteil darstellen kann. Beispielsweise kann die SiO_2 -Schicht 306 zwischen 2500 und 4000 Angström liegen. Die SiO_2 -Schicht 306 kann auf dem anfänglichen Substrat 308 unter Verwendung von nahezu jedem SiO_2 -Schichtausbildungsprozess aufgewachsen oder abgeschieden werden. Beispielsweise kann die SiO_2 -Schicht 306 unter Verwendung eines Prozesses einer thermischen Oxidation aufgewachsen werden. Bei einer Ausgestaltung kann die SiO_2 -Schicht 306 an dem anfänglichen Substrat 308 ausgebildet werden und/oder kann die SiO_2 -Schicht 306 an dem dotierten Siliziummaterial 202 an der Oberfläche des Bereichs 204 ausgebildet werden. Die SiO_2 -Schicht 306 wird nachstehend weiter beschrieben.

Fig. 4 zeigt eine Querschnittsansicht einer Ausführungsform des an das dotierte Siliziummaterial 202 von Fig. 3 gebondeten anfänglichen Substrats 308. Fig. 5 zeigt eine Querschnittsansicht einer Ausführungsform des anfänglichen Substrats 308, das von dem dotierten Siliziummaterial 202 von Fig. 3 unter Verwendung eines Spaltprozesses getrennt (d.h. gespalten) wird. Der Spaltprozess hinterlässt eine Schicht 114B von dotiertem Silizium an dem anfänglichen Substrat 308 und einen verbleibenden Schichtteil 114A des mit Wasserstoff dotierten Siliziums an dem dotierten Siliziummaterial 202. Die SiO_2 -Schicht 306 kann unter Verwendung mehrerer Bond-Techniken an das dotierte Siliziummaterial 202 gebondet werden. Beispielsweise können die SiO_2 -Schicht 306 und das dotierte Siliziummaterial nach einer nasschemischen Behandlung und einer Behandlung mit deionisiertem Wasser (DI-Wasserbehandlung) zum Ausbilden der SiO_2 -Schicht 306 und des dotierten Siliziummaterials mit einer hydrophilen Oberfläche gebondet werden, z.B. bei Raumtemperatur unter Verwendung von herkömmlichen Bond-Techniken. Nach dem Bond-Prozess wird das dotierte Siliziummaterial 202 von dem anfänglichen Substrat 308 unter Verwendung einer beliebigen Anzahl von Spaltprozessen gespalten. Bei einer Ausführungsform umfasst der Spaltprozess ein Ausheilen des dotierten Siliziummaterials 202 und des anfänglichen Substrats 308 bei einer Temperatur zwischen 200 und 300 Grad Celsius für etwa 5 bis 10 Stunden. Der Spaltprozess umfasst das Ausheilen des dotierten Siliziummaterials 202 und des anfänglichen Substrats 308 bei einer Temperatur von etwa 450 Grad Celsius für etwa 15 Minuten. Der Ausheilprozess wird verwendet, um die Gitterstruktur des spaltbaren Bereichs 208 zu durchbrechen.

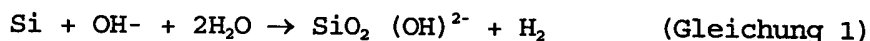
Fig. 6 zeigt eine Querschnittsansicht einer Ausführungsform der Halbleiterprozessstruktur von Fig. 5, wobei eine Epitaxieschicht 106 an der dotierten Siliziumschicht 114B angeordnet ist, und Fig. 7 zeigt eine Querschnittsansicht einer Ausführungsform der Halbleiterstruktur von Fig. 6, wobei die Halbleiterstrukturschicht 107 gemäß Ausführungsformen der

Erfindung Halbleiterstrukturen 702 aufweist. Optional kann die gespaltene dotierte Siliziumschicht 114B in einer CVD-Kammer vorbehandelt werden, um die dotierte Siliziumschicht 114B für die Ausbildung der Epitaxieschicht 106 zu präparieren. Die CVD-Behandlung kann verwendet werden, um eine einheitlichere Oberfläche zu erzeugen. Die Epitaxieschicht 106 kann an der dotierten Siliziumschicht 114B unter Verwendung einer Anzahl von Techniken ausgebildet werden. Beispielsweise kann die Epitaxieschicht 106 auf die dotierte Siliziumschicht 114B aufgewachsen werden. In Bezug auf Fig. 6 bilden die Trägerhalterung 308, die SiO_2 -Schicht 306, die dotierte Siliziumschicht 114B und die Epitaxieschicht 106 bei einer Ausführungsform eine Halbleiterverarbeitungs-Zwischenstruktur 606. Die Ausbildung der Halbleiterstrukturschicht 107 kann durch jede herkömmliche Halbleiterstrukturausbildungstechnik erfolgen. Beispielsweise können die Halbleiterstrukturen 702 an und/oder in der Epitaxieschicht 106 unter Verwendung von herkömmlichen Halbleiterstrukturierungsschritten ausgebildet werden, wie beispielsweise Schichtbildung, Strukturierung und Dotierung. Die Halbleiterstrukturen 702 können auch an der dotierten Siliziumschicht 114B und/oder integral an dieser ausgebildet werden. Bei einer optionalen Betriebsausgestaltung wird die Metallschicht 116 beispielsweise für MOS-FETs an den Halbleiterstrukturen 702 ausgebildet. Die Metallschicht 116 kann unter Verwendung nahezu jedes Prozesses aufgebracht werden, von denen hierin einige beschrieben werden. Bei einer anderen Ausführungsform bilden das anfängliche Substrat 308, die SiO_2 -Schicht 306, die dotierte Siliziumschicht 114B und die Halbleiterstrukturschicht 107 nach der Ausbildung der Bauelementschicht 107 eine andere Halbleiterverarbeitungs-Zwischenstruktur 706.

Nun Bezug nehmend auf Fig. 8 ist eine Querschnittsansicht einer Ausführungsform einer Prozesshalterung 802 gezeigt, die an der Halbleiterstrukturschicht 107 befestigt ist, um die Halbleiterprozessstruktur 706 für eine Verarbeitung zu tragen. Bei einer Ausführungsform ist die Prozesshalterung 802 temporär an der Halbleiterstrukturschicht 107 befestigt, um die Halbleiterprozess-Zwischenstruktur 706 zu tragen. Beispielsweise wird die Prozesshalterung 802 bei einem Prozessschritt unter Verwendung eines UV-lösbaren doppelseitigen Klebebands 804 an den Halbleiterstrukturen 702 befestigt. Das Klebeband 804 stellt eine Klebeverbindung mit ausreichender Stärke bereit, um die Halbleiterprozess-Zwischenstruktur 706 für eine Verarbeitung fest zu halten. Bei einer anderen Ausführungsform bilden das anfängliche Substrat 308, die SiO_2 -Schicht 306, die dotierte Siliziumschicht 114B, die Halbleiterstrukturschicht 107, das Klebeband 804 und die Prozesshalterung 802 eine andere Halbleiterverarbeitungs-Zwischenstruktur 806.

Fig. 9 zeigt eine Querschnittsansicht einer Ausführungsform der Halbleiterprozessstruktur 706 nach dem Abdünnen des anfänglichen Substrats 308 durch einen Substratabdünnungsprozess. Optional wird das anfängliche Substrat 308 bei einer Ausführungsform unter Verwendung eines mechanischen Abdünnungsprozesses, wie beispielsweise eines mechanischen Polierens/Schleifens, abgedünnt, um ein dünneres Substrat 308A auszubilden. Das anfängliche Substrat 308 kann z.B. auf etwa 8 Mils abgedünnt werden, um es schneller mit Chemikalien entfernen zu können. Bei einer anderen Ausführungsform bilden das Substrat 308A, die SiO₂-Schicht 306, die dotierte Siliziumschicht 114B und die Halbleiterstrukturschicht 107 eine andere Halbleiterverarbeitungs-Zwischenstruktur 906.

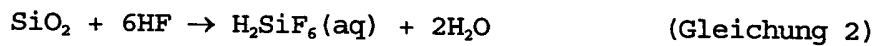
Fig. 10 zeigt eine Querschnittsansicht einer Ausführungsform der Halbleiterverarbeitungsstruktur nach dem Entfernen des anfänglichen Substrats 308A durch einen Substratätzprozess. Bei einem Prozess wird das anfängliche Substrat 308A durch chemisches Ätzen des Substrats 308A mit einem chemischen Ätzprozess unter Verwendung der vergrabenen SiO₂-Schicht 306 als eine Ätzstoppschicht entfernt. Da die SiO₂-Schicht 306 ausgestaltet ist, um den chemischen Ätzprozess zu stoppen, bleibt die Halbleiterstrukturschicht 107 von der Chemikalie, die zum Ätzen des anfänglichen Substrats 308A verwendet wird, unberührt. Das chemische Ätzen kann durch jeden Prozess zum Entfernen des anfänglichen Substrats 308A durchgeführt werden. Beispielsweise kann der Ätzprozess mit Chemikalien, wie beispielsweise Säure, Hydroxiden und dergleichen durchgeführt werden, die das anfängliche Substrat 308A entfernen, jedoch nicht die vergrabene SiO₂-Schicht 306 ätzen. Bei einem Prozess kann der chemische Ätzprozess zum Entfernen des anfänglichen Substrats 308A durch die folgende chemische Formel dargestellt werden:



wobei SiO₂(OH)²⁻ ein löslicher Komplex ist. Bei einer anderen Ausführungsform bilden die SiO₂-Schicht 306, die dotierte Siliziumschicht 114B und die Halbleiterstrukturschicht 107 nach dem Entfernen des abgedünnten anfänglichen Substrats 308A eine andere Halbleiterverarbeitungs-Zwischenstruktur 1006.

Fig. 11 zeigt eine Querschnittsansicht einer Ausführungsform der Halbleiterprozessstruktur 1006 nach dem Entfernen der SiO₂-Schicht 306 durch einen Ätzprozess. Die vergrabene SiO₂-Schicht 306 kann unter Verwendung einer Lösung von verdünntem HF chemisch geätzt werden. Bei dieser Ausgestaltung wird die dotierte Siliziumschicht 114B als der Ätzstopp verwendet. Beispielsweise kann die SiO₂-Schicht 306 mit einer 49 Gew.-% HF-

Lösung bei Raumtemperatur geätzt werden. Diese beispielhafte Lösung kann die SiO₂-Schicht 306 mit etwa 2,5 µm/min ätzen. Der Ätzprozess zum Entfernen der Schicht 306 kann mit der folgenden chemischen Gleichung dargestellt werden:



Bei einer anderen Ausführungsform bilden die dotierte Siliziumschicht 114B, die Halbleiterstrukturschicht 107, das Klebeband 804 und die Prozesshalterung 802 nach dem Wegätzen der SiO₂-Schicht 306 von der dotierten Siliziumschicht 114B eine andere Halbleiterverarbeitungs-Zwischenstruktur 1106.

Fig. 12 zeigt eine Querschnittsansicht einer Ausführungsform der Halbleiterprozessstruktur 1106 nach dem Ausbilden des Metallsubstrats 118 an der dotierten Siliziumschicht 114. Zu Klarheitszwecken wird das Ausbilden eines Metallsubstrats 118 beschrieben, wobei jedoch zu verstehen ist, dass das ausgebildete Basissubstrat nahezu jeden Typ von Material umfassen kann, wie beispielsweise Metall, Glas, Halbleiter und dergleichen, der vorteilhaft verwendet werden kann. Bei einer Ausführungsform kann das Metallsubstrat 118 unter Verwendung von nahezu jedem Prozess, wie beispielsweise galvanischem (elektrischem) Beschichten und/oder unter Verwendung von Abscheidungsprozessen ausgebildet werden, wie beispielsweise Plasma Vapor Deposition (PVD), Chemical Vapor Deposition (CVD) und dergleichen. Beispielsweise kann die dotierte Siliziumschicht 114 mit dem Metallsubstrat 118 galvanisch (elektrisch) beschichtet werden. Das Metallsubstrat 118 kann nahezu jedes Metall oder jeden Leiter umfassen, das oder der vorteilhaft verwendet werden kann, wie beispielsweise Kupfer, Aluminium oder Legierungen, wie beispielsweise Lot oder dergleichen. Bei einer Ausführungsform bilden das Metallsubstrat 118, die dotierte Siliziumschicht 114B, die Halbleiterstrukturschicht 107, das Klebeband 804 und die Prozesshalterung 802 nach dem Ausbilden des Metallsubstrats 118 eine andere Halbleiterverarbeitungs-Zwischenstruktur 1206.

Fig. 13 zeigt eine Querschnittsansicht einer Ausführungsform der Halbleiterprozessstruktur 1206 nach dem Entfernen der Prozesshalterung 802 von der Halbleiterprozessstruktur 1206. Die Prozesshalterung 802 kann unter Verwendung einer beliebigen Anzahl von Techniken entfernt werden. Beispielsweise kann die Prozesshalterung 802 unter Verwendung eines Prozesses mit ultraviolettem Licht entfernt werden, bei dem das Klebeband 804 ausgestaltet ist, um sich zu lösen, wenn es für eine vorbestimmte Dauer einer ausreichenden Menge an UV-Licht ausgesetzt wird. Bei einer Ausführungsform bilden das Metallsubstrat 118, die dotierte Siliziumschicht

114B und die Halbleiterstrukturschicht 107 nach dem Entfernen der Prozesshalterung 802 eine andere Halbleiterverarbeitungs-Zwischenstruktur 1306.

Fig. 14 zeigt eine Querschnittsansicht einer Ausführungsform der Halbleiterprozessstruktur 1406 vor dem Zerteilen, und Fig. 15 zeigt eine Querschnittsansicht einer Ausführungsform der Halbleiterprozessstruktur 1406 nach dem Zerteilen in einzelne Bauelemente (Chips), wie beispielsweise den MOSFET 100, gemäß Ausführungsformen der Erfindung.

Während das Obige eine detaillierte Beschreibung verschiedener Ausführungsformen der Erfindung liefert, sind viele Alternativen, Abwandlungen und Äquivalente möglich. Beispielsweise können viele der hierin in dem Kontext eines MOSFET, insbesondere eines MOSFET mit Trench-Gate, beschriebenen integrierten Ausbildungstechniken für andere Typen von Prozesstechnologien verwendet werden, um Halbleiterstrukturen herzustellen, wie beispielsweise mit Bipolartransistoren oder als CMOS ausgebildete integrierte Schaltkreise, etc. Fachleute werden erkennen, dass die gleichen Techniken auf andere Typen von Bauelementen angewandt werden können, die nahezu alle Halbleiterstrukturen umfassen, die mit einem Substrat in Verbindung stehen, entweder als Prozessträger oder als Teil des Halbleiterstruktur-Body. Beispielsweise können die hierin beschriebenen Prozesse verwendet werden, um einen als CMOS ausgebildeten integrierten Schaltkreis von einem anfänglichen Substrat auf einen Isolator zu überführen. In Bezug auf HF-Einrichtungen können die beschriebenen Prozesse und Strukturen verwendet werden, um eine HF-Einrichtung und/oder einen Schaltkreis auf ein Substrat zu überführen, das mit einer Dicke und einem geeigneten Dielektrikum ausgestaltet ist, um eine HF-Schaltung unterzubringen, wie beispielsweise ein Aluminiumoxid-Keramik-Substrat. Ferner ist zu verstehen, dass alle numerischen Beispiele und Materialtypen, die hierin bereitgestellt werden, um verschiedene Abmessungen, Energieniveaus, Dotierungskonzentrationen, unterschiedliche halbleitende oder isolierende Schichten zu beschreiben, lediglich erläuternden Zwecken dienen. Aus diesen und anderen Gründen sollte die obige Beschreibung daher nicht hergenommen werden, um den Schutzzumfang der Erfindung zu beschränken, der durch die beigefügten Ansprüche definiert ist.

Patentansprüche

1. Verfahren zum Überführen von Halbleiterstrukturen von einem anfänglichen Substrat auf ein Basissubstrat, wobei das Verfahren umfasst, dass ein anfängliches Substrat mit einer Ätzstoppschicht versehen wird; eine dotierte Siliziumschicht an der Ätzstoppschicht bereitgestellt wird; Halbleiterstrukturen an der dotierten Siliziumschicht ausgebildet werden; wobei die Halbleiterstrukturen, die dotierte Siliziumschicht, die Ätzstoppschicht und das anfängliche Substrat einen Halbleiterprozess bilden; der Halbleiterprozess mit einer abnehmbaren Trägerstruktur getragen wird; das anfängliche Substrat unter Verwendung eines Substratentfernungsprozesses entfernt wird, der das anfängliche Substrat bis zu der Ätzstoppschicht entfernt; die Ätzstoppschicht mit einem chemischen Ätzprozess entfernt wird; und ein Substratmaterial auf die dotierte Siliziumschicht abgeschieden wird, um ein Basissubstrat auszubilden.
2. Verfahren nach Anspruch 1, wobei das Ausbilden von Halbleiterstrukturen an der dotierten Siliziumschicht umfasst, dass eine Epitaxieschicht an der dotierten Siliziumschicht ausgebildet wird.
3. Verfahren nach Anspruch 1, wobei das Bereitstellen eines anfänglichen Substrats umfasst, dass die Ätzstoppschicht an dem anfänglichen Substrat mit einer Dicke zwischen etwa 1 μm und 2 μm ausgebildet wird.
4. Verfahren nach Anspruch 3, wobei die Ätzstoppschicht Siliziumdioxid umfasst.
5. Verfahren nach Anspruch 1, wobei das Bereitstellen einer dotierten Siliziumschicht umfasst, dass Wasserstoffatome an einem Bereich eines dotierten Siliziummaterials bereitgestellt werden, wobei der Bereich eine ausreichende Konzentration von Wasserstoffatomen aufweist, um einen spaltbaren Bereich zu auszubilden.
6. Verfahren nach Anspruch 5, wobei das Bereitstellen von Wasserstoffatomen eine Wasserstoffionenimplantation umfasst.
7. Verfahren nach Anspruch 6, wobei die Wasserstoffionenimplantation umfasst, dass Wasserstoffionen mit einem Implantationspotential von etwa 170 keV implantiert werden.
8. Verfahren nach Anspruch 1, wobei das Bereitstellen der dotierten Sili-

ziumschicht umfasst, dass ein dotiertes Siliziummaterial an die Ätzstoppschicht gebondet wird.

9. Verfahren nach Anspruch 8, wobei das Bereitstellen der dotierten Siliziumschicht umfasst, dass das dotierte Siliziummaterial gespalten wird, um eine an der Ätzstoppschicht angeordnete Schicht des dotierten Siliziummaterials zu hinterlassen.

10. Verfahren nach Anspruch 9, wobei das Spalten umfasst, dass Wasserstoff in einen Bereich des dotierten Siliziummaterials implantiert wird und das dotierte Siliziummaterial ausgeheilt wird, um das dotierte Siliziummaterial entlang dem mit Wasserstoff implantierten Bereich zu brechen.

11. Verfahren nach Anspruch 1, wobei das Tragen des Body mit der entfernbaren Trägerstruktur umfasst, dass die entfernbare Trägerstruktur temporär an die Halbleiterstrukturen gebondet wird.

12. Verfahren nach Anspruch 1, wobei das Entfernen des anfänglichen Substrats umfasst, dass ein Teil des anfänglichen Substrats auf eine vorbestimmte Dicke weggeschliffen wird.

13. Verfahren nach Anspruch 12, das ferner umfasst, dass das anfängliche Substrat von der Ätzstoppschicht chemisch geätzt wird.

14. Verfahren nach Anspruch 1, wobei das Entfernen der Ätzstoppschicht umfasst, dass die Ätzstoppschicht mit einer HF-Lösung chemisch geätzt wird.

15. Verfahren zum Ausbilden von Halbleiterstrukturen an einem Metallsubstrat, wobei das Verfahren umfasst, dass
ein anfängliches Substrat mit einer freigelegten Siliziumdioxid-Ätzstoppschicht versehen wird;
ein mit Wasserstoff implantiertes dotiertes Siliziummaterial an die Siliziumdioxid-Ätzstoppschicht gebondet wird;
ein Bereich des dotierten Siliziummaterials ermittelt wird, der durch den Wasserstoff ausreichend geschwächt ist, um ein Spalten des dotierten Siliziummaterials entlang dem Bereich zu ermöglichen;
das dotierte Siliziummaterial entlang dem Bereich gespalten wird, wobei eine an die Siliziumdioxidschicht gebondete dotierte Siliziumschicht zurückgelassen wird;
Halbleiterstrukturen an der dotierten Siliziumschicht ausgebildet werden;

die Halbleiterstrukturen, die Siliziumdioxidschicht und das anfängliche Substrat mit einer Trägereinrichtung getragen werden;
das anfängliche Substrat entfernt wird;
die Siliziumdioxidschicht entfernt wird; und
eine ausreichende Menge an Metall für die dotierte Siliziumschicht bereitgestellt wird, um ein Metallsubstrat auszubilden.

16. Verfahren nach Anspruch 15, wobei das Ausbilden von Halbleiterstrukturen an der dotierten Siliziumschicht umfasst, dass eine Epitaxieschicht an der dotierten Siliziumschicht ausgebildet wird.

17. Verfahren nach Anspruch 15, wobei das Spalten des dotierten Siliziummaterials umfasst, dass der Bereich der dotierten Siliziumstruktur ausreichend ausgeheilt wird, um die dotierte Siliziumschicht von dem dotierten Siliziummaterial zu trennen.

18. Verfahren nach Anspruch 17, wobei das Ausheilen des Bereichs der dotierten Siliziumstruktur umfasst, dass der Bereich der dotierten Siliziumstruktur für etwa 5 bis 10 Stunden auf eine Temperatur zwischen etwa 200 und 300 Grad Celsius erwärmt wird.

19. Verfahren nach Anspruch 18, wobei das Erwärmen des Bereichs der dotierten Siliziumstruktur umfasst, dass der Bereich der dotierten Siliziumstruktur für etwa 15 Minuten auf 450 Grad Celsius erwärmt wird.

20. Verfahren nach Anspruch 15, wobei das Tragen der Halbleiterstrukturen, der Siliziumdioxidschicht und des anfänglichen Substrats umfasst, dass die Trägereinrichtung temporär an die Halbleiterstrukturen gebondet wird.

21. Verfahren nach Anspruch 15, wobei das Entfernen des anfänglichen Substrats umfasst, dass das anfängliche Substrat auf eine vordefinierte Dicke geschliffen wird.

22. Verfahren nach Anspruch 15, wobei das Entfernen des anfänglichen Substrats umfasst, dass das anfängliche Substrat von der Siliziumdioxid-Ätzstoppschicht chemisch geätzt wird.

23. Verfahren nach Anspruch 15, wobei das Entfernen des anfänglichen Substrats umfasst, dass ein lösliches Material von $\text{SiO}_2(\text{OH})^{2-}$ ausgebildet wird.

24. Verfahren nach Anspruch 15, wobei das Bereitstellen einer ausreichenden Menge an Metall umfasst, dass die dotierte Siliziumschicht mit der Metallschicht galvanisch (elektrisch) beschichtet wird.

25. Verfahren nach Anspruch 24, wobei die Metallschicht Kupfer umfasst.

26. Substratstruktur, umfassend:

eine an einem anfänglichen Substrat angeordnete Ätzstoppschicht; wobei die Ätzstoppschicht ausgestaltet ist, um eine Verarbeitungsbarriere für einen chemischen Ätzprozess zum Entfernen des anfänglichen Substrats bereitzustellen; und

eine an der Ätzstoppschicht angeordnete Halbleiterschicht.

27. Substratstruktur nach Anspruch 26, wobei die Ätzstoppschicht Siliziumdioxid umfasst.

28. Substratstruktur nach Anspruch 27, wobei die Ätzstoppschicht eine Dicke zwischen etwa 1 μm und 2 μm aufweist.

29. Substratstruktur nach Anspruch 27, wobei die Ätzstoppschicht an die Halbleiterschicht gebondet ist, um die Ätzstoppschicht zwischen dem anfänglichen Substrat und der Halbleiterschicht zu positionieren.

30. Substratstruktur nach Anspruch 26, ferner umfassend eine an der Halbleiterschicht angeordnete Schicht von Halbleiterstrukturen.

31. Substratstruktur nach Anspruch 30, ferner umfassend eine Prozesshalterung, die an die Halbleiterstrukturen gebondet ist, um die Struktur während der Verarbeitung zu tragen.

1/4

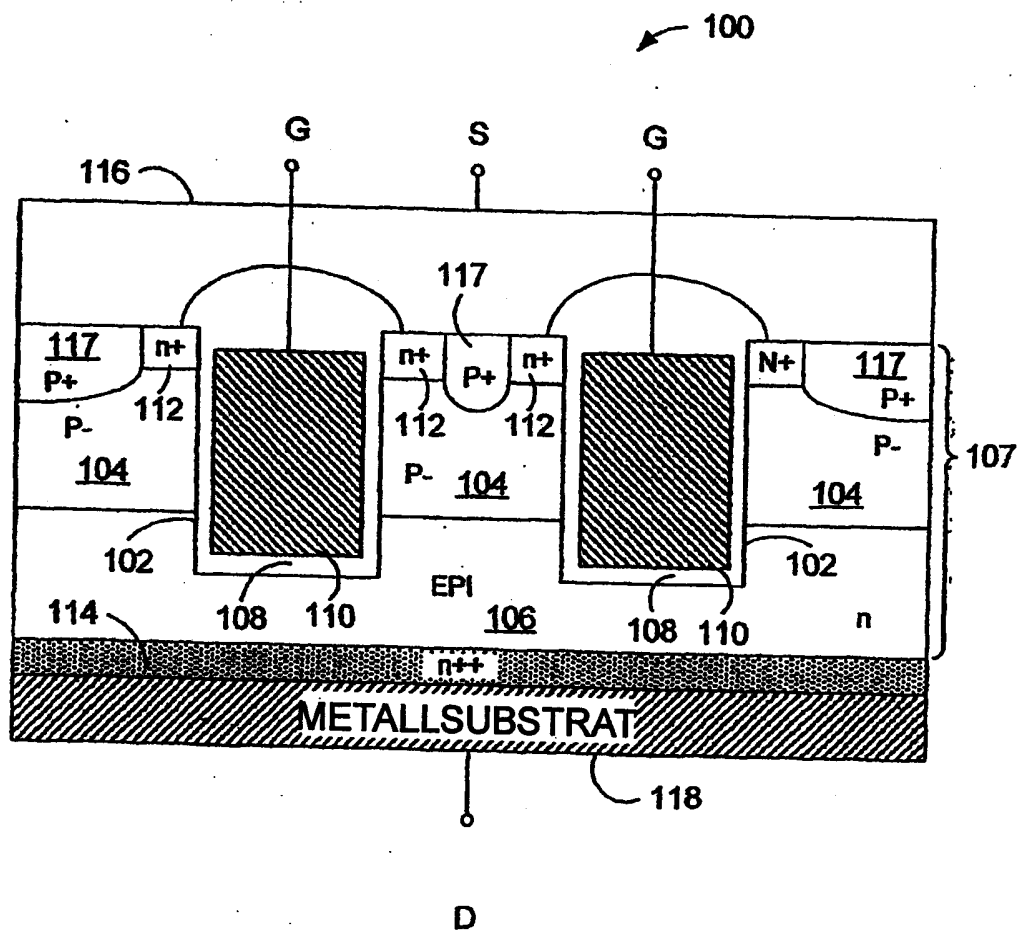


FIG. 1

2/4

H⁺-IMPLANTAT

FIG. 2

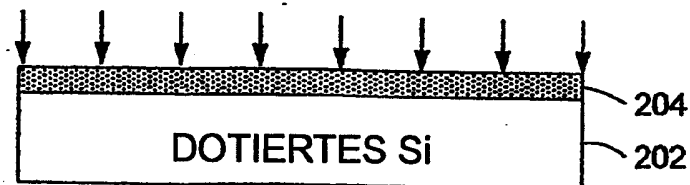


FIG. 3

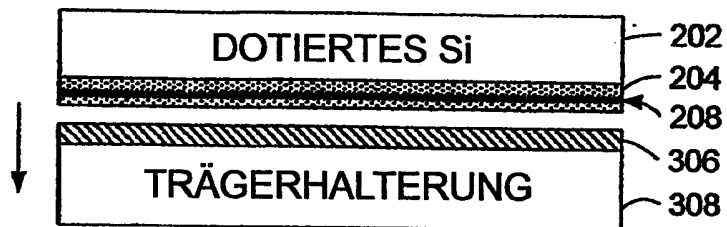


FIG. 4



FIG. 5

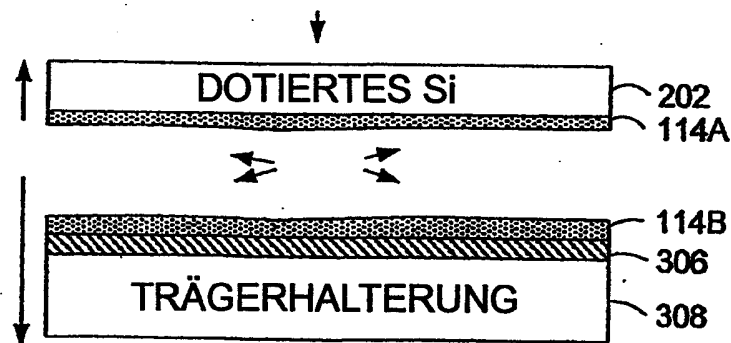
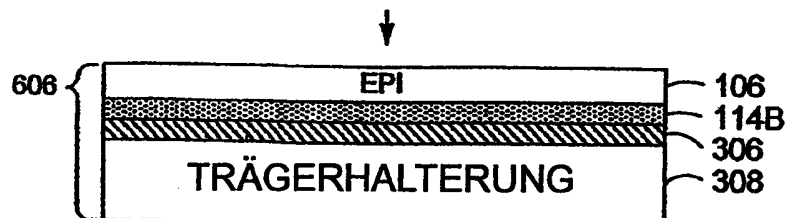
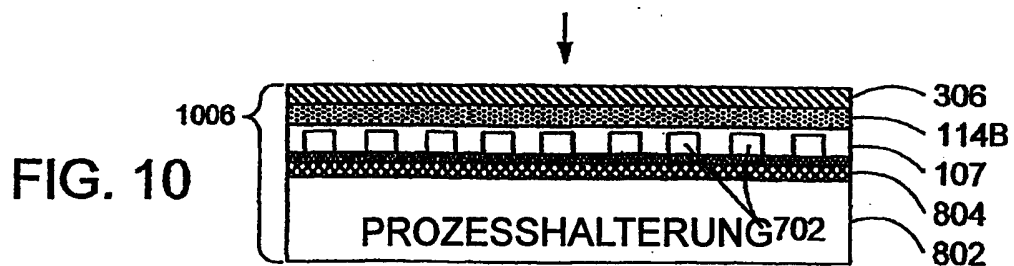
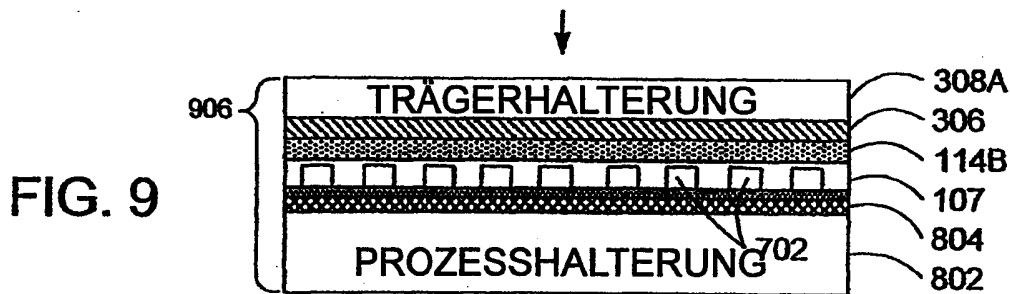
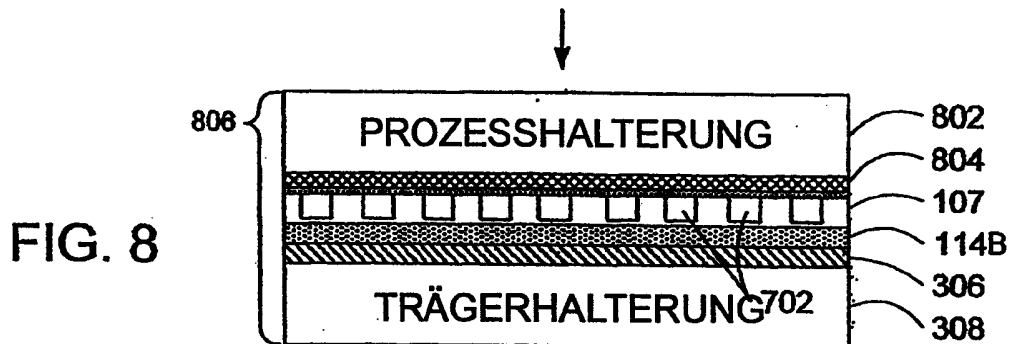
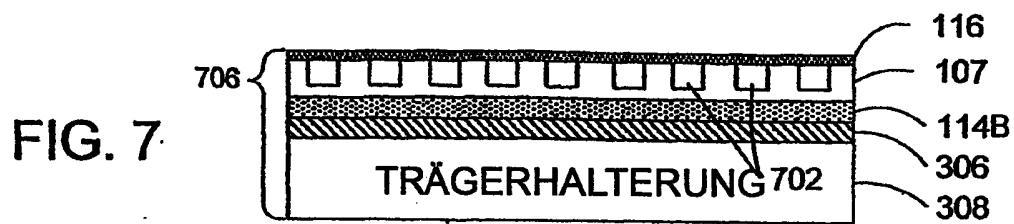


FIG. 6



3/4



4/4

FIG. 11



FIG. 12

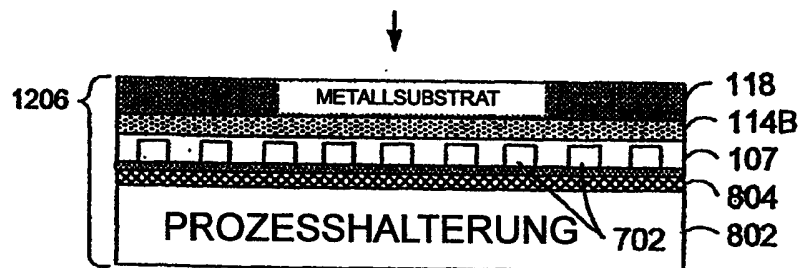


FIG. 13

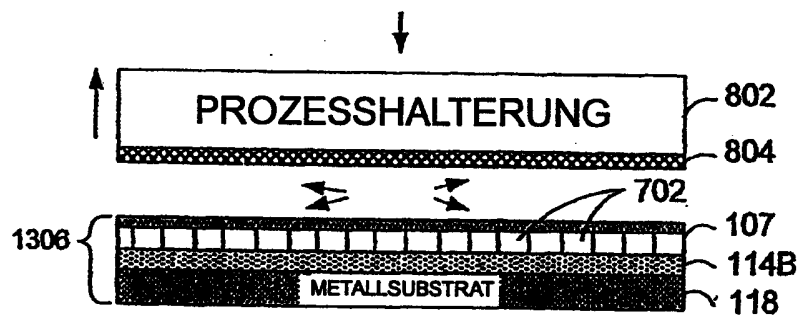


FIG. 14

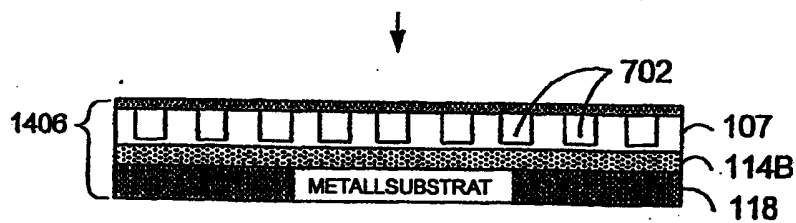


FIG. 15

