



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 698 35 896 T2** 2007.04.26

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 023 731 B1**

(21) Deutsches Aktenzeichen: **698 35 896.1**

(86) PCT-Aktenzeichen: **PCT/US98/14797**

(96) Europäisches Aktenzeichen: **98 934 611.9**

(87) PCT-Veröffentlichungs-Nr.: **WO 1999/014758**

(86) PCT-Anmeldetag: **17.07.1998**

(87) Veröffentlichungstag  
der PCT-Anmeldung: **25.03.1999**

(97) Erstveröffentlichung durch das EPA: **02.08.2000**

(97) Veröffentlichungstag  
der Patenterteilung beim EPA: **13.09.2006**

(47) Veröffentlichungstag im Patentblatt: **26.04.2007**

(51) Int Cl.<sup>8</sup>: **H04L 9/00** (2006.01)

**G11C 11/56** (2006.01)

**G11C 16/28** (2006.01)

(30) Unionspriorität:

**931247 16.09.1997 US**

(73) Patentinhaber:

**Intel Corporation, Santa Clara, Calif., US**

(74) Vertreter:

**Hauck Patent- und Rechtsanwälte, 80339  
München**

(84) Benannte Vertragsstaaten:

**DE, FR, GB, IT**

(72) Erfinder:

**TEDROW, D., Kerry, Folsom, CA 95630, US**

(54) Bezeichnung: **LESEVERSTÄRKER FÜR FLASH-SPEICHER**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

**Beschreibung****GEBIET DER ERFINDUNG**

**[0001]** Die vorliegende Erfindung betrifft allgemein das Bestimmen des Zustands einer Halbleiter-Speicherzelle, und im Besonderen betrifft die Erfindung das Erfassen des Zustands einer Flash-Speicherzelle.

**STAND DER TECHNIK**

**[0002]** Viele Computersysteme, wie zum Beispiel Personalcomputer, Steuersysteme für Kraftfahrzeuge und Luftfahrzeuge, Mobiltelefone, Digitalkameras und Handheld-Kommunikationsgeräte, verwenden nichtflüchtige, beschreibbare Speicher zum Speichern von Daten oder Code oder Daten und Code. Zu derartigen nichtflüchtigen, beschreibbaren Speichern zählen elektrisch löschbare, programmierbare Nur-Lesespeicher (EEPROMs als englische Abkürzung von Electrically Erasable Programmable Read-Only Memories) und Flash-EPROMs oder Flash-Speicher. Die Nichtflüchtigkeit ist dahingehend vorteilhaft, dass sie es Computersystemen ermöglicht, ihre Daten und ihren Code zu speichern bzw. zu erhalten, wenn die Stromversorgung von dem Computersystem bzw. dem Rechensystem getrennt ist. Wenn das System somit ausgeschaltet wird, oder wenn ein Stromausfall auftritt, so gehen weder Code noch Daten verloren.

**[0003]** Die nichtflüchtigen Halbleiter-Speichervorrichtungen sind grundlegende Bausteine in dem Stand der Technik entsprechenden Konfigurationen von Computersystemen. Der primäre Mechanismus, durch den Daten in einem nichtflüchtigen Speicher gespeichert werden, ist die Speicherzelle. Kennzeichnende, dem Stand der Technik entsprechende Speichertechnologien stellen eine maximale Speicherkapazität von einem Bit oder zwei Zuständen je Zelle bereit. Halbleiter-Speicherzellen mit mehr als zwei möglichen Zuständen sind gemäß dem Stand der Technik jedoch ebenfalls allgemein bekannt.

**[0004]** Ein Typ eines dem Stand der Technik entsprechenden nichtflüchtigen Halbleiterspeichers ist ein Flash-EEPROM (als englische Abkürzung von elektrisch löschbarem, programmierbarem Flash-Nur-Lesespeicher). Dem Stand der Technik entsprechende Flash-EEPROMs ermöglichen für gewöhnlich das gleichzeitige Lesen verschiedener Flash-Zellen. Ferner weisen kennzeichnende, dem Stand der Technik entsprechende Flash-EEPROMs eine Speicherkapazität auf, die deutlich größer ist als die Datenmenge, die gleichzeitig bzw. zu einem Zeitpunkt ausgegeben werden kann. Folglich ist jede Ausgabe eines Flash-EEPROM für gewöhnlich einer Reihe bzw. einer Anordnung von Flash-Zellen zugeordnet, die in Zeilen und Spalten angeordnet ist, wo-

bei jede Flash-Zelle in einer Anordnung eindeutig adressierbar ist. Wenn ein Benutzer eine Adresse bereitstellt, wählt eine Zeilen- und Spalten-Decodierungslogik in dem Flash-EEPROM die entsprechende Flash-Zelle aus.

**[0005]** Eine typische, dem Stand der Technik entsprechende Flash-Speicherzelle umfasst einen Feldeffekttransistor (FET) mit einem Auswahl-Gate-Anschluss, einem schwebendem Gate-Anschluss, einem Source-Anschluss und Drain-Anschluss. Informationen bzw. Daten werden in der Flash-Zelle gespeichert, indem die Ladungsmenge an dem schwebenden Gate-Anschluss verändert wird, was eine Veränderung der Schwellenspannung ( $V_t$ ) der Flash-Zelle bewirkt. Eine kennzeichnende, dem Stand der Technik entsprechende Flash-Speicherzelle weist zwei mögliche Zustände auf, wobei sie entweder „programmiert“ oder „gelöscht“ sein kann. Die Abbildung aus [Fig. 1](#) zeigt eine Flash-Zellen-Spannungsverteilung als eine Funktion von  $V_t$  für eine dem Stand der Technik entsprechende Flash-Vorrichtung. Wie dies ersichtlich ist, spezifizieren der gelöschte Zustand und der programmierte Zustand jeweils eine Verteilung oder einen Bereich der Spannungen  $V_t$ . Die Flash-Zelle kann theoretisch einen separaten identifizierbaren Zustand für jedes Elektron aufweisen, das dem schwebenden Gate-Anschluss hinzugefügt wird. Praktisch weisen dem Stand der Technik entsprechende Flash-Zellen jedoch nur zwei mögliche Zustände auf, und zwar aufgrund von Uneinheitlichkeiten in der Flash-Zellenstruktur, Ladungsverluste im Zeitverlauf, thermische Aspekte und Ungenauigkeiten bezüglich der Erfassung bzw. der Messung der Ladung an dem schwebenden Gatter bzw. Gate-Anschluss, welche die Fähigkeit der Bestimmung der in der Flash-Zelle gespeicherten Daten beeinflussen.

**[0006]** Zur Unterscheidung zwischen den beiden möglichen Zuständen werden die Zustände durch eine Trennstufe getrennt. Wenn gemäß einem dem Stand der Technik entsprechenden Verfahren eine Flash-Zelle gelesen wird, wird der durch die Flash-Zelle erzeugte Strom mit einem Strom verglichen, der durch eine Referenz-Flash-Zelle mit einer Schwellenspannung  $V_t$  geleitet wird, die auf eine vorbestimmte Referenzspannung eingestellt ist, die eine Spannung in der Trennstufe darstellt. Ein einzelner Komparator bzw. eine Vergleichseinrichtung oder ein Leseverstärker nimmt für gewöhnlich den Vergleich vor und gibt das Ergebnis aus.

**[0007]** Wenn eine Flash-Zelle zum Lesen ausgewählt worden ist, wird eine Vorspannung an den Auswahl-Gate-Anschluss angelegt.

**[0008]** Gleichzeitig wird die gleiche Vorspannung an das Auswahl-Gatter der Referenzzelle angelegt. Wenn die Flash-Zelle programmiert ist, werden über-

schüssige Elektroden an dem schwebenden Gatter gefangen, und die Schwellenspannung  $V_t$  der Flash-Zelle ist so angestiegen, dass die ausgewählte Flash-Zelle weniger Drain-Strom leitet als die Referenz-Flash-Zelle. Der programmierte Zustand der dem Stand der Technik entsprechenden Flash-Zelle wird für gewöhnlich durch eine logische 0 angezeigt. Wenn die dem Stand der Technik entsprechende Flash-Zelle gelöscht wird, befinden sich nur wenige oder keine überschüssigen Elektronen an dem schwebenden Gatter, und die Flash-Zelle leitet mehr Drain-Source-Strom als die Referenzzelle. Der gelöschte Zustand der dem Stand der Technik entsprechenden Flash-Zelle wird für gewöhnlich durch eine logische 1 angezeigt.

**[0009]** Wenn eine Flash-Zelle drei oder mehr mögliche Zustände aufweist, dann weisen dem Stand der Technik entsprechende Lesesysteme und -schaltungen, die den vorstehend beschriebenen Schaltungen entsprechen, für gewöhnlich Nachteile auf. Die Abbildung aus [Fig. 2](#) zeigt einen dem Stand der Technik entsprechenden Leseverstärker **200**. Der dem Stand der Technik entsprechende Leseverstärker **200** umfasst eine Vorspannungsschaltung **202**, einen Differentialverstärker **204** und Shorter bzw. Kurzschluss-einrichtungen **206**. Der Differentialverstärker **204** ist ein Metalloxid-Halbleiter-Differentialpaar (MOS-Differentialpaar) unter Verwendung eines Stromspiegelverbrauchers. Ein Nachteil dieses Aufbaus ist es, dass er den hohen Eingangswert auf einen Wert von 4 Volt begrenzt, mit  $V_{cc}$  von 5 Volt, wodurch die Gleichtakt-Unterdrückung begrenzt wird. Eine hohe Eingangsspannung von 4 Volt kann für ein einziges Bit je Zelle des nichtflüchtigen, beschreibbaren Speichers geeignet sein, wobei sie jedoch für gewöhnlich für mehrstufige Zellenanwendungen ungeeignet ist, und zwar aufgrund des begrenzten Gleitaktbereichs. Das Differentialpaar weist für gewöhnlich ferner aufgrund des unausgewogenen Designs eine schlechte Rauschunterdrückung auf, wobei  $V_{cc}$  nicht identisch mit beiden Eingangstransistoren gekoppelt wird.

**[0010]** Ein weiterer Nachteil des dem Stand der Technik entsprechenden Leseverstärkers **200** ist der erforderliche hohe Vormagnetisierungsstrom des Differentialpaares des Verstärkers **204**, wobei die Anforderung für den Vormagnetisierungsstrom ungefähr 2,5 Milliampere je Leseverstärker entspricht. In Verbindung mit einer hohen Anzahl von erforderlichen Leseverstärkern **200** für eine mehrstufige Zellenanwendung kann der kumulative Vormagnetisierungsstrom Leistungsprobleme darstellen.

**[0011]** Ein weiterer Nachteil des dem Stand der Technik des Leseverstärkers **200** ist der Einsatz von Shortern **206** zum Initialisieren des Leseverstärkers **200** in einem Zustand, aus dem dieser schnell zwischen den Ausgangssignalwerten umschalten kann, die von der Schaltung verwendet werden. Wenn die

Shorter **206** freigegeben sind, belasten sie den Eingang und den Ausgang der zweiten Stufe des Differentialverstärkers **204** vor, indem sie zusammen kurzgeschlossen werden, so dass der Eingang als Auslösepunkt der Stufe vorbelastet wird. Dieser Kurzschluss ist erforderlich, um Probleme durch Beschränkungen der Anstiegsgeschwindigkeit des Verstärkers zu beschränken. Ein Nachteil des Kurzschlusses ist es, dass die Shorter **206** nach der Freigabe oder dem Kurzschluss für gewöhnlich Rauschspitzen erzeugen, die in die Erfassungsschaltkreisanordnung zurückgeführt werden. Das Rauschen kann sich durch die Mess- bzw. Erfassungsschaltkreisanordnung ausbreiten, bevor die Daten gespeichert bzw. verriegelt werden, und dies kann teilweise Fehler in den gespeicherten Daten einführen.

**[0012]** Das U.S. Patent US-A-5.640.356 offenbart einen Leseverstärker mit einer Pegelverschiebungsschaltung für den Empfang differentieller Eingänge, die jeweils das Komplement zueinander darstellen. Eine Vorverstärkerschaltung ist mit der Pegelverschiebungsschaltung gekoppelt, um eine Verstärkung der differentiellen Ausgänge der Pegelverschiebungsschaltung bereitzustellen. Eine gültige Ausgabe der Vorverstärkerschaltung wird einem ersten Inverter zugeführt, und das Komplement der gültigen Ausgabe wird von der Vorverstärkerschaltung einem zweiten Inverter zugeführt. Die Inverter sind so gekoppelt, dass der zweite Inverter einen Ausgang des Vorverstärkers bereitstellt. Der Leseverstärker dieser Referenz akzeptiert Eingangssignale auf der Stromversorgungsspannung, und der Vorverstärker weist eine geringe Verstärkung auf, um die Ausbreitungsverzögerung durch den Verstärker zu minimieren.

**[0013]** Das U.S. Patent US-A-5.642.312 offenbart ein Speichersystem mit einer Mehrzahl von EEPROMs, für die bewirkt wird, dass sie mehr als ein Datenbit speichern, in dem die programmierte Ladung in drei oder mehr Bereiche programmiert wird, und wobei ferner Programmierungs- und Erfassungstechniken offenbart werden.

## ZUSAMMENFASSUNG DER ERFINDUNG

**[0014]** Vorgesehen ist gemäß einem ersten Aspekt der vorliegenden Erfindung ein Leseverstärker gemäß dem gegenständlichen Anspruch 1.

**[0015]** Vorgesehen ist gemäß einem zweiten Aspekt der vorliegenden Erfindung ein Leseblock gemäß dem gegenständlichen Anspruch 22.

**[0016]** Bevorzugte Merkmale der vorliegenden Erfindung sind in den Unteransprüchen definiert.

**[0017]** Weitere Merkmale und Vorteile der vorliegenden Erfindung werden aus den beigefügten Zeichnungen und aus der folgenden genauen Be-

schreibung und den anhängigen Ansprüchen deutlich.

#### KURZE BESCHREIBUNG DER ZEICHNUNGEN

**[0018]** Die vorliegende Erfindung ist in den Abbildungen der beigefügten Zeichnungen beispielhaft und ohne einzuschränken veranschaulicht, wobei in den Zeichnungen die gleichen Elemente mit den gleichen Bezugsziffern bezeichnet sind. Es zeigen:

**[0019]** [Fig. 1](#) eine Flash-Zellen-Spannungsverteilung als eine Funktion von  $V_t$  für eine dem Stand der Technik entsprechende Flash-Vorrichtung;

**[0020]** [Fig. 2](#) einen dem Stand der Technik entsprechenden Leseverstärker;

**[0021]** [Fig. 3](#) eine Verteilung von mehrstufigen Flash-Zellen als eine Funktion der Schwellenspannung ( $V_t$ ) in Bezug auf ein Ausführungsbeispiel;

**[0022]** [Fig. 4](#) eine Flash-Zelle mit einem Bit und einen entsprechenden Leseverstärker in Bezug auf ein Ausführungsbeispiel;

**[0023]** [Fig. 5](#) ein Blockdiagramm eines binären Suchverfahrens zur Bestimmung des Zustands einer Speicherzelle mit mehr als einem möglichen Zustand;

**[0024]** [Fig. 6](#) eine MLC-Flash-Speicherzelle mit einem entsprechenden Leseblock in Bezug auf ein Ausführungsbeispiel;

**[0025]** [Fig. 7](#) einen Leseverstärker gemäß einem Ausführungsbeispiel;

**[0026]** [Fig. 8](#) ein Anstiegsgeschwindigkeits-Ansprechverhalten einer Schaltung mit geringer Verstärkung im Verhältnis zu dem Ansprechverhalten der Anstiegsgeschwindigkeit einer Schaltung mit hoher Verstärkung; und

**[0027]** [Fig. 9](#) ein Signaltaktungsdiagramm für drei Zustände des differentiellen Eingangssignalspeichers.

#### GENAUE BESCHREIBUNG

**[0028]** Beschrieben wird ein Leseverstärker mit einem Vorverstärker mit geringer Verstärkung, einem differentiellen Eingangs-Signalspeicher und einer Logikvorrichtung zur Reduzierung des Versatzes in dem differentiellen Eingangs-Signalspeicher zur Bereitstellung einer präzisen und effizienten Erfassung von Spannungswerten in nichtflüchtigen, beschreibbaren Speichern. Dieser Leseverstärker sieht eine präzise Erfassung in nichtflüchtigen, beschreibbaren MLC-Speichern vor (MLC als englische Abkürzung

von Multi-Level-Cell bzw. mehrstufiger Zelle), oder in MLC-Flash-Speichern. Zu den beabsichtigten Vorteilen des Leseverstärkers können ein umfassenderer Gleichtaktbereich oder Eingangsbetriebsbereich, der Verbrauch von weniger Leistung, ein reduzierter systematischer Versatz, eine entsprechend reduzierte Zwischenspeicherzeit und ein reduzierte Rauschempfindlichkeit zählen.

**[0029]** In einem Ausführungsbeispiel eines MLC-Flash-Speichers ist jede Flash-Zelle in einer Anordnung von Flash-Zellen in der Lage, jedoch nicht darauf beschränkt, einen von vier analogen Zuständen aufzuweisen, und wobei der Zustand der Flash-Zelle durch zwei binäre Bits angezeigt wird. Die Abbildung aus [Fig. 3](#) zeigt eine Verteilung von mehrstufigen Flash-Zellen als eine Funktion der Schwellenspannung ( $V_t$ ) in einem Ausführungsbeispiel. Wie dies ersichtlich ist, ist jeder Zustand durch eine Trennstufe getrennt, und vorgesehen sind drei Referenzen REF1, REF2 und REF3, und zwar jeweils eine Referenz für jede der drei Trennstufen. Die Referenzen sind vorgesehen, um zwischen den analogen Zuständen zu unterscheiden. Zustand 1 umfasst den niedrigsten Bereich der Spannungen  $V_t$  der vier Zustände und ist dadurch angezeigt, dass beide Bits eine logische 1 darstellen (beide gelöscht). Der Zustand 2 ist angezeigt, wenn das Bit hoher Ordnung (Bit 1) eine logische 1 darstellt, und wenn das Bit niedriger Ordnung (Bit 0) eine logische 0 darstellt. Der Zustand 3 ist angezeigt, wenn das Bit 1 eine logische 0 darstellt und das Bit 0 eine logische 1 darstellt. Der Zustand 4 wird dadurch angezeigt, dass beide Bits eine logische 0 darstellen (beide programmiert). Die Anzahl  $n$  der möglichen Zustände ist nicht auf vier beschränkt. Zum Beispiel kann die Anzahl der Zustände drei, fünf, sechzehn, etc. entsprechen. Ferner kann die Abbildung der binären Bits in analoge Zustände variiert werden. Zum Beispiel kann der niedrigste Bereich der Spannungen  $V_t$  dadurch angezeigt werden, dass beide Bits eine logische 0 darstellen.

**[0030]** Auch andere nichtflüchtige Speichervorrichtungen als Flash-EEPROMs oder nichtflüchtige Speichervorrichtungen wie DRAMs (dynamische Direktzugriffsspeicher) können drei oder mehr analoge Zustände speichern. Ferner können die analogen Zustände nichtflüchtiger Vorrichtungen mit einem schwebenden Gate auch anders als durch die Schwellenspannung  $V_t$  ausgedrückt werden. Zum Beispiel können die analogen Zustände als Bereiche der Schwellenspannungen  $V_t$  ausgedrückt werden, wie dies vorstehend bereits dargestellt worden ist, als Bereiche der Drain-Ströme  $I_D$  oder als Bereiche der an dem schwebenden Gate gespeicherten Ladung. Flüchtige Speicherzellen, wie zum Beispiel DRAM-Speicherzellen, umfassen für gewöhnlich einen Kondensator und können ebenfalls als Ladungs-, Strom- oder Spannungsbereiche ausge-

drückt werden.

**[0031]** Eine nichtflüchtige Speicherzelle mit einem schwebenden Gate verhält sich wie ein Feldeffekttransistor mit einer Schwellenspannung  $V_t$ , die mit Hinzufügen von Ladung zu dem schwebenden Gate zunimmt. Der Speicherzellen-Drain-Strom  $I_D$  (Zellenstrom) nimmt mit zunehmender Schwellenspannung  $V_t$  und zunehmendem Zellenladungswert ab. Die Speicherzellen-Schwellenspannung  $V_t$  steht durch folgenden Ausdruck im Verhältnis zu dem Zellen-Drain-Strom  $I_D$ :

$$I_D \propto G_m \times (V_G - V_t) \text{ für } V_D > V_G - V_t$$

wobei  $G_m$  die Transkonduktanz der Speicherzelle darstellt, wobei  $V_G$  die Speicherzellen-Gate-Spannung darstellt, und wobei  $V_t$  die Speicherzellen-Schwellenwertspannung darstellt.

**[0032]** In Bezug auf dieses gegebene Verhältnis gibt es eine Reihe verschiedener Möglichkeiten zur Erfassung der an dem schwebenden Gate der Speicherzelle gespeicherten Ladungsmenge, einschließlich der Erfassung des Zellenstroms einer Speicherzelle, wenn eine konstante Spannung dem ausgewählten Gate der Speicherzelle zugeführt wird; der Erfassung des erforderlichen Spannungswertes an dem ausgesuchten Gate, um einen erwarteten Zellenstrom für die Speicherzelle zu bewirken; der Erfassung eines Spannungsabfalls an einem Verbraucher, der mit dem Drain-Anschluss der Speicherzelle gekoppelt ist, wenn eine konstante Zellen-Gate-Spannung dem ausgesuchten Gate der Speicherzelle zugeführt wird, wobei der Zellenstrom die Menge des Spannungsabfalls an dem Verbraucher bestimmt; und der Erfassung des erforderlichen Spannungswertes an dem ausgewählten Gate, um einen erwarteten Spannungsabfall an einem Verbraucher zu bewirken, der mit dem Drain-Anschluss der Speicherzelle gekoppelt ist. Zur Bestimmung des analogen Zustands der Speicherzelle ist es jedoch nicht erforderlich, die präzise Ladungsmenge zu quantifizieren, die an dem schwebenden Gate gespeichert ist. Es reicht aus, eine Eigenschaft der Speicherzelle mit einer bekannten Referenz zu vergleichen.

**[0033]** Eine Art von Referenz ist eine Referenz-Speicherzelle, die so programmiert ist, dass sie eine bekannte Schwellenspannung  $V_t$  aufweist, die für gewöhnlich zwischen definierten Zuständen liegt. Die Erfassungsschaltkreisanordnung für die Speicherzelle kann für die Referenz-Speicherzelle repliziert werden, und die Ausgänge der Erfassungsschaltkreisanordnung und der Referenzerschaltungsschaltkreisanordnung können unter Verwendung eines differentiellen Komparators verglichen werden. Da die Erfassung bzw. das Messen des Zellenladungswertes einer Speicherzelle für gewöhnlich den Vergleich entweder von Spannungen oder Strömen

voraussetzt, kann die Referenz bereitgestellt werden, indem Spannungsversorgungen oder Stromquellen eingesetzt werden, um Spannungen oder Ströme zuzuführen, die Referenz-Speicherzellen mit einem Zellenladungswert zwischen definierten analogen Zuständen entsprechen. Aus diesem Grund sind die Referenzen REF1, REF2 und REF3 nicht als Schwellenspannungen, Zellenströme oder Ladungswerte spezifiziert, die an einem schwebenden Gate gespeichert sind. Stattdessen wird hiermit festgestellt, dass diese Referenzen den Eigenschaften der Speicherzelle entsprechen, die durch die Beziehung zwischen dem Zellenladungswert, dem Zellenstrom  $I_D$  und der Schwellenspannung  $V_t$  definiert sind.

**[0034]** Wenn die Menge der an einem schwebenden Gate einer Speicherzelle gespeicherten Ladung erfasst wird, indem der Spannungsabfall an einem Verbraucher gemessen wird, der mit dem Drain-Anschluss der Speicherzelle gekoppelt ist, wenn eine konstante Spannung an das ausgewählte Gate der Speicherzelle angelegt wird, so bildet der Verbraucher die Schwellenspannung  $V_t$  auf die Eingangsspannung des Leseverstärkers oder die Spaltenspannung ab. Dabei zeigt ein hoher Wert von  $V_t$  einen niedrigeren Zellenstrom an, der eine höhere Eingangsspannung des Leseverstärkers anzeigt. Somit kann die Darstellung aus [Fig. 3](#) die Spaltenspannung darstellen oder die Leseverstärker-Eingangsspannung, indem die Bezeichnung der X-Achse in „Spaltenspannung“ geändert wird.

**[0035]** Der Rest der Beschreibung bezieht sich überwiegend auf die Erfassung der an einem schwebenden Gate einer Speicherzelle gespeicherten Ladungsmenge durch das Erfassen bzw. Messen eines Spannungsabfalls an einem Verbraucher, der mit dem Drain-Anschluss der Speicherzelle gekoppelt ist. Die Abbildung aus [Fig. 4](#) zeigt eine Flash-Zelle mit einem Bit und einen entsprechenden Leseverstärker für ein Ausführungsbeispiel. Die Funktion des Leseverstärkers **408** oder des Komparators ist es, einen Vergleich der erfassten **402** Zelle mit einer Referenzzelle **404** vorzunehmen. Dieser Vergleich wird erreicht, indem der Zellenstrom durch eine Verbrauchervorrichtung **406** geleitet wird, welche den Strom in eine Spannung umwandelt. Bei der Verbrauchervorrichtung **406** handelt es sich in einem Ausführungsbeispiel um eine S-Vorrichtung, wobei sie nicht darauf beschränkt ist; zum Beispiel kann es sich bei der Verbrauchervorrichtung **406** auch um eine P-Kanal-Vorrichtung mit einem geerdeten Gate oder einem Widerstand handeln. Die S-Vorrichtung stellt einen N-Kanal-Transistor mit hoher Transkonduktanz dar, der speziell so dotiert ist, dass er eine Schwellenspannung bereitstellt, die niedriger ist als die Schwellenspannung einer normalen N-Kanal-CMOS-Vorrichtung. In einem Ausführungsbeispiel ist die S-Vorrichtung so dotiert, dass sie eine Schwellenspannung von ungefähr 0,3 Volt aufweist. Der Leseverstärker

**408** oder Komparator vergleicht danach die Schwellenspannung  $V_t$  **404** von einer Referenzzelle mit der Spannung der Flash-Zelle **402** und stellt auf der Basis der Vergleichsergebnisse eine Ausgabe **410** bereit. Die Verbrauchervorrichtung **412** der Referenzzelle ist in Bezug auf ein Ausführungsbeispiel der gleiche Typ von Vorrichtung wie die Verbrauchervorrichtung **406** oder die Flash-Zelle.

**[0036]** Wie dies bereits vorstehend im Text beschrieben worden ist, ist jede Flash-Zelle in einer MLC-Flash-Anordnung in der Lage einen von vier analogen Zuständen aufzuweisen, und wobei der Zustand dieser Flash-Zelle durch zwei binäre Bits angezeigt wird. Die Abbildung aus [Fig. 5](#) zeigt ein Blockdiagramm eines binären Suchverfahrens zur Bestimmung des Zustands einer Speicherzelle mit mehr als zwei möglichen Zuständen. In dem Schritt **501** wird der Zellenladungswert der ausgewählten Zelle erfasst und mit einer ersten Referenz-Flash-Zelle verglichen, deren  $V_t$  gleich REF2 ist. Abhängig von dem Ergebnis des ersten Vergleichs wird der erfasste Zellenladungswert der ausgewählten Zelle mit einer ausgewählten Zelle einer zweiten Referenz-Flash-Zelle mit  $V_t$  gleich REF1 oder einer dritten Referenz-Flash-Zelle mit  $V_t$  gleich REF3 verglichen. Wenn der erfasste Zellenladungswert der ausgewählten Flash-Zelle kleiner ist als der Wert der ersten Referenz-Flash-Zelle, wird der erfasste Zellenladungswert in dem Schritt 2 mit der zweiten Referenz-Flash-Zelle verglichen, und die ausgewählte Flash-Zelle befindet sich entweder in Zustand 1 oder in Zustand 2. Wenn der erfasste Zellenladungswert der ausgewählten Flash-Zelle größer ist als der der ersten Referenz-Flash-Zelle, wird der erfasste Zellenladungswert in dem Schritt **503** mit der dritten Referenz-Flash-Zelle verglichen, und die ausgewählte Flash-Zelle befindet sich in dem Zustand 3 oder in dem Zustand 4. Das Erfassen des Zellenladungswertes kann gemäß jedem der vorstehend im Text beschriebenen Verfahren vorgenommen werden.

**[0037]** Das Erfassen des Zellenladungswertes in einer MLC-Flash-Anordnung unter Verwendung des binären Suchverfahrens wird in einem Ausführungsbeispiel unter Verwendung eines Leseblocks ausgeführt. Die Abbildung aus [Fig. 6](#) zeigt eine MLC-Flash-Speicherzelle **610** mit einem entsprechenden Leseblock **600** in einem Ausführungsbeispiel. Der Leseblock **600** umfasst drei Leseverstärker **602**, **604** und **606**, die jeweils mit der Flash-Zelle **610** und den entsprechenden Referenzzellen 2, 3 und 1 (nicht abgebildet) gekoppelt sind. Der Leseblock **600** gibt zwei Bits Daten **620** und **622** aus, welche einen von vier Spannungswerten anzeigen, die durch die Flash-Zelle gespeichert werden.

**[0038]** In Bezug auf die Abbildung aus [Fig. 3](#) entspricht der Zwei-Bit-Ausgang des Leseblocks **600** einem von vier Spannungswerten, die von der

Flash-Zelle **610** gespeichert werden. Sowohl das werthöchste Bit (MSB) **620** als auch das wertniedrigste Bit (LSB) **622** können eine „0“ oder eine „1“ darstellen. Der Leseverstärker **602** ist mit REF2 gekoppelt, und der Ausgang des Leseverstärkers **602** bestimmt das MSB des Leseverstärkerausgangs. Wenn die Spannung der Flash-Zelle **610** über der Spannung von REF2 liegt, so entspricht das MSB des Ausgangs einer „0“, und der Multiplexer **608** wählt den Ausgang des Leseverstärkers **604** aus, um das LSB zu bestimmen, da die Spannung der Flash-Zelle **610** sich entweder in Zustand 3 oder Zustand 4 befindet. Wenn sich die Spannung der Flash-Zelle oberhalb der Spannung REF3 befindet, so wird eine „0“ als LSB ausgegeben, was einer Spannung („00“) des Zustands 4 entspricht; wenn die Spannung der Flash-Zelle unterhalb der Spannung REF3 liegt, wird eine „1“ als LSB ausgegeben, wobei dies einer Spannung von Zustand 3 entspricht („01“).

**[0039]** Wenn die Spannung der Flash-Zelle **610** niedriger ist als die Spannung von REF2, so entspricht das MSB des Ausgangs einer „1“, und der Multiplexer **608** wählt den Ausgang des Leseverstärkers **606** aus, um das LSB zu bestimmen, da sich die Spannung der Flash-Zelle **610** entweder in dem Zustand 1 oder dem Zustand 2 befindet. Wenn die Spannung der Flash-Zelle **610** oberhalb der Spannung REF1 liegt, so wird eine „0“ als LSB ausgegeben, wobei dies einer Spannung von Zustand 2 („10“) entspricht, und wenn die Spannung der Flash-Zelle **610** niedriger ist als die Spannung REF1, wird eine „1“ als LSB ausgegeben, wobei dies einer Spannung gemäß Zustand 1 („11“) entspricht.

**[0040]** Die Abbildung aus [Fig. 7](#) zeigt den Leseverstärker **800** gemäß einem Ausführungsbeispiel. Der Leseverstärker **800** umfasst einen Vorverstärker **802**, der so gekoppelt ist, dass er die Signale  $V_{pos}$  und  $V_{neg}$  von einer Flash-Zelle (nicht abgebildet) und einer Referenzzelle (nicht abgebildet) empfängt, einen differentiellen Eingangs-Signalspeicher **804**, der mit dem Vorverstärker **802** gekoppelt ist, und NAND-Gate-Logikvorrichtungen **806** und **808**, die mit dem differentiellen Eingangs-Signalspeicher **804** gekoppelt sind. Der Leseverstärker **800** stellt einen Ausgang bzw. eine Ausgabe **899** von den NAND-Gate-Logikvorrichtungen **806** bereit. Der Leseverstärker **800** umfasst P-Kanal-Transistoren **850**, **852**, **860**, **862**, **864**, **872** und **874** und N-Kanal-Transistoren **854**, **856**, **858**, **866**, **868** und **870**.

**[0041]** Der Vorverstärker **802** dient in einem Ausführungsbeispiel als ein Puffer zwischen den Flash-Zellen- und Referenzzellen-Eingängen und dem differentiellen Eingangs-Signalspeicher **804**. An Stelle der Verwendung eines herkömmlichen Stromspiegelverbrauchers verwendet der Vorverstärker **802** die geerdeten Gate-P-Kanal-Metalloxid-Halbleiter (MOS) Stromverbraucher der Transistoren **850** und

**852.** Diese geerdete Gate-Konfiguration erhöht den Gleichtaktbereich des Leseverstärkers **800** oder den Bereich der Eingangsspannungswerte, über welchen der Leseverstärker **800** funktionsfähig ist.

**[0042]** Der herkömmliche Stromspiegel gemäß dem Stand der Technik reduziert die Drain-Spannung ( $V_d$ ) eines der Vorverstärkereingänge. Unter Verwendung von im Fach bekannten Schaltungsanalysetechniken kann dargestellt werden, dass die reduzierte Drain-Spannung in einem Spannungsabfall von Drain-zu-Source ( $V_{ds}$ ) des Eingangstransistors von ungefähr 1,75 Volt resultiert. Da der hohe Wert des Gleichtakteingangs auf einen Wert begrenzt ist, der im Wesentlichen  $V_{cc}$  minus  $V_{ds}$  plus  $V_t$  des Eingangspaars entspricht, führt ein Wert von  $V_{ds}$  von 1,75 Volt zu der Beschränkung des hohen Spannung des Gleichtakteingangs auf einen Wert von ungefähr 4 Volt in einer Schaltung unter Verwendung von einer Spannung  $V_{cc}$  von 5 Volt.

**[0043]** Die geerdete Gate-P-Kanal-Vorrichtung, welche die Transistoren **850** und **852** des Vorverstärkers **802** umfasst, erhöht die Eingangsbetriebsspannung, indem der Abfall der Schwellenspannung  $V_t$  zwischen  $V_{cc}$  und dem Knoten **880** eliminiert wird, wodurch wiederum die Spannung an dem Knoten **880** erhöht wird. Eine höhere Spannung an dem Knoten **880** ermöglicht eine höhere Eingangsspannung an dem Eingang  $V_{neg}$  in den Vorverstärker, während der Transistor **854** weiter gesättigt bleibt.

**[0044]** Der Transistor **854** sollte, gesättigt bleiben, da ein Transistor **854**, der aus der Sättigung fällt, die hohe Eingangsspannung beschränkt. Die geerdete Gate-P-Kanal-Vorrichtung des Vorverstärkers **802** weist somit eine deutlich niedrigere Spannung  $V_{ds}$  von ungefähr 0,5 Volt auf, was zu einem hohen Gleichtakt-Eingangswert von ungefähr 5,25 Volt in einer Schaltung unter Verwendung einer Spannung  $V_{cc}$  von 5 Volt führt. Somit eignet sich der durch den Vorverstärker **802** vorgesehene Gleichtaktmodusbereich für MLC-Flash-Anwendungen. Ferner ist es ein weiterer Vorteil in Bezug auf den Verbraucher mit geerdetem Gate, dass dieser eine bessere Rauschunterdrückung von  $V_{cc}$  aufweist, und zwar aufgrund des ausgewogenen Designs, wobei  $V_{cc}$  im Wesentlichen identisch über den Transistor **850** und den Transistor **852** mit den Knoten **880** und **882** gekoppelt ist.

**[0045]** Die geerdete Gate-P-Kanal-Vorrichtung des Vorverstärkers **802** führt ebenfalls zu einer deutlich reduzierten Vormagnetisierungsanforderung für den Leseverstärker **800** gemäß einem Ausführungsbeispiel. Unter Verwendung von im Fach bekannten Schaltungsanalysetechniken wird der Vormagnetisierungsstrom oder der Schwanzstrom in den Transistor **858** so bestimmt, dass er einen Nominalwert von ungefähr 100 Mikroampere und einen Höchstwert von 150 Mikroampere aufweist. Somit ist die Anforderung

für den Vormagnetisierungsstrom für den Leseverstärker **800** deutlich niedriger als der erforderliche Vormagnetisierungsstrom von 2,5 Milliampere für dem Stand der Technik entsprechende Leseverstärker.

**[0046]** Der Vorverstärker **802** des Leseverstärkers **800** verstärkt die Eingabe von der Flash-Zelle und der Referenzzelle. Im Fach bekannte Schaltungsanalysetechniken zeigen das Ausmaß der Verstärkung, die durch den Vorverstärker **802** in dem differentiellen Modus als ungefähr drei. Diese geringe Verstärkung ist ein beabsichtigter Vorteil des Leseverstärkers **800**, da sie die Ansprechzeit des Leseverstärkers ohne den Einsatz von Shortern des dem Stand der Technik entsprechenden Leseverstärkers deutlich reduziert.

**[0047]** Die Abbildung aus [Fig. 8](#) zeigt das Anstiegsgeschwindigkeits-Ansprechverhalten **902** einer Schaltung mit geringer Verstärkung im Verhältnis zu dem Anstiegsgeschwindigkeits-Ansprechverhalten **904** einer Schaltung mit hoher Verstärkung. Der Leseverstärker erfasst eine Zustandsveränderung, wenn ein Spannungsdifferential detektiert wird, und der Leseverstärker spricht auf diese Zustandsänderung an, indem der Leseverstärkerausgang von einem Zustand in einen anderen übergeht, wobei ein Übergang einen Wechsel von einem Spannungswert zu einem anderen erforderlich macht. Der Zeitunterschied zwischen dem Erfassen einer Zustandsänderung und dem Übergang des Ausgangsspannungswertes ist von der Verstärkung und der Anstiegsgeschwindigkeit des Leseverstärkers abhängig. Die Anstiegsgeschwindigkeit wird durch die Komponenten jeder Schaltung bestimmt, und es wird davon ausgegangen, dass sie in Schaltungen mit niedriger Verstärkung und in Schaltungen mit hoher Verstärkung identisch ist, so dass die Steigung der Kurven **902** und **904** identisch ist. Die niedrigere Verstärkung der Schaltung mit niedriger Verstärkung führt jedoch zu einem engeren Spannungsbereich **910**, innerhalb dem der Leseverstärker übergehen muss im Verhältnis zu dem Spannungsbereich **912** der Schaltung mit hoher Verstärkung. Wenn somit von einer äquivalenten Anstiegsgeschwindigkeit für beide Schaltungen ausgegangen wird, stellt die Schaltung mit niedriger Verstärkung einen Übergang an dem Ausgang in kürzerer Zeit **920** als die Zeit **922** bereit, die für die Schaltung mit hoher Verstärkung erforderlich ist.

**[0048]** Wie dies bereits vorstehend im Text beschrieben worden ist, sind in dem Stand der Technik entsprechenden Leseverstärkern aufgrund der hohen Verstärkung dieser Leseverstärker Shorter bzw. Kurzschlussanordnungen erforderlich. Die Shorter belasten den Leseverstärker an einem Punkt in dem Gleichtaktbereich vor, der die Ausgangsspannungs-Übergangszeit minimiert. Die Shorter selber erhöhen jedoch die Ansprechzeit des Leseverstär-

kers und führen in die Erfassungsschaltkreisanordnung Rauschen ein. Somit spricht ein Leseverstärker mit geringer bzw. niedriger Verstärkung schneller auf Veränderungen der Eingangsspannung an als ein Leseverstärker mit hoher Verstärkung mit Shortern, ohne dass zusätzliches Rauschen der Shorter in die Erfassungsschaltkreisanordnung eingeführt wird.

**[0049]** Die niedrige Verstärkung des Vorverstärkers **802** des Leseverstärkers **800** ist ferner dahingehend vorteilhaft, dass sie den Versatz des Leseverstärkers (SAO) reduziert. Der SAO ist ein Versatz oder eine Verschiebung in dem Spannungsbereich eines Flash-Zellenwertes als Folge der Verschiebung von  $V_t$ , welche die Löscho- und Programmierungsoperationen in Flash-Zellen begleitet. Folglich führt der SAO zu einer gewissen Veränderung des Spannungsdeltas zwischen den Referenzzellenspannungen und den Bereichen der Spannung  $V_t$  für jeden Zustand einer Flash-Zelle. Als Folge der Unsicherheit bzw. Ungewissheit hinsichtlich der Position der  $V_t$  der Flash-Zelle aufgrund des SAO muss in dem Fensterbudget eine bestimmte Höhe zusätzlicher Spannung reserviert werden oder in dem Gleichtakt-Eingangsbereich von dem Stand der Technik entsprechenden Leseverstärkern, um den SAO zwischen jeder Referenzspannung und jedem  $V_t$  zu ermöglichen. Wenn die für den SAO reservierte Spannung zu gering ist, so kann ein Übergriff durch  $V_t$  einer Zelle in  $V_t$  einer anderen Zelle zu einer Überlappung bzw. Überschneidung der  $V_t$ -Spannungsbereiche und einem entsprechenden Verlust von MLC-Zuständen führen. Eine MLC-Flash-Zelle ist in Bezug auf SAO empfindlicher, und zwar aufgrund der Mehrzahl von Zuständen, die in dem Gleichtakt-Spannungsbereich oder dem Fensterbudget der Flash-Zelle auftreten. Je größer der SAO, desto größer muss die reservierte Spannung für SAO sein und desto weniger Zustände sind in einer MLC-Flash-Zelle verfügbar.

**[0050]** Der SAO wird als Folge der Verwendung des Vorverstärkers **802** gemäß einem Ausführungsbeispiel des Leseverstärkers **800** reduziert. Der SAO wird reduziert, da er durch die Verstärkung des Leseverstärkers dividiert wird. Somit reduziert der Vorverstärker **802** aus einem Ausführungsbeispiel des Leseverstärkers **800** den SAO um einen Faktor von ungefähr drei.

**[0051]** Der Einsatz eines geerdeten Gate-P-Kanal-Verbrauchers mit geringer Verstärkung wird durch den Einsatz eines differentiellen Eingangs-Signalspeichers **804** ermöglicht. Der differentielle Eingangs-Signalspeicher **804** umfasst in einem Ausführungsbeispiel ein Paar von quergekoppelten Invertern, deren Ausgänge jeweils mit den Eingängen des anderen Inverters verbunden sind. Die Stromversorgung jedes Inverters wird durch die Transistoren **860** und **870** geschaltet. Während kein statischer Strom aufgenommen bzw. entnommen wird, reduziert die-

ser differentielle Eingangs-Signalspeicher **804** den Versatz des Leseverstärkers, indem ein differentieller Eingang versus einem Eintakt-Eingang von dem Stand der Technik entsprechenden Leseverstärkern vorgesehen ist.

**[0052]** Der differentielle Eingangs-Signalspeicher **804** ist eine Analog-Digital-Umsetzstufe, welche das Ausgangssignal des Vorverstärkers **802**, welcher einen nicht komplementären Metalloxid-Halbleiter (CMOS) darstellt, in ein Signal auf CMOS-Ebene umwandelt. Der differentielle Eingangs-Signalspeicher **804** verwendet drei Betriebszustände: den Abtastzustand, den Schwebezustand und den Speicherzustand. Im Allgemeinen arbeitet der differentielle Eingangs-Signalspeicher **804** indem zwei Eingänge abgetastet und die Abtastwerte gespeichert werden. Der Signalspeicher wird freigegeben, und der Ausgang wird abhängig von dem zwischen den beiden Eingängen festgestellten bzw. gemessenen Differential auf „0“ oder „1“ gesetzt. Jeder der drei Betriebszustände des differentiellen Eingangs-Signalspeichers wird nachstehend beschrieben.

**[0053]** In dem Abtastzustand stellen die Ausgänge bzw. Ausgaben der Knoten **880** und **882** des Vorverstärkers **802** die Eingänge in die entsprechenden Knoten LAT1 und LAT0 des differentiellen Eingangs-Signalspeichers **804** zum Vergleich dar. Die Abbildung aus [Fig. 9](#) zeigt ein Signaltaktdiagramm für die drei Zustände des differentiellen Eingangs-Signalspeichers. Während dem Abtastzustand wird das Signal LATCH aufgehoben, wodurch die Transistoren **872** und **874** eingeschaltet werden und der Transistor **870** ausgeschaltet wird, was dazu führt, dass die Vorverstärkersignale von den Knoten **880** und **882** zu den entsprechenden Knoten LAT1 und LAT0 geleitet werden. Da die Transistoren **860** und **870** während dem Abtastzustand ausgeschaltet sind, existiert kein Pfad zwischen Vcc und Erde, so dass die Signale von den Knoten **880** und **882** entsprechend ohne Konkurrenz zu den Knoten LAT1 und LAT0 geleitet werden. Somit entsprechen die Spannungen an den Knoten LAT1 und LAT0 entsprechend Vneg und Vpos.

**[0054]** Der Schwebezustand folgt in einem Ausführungsbeispiel dem Abtastzustand. In dem Schwebezustand werden die Transistoren **872** und **874** ausgeschaltet, wenn das Signal LATCH geltend gemacht wird. Während diesem Zustand, der von kurzer Dauer ist, schweben LAT1 und LAT0 auf ihren entsprechenden Spannungen, bei denen es sich um Spannungen handelt, die während dem Abtastzustand gespeichert worden sind.

**[0055]** Der Speicherzustand folgt in einem Ausführungsbeispiel dem Schwebezustand. In dem Speicherzustand werden die Transistoren **860** und **870** eingeschaltet, wodurch die Stromversorgungen je-

des Inverters auf den Inverter umgeschaltet werden, wodurch bewirkt wird, dass jedes Differential zwischen LAT1 und LAT0 verstärkt wird. Zur Veranschaulichung der Funktionsweise bzw. des Betriebs des differentiellen Eingangs-Signalspeichers **804** wird ein Beispiel verwendet, bei dem die Spannung an dem Knoten LAT1 größer ist als die Spannung an dem Knoten LAT0. In diesem Fall ist die Gate-Spannung ( $V_g$ ) des Transistors **866** höher als die Gate-Spannung  $V_g$  des Transistors **868**, was bewirkt, dass der Transistor **866** mehr Strom leitet als der Transistor **868**. Dies hat einen positiven Rückführungseffekt, da der Drain-Anschluss des Transistors **866** mit dem Gate-Anschluss des Transistors **868** verbunden ist. Da sowohl LAT1 als auch LAT0 in eine niedrige Spannung übergehen, bewirkt der positive Rückführungseffekt, dass bei dem Transistor mit der höheren Gate-Spannung **866** dessen Drain-Spannung  $V_d$  schneller sinkt als die Drain-Spannung  $V_d$  des Transistors mit der niedrigeren Gate-Spannung **868**. Da die Drain-Spannung des Transistors **866** langsamer sinkt, wird die Entladungsrate des Knotens LAT0 verlangsamt, wodurch der Transistor **868** langsamer ausgeschaltet wird als der Transistor **866**. Dies bewirkt ein wachsendes Spannungsdifferential mit zunehmender Rate, da das Differential der Gate-Spannungen zunimmt. Dies führt zu einer schnellen Schaltzeit, selbst in Gegenwart einer sehr niedrigen anfänglichen Differentialspannung. Ein Ausführungsbeispiel schaltet bzw. wechselt den Ausgang zwischen den Schienenspannungen in ungefähr einer Nanosekunde. Diese schnelle Wechsel- bzw. Schaltzeit reduziert die Rauschempfindlichkeit des Leseverstärkers, da das Vergleichsergebnis in dem differentiellen Eingangs-Signalspeicher **804** gespeichert wird, bevor nachgeschaltetes Schaltrauschen in die Erfassungsschaltungen zurückgeführt werden kann.

**[0056]** Der Ausgang des Leseverstärkers wird in einem Ausführungsbeispiel durch eine NAND-Gatter-Logikvorrichtung **806** vorgesehen. Das NAND-Gatter wird an Stelle des Inverters in dem Stand der Technik entsprechenden Leseverstärker eingesetzt, da bei einem Wechsel eines Inverters eine dynamische Kapazität erzeugt wird. Diese Kapazität ermöglicht die Einführung eines Versatzes in die Erfassungsschaltung durch die Kopplung der Ausgangsspannungssignalveränderung zurück zu dem Eingang. Die nachteiligen Effekte Die nachteiligen Effekte des Versatzes wurden bereits vorstehend im Text beschrieben.

**[0057]** Im Betrieb empfängt das NAND-Gatter **806** den Ausgang des differentiellen Eingangs-Signalspeichers **804**. Nachdem der Ausgangszustand durch den Signalspeicher **804** bestimmt worden ist, oder etwa eine Nanosekunde nach dem Schalten als Reaktion auf eine differentielle Eingangsspannung wird das NAND-Gatter in einem Ausführungsbeispiel

durch das Signal LATCH2 freigegeben, und der Leseverstärkerausgang wird umgeschaltet. Ein Dummy-NAND-Gatter **808** wird dazu eingesetzt, die Gatter-Kapazitäten an LAT0 und LAT1 abzustimmen bzw. anzugleichen, um einen Versatz in dem Signalspeicher zu verhindern.

**[0058]** Die genaue Beschreibung beschreibt zwar Ausführungsbeispiele, die ein Flash-EPROM verwenden, wobei die Erfindung jedoch auch in Verbindung mit jedem anderen nichtflüchtigen, beschreibbaren Speicher eingesetzt werden kann. Die vorliegende Erfindung wurde zwar in Bezug auf bestimmte Ausführungsbeispiele beschrieben, wobei es jedoch offensichtlich ist, dass verschiedene Modifikationen und Abänderungen in Bezug auf diese Ausführungsbeispiele vorgenommen werden können, ohne dabei vom weiteren Umfang der Erfindung abzuweichen, der in den Ansprüchen ausgeführt ist. Somit dienen die Beschreibung und die Zeichnungen Zwecken der Veranschaulichung und haben keine einschränkende Funktion.

### Patentansprüche

1. Leseverstärker (**800**) zur Verwendung in einem nichtflüchtigen Speicher, wobei der Leseverstärker folgendes umfasst:

einen Vorverstärker (**802**), der so angeordnet ist, dass er ein erstes Signal ( $V_{pos}$ ) aus einer Speicherzelle des nichtflüchtigen Speichers empfängt, und ein zweites Signal ( $V_{neg}$ ) aus mindestens einer Referenzzelle (**404**), wobei der Vorverstärker so konfiguriert ist, dass er ein Paar von Signalen ausgibt, die das erste Signal und zweite Signal anzeigen; und einen differentiellen Eingangs-Signalspeicher (**804**), der so gekoppelt ist, dass er ein Paar von Signalen empfängt, die aus dem Vorverstärker ausgegeben werden, und so dass ein Signal erzeugt wird, das mindestens einen Zustand der Speicherzelle gemäß der durch das Signalpaar angezeigten Differenz anzeigt.

2. Leseverstärker nach Anspruch 1, wobei der Leseverstärker in einem nichtflüchtigen Speicher mit Zellen mit mehreren Zuständen eingesetzt wird.

3. Leseverstärker nach Anspruch 1, wobei dieser ferner mindestens eine Logikvorrichtung (**806**) umfasst, die mit dem differentiellen Eingangs-Signalspeicher gekoppelt ist, wobei die mindestens eine Logikvorrichtung den Versatz in dem Leseverstärker reduziert und das Signal bereitstellt, das den mindestens einen Zustand der Speicherzelle anzeigt.

4. Leseverstärker nach einem der vorstehenden Ansprüche, wobei der mindestens einen Zustand mindestens einen Spannungswert der Speicherzelle umfasst.

5. Leseverstärker nach einem der vorstehenden Ansprüche, wobei das den mindestens einen Zustand der Speicherzelle anzeigende Signal mindestens ein Bit umfasst.

6. Leseverstärker nach einem der vorstehenden Ansprüche, wobei der Vorverstärker einen Basis-schaltungs-Metalloxidhalbleiter-Transistor (MOS-Transistor) (**850, 852**) umfasst.

7. Leseverstärker nach Anspruch 2 in Kombination mit einer Mehrzahl von anderen Leseverstärkern, die mit der Mehrzahl von nichtflüchtigen Speicherzellen und einer Mehrzahl von Referenzspannungen gekoppelt sind.

8. Leseverstärker nach einem der vorstehenden Ansprüche, wobei die mindestens eine Referenzspannung als Reaktion auf den Spannungswert der Speicherzelle (**402**) ausgewählt wird.

9. Leseverstärker nach einem der vorstehenden Ansprüche, wobei der differentielle Eingangs-Signalspeicher in mindestens einem Zustand arbeitet.

10. Leseverstärker nach Anspruch 1, wobei der differentielle Eingangs-Signalspeicher das aus dem Vorverstärker ausgegebene Signalpaar in ein Ausgangssignal mit komplementären MOS-Logikwerten umwandelt.

11. Leseverstärker nach Anspruch 1, wobei das erste Signal aus einer Speicherzelle des nichtflüchtigen Speichers eine Spannung umfasst.

12. Leseverstärker nach einem der vorstehenden Ansprüche, wobei der Vorverstärker mindestens ein Ausgangssignal bereitstellt, verstärkt um einen Faktor, der im Wesentlichen gleich drei ist.

13. Leseverstärker nach einem der vorstehenden Ansprüche, wobei der differentielle Eingangs-Signalspeicher ein Paar von quergekoppelten Invertern umfasst, wobei der Ausgang jedes Inverters mit dem anderen Inverter (**862-868**) gekoppelt ist.

14. Leseverstärker nach Anspruch 1, wobei der Leseverstärker zur Verwendung in einem nichtflüchtigen Speicher mit Zellen mit mehreren Zuständen vorgesehen ist.

15. Leseverstärker nach einem der vorstehenden Ansprüche, wobei der Vorverstärker eine Pegelverschiebung vornimmt.

16. Leseverstärker nach einem der vorstehenden Ansprüche, wobei der Leseverstärker einen gemeinsamen Moduseingangsbereich und einen Versatz aufweist, der einen nichtflüchtigen Speicher mit vier verschiedenen Schwellenspannungen aufweist.

17. Leseverstärker nach einem der vorstehenden Ansprüche, wobei der Leseverstärker einen nominalen Vormagnetisierungsstrom aufweist, der im Wesentlichen **100** Mikroampere entspricht.

18. Leseverstärker nach Anspruch 14, wobei die Stromversorgung jedes Inverters durch mindestens einen Transistor (**860, 870**) geschaltet wird.

19. Leseverstärker nach einem der vorstehenden Ansprüche, wobei der differentielle Eingangs-Signalspeicher das aus dem Vorverstärker ausgegebene Signalpaar, wobei jedes Signal ein erstes Paar von Logikwerten aufweist, in das Ausgangssignal umwandelt, das ein zweites Paar von Logikwerten aufweist.

20. Leseverstärker nach Anspruch 19, wobei das zweite Paar von Logikwerten komplementäre MOS-Logikwerte darstellt.

21. Leseverstärker nach Anspruch 1, wobei das erste Signal aus einer Zelle des nichtflüchtigen Speichers einen Strom umfasst.

22. Leseblock zur Verwendung in einem nichtflüchtigen Speicher mit Zellen mit mehreren Zuständen, wobei der Leseblock eine Mehrzahl von Leseverstärkern umfasst, wobei jeder Leseverstärker der Mehrzahl von Leseverstärkern dem gegenständlichen Anspruch 1 entspricht, wobei der differentielle Eingangs-Signalspeicher so gekoppelt ist, dass er das Signalpaar empfängt, das von dem Vorverstärker ausgegeben wird, und um ein verriegeltes Ausgangssignal zu erzeugen, mit einem Zustand gemäß der durch das Signalpaar angezeigten Differenz; und mindestens eine Logikvorrichtung so gekoppelt ist, dass sie das verriegelte Ausgangssignal von dem differentiellen Eingangs-Signalspeicher empfängt, wobei die mindestens eine Logikvorrichtung so konfiguriert ist, dass sie den Versatz des Leseverstärkers reduziert, und um ein Signal vorzusehen, das zumindest einen Zustand der Speicherzelle gemäß dem Zustand des verriegelten Ausgangssignals anzeigt.

23. Leseblock nach Anspruch 22, wobei N-1 Leseverstärker N Zustände des nichtflüchtigen Speichers decodieren, wobei N eine ganze Zahl darstellt, die größer oder gleich 2 ist.

24. Leseblock nach Anspruch 22, wobei der Vorverstärker folgendes umfasst: mindestens einen Basisschaltungs-MOS-Transistor; und wobei der differentielle Eingangs-Signalspeicher mindestens ein Paar quergekoppelter Inverter umfasst.

25. Leseblock nach Anspruch 22, wobei dieser

ferner folgendes umfasst:

eine erste Referenz, die einem ersten Schwellenspannungswert der Speicherzelle entspricht, wobei die erste Referenz mit einem ersten Leseverstärker gekoppelt ist, um den Schwellenspannungswert mit der ersten Referenz zu vergleichen und um ein erstes Ergebnis auszugeben;

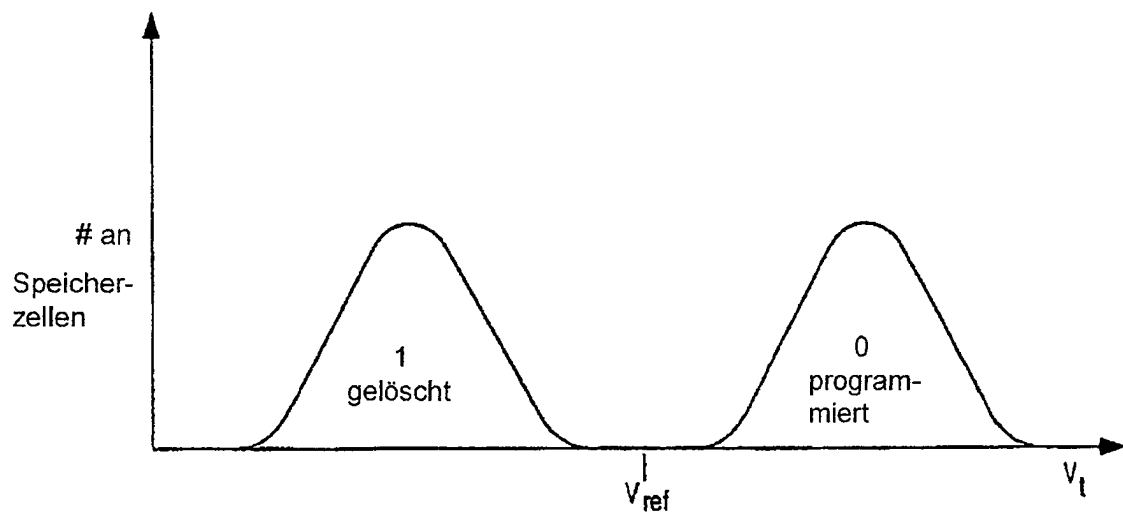
eine zweite Referenz, die einem zweiten Schwellenspannungswert der Speicherzelle entspricht, wobei die zweite Referenz mit einem zweiten Leseverstärker gekoppelt ist, um den Schwellenspannungswert mit der zweiten Referenz zu vergleichen, und um ein zweites Ergebnis auszugeben;

eine dritte Referenz, die einem dritten Schwellenspannungswert der Speicherzelle entspricht, wobei die dritte Referenz mit einem dritten Leseverstärker gekoppelt ist, um den Schwellenspannungswert mit der dritten Referenz zu vergleichen, und um ein drittes Ergebnis auszugeben;

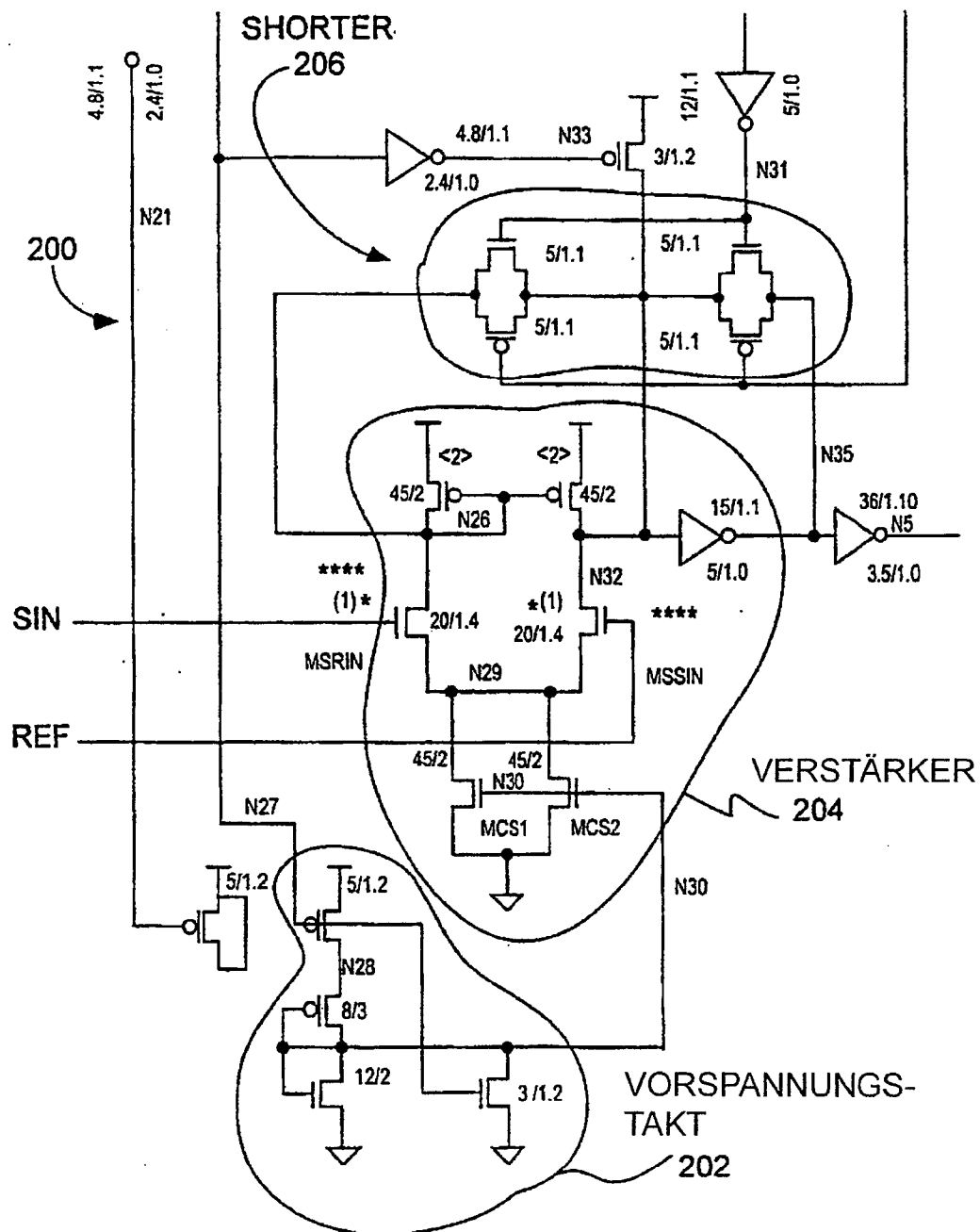
eine Auswahlschaltung, die so gekoppelt ist, dass sie das erste Ergebnis empfängt, wobei die Auswahlschaltung das zweite Ergebnis oder das dritte Ergebnis als Reaktion auf das erste Ergebnis zur Ausgabe auswählt.

26. Leseblock nach Anspruch 25, wobei das erste Ergebnis und das ausgewählte zweite Ergebnis oder dritte Ergebnis den Spannungswert der Speicherzelle anzeigen.

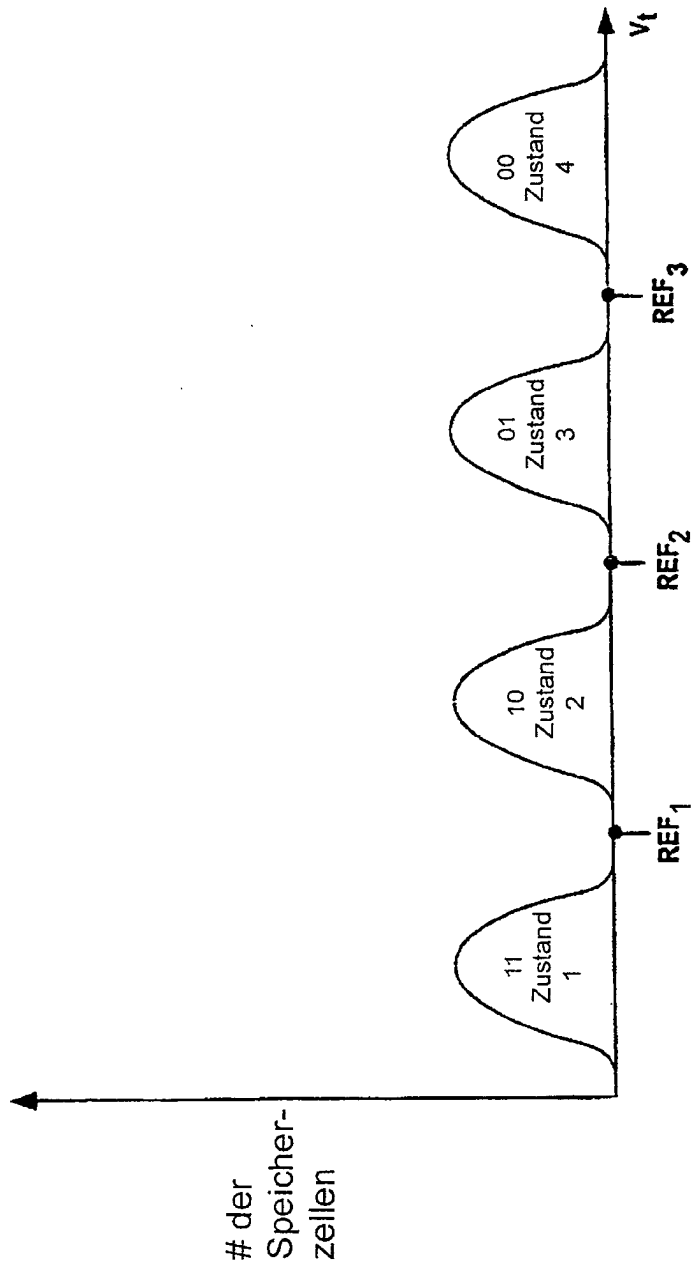
Es folgen 9 Blatt Zeichnungen



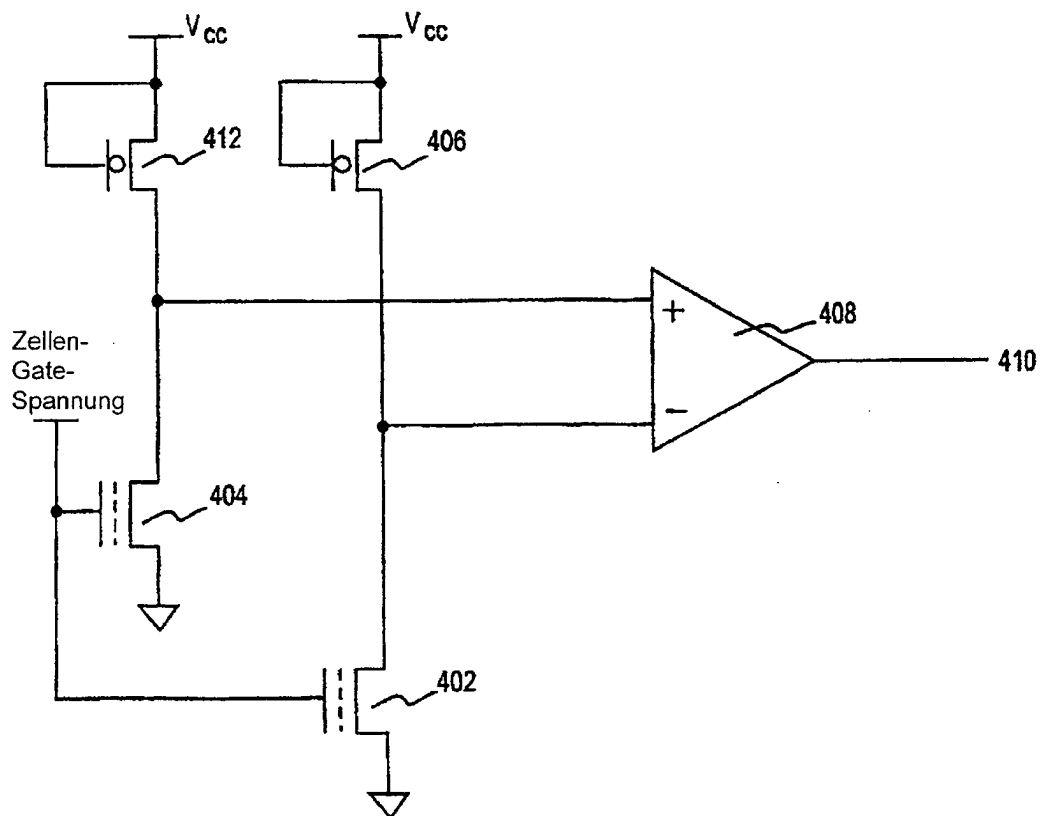
**FIG. 1**  
(Stand der Technik)



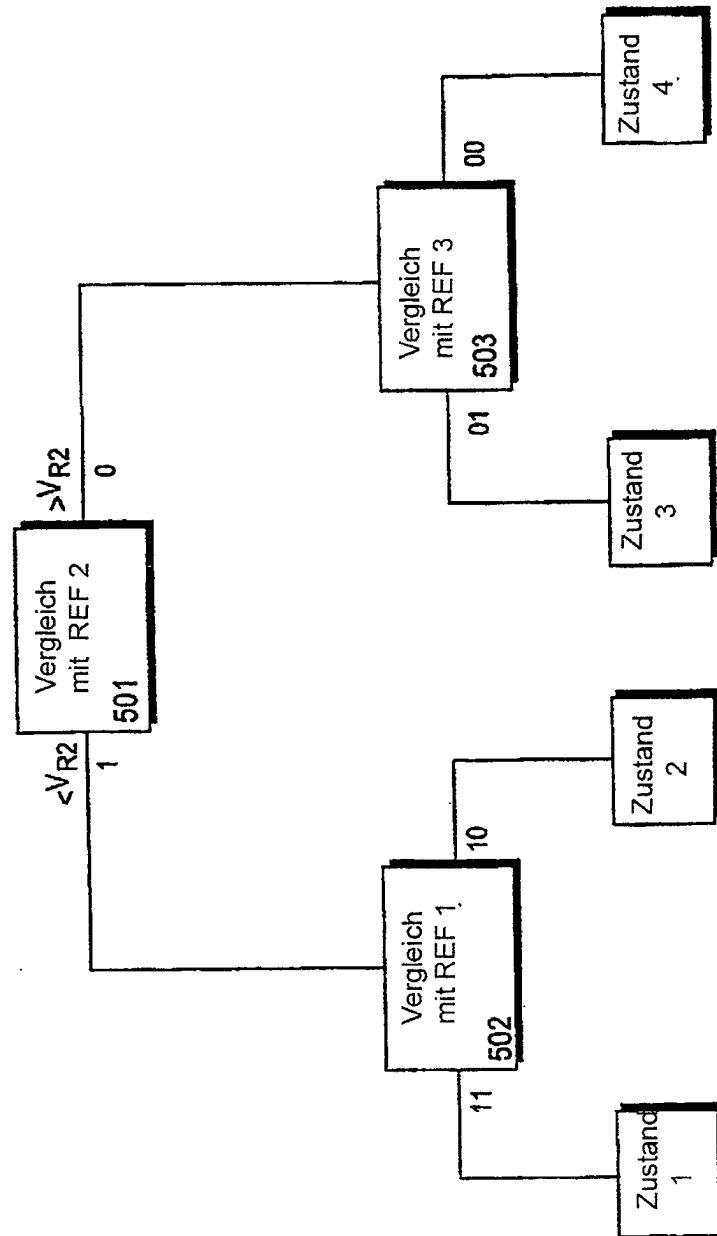
**FIG.2**  
(STAND DER TECHNIK)

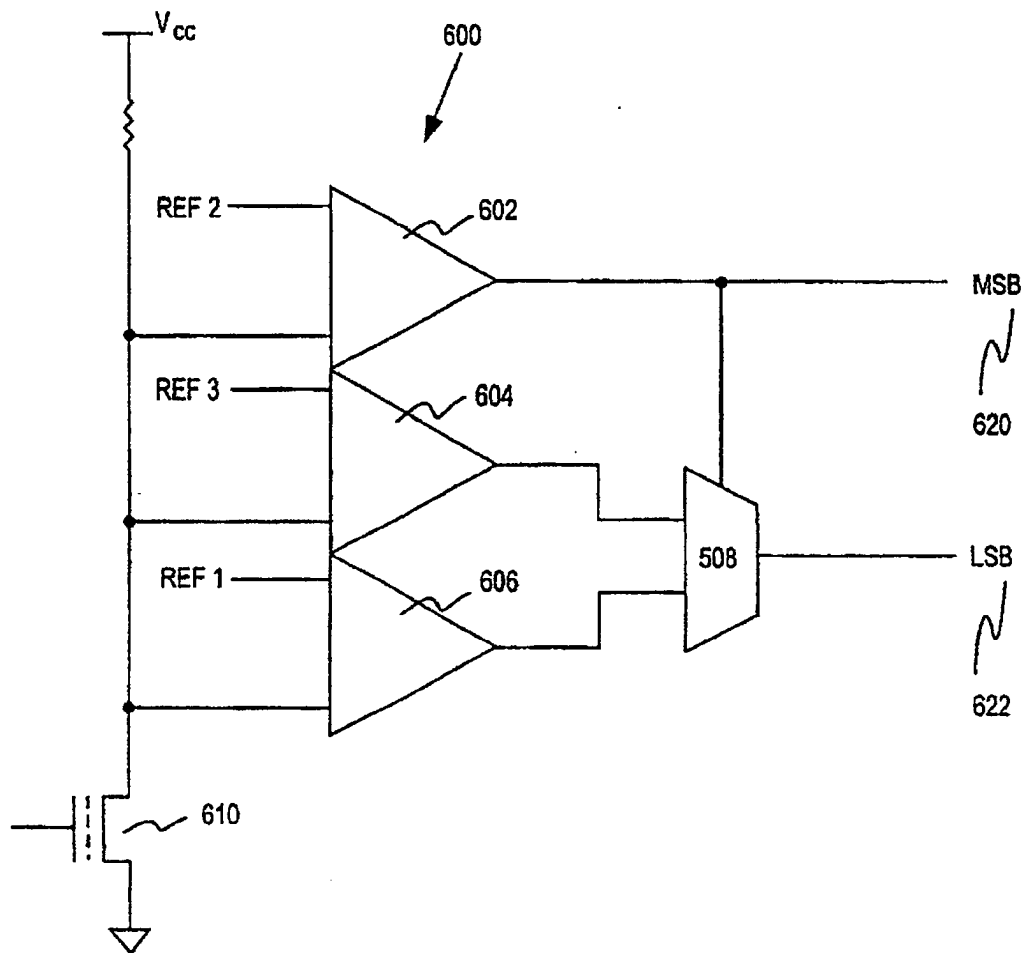


**FIG. 3**



**FIG. 4**

**FIG. 5**



**FIG. 6**

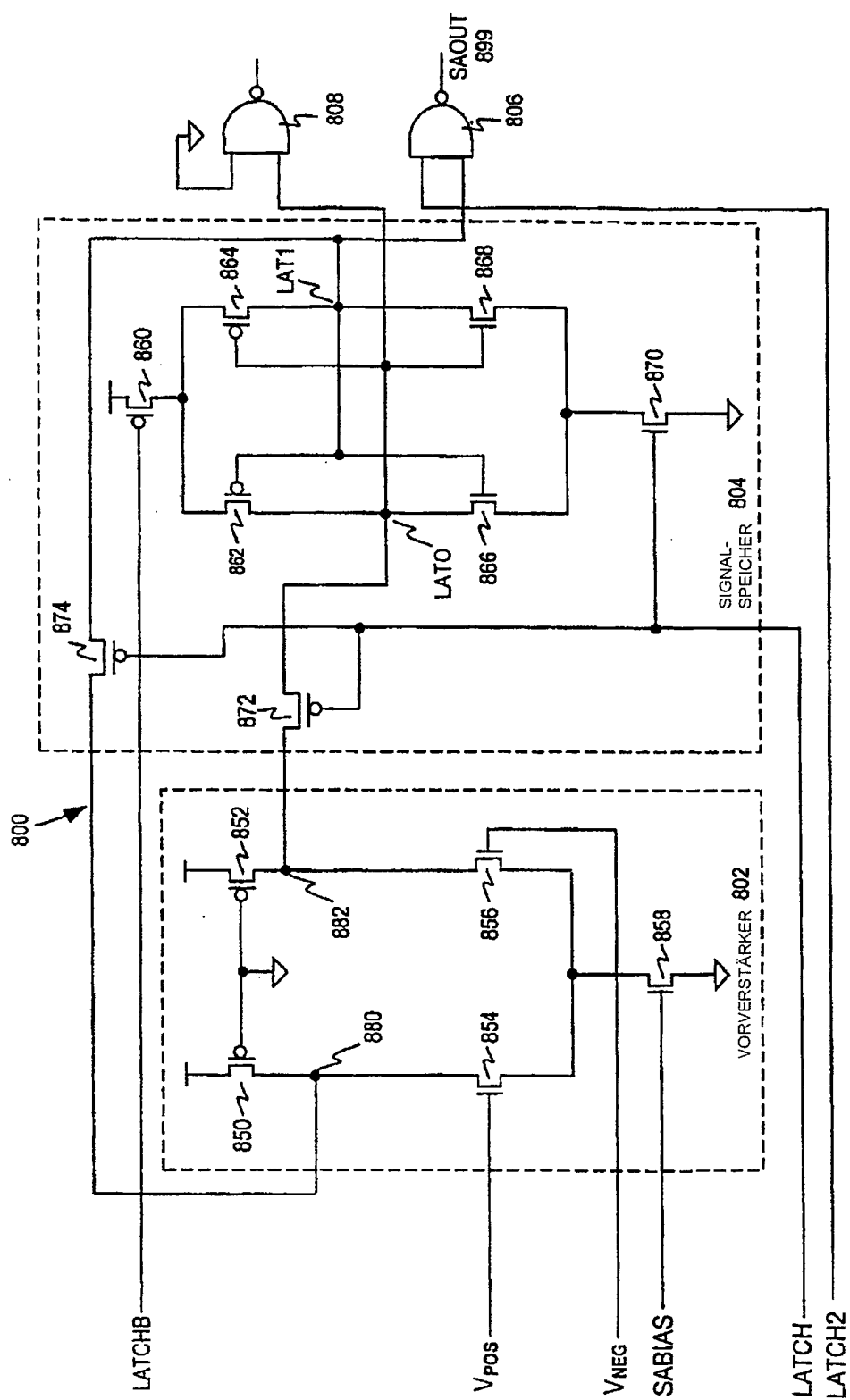
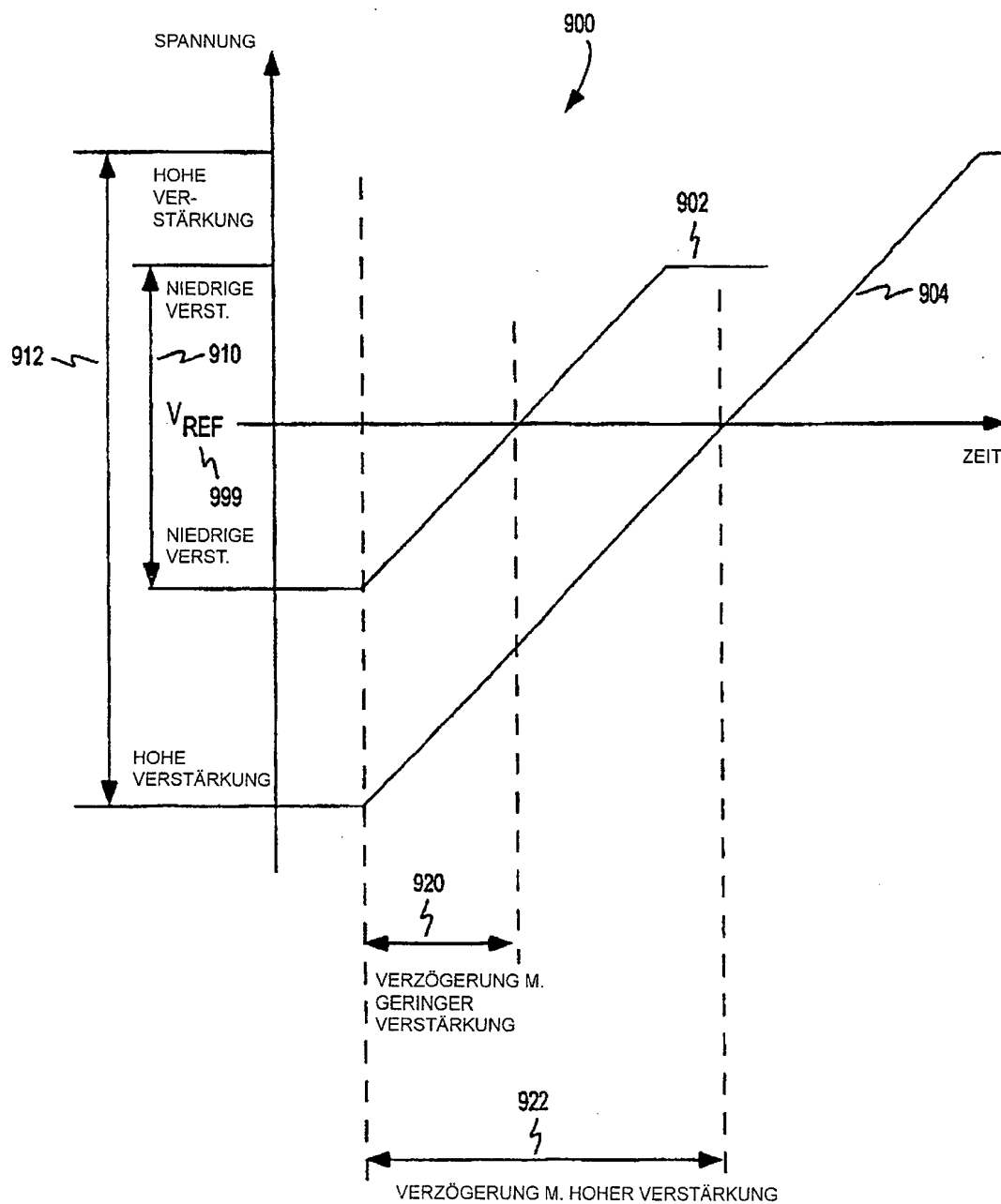
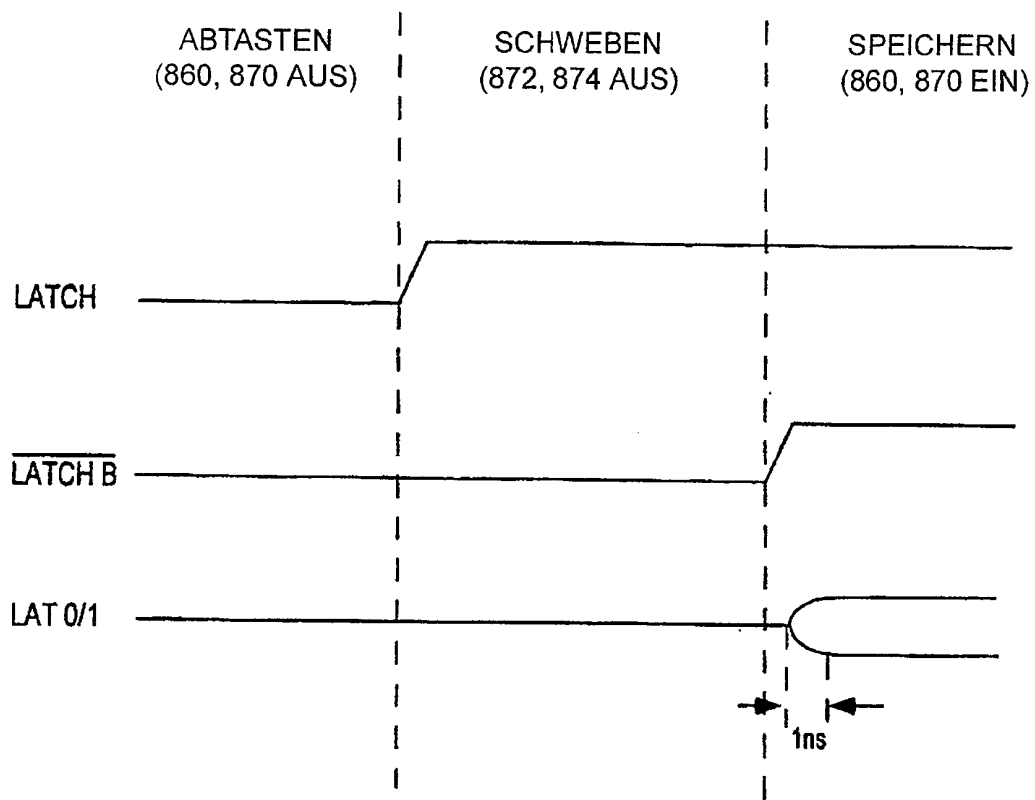


FIG.7



**FIG.8**



**FIG.9**