



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년07월25일
(11) 등록번호 10-1423055
(24) 등록일자 2014년07월18일

- (51) 국제특허분류(Int. Cl.)
HO1L 27/14 (2006.01)
- (21) 출원번호 10-2008-0026486
- (22) 출원일자 2008년03월21일
심사청구일자 2013년03월07일
- (65) 공개번호 10-2008-0093867
- (43) 공개일자 2008년10월22일
- (30) 우선권주장
JP-P-2007-00108795 2007년04월18일 일본(JP)
- (56) 선행기술조사문헌
KR1020060120492 A*
US06731003 B2*
KR1020050033487 A
- *는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자
나오토 쿠수모토

일본, 243-0036, 카나가와-켄, 아쓰기-시, 하세, 398, 가부시키가이샤 한도오따이 에네루기 켄큐쇼

내

카즈오 니시

일본, 243-0036, 카나가와-켄, 아쓰기-시, 하세, 398, 가부시키가이샤 한도오따이 에네루기 켄큐쇼

내

유스케 스가와라

일본, 243-0036, 카나가와-켄, 아쓰기-시, 하세, 398, 가부시키가이샤 한도오따이 에네루기 켄큐쇼

내

(74) 대리인

장훈

심사관 : 계원호

전체 청구항 수 : 총 11 항

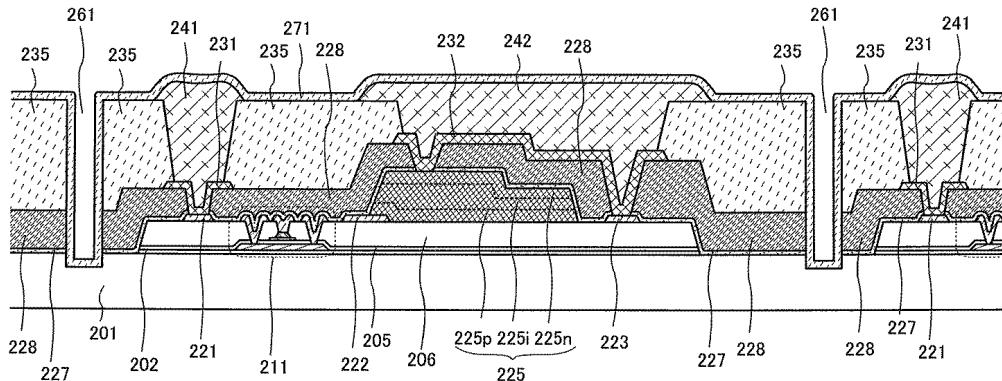
(54) 발명의 명칭 반도체 장치를 갖는 광전 변환 소자 및 이것을 사용한반도체 장치

(57) 요 약

본 발명은 광전 변환 소자를 배선 기판 등에 실장할 때에, 그 고착 강도를 향상시켜, 접촉 불량이나 박리 등의 문제를 해결하는 것을 과제로 한다.

제 1 기판상에, 광전 변환층과, 광전 변환층의 출력 전류를 증폭하는 적어도 2개의 박막 트랜지스터로 이루어지는 증폭 회로와, 상기 광전 변환층 및 상기 증폭 회로에 전기적으로 접속되고, 고전위전원을 주는 제 1 전극 및 저전위전원을 주는 제 2 전극과, 상기 제 1 기판의 최상층에 도전 재료와 합금을 형성하는 고착층을 갖고, 제 2 기판상에 제 3 전극과 제 4 전극과, 상기 제 1 전극과 상기 제 3 전극, 및, 상기 제 2 전극과 상기 제 4 전극을 고착하는 상기 도전 재료를 갖는 반도체 장치에 관한 것이다.

대 표 도



특허청구의 범위

청구항 1

반도체 장치에 있어서,

기판 위의 광전 변환층;

상기 기판 위의 증폭 회로로서, 상기 증폭 회로는 적어도 두개의 박막 트랜지스터들을 포함하고, 상기 광전 변환층의 출력 전류를 증폭하는, 상기 증폭 회로;

상기 광전 변환층 및 상기 증폭 회로 위의 제 1 층간 절연막;

상기 광전 변환층 및 상기 제 1 층간 절연막 위의 제 1 전극으로서, 상기 제 1 전극은 상기 광전 변환층에 전기적으로 접속되는, 상기 제 1 전극;

상기 제 1 층간 절연막 위의 제 2 층간 절연막으로서, 상기 제 2 층간 절연막은 상기 증폭 회로와 겹치며 (overlap) 상기 제 1 전극에 이르는 개구부를 갖는, 상기 제 2 층간 절연막;

상기 개구부에 있는 제 2 전극으로서, 상기 제 2 전극은 상기 제 1 전극과 전기적으로 접속되는, 상기 제 2 전극; 및

상기 제 2 전극 위의 고착층(bonding layer)으로서, 상기 고착층은 상기 제 2 층간 절연막 및 상기 제 2 전극과 겹치는, 상기 고착층을 포함하고,

상기 고착층은 땜납과 합금을 형성할 수 있는 금속을 포함하고, 상기 고착층은 상기 제 1 층간 절연막의 측면과 상기 제 2 층간 절연막의 측면을 덮는, 반도체 장치.

청구항 2

반도체 장치에 있어서,

제 1 기판 위의 광전 변환층;

상기 제 1 기판 위의 증폭 회로로서, 상기 증폭 회로는 적어도 두개의 박막 트랜지스터들을 포함하고, 상기 광전 변환층의 출력 전류를 증폭하는, 상기 증폭 회로;

상기 광전 변환층 및 상기 증폭 회로 위의 제 1 층간 절연막;

상기 광전 변환층 및 상기 제 1 층간 절연막 위의 제 1 전극으로서, 상기 제 1 전극은 상기 광전 변환층에 전기적으로 접속되는, 상기 제 1 전극;

상기 제 1 층간 절연막 위의 제 2 층간 절연막으로서, 상기 제 2 층간 절연막은 상기 증폭 회로와 겹치며 상기 제 1 전극에 이르는 개구부를 갖는, 상기 제 2 층간 절연막;

상기 개구부에 있는 제 2 전극으로서, 상기 제 2 전극은 상기 제 1 전극에 전기적으로 접속되는, 상기 제 2 전극;

상기 제 2 전극 위의 고착층으로서, 상기 고착층은 상기 제 2 층간 절연막 및 상기 제 2 전극과 겹치는, 상기 고착층;

상기 고착층 위의 도전 재료로서, 상기 도전 재료는 상기 고착층에 전기적으로 접속되는, 상기 도전 재료;

상기 도전 재료 위의 제 3 전극으로서, 상기 제 3 전극은 상기 도전 재료에 전기적으로 접속되는, 상기 제 3 전극; 및

상기 제 3 전극 위의 제 2 기판을 포함하고,

상기 고착층은 땜납과 합금을 형성할 수 있는 금속을 포함하는, 반도체 장치.

청구항 3

반도체 장치에 있어서,

제 1 기판 위의 광전 변환층;

상기 제 1 기판 위의 증폭 회로로서, 상기 증폭 회로는 적어도 두개의 박막 트랜지스터들을 포함하고, 상기 광전 변환층의 출력 전류를 증폭하는, 상기 증폭 회로;

상기 광전 변환층 및 상기 증폭 회로 위의 제 1 층간 절연막;

상기 광전 변환층 및 상기 제 1 층간 절연막 위의 제 1 전극으로서, 상기 제 1 전극은 상기 광전 변환층에 전기적으로 접속되는, 상기 제 1 전극;

상기 제 1 층간 절연막 위의 제 2 층간 절연막으로서, 상기 제 2 층간 절연막은 상기 증폭 회로와 겹치며 상기 제 1 전극에 이르는 개구부를 갖는, 상기 제 2 층간 절연막;

상기 개구부에 있는 제 2 전극으로서, 상기 제 2 전극은 상기 제 1 전극에 전기적으로 접속되는, 상기 제 2 전극;

상기 제 2 전극 위의 제 3 전극으로서, 상기 제 3 전극은 상기 제 2 전극 및 상기 제 2 층간 절연막과 겹치고, 상기 제 2 전극에 전기적으로 접속되는, 상기 제 3 전극;

상기 제 3 전극 위의 고착층으로서, 상기 고착층은 상기 제 2 층간 절연막 및 상기 제 3 전극과 겹치고, 상기 제 3 전극에 전기적으로 접속되는, 상기 고착층;

상기 고착층 위의 도전 재료로서, 상기 도전 재료는 상기 고착층에 전기적으로 접속되는, 상기 도전 재료;

상기 도전 재료 위의 제 4 전극으로서, 상기 제 4 전극은 상기 도전 재료에 전기적으로 접속되는, 상기 제 4 전극; 및

상기 제 4 전극 위의 제 2 기판을 포함하고,

상기 고착층은 땀납과 합금을 형성할 수 있는 금속을 포함하는, 반도체 장치.

청구항 4

제 1 항, 제 2 항, 및 제 3 항 중 어느 한 항에 있어서,

상기 고착층은 니켈, 동, 아연, 팔라듐, 은, 주석, 백금, 및 금으로 이루어진 그룹으로부터 선택된 원소를 포함하는, 반도체 장치.

청구항 5

제 1 항, 제 2 항, 및 제 3 항 중 어느 한 항에 있어서,

상기 증폭 회로는 커런트 미러 회로인, 반도체 장치.

청구항 6

제 1 항, 제 2 항, 및 제 3 항 중 어느 한 항에 있어서,

상기 광전 변환층 및 상기 제 1 층간 절연막 사이에 보호막을 더 포함하는, 반도체 장치.

청구항 7

제 1 항, 제 2 항, 및 제 3 항 중 어느 한 항에 있어서,

상기 광전 변환층은 p형 반도체층, i형 반도체층, 및 n형 반도체층을 포함하는, 반도체 장치.

청구항 8

제 1 항, 제 2 항, 및 제 3 항 중 어느 한 항에 있어서,

상기 제 2 전극은 니켈을 포함하는, 반도체 장치.

청구항 9

제 1 항, 제 2 항, 및 제 3 항 중 어느 한 항에 있어서,

상기 고착층은 금층, 니켈층, 및 티타늄층으로 형성된 적층인, 반도체 장치.

청구항 10

제 2 항 또는 제 3 항에 있어서,

상기 도전 재료는 땜납을 포함하는, 반도체 장치.

청구항 11

제 2 항 또는 제 3 항에 있어서,

상기 제 2 기판은 프린트 기판인, 반도체 장치.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체를 사용하여 구성되는 광전 변환 소자, 및 광전 변환 소자를 갖는 반도체 장치에 관한 것이다.

배경기술

[0002] 광전 변환 소자의 1형태로서, 파장 400nm 내지 700nm의 가시광선 영역에 감도를 가지는 것은 광 센서 또는 가시광 센서라고 불리고 있다. 광 센서 또는 가시광 센서는 광신호를 검지하여 정보를 판독하는 용도, 주변 환경의 밝기를 검지하여 전자기기 등의 동작을 제어하는 용도 등이 알려져 있다.

[0003] 예를 들면, 휴대 전화기나 텔레비전 장치에서는 표시화면의 밝기를 그것이 놓여진 주변 환경의 밝기에 따라서 조절하기 위해서 광 센서가 사용되고 있다(특허문헌 1 참조).

[0004] 도 2a는 특허문헌 1에 개시된 광 센서의 구성을 도시한다. 기판(1601)상에 개구부(1605) 및 개구부(1606)가 형성된 투광성 전극(1602)과 광반사성 전극(1604b)의 사이에 두어지도록 광전 변환층(1603)이 형성되어 있다. 광전 변환층(1603)은 pin 접합을 내포하여, 투광성 전극(1602) 및 광반사성 전극(1604b)과 조합하는 것으로 다이오드를 구성하고 있다. 즉, 2단자 소자로서의 형태를 갖고 있고, 한쪽의 외부 접속단자는 광전 변환층(1603)에 형성된 개구부(1607)를 통해서 투광성 전극(1602)과 접속하는 광반사성 전극(1604a)으로 구성되고, 다른쪽의 외부 접속단자는 광반사성 전극(1604b)으로 구성되어 있다. 수광면은 투광성의 기판(1601) 측이 되고, 기판(1601)을 투과한 광이 광전 변환층(1603)에 입사된다.

[0005] 도 2b는 기판(1610) 상에 광반사성 전극(1611), 광전 변환층(1612), 투광성 전극(1613)이 순차 형성된 광 센서를 도시하고 있다. 이 광 센서는 투광성 전극(1613) 측으로부터 광전 변환층(1612)에 광이 입사되는 구성으로 되어 있다. 광반사성 전극(1611) 및 광전 변환층(1612)에는 관통 구멍이 형성되어 거기에 절연층(1614) 및 절연층(1615)이 형성되어 있다. 절연층(1614) 및 절연층(1615)은 광반사성 전극(1611)과 광전 변환층(1612)이 기판(1610)의 단부 가까이에 존재하는 광반사성 전극(1620)과 광전 변환층(1621)으로 단락되는 것을 막고 있다. 투광성 전극(1613)과 투광성 전극(1619)은 광전 변환층(1612) 상에 형성된 절연층(1616)에 의해서 절연 분리되어 있다. 외부 접속단자(1617)는 투광성 전극(1619)과 접하여 형성되고, 광전 변환층(1612) 및 광반사성 전극(1611)과 전기적으로 도통해 있다. 한편, 외부 접속단자(1618)는 투광성 전극(1613)과 접하여 형성되어 있다.

[0006] 도 2c는 도 2a에 도시하는 광 센서를 배선 기판(1800)에 실장하는 형태를 도시하고 있다. 배선 기판(1800)과 광 센서는 외부 접속단자인 광반사성 전극(1604a, 1604b)과, 배선(1850)이 대향하는 형태로, 광 또는 열경화형의 수지(1852)에 의해서 고정되어 있다. 광반사성 전극(1604a, 1604b)과 배선(1850)은 도전성 입자(1851)에 의해 전기적으로 접속되어 있다. 또한, 도 2d는 도 2b에 도시하는 광 센서를 배선 기판(1800)에 실장하는 형태를 도시하고 있다. 배선 기판(1800)과 광 센서는 외부 접속단자(1617, 1618)와, 배선(1850)이 대향하는 형태로, 크림땀납이나 은 페이스트 등의 도전성 재료(1853)에 의해 접착되어 있다.

[0007] [특허문헌 1] 일본 공개특허공보 2002-62856호

발명의 내용

해결 하고자하는 과제

[0008] 도 2c에 도시하는 광 센서의 실장형태에서는 광반사성 전극(1604a, 1604b)이 형성된 면에서만 배선 기판(1800)

과 접착되어 있다. 또, 도 2d에 도시하는 광 센서의 실장형태에서는 외부 접속단자(1617, 1618)와 배선 기판(1800)이 도전성 재료(1853)로만 접착되는 구조으로 되어 있다.

[0009] 광 센서의 외부단자와 도전성 재료의 상성(相性)이 나쁘면, 고착 강도가 작아 박리되어 벼릴 우려가 있다.

[0010] 그래서 본 발명은 광 센서와 같은 광전 변환 소자를 배선 기판 등에 실장할 때에, 그 고착 강도를 향상시켜, 접촉 불량이나 박리 등의 문제를 해결하는 것을 목적으로 한다.

과제 해결수단

[0011] 본 발명에서는 광전 변환층이 형성된 소자 기판을 배선 기판에 땜납 등의 도전 재료로 접착할 때에, 소자 기판의 최상층에, 도전 재료와 합금을 형성하는 재료를 포함하는 층을 형성한다. 이것에 의해 소자 기판과 배선 기판의 고착 강도를 증대시켜, 소자 기판과 배선 기판 박리를 억제하는 것이 가능해진다.

[0012] 본 발명은 이하의 반도체 장치에 관한 것이다.

[0013] 즉, 본 발명은 제 1 기판상에 광전 변환층과, 상기 광전 변환층의 출력 전류를 증폭하는 적어도 2개의 박막 트랜지스터로 이루어지는 증폭 회로와, 상기 광전 변환층 및 상기 증폭 회로에 전기적으로 접속되고, 고전위전원을 주는 제 1 전극 및 저전위전원을 주는 제 2 전극과, 상기 제 1 기판의 최상층에, 도전 재료와 합금을 형성하는 고착층을 갖고, 제 2 기판상에 제 3 전극과 제 4 전극과, 상기 제 1 전극과 상기 제 3 전극, 및, 상기 제 2 전극과 상기 제 4 전극을 고착하는 상기 도전 재료를 갖는 것을 특징으로 하는 반도체 장치에 관한 것이다.

[0014] 본 발명에 있어서, 상기 고착층은 니켈(Ni), 동(Cu), 아연(Zn), 팔라듐(pd), 은(Ag), 주석(Sn), 백금(Pt), 금(Au) 중의 1개를 포함하고 있고, 상기 도전 재료는 땜납이다.

[0015] 본 발명에 있어서, 상기 제 1 전극 및 제 2 전극은 니켈 페이스트를 사용하여 형성된다.

[0016] 본 발명에 있어서, 상기 제 1 전극 및 제 2 전극 상에 각각 제 5 전극 및 제 6 전극이 형성되어 있고, 상기 제 5 전극 및 제 6 전극은 동 페이스트를 사용하여 형성되어 있다.

[0017] 본 발명에 있어서, 상기 증폭 회로는 커런트 미러 회로이다.

[0018] 또 본 명세서에 있어서, 반도체 장치는 반도체를 이용하는 것으로 기능하는 소자 및 장치 전반을 가리켜, 반도체를 이용하는 광전 변환 소자, 광전 변환 소자를 갖는 광전 변환 장치, 반도체를 이용하는 것으로 기능하는 소자를 탑재한 전자기기도 그 범주로 한다.

효과

[0019] 본 발명에 의하면, 기판과 광전 변환 소자의 고착 강도가 높고, 기판과 광전 변환 소자의 박리를 막을 수 있다. 이것에 의해 광전 변환 소자의 신뢰성이 향상된다.

발명의 실시를 위한 구체적인 내용

[0020] 본 발명의 실시형태를 도면을 사용하여 이하에 설명한다. 단 본 발명은 많은 다른 형태로 실시하는 것이 가능하고, 본 발명의 취지 및 그 범위로부터 일탈하지 않고 그 형태 및 상세를 여러가지로 변경할 수 있는 것은 당업자이면 용이하게 이해할 수 있다. 따라서, 본 발명의 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또, 본 발명의 실시형태를 설명하기 위한 전체 도면에서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 붙이고, 그 반복되는 설명은 생략한다.

[0021] [실시형태 1]

[0022] 본 실시형태를, 도 1, 도 3a 내지 도 3d, 도 4a 내지 도 4c, 도 5a 내지 도 5c, 도 6a 및 도 6b, 도 7a 및 도 7b, 도 8, 도 9a 및 도 9b, 도 10, 도 11, 도 12, 도 13, 도 14, 도 21, 도 22a 및 도 22b, 도 23을 사용하여 이하에 설명한다.

[0023] 이하에 본 실시형태의 광전 변환 소자의 제작 방법에 관해서 설명한다.

[0024] 우선, 기판(201)상에, 절연막(202)을 형성한다(도 3a 참조). 기판(201)으로서는 투광성을 갖는 기판, 예를 들면, 유리 기판, 석영기판, 세라믹기판 등 중의 어느 하나를 사용하는 것이 가능하다. 본 실시형태에서는 기판

(201)으로서 유리 기판을 사용한다.

[0025] 절연막(202)으로서는 스퍼터링법 또는 플라즈마 CVD법에 의해, 산화규소, 질소를 포함하는 산화규소, 질화규소, 산소를 포함하는 질화규소, 금속 산화재료로 이루어지는 막을 형성하면 좋다.

[0026] 또는 절연막(202)을 하층 절연막과 상층 절연막과 2층으로 형성하여도 좋다. 하층 절연막으로서, 예를 들면 산소를 포함하는 질화규소막($SiO_xNy:y>x$)을 사용하고, 상층 절연막으로서, 예를 들면 질소를 포함하는 산화규소막($SiO_xNy:x>y$)을 사용하면 좋다. 절연막(202)을 2층으로 함으로써, 기판(201) 측으로부터의 수분 등의 흔입물을 막은 것이 가능해진다.

[0027] 다음에, 절연막(202) 상에 결정성 반도체막을 형성하고, 결정성 반도체막을 섬 형상으로 에칭하여, 활성층이 되는 섬 형상 반도체막(212)을 형성한다.

[0028] 또한 섬 형상 반도체막(212)을 덮는 게이트 절연막(205)을 형성한다(도 3b 참조). 이어서, 게이트 절연막(205) 상에 하층 게이트 전극(213a) 및 상층 게이트 전극(213b)을 형성한다(도 3c 참조). 도 3c에서는 게이트 전극(213)은 하층 게이트 전극(213a) 및 상층 게이트 전극(213b)의 2층 구조로 하였지만, 단층 구조로 하여도 좋다. 또한, 섬 형상 반도체막(212) 중에는 소스 영역, 드레인 영역, 및 채널 형성 영역이 형성된다.

[0029] 하층 게이트 전극(213a) 및 상층 게이트 전극(213b)을 갖는 게이트 전극(213), 게이트 절연막(205)을 덮어 층간 절연막(206)을 형성한다.

[0030] 또, 층간 절연막(206)은 단층의 절연막으로 형성되어 있어도 좋고, 다른 재료의 절연층의 적층막이어도 좋다.

[0031] 층간 절연막(206) 상에는 섬 형상 반도체막(212) 중의 소스 영역 및 드레인 영역에 전기적으로 접속된 소스 전극(215) 및 드레인 전극(216)이 형성되어 있다. 또 게이트 전극(213)에 전기적으로 접속된 게이트 배선(214)이 형성되어 있다.

[0032] 또 층간 절연막(206)상에는 게이트 배선(214), 소스 전극(215), 드레인 전극(216)과 같은 재료 및 같은 공정에서 형성된 전극(221), 전극(222), 전극(223)이 형성되어 있다(도 3d 참조). 이들 전극(221) 내지 전극(223)은 게이트 배선(214), 소스 전극(215), 드레인 전극(216)은 다른 재료 및 다른 공정에서 형성하여도 좋다.

[0033] 게이트 배선(214), 소스 전극(215), 드레인 전극(216), 전극(221) 내지 전극(223)은 금속막, 예를 들면 저저항 금속막을 사용하여 형성된다. 이러한 저저항금속막으로서, 알루미늄합금 또는 순알루미늄 등을 들 수 있다. 또한 본 실시형태에서는 고용점 금속막과 저저항금속막의 적층 구조로서, 티타늄막(Ti막)과 알루미늄막(A1막)과 Ti막을 차례로 겹쳐 쌓은 3층 구조로 한다.

[0034] 또한, 고용점 금속막과 저저항금속막의 적층 구조 대신에, 단층의 도전막으로 형성할 수도 있다. 이러한 단층의 도전막으로서, 티타늄(Ti), 텉스텐(W), 탄탈륨(Ta), 몰리브덴(Mo), 네오듐(Nd), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테늄(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir), 백금(Pt)으로부터 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금 또는 화합물로 이루어지는 단층막, 또는 이들의 질화물, 예를 들면, 질화티타늄, 질화텅스텐, 질화탄탈륨, 질화몰리브덴으로 이루어지는 단층막을 사용할 수 있다.

[0035] 또 본 실시형태에서는 게이트 배선(214), 소스 전극(215), 드레인 전극(216), 및, 전극(221) 내지 전극(223)은 티타늄(Ti)을 400nm의 두께로 성막한 티타늄막을 사용하여 형성한다.

[0036] 또한, 본 실시형태에서는 TFT(211)는 톱게이트형 TFT를 형성하지만, 보톰게이트형 TFT이어도 좋다. 또한 채널 형성 영역이 1개인 싱글 게이트형 TFT이어도 좋고, 채널 형성 영역이 복수 존재하는 멀티게이트형 TFT이어도 좋다.

[0037] 또, 도 3d에서는 TFT은 1개밖에 도시되어 있지 않다. 그러나 실제는 TFT(211)는 후술하는 포토다이오드(101)로 얹어지는 광전류를 증폭하는 증폭 회로, 예를 들면 커런트 미러 회로를 구성하는 TFT이고, 적어도 2개는 형성된다.

[0038] 이어서 층간 절연막(206), 게이트 절연막(205), 및, 절연막(202)의 단부가 테이퍼형이 되도록 에칭을 한다(도 4a 참조).

[0039] 층간 절연막(206), 게이트 절연막(205), 및 절연막(202)의 단부를 테이퍼형으로 함으로써, 이들의 막의 위에 형성되는 보호막(227)의 피복성이 좋아지고, 수분이나 불순물 등이 들어가기 어려워진다는 효과를 갖는다.

- [0040] 이어서 충간 절연막(206) 및 전극(222) 상에 p형 반도체막, i형 반도체막, n형 반도체막을 성막하여 에칭하고, p형 반도체층(225p), i형 반도체층(225i) 및 n형 반도체층(225n)을 포함하는 광전 변환층(225)을 형성한다(도 4b 참조).
- [0041] p형 반도체층(225p)은 13속의 불순물 원소, 예를 들면 봉소(B)를 포함한 비정질 반도체막을 플라즈마 CVD법으로 성막하여 형성하면 좋다.
- [0042] 도 4b에서는 전극(222)에 광전 변환층(225)의 최하층, 본 실시형태에서는 p형 반도체층(225p)이 접하고 있다.
- [0043] i형 반도체층(225i)으로서는 예를 들면 플라즈마 CVD법으로 비정질 반도체막을 형성하면 좋다. 또한 n형 반도체층(225n)으로서는 15속의 불순물 원소, 예를 들면 인(P)을 포함하는 비정질 반도체막을 형성하여도 좋고, 비정질 반도체막을 형성 후, 15속의 불순물 원소를 도입하여도 좋다.
- [0044] 또 비정질 반도체막으로서, 비정질규소막, 비정질게르마늄막 등을 사용하여도 좋다.
- [0045] 또 본 명세서에 있어서는 i형 반도체막은 반도체막에 포함되는 p형 또는 n형을 부여하는 불순물이 $1 \times 10^{20} \text{ cm}^{-3}$ 이하의 농도이고, 산소 및 질소가 $5 \times 10^{19} \text{ cm}^{-3}$ 이하의 농도이고, 암전도도에 대하여 광전도도가 100배 이상인 반도체막을 가리킨다. 또한 i형 반도체막에는 봉소(B)가 10 내지 1000ppm 첨가되어 있어도 좋다.
- [0046] 또한 p형 반도체층(225p), i형 반도체층(225i), n형 반도체층(225n)으로서, 비정질 반도체막뿐만 아니라, 미결정 반도체막(세미어몰퍼스 반도체막이라고도 함)을 사용하여도 좋다.
- [0047] 또는 p형 반도체층(225p) 및 n형 반도체층(225n)을 미결정 반도체막을 사용하여 형성하고, i형 반도체층(225i)으로서 비정질 반도체막을 사용하여도 좋다.
- [0048] 또 세미어몰퍼스 반도체(본 명세서에서는 「Semi-amorphous Semiconductor(SAS)」라고도 함)막은 비정질 반도체와 결정 구조를 갖는 반도체(단결정, 다결정을 포함함)막의 중간적인 구조의 반도체를 포함하는 막이다. 이 세미어몰퍼스 반도체막은 자유 에너지적으로 안정된 제 3 상태를 갖는 반도체막이고, 단거리질서를 갖고 격자 왜곡을 갖는 결정질의 것이고, 그 입경을 0.5 내지 20nm로 하여 비단결정 반도체막 중에 분산시켜 존재시키는 것이 가능하다. 또 미결정 반도체막(마이크로크리스탈 반도체막)도 세미어몰퍼스 반도체막에 포함된다.
- [0049] 세미어몰퍼스 반도체막의 1개의 예로서, 세미어몰퍼스 규소막을 들 수 있다. 세미어몰퍼스 규소막은 그 라만 스펙트럼이 520 cm^{-1} 보다도 저파수측으로 시프트하고 있고, 또한 X선 회절에서는 Si 결정 격자에 유래한다고 하는 (111), (220)의 회절 피크가 관측된다. 또, 미결합수(댕글링 본드)를 종단화시키기 위해서 수소 또는 할로겐을 적어도 1원자% 또는 그 이상 포함시키고 있다. 본 명세서에서는 편의상, 이러한 규소막을 세미어몰퍼스 규소막이라고 부른다. 또, 헬륨, 아르곤, 크립톤, 네온 등의 희가스 원소를 포함하여 격자 왜곡을 더욱 조장시키는 것으로 안정성이 증가하여 양호한 특성을 갖는 세미어몰퍼스 반도체막을 얻을 수 있다.
- [0050] 또한 세미어몰퍼스 규소막은 규소(실리콘)를 포함하는 기체를 글로 방전분해함으로써 얻을 수 있다. 대표적인 규소(실리콘)를 포함하는 기체로서는 SiH_4 이고, 그 외에도 Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 사용할 수 있다. 또 수소나, 수소에 헬륨, 아르곤, 크립톤, 네온으로부터 선택된 일종 또는 복수종의 희가스 원소를 첨가한 가스이며, 이 규소(실리콘)를 포함하는 기체를 희석하여 사용하는 것으로, 세미어몰퍼스 규소막의 형성을 용이한 것으로 할 수 있다. 희석율은 2배 내지 1000배의 범위로 규소(실리콘)를 포함하는 기체를 희석하는 것이 바람직하다. 또한, 규소(실리콘)를 포함하는 기체 중에, CH_4 , C_2H_6 등의 탄소화합물 기체, GeH_4 , GeF_4 등의 게르마늄을 포함하는 기체, F_2 등을 혼입시켜, 에너지 밴드폭을 1.5 내지 2.4eV, 또는 0.9 내지 1.1eV로 조절하여도 좋다.
- [0051] 또, 본 명세서에서는 광전 변환층(225), 광전 변환층(225)을 포함하는 포토다이오드, 또 포토다이오드를 포함하는 소자를 광전 변환 소자라고 부른다.
- [0052] 이어서 노출되어 있는 면을 덮어, 보호막(227)을 형성한다(도 4c 참조). 보호막(227)으로서, 본 실시형태에서는 질화규소막을 사용한다. 보호막(227)에 의해, TFT(211)나 광전 변환층(225)에 수분이나 유기물 등의 불순물이 혼입되는 것을 막을 수 있다.
- [0053] 이어서 보호막(227) 상에 충간 절연막(228)을 형성한다(도 5a 참조). 충간 절연막(228)은 평탄화막으로서도 기

능한다. 본 실시형태에서는 충간 절연막(228)으로서, 폴리이미드를 $2\mu\text{m}$ 의 두께로 성막한다.

[0054] 다음에 충간 절연막(228)을 에칭하여 콘택트 홀을 형성한다. 이 때에 보호막(227)이 있기 때문에, TFT(211)의 게이트 배선(214), 소스 전극(215), 드레인 전극(216)은 에칭되지 않는다. 이어서 전극(231) 및 전극(232)이 형성되는 영역의 보호막(227)을 에칭하여 콘택트 홀을 형성한다. 또 충간 절연막(228) 상에, 충간 절연막(228) 및 보호막(227) 중에 형성된 콘택트 홀을 통해서 전극(221)에 전기적으로 접속되는 전극(231), 및, 충간 절연막(228) 및 보호막(227) 중에 형성된 콘택트 홀을 통해서 광전 변환층(225)의 상층(본 실시형태에서는 n형 반도체 층(225n)) 및 전극(223)과 전기적으로 접속되는 전극(232)을 형성한다(도 5b 참조). 전극(231) 및 전극(232)으로서는 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta), 은(Ag) 등을 사용하는 것이 가능하다.

[0055] 본 실시형태에서는 전극(231) 및 전극(232)으로서, 티타늄(Ti)을 30 내지 50nm로 성막한 도전막을 사용한다.

[0056] 이어서, 충간 절연막(228) 상에, 스크린 인쇄법 또는 잉크젯법으로 충간 절연막(235)을 형성한다(도 5c 참조). 그때는 전극(231) 및 전극(232) 상에는 충간 절연막(235)은 형성하지 않는다. 본 실시형태에서는 충간 절연막(235)으로서, 에폭시 수지를 사용한다.

[0057] 이어서, 충간 절연막(235) 상에, 예를 들면 니켈(Ni) 페이스트를 사용하여 인쇄법에 의해, 전극(231)에 전기적으로 접속되는 전극(241), 및 전극(232)에 전기적으로 접속되는 전극(242)을 제작한다(도 6a 참조).

[0058] 이어서, 인접하는 소자를 전기적으로 분리하기 위해서, 기판(201), 보호막(227), 충간 절연막(228), 및 충간 절연막(235)의 일부를 다이싱 공정에 의해 제거하여 공극(261)을 형성한다(도 6b 참조).

[0059] 또한 충간 절연막(228, 235) 및 기판(201)은 다이싱이 아니라 레이저 조사에 의해서 제거하여도 좋다.

[0060] 레이저는 레이저 매질, 여기원, 공진기에 의해 구성된다. 레이저를 매질에 의해 분류하면, 기체 레이저, 액체 레이저, 고체 레이저가 있고, 발진의 특징에 의해 분류하면, 자유 전자 레이저, 반도체 레이저, X선 레이저가 있지만, 소자의 분단에는 어느 쪽의 레이저를 사용하여도 좋다. 또, 바람직하게는 기체 레이저 또는 고체 레이저를 사용하면 좋고, 더욱 바람직하게는 고체 레이저를 사용하면 좋다.

[0061] 기체 레이저에는 헬륨 네온 레이저, 탄산가스 레이저, 액시머 레이저, 아르곤이온 레이저 등이 있다. 액시머 레이저에는 희가스 액시머 레이저, 희가스 할라이드 액시머 레이저가 있다. 희가스 액시머 레이저의 매질로서는 아르곤, 크립톤, 크세논 등을 들 수 있다. 또 기체 레이저에는 금속 증기 이온 레이저가 있다.

[0062] 액체 레이저에는 무기 액체 레이저, 유기킬레이트 레이저, 색소 레이저가 있다. 무기 액체 레이저 및 유기킬레이트 레이저는 고체 레이저에 이용되어 있는 네오듐 등의 희토류 이온을 레이저 매질로서 이용한다.

[0063] 고체 레이저가 사용하는 레이저 매질은 고체의 모체에 레이저 발진을 하는 활성종이 도프된 것이다. 고체의 모체는 결정 또는 유리이다. 결정은, YAG(이트륨 알루미늄 가네트 결정), YLF, YVO₄, YAlO₃, 사파이어, 루비, 알렉산드라이드이다. 또한, 레이저 발진을 하는 활성종은, 예를 들면, 3가의 이온(Cr³⁺, Nd³⁺, Yb³⁺, Tm³⁺, Ho³⁺, Er³⁺, Ti³⁺)이다.

[0064] 또, 인접 소자의 분리에 사용하는 레이저에는 연속 발진형의 레이저나 펄스 발진형의 레이저를 사용할 수 있다. 레이저 빔의 조사 조건(예를 들면, 주파수, 파워 밀도, 에너지 밀도, 빔 프로파일 등)은 기판(201), 보호막(227), 충간 절연막(228) 및 충간 절연막(235)의 두께나 그 재료 등을 고려하여 적절하게 제어한다.

[0065] 기판(201)이 유리 기판의 경우에는 레이저로서, 바람직하게는 자외광 영역인 1nm 이상 380nm 이하의 파장을 갖는 고체 레이저를 사용하면 좋다. 이것은 자외광 영역의 파장의 레이저에서는 다른 장 파장측의 레이저와 비교하여, 기판(특히 유리 기판)에 광이 흡수되기 쉽고, 어블레이션 가공이 용이하기 때문이다. 더욱 바람직하게는 자외광 영역인 1nm 이상 380nm 이하인 파장을 갖는 Nd:YVO₄ 레이저를 사용하면 좋다. 이것은 Nd:YVO₄ 레이저를 사용하면, 특히, 어블레이션 가공이 용이해지기 때문이다.

[0066] 또, 유리 기판에 레이저 빔을 조사하여, 유리 기판에 홈을 형성하면, 그 홈의 절단면이 등그스름하다. 절단면에 각이 있는 경우와 비교하면, 절단면이 등그스름하면, 절단면의 코너부의 깨짐이나, 균열의 발생을 방지할 수 있다. 이러한 이점에 의해, 주로 로봇 등을 사용한 유리 기판의 반송시에, 그 취급을 용이하게 할 수 있다. 또한, 유리 기판상에 형성된 광전 변환 소자를 제품에 실장할 때도, 깨짐이나 균열의 발생을 억제하여 기판의 손상이나 파괴를 억제할 수 있다.

[0067] 또, 어블레이션 가공은, 레이저 빔을 흡수한 문자의 결합이 절단되어 문자가 광분해하여, 분해 생성물이 기화하

여 증발하는 현상을 사용한 가공이다. 요컨대, 본 실시형태의 흄의 제작 방법에서는 기판에 레이저 빔을 조사하고, 레이저 빔이 조사된 부분의 분자 결합을 절단하고, 광분해하고, 기화하여 증발시킴으로써, 기판에 흄을 형성한다.

[0068] 또, 상기한 레이저 빔을 조사하기 위한 레이저 조사장치는 이동 테이블, 기판, 헤드부 및 제어부를 갖는다. 이동 테이블에는 흄착 구멍이 형성되어 있다. 기판은 이동 테이블상의 흄착 구멍에 유지되어 있다. 헤드부는 레이저 발진장치로부터 사출한 레이저 빔을, 레이저 헤드를 통해서 조사한다. 제어부는 이동 테이블과 헤드부의 한쪽 또는 양쪽을 이동시킴으로써, 기판 표면의 임의의 장소에 레이저 헤드를 위치시켜, 레이저 빔을 조사한다. 또, 제어부는 CCD 카메라가 활성화한 기판상의 위치 결정 마크를 기준으로 상대적인 위치로부터 가공 개소를 인식 및 결정한다.

[0069] 이어서, 충간 절연막(235), 전극(241), 전극(242), 공극(261)을 덮어, 고착층(271)을 형성한다(도 1 참조).

[0070] 고착층(271)은 맴납과 합금을 형성하는 금속, 예를 들면, 니켈(Ni), 동(Cu), 아연(Zn), 팔라듐(Pd), 은(Ag), 주석(Sn), 백금(Pt), 금(Au) 중 적어도 1개를 포함하고 있다. 특히, 니켈(Ni), 동(Cu), 은(Ag), 백금(Pt), 금(Au)이 바람직하다.

[0071] 본 실시형태에서는 스퍼터법에 의해, 제 1 층(271a)으로서 금(Au)층, 제 2 층(271b)으로서 니켈(Ni)층, 제 3 층(271c)으로서 티타늄(Ti)층을, 각각 50nm, 300 내지 500nm, 100nm의 막 두께로 적층한 적층막을 고착층(271)으로 한다(도 9a 참조).

[0072] 티타늄(Ti)층은 전극(241 및 242)의 재료인 니켈 페이스트와의 접촉성이 좋고, 니켈(Ni)층은 전극(241 및 242)의 재료인 니켈이고, 또한 맴납과 합금을 형성하기 쉬운 재료이다. 또한, 금(Au)은 맴납과 합금을 만들기 쉽고, 또한 니켈층의 표면을 보호하는 기능을 갖는다. 또 필요하지 않으면 제 3 층(271c)을 형성하지 않아도 좋다(도 9b 참조).

[0073] 고착층(271)인 적층막 중, 제 2 층(271b)인 니켈층이 주로 맴납과 합금을 형성하여, 전극(241 및 242)과, 후에 형성되는 전극(282 및 283)을 고착시킨다.

[0074] 본 실시형태에서는 제 2 층(271b)으로서 니켈층을 사용하였지만, 니켈층 대신에, 상술한 동(Cu)층, 아연(Zn)층, 팔라듐(Pd)층, 은(Ag)층, 주석(Sn)층, 백금(Pt)층, 금(Au)층을 스퍼터로 성막하여도 좋다.

[0075] 또한 제 1 층(271a)으로서, 금층 대신에, 주석(Sn) 또는 맴납을 타깃으로 하여 스퍼터에 의해 성막한 층을 사용하여도 좋다.

[0076] 또, 전극(241) 및 전극(242)상에, 예를 들면 동(Cu) 페이스트에 의해 각각 전극(243) 및 전극(244)을 형성하여도 좋다(도 20 참조). 이 경우, 고착층(271)은 전극(243) 및 전극(244) 상에 형성된다. 이 경우의 고착층(271)은 니켈(Ni), 동(Cu), 아연(Zn), 팔라듐(Pd), 은(Ag), 주석(Sn), 백금(Pt), 금(Au) 중 적어도 1개를 포함하고 있으며 바람직하다. 이것은 동(Cu)은 맴납과 합금을 형성하기 쉽고, 또한 동 페이스트와 더욱 접착하기 때문이다(도 20 참조).

[0077] 이어서 충간 절연막(235)에, 다이싱에 의해, 또는 레이저 빔을 조사함으로써, 전극(241)과 전극(242)을 절연 분리하기 위한 개구부(265)를 형성한다(도 7a 참조). 개구부(265)를 형성하지 않으면, 고착층(271)에 의해 전극(241 및 242) 간이 쇼트하여 버릴 우려가 있다. 레이저 빔은 상술한 레이저를 사용하면 좋다.

[0078] 이어서 공극(261)을 더욱 다이싱하여, 개개의 소자를 분단하여, 1개의 광전 변환 소자를 형성한다(도 7b 참조).

[0079] 이 분단 공정도 다이싱이 아니라, 레이저 조사에 의해서 행하여도 좋다.

[0080] 또 전극(282) 및 전극(283)이 형성된 프린트 기판(281)에 고착시킨다(도 8 참조). 전극(241) 및 전극(283), 및 전극(242) 및 전극(282)을 마주 보게 하여, 도전성 재료(285 및 286)로서 맴납을 사용하여 접착시킨다. 고착층(271)이 형성되어 있기 때문에, 전극(241) 및 전극(242), 및 맴납을 사용한 도전성 재료(285) 및 도전성 재료(286)의 고착 강도가 증대한다. 따라서, 프린트 기판(281)과 광전 변환 소자의 박리를 억제할 수 있다.

[0081] 도전성 재료(285) 및 도전성 재료(286)로서 맴납을 사용하는 경우, 리플로법, 즉, 프린트 기판상에 페이스트형의 맴납을 인쇄하고, 그 위에 부품을 싣고 나서 열을 가하여 맴납을 녹이는 방법을 사용한다. 가열 방법으로는 적외선식이나 열풍식 등이 있다.

- [0082] 또는 도 6a의 구조를 제작 후, 공극(261)을 형성하지 않고, 전극(241), 전극(242), 및 충간 절연막(235) 상에 고착층(271)을 형성하여도 좋다(도 21 참조). 그 후, 충간 절연막(235)에, 다이싱에 의해, 또는 레이저 범을 조사함으로써, 절연 분리를 위한 개구부(265)를 형성한다(도 22a 참조). 또 다이싱 또는 레이저 조사에 의해, 개개의 소자를 분단하여, 1개의 광전 변환 소자를 형성한다(도 22b 참조).
- [0083] 또 전극(282) 및 전극(283)이 형성된 프린트 기판(281)에 고착시킨다(도 23 참조). 전극(241) 및 전극(283), 및 전극(242) 및 전극(282)을 마주 보게 하여, 도전성 재료(285 및 286)로서 땜납을 사용하여 접착시킨다.
- [0084] 또 공극(261)을 형성하지 않는 경우에도, 도 20과 같이, 전극(241) 및 전극(242) 상에, 예를 들면 동(Cu) 페이스트에 의해 각각 전극을 형성하고 나서 고착층(271)을 형성하여도 좋다.
- [0085] 본 실시형태에 의해 제작한 광전 변환 소자를 포함하는 반도체 장치는 안에 포함되는 광전 변환 소자와 프린트 기판이 더욱 강고하게 접착되어 있기 때문에, 종래의 반도체 장치와 비교하여 더욱 박리하기 어렵고, 신뢰성이 높은 반도체 장치가 된다.
- [0086] 이하에 본 실시형태의 광전 변환 소자의 회로 구성을 도 10, 도 11, 도 12를 사용하여 설명한다.
- [0087] 도 10에, 광전 변환층(225)을 포함하는 포토다이오드(101), 포토다이오드(101)의 출력을 증폭하는 증폭 회로로서, 예를 들면 커런트 미러 회로(111)를 사용한 경우의 광전 변환 소자의 회로 구성을 도시한다. 커런트 미러 회로(111)는 참조측의 TFT(104) 및 출력측의 TFT(105)를 갖고 있다. 또 상술한 TFT(211)는 TFT(104) 또는 TFT(105)의 한쪽이다.
- [0088] 도 10에서는 커런트 미러 회로(111)를 구성하는 TFT(104)의 게이트 전극은 커런트 미러 회로(111)를 구성하는 또 1개의 TFT(105)의 게이트 전극에 전기적으로 접속되고, 더욱 TFT(104)의 소스 전극 또는 드레인 전극의 한쪽인 드레인 전극(「드레인 단자」라고도 함)에 전기적으로 접속되어 있다.
- [0089] TFT(104)의 드레인 단자는 포토다이오드(101), TFT(105)의 드레인 단자, 및 고전위전원 VDD에 전기적으로 접속되어 있다.
- [0090] TFT(104)의 소스 전극 또는 드레인 전극의 다른쪽인 소스 전극(「소스 단자」라고도 함)은 저전위전원 Vss 및 TFT(105)의 소스 단자에 전기적으로 접속되어 있다.
- [0091] 또 커런트 미러 회로(111)를 구성하는 TFT(105)의 게이트 전극은 TFT(104)의 게이트 전극 및 드레인 단자에 전기적으로 접속되어 있다.
- [0092] 또한, TFT(104) 및 TFT(105)의 게이트 전극은 서로 접속되어 있기 때문에 공통의 전위가 인가된다.
- [0093] 도 10에서는 2개의 TFT에 의한, 커런트 미러 회로의 예를 도시하고 있다. 이 때, 참조측의 TFT(104)와 출력측의 TFT(105)가 동일한 특성을 갖는 경우, 참조 전류와 출력 전류의 비는 1:1의 관계가 된다.
- [0094] 출력치를 n배로 하기 위한 회로 구성을 도 11에 도시한다. 도 11의 회로 구성을 도 10의 TFT(105)를 n개로 한 것에 상당한다. 도 11에 도시하는 바와 같이 TFT(104)와 TFT(105)의 비를 1:n으로 하는 것으로, 출력치를 n배로 하는 것이 가능해진다. 이것은 TFT의 채널폭 W를 증가시켜, TFT에 흘릴 수 있는 전류의 허용량을 n배로 하는 것과 같은 원리이다.
- [0095] 예를 들면, 출력치를 100배로 설계하는 경우, n채널 TFT(104)를 1개, n채널형 TFT(105)를 100개 병렬 접속하는 것으로, 목표로 하는 전류를 얻는 것이 가능해진다.
- [0096] 도 11에서, 커런트 미러 회로(111)는 TFT(104), 회로(118i)(n개 형성되어 있는 회로(118a), 회로(118b) 등의 임의의 1개), 단자(119i)(n개 형성되어 있는 단자(119a), 단자(119b) 등의 임의의 1개), 단자(120i)(n개 형성되어 있는 단자(120a), 단자(120b) 등의 임의의 1개), 단자(121i)(n개 형성되어 있는 단자(121a), 단자(121b) 등의 임의의 1개)를 갖고 있다.
- [0097] 또, 도 11의 부호에서 「i」가 붙어 있는 부호는 도 10의 「i」가 붙지 않은 부호와 같은 것이다. 즉, 예를 들면 도 10의 TFT(105)와 도 11의 TFT(105i)는 같은 것이다.
- [0098] 도 11의 회로 구성을 도 10의 회로 구성을 기초로 하고 있고, 같은 소자는 같은 부호로 나타내져 있다. 즉, TFT(105i)의 게이트 전극은 단자(119i)에 전기적으로 접속되어 있고, 또한 단자(120i)에 전기적으로 접속되어 있다. 또한 TFT(105i)의 소스 단자는 단자인 전극(121i)에 전기적으로 접속되어 있다.

- [0099] 따라서, 도 11에서는 TFT(105)는 n개의 TFT(105i)로 구성되어 있게 된다. 이것에 의해 TFT(104)에 흐르는 전류가 n배로 증폭되어 출력된다.
- [0100] 즉, 상술과 같이, 참조 전류와 출력 전류의 비를 1:1로 하고자 하는 경우는 참조측의 TFT 및 출력측의 TFT를 1개씩 형성하면 좋고, 그 회로도는 도 10이 된다. 또한 참조 전류와 출력 전류의 비를 1:n으로 하고자 하는 경우는 참조측의 TFT를 1개 및 출력측의 TFT를 n개 형성하면 좋다. 그 경우의 회로도는 도 11이 된다.
- [0101] 또한, 도 10은 커런트 미러 회로(111)를 n채널형 TFT를 사용한 등가 회로로서 도시한 것이지만, 이 n채널형 TFT 대신에 p채널형 TFT를 사용하여도 좋다.
- [0102] 커런트 미러 회로(131)를 p채널형 TFT로 형성하는 경우는 도 12에 도시하는 등가 회로가 된다. 도 12에 도시하는 바와 같이, 커런트 미러 회로(131)는 p채널형 TFT(134 및 135)를 갖고 있다. 또 도 10 내지 도 11과 도 12로 같은 것은 같은 부호로 도시하고 있다.
- [0103] 또 커런트 미러 회로(131)의 참조 전류와 출력 전류의 비를 1:n으로 하고자 하는 경우는 도 11과 같이, 출력측의 TFT(135)를 n개 형성하면 좋다.
- [0104] 도 13 및 도 14에, 도 10 및 도 7b에 도시하는 광전 변환 소자의 상면도를 도시한다.
- [0105] 커런트 미러 회로(111)는 고전위전원 V_{DD} 에 전기적으로 접속하는 전극(223)과 배선(144)을 통해서 전기적으로 접속되어 있고, 또 저전위전원 V_{SS} 에 전기적으로 접속하는 전극(221)과 배선(145)을 통해서 전기적으로 접속되어 있다.
- [0106] 전극(232)은 광전 변환층(225) 전체를 덮고 있고, 이것에 의해 정전 파괴를 막을 수 있다. 단 필요에 따라서 전극(232)을 광전 변환층(225)의 일부와 겹치도록 형성하여도 좋다.
- [0107] 또, 도 13으로서는 전극(222)의 첨단을 반원상에 형성하고 있지만, 도 14에 도시하는 바와 같이 전극(222)의 광전 변환층(225)과 겹치는 영역을 직사각형으로 하여도 좋다. 이것에 의해 전계 집중을 억제할 수 있기 때문에, 정전 파괴를 막을 수 있다.
- [0108] 이상으로부터, 본 발명에 의해 신뢰성이 높은 광전 변환 소자를 갖는 반도체 장치를 얻는 것이 가능해진다.
- [0109] [실시형태 2]
- [0110] 본 실시형태에서는 실시형태 1에 의해 얻어진 광전 변환 소자를 여러 가지의 전자기기에 내장한 예에 관해서 설명한다. 본 형태에서 개시하는 전자기기의 일례로서, 컴퓨터, 디스플레이, 휴대 전화, 텔레비전 등을 들 수 있다. 이들의 전자기기의 구체적인 예를, 도 15, 도 16a 내지 도 16b, 도 17a 내지 도 17b, 도 18, 도 19에 도시한다.
- [0111] 도 15는 휴대 전화로, 본체(A)(701), 본체(B)(702), 케이스(703), 조작키(704), 음성 입력부(705), 음성 출력부(706), 회로 기판(707), 표시 패널(B)(709), 경첩(710), 투광성 재료부(711), 실시형태 1에 의해 얻어지는 광전 변환 소자(712)를 갖고 있다.
- [0112] 광전 변환 소자(712)는 투광성 재료부(711)를 투과한 광을 검지하고, 검지한 외부광의 조도에 맞추어 표시 패널(A)(708) 및 표시 패널(B)(709)의 휘도 컨트롤을 하거나, 광전 변환 소자(712)에서 얻어지는 조도에 맞추어 조작키(704)의 조명 제어를 한다. 이것에 의해 휴대 전화의 소비전류를 억제할 수 있다.
- [0113] 도 16a 및 도 16b에 휴대 전화의 다른 예를 도시한다. 도 16a 및 도 16b의 휴대 전화는 본체(721), 케이스(722), 표시 패널(723), 조작키(724), 음성 출력부(725), 음성 입력부(726), 실시형태 1에 의해 얻어지는 광전 변환 소자(727) 및 광전 변환 소자(728)를 갖고 있다.
- [0114] 도 16a에 도시하는 휴대 전화에서는 본체(721)에 형성된 광전 변환 소자(727)에 의해 외부의 광을 검지함으로써 표시 패널(723) 및 조작키(724)의 휘도를 제어하는 것이 가능하다.
- [0115] 또한 도 16b에 도시하는 휴대 전화에서는 도 16a의 구성에 덧붙여, 본체(721)의 내부에 광전 변환 소자(728)를 형성하고 있다. 광전 변환 소자(728)에 의해, 표시 패널(723)에 형성되어 있는 백라이트의 휘도를 검출하는 것도 가능해진다.
- [0116] 도 17a는 컴퓨터로, 본체(731), 케이스(732), 표시부(733), 키보드(734), 외부 접속 포트(735), 포인팅 디바이스(736) 등을 포함한다.

- [0117] 또한 도 17b는 표시 장치로 텔레비전 수상기 등이 이것에 해당한다. 본 표시 장치는 케이스(741), 지지대(742), 표시부(743) 등으로 구성되어 있다.
- [0118] 도 17a의 컴퓨터에 형성되는 표시부(733), 및 도 17b에 도시하는 표시 장치의 표시부(743)로서, 액정 패널을 사용한 경우의 자세한 구성을 도 18에 도시한다.
- [0119] 도 18에 도시하는 액정 패널(762)은 케이스(761)에 내장되어 있고, 기판(751a 및 751b), 기판(751a 및 751b)의 사이에 있는 액정층(752), 편광 필터(755a 및 755b), 및 백라이트(753) 등을 갖고 있다. 또한 케이스(761)에는 실시형태 1에 의해 얻어지는 광전 변환 소자를 갖는 광전 변환 소자 형성 영역(754)이 형성되어 있다.
- [0120] 광전 변환 소자 형성 영역(754)에서는 백라이트(753)로부터의 광량을 감지하고, 그 광량 등에 관한 정보가 피드백되어 액정 패널(762)의 휘도가 조절된다.
- [0121] 도 19a 및 도 19b는 광전 변환 소자를 카메라, 예를 들면 디지털 카메라에 내장한 예를 도시하는 도면이다. 도 19a는 디지털 카메라의 전체면 방향에서 본 사시도, 도 19b는 후면 방향에서 본 사시도이다.
- [0122] 도 19a에서, 디지털 카메라에는 릴리스 버튼(801), 메인 스위치(802), 파인더창(803), 플래시(804), 렌즈(805), 거울 보디(806), 케이스(807)가 구비되어 있다.
- [0123] 또한, 도 19b에서, 파인더 접안창(811), 모니터(812), 조작 버튼(813)이 구비되어 있다.
- [0124] 릴리스 버튼(801)은 반의 위치까지 눌리면, 초점 조정 기구 및 노출 조정 기구가 작동하고, 최하부까지 눌리면 셔터가 열린다.
- [0125] 메인 스위치(802)는 누름 또는 회전에 의해 디지털 카메라의 전원의 ON/OFF를 바꾼다.
- [0126] 파인더창(803)은 디지털 카메라의 전체면의 렌즈(805)의 상부에 배치되어 있고, 도 19b에 도시하는 파인더 접안창(811)으로부터 촬영하는 범위나 핀트의 위치를 확인하기 위한 장치이다.
- [0127] 플래시(804)는 디지털 카메라의 전체면 상부에 배치되고, 피사체 휘도가 낮을 때에, 릴리스 버튼이 눌려 셔터가 열리는 동시에 보조광을 조사한다.
- [0128] 렌즈(805)는 디지털 카메라의 정면에 배치되어 있다. 렌즈는 포커싱 렌즈, 줌 렌즈 등에 의해 구성되고, 도시하지 않은 셔터 버튼 및 조리개와 함께 촬영광학계를 구성한다. 또, 렌즈의 후방에는 CCD(Charge Coupled Device) 등의 활상소자가 형성되어 있다.
- [0129] 거울 보디(806)는 포커싱 렌즈, 줌 렌즈 등의 핀트를 맞추기 위해서 렌즈의 위치를 이동하는 것으로, 촬영시에는 거울 보디를 내보냄으로써, 렌즈(805)를 앞으로 이동시킨다. 또, 휴대시에는 렌즈(805)를 침동(沈銅)시켜 콤팩트하게 한다. 또, 본 실시예에 있어서는 거울 보디를 내보냄으로써 피사체를 줌 촬영할 수 있는 구조로 하고 있지만, 이 구조에 한정되는 것이 아니라, 개체(807) 내에서의 촬영광학계의 구성에 의해 거울 보디를 내보내지 않아도 줌 촬영이 가능한 디지털 카메라이어도 좋다.
- [0130] 파인더 접안창(811)은 디지털 카메라의 후면 상부에 형성되어 있고, 촬영하는 범위나 핀트의 위치를 확인할 때에 접안하기 위해서 형성된 창이다.
- [0131] 조작 버튼(813)은 디지털 카메라의 후면에 형성된 각종 기능 버튼으로, 셋업 버튼, 메뉴 버튼, 디스플레이 버튼, 기능 버튼, 선택 버튼 등에 의해 구성되어 있다.
- [0132] 실시형태 1에서 얻어지는 광전 변환 소자를, 도 19a 및 도 19b에 도시하는 카메라에 내장하면, 광전 변환 소자가 광의 유무 및 강도를 감지할 수 있고, 이것에 의해 카메라의 노출 조정 등을 할 수 있다.
- [0133] 또한 실시형태 1에서 얻어지는 광전 변환 소자는 그 밖의 전자기기, 예를 들면 프로젝션 텔레비전, 네비게이션 시스템 등에 응용하는 것이 가능하다. 즉 광을 검출할 필요가 있는 것이면 어떠한 것에나 사용하는 것이 가능하다.

도면의 간단한 설명

- [0134] 도 1은 본 발명의 광전 변환 소자의 제작 공정을 도시하는 단면도.
- [0135] 도 2는 종래의 광전 변환 소자의 제작 공정을 도시하는 단면도.
- [0136] 도 3은 본 발명의 광전 변환 소자의 제작 공정을 도시하는 단면도.

- [0137] 도 4는 본 발명의 광전 변환 소자의 제작 공정을 도시하는 단면도.
- [0138] 도 5는 본 발명의 광전 변환 소자의 제작 공정을 도시하는 단면도.
- [0139] 도 6은 본 발명의 광전 변환 소자의 제작 공정을 도시하는 단면도.
- [0140] 도 7은 본 발명의 광전 변환 소자의 제작 공정을 도시하는 단면도.
- [0141] 도 8은 본 발명의 광전 변환 소자의 제작 공정을 도시하는 단면도.
- [0142] 도 9는 본 발명의 광전 변환 소자의 제작 공정을 도시하는 단면도.
- [0143] 도 10은 본 발명의 광전 변환 소자의 회로도.
- [0144] 도 11은 본 발명의 광전 변환 소자의 회로도.
- [0145] 도 12는 본 발명의 광전 변환 소자의 회로도.
- [0146] 도 13은 본 발명의 광전 변환 소자의 상면도.
- [0147] 도 14는 본 발명의 광전 변환 소자의 상면도.
- [0148] 도 15는 본 발명의 반도체 장치를 실장한 장치를 도시하는 도면.
- [0149] 도 16은 본 발명의 반도체 장치를 실장한 장치를 도시하는 도면.
- [0150] 도 17은 본 발명의 반도체 장치를 실장한 장치를 도시하는 도면.
- [0151] 도 18은 본 발명의 반도체 장치를 실장한 장치를 도시하는 도면.
- [0152] 도 19는 본 발명의 반도체 장치를 실장한 장치를 도시하는 도면.
- [0153] 도 20은 본 발명의 광전 변환 소자의 제작 공정을 도시하는 단면도.
- [0154] 도 21은 본 발명의 광전 변환 소자의 제작 공정을 도시하는 단면도.
- [0155] 도 22는 본 발명의 광전 변환 소자의 제작 공정을 도시하는 단면도.
- [0156] 도 23은 본 발명의 광전 변환 소자의 제작 공정을 도시하는 단면도.

* 도면의 주요 부분에 대한 부호의 설명 *

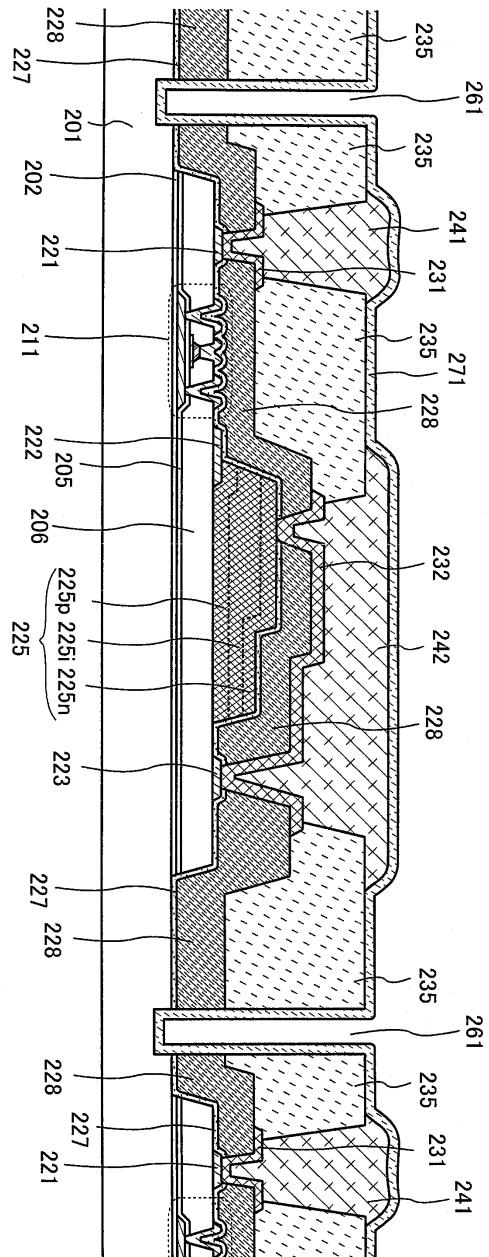
- | | | |
|--------|------------------|------------------|
| [0158] | 101 : 포토다이오드 | 104 : TFT |
| [0159] | 105 : TFT | 105i : TFT |
| [0160] | 111 : 커런트 미러 회로 | 118 : 회로 |
| [0161] | 118i : 회로 | 119 : 단자 |
| [0162] | 119i : 단자 | 120 : 단자 |
| [0163] | 120i : 단자 | 121 : 단자 |
| [0164] | 121i : 단자 | 125 : 층간 절연막 |
| [0165] | 131 : 커런트 미러 회로 | 134 : TFT |
| [0166] | 135 : TFT | 144 : 배선 |
| [0167] | 145 : 배선 | 201 : 기판 |
| [0168] | 202 : 절연막 | 205 : 게이트 절연막 |
| [0169] | 206 : 층간 절연막 | 211 : TFT |
| [0170] | 212 : 도상반도체막 | 213 : 게이트 전극 |
| [0171] | 213a : 하층 게이트 전극 | 213b : 상층 게이트 전극 |
| [0172] | 214 : 게이트 배선 | 215 : 소스 전극 |

[0173]	216 : 드레인 전극	221 : 전극
[0174]	221i : 전극	222 : 전극
[0175]	223 : 전극	225 : 광전 변환층
[0176]	225i : i형 반도체층	225n : n형 반도체층
[0177]	225p : p형 반도체층	227 : 보호막
[0178]	228 : 층간 절연막	231 : 전극
[0179]	232 : 전극	235 : 층간 절연막
[0180]	241 : 전극	242 : 전극
[0181]	243 : 전극	244 : 전극
[0182]	261 : 공극	265 : 개구부
[0183]	271 : 고착층	271a : 층
[0184]	271b : 층	271c : 층
[0185]	281 : 프린트 기판	282 : 전극
[0186]	283 : 전극	285 : 도전성 재료
[0187]	286 : 도전성 재료	701 : 본체(A)
[0188]	702 : 본체(B)	703 : 케이스
[0189]	704 : 조작키	705 : 음성 입력부
[0190]	706 : 음성 출력부	707 : 회로 기판
[0191]	708 : 표시 패널(A)	709 : 표시 패널(B)
[0192]	710 : 경첩	711 : 투광성 재료부
[0193]	712 : 광전 변환 소자	
[0194]	721 : 본체	722 : 케이스
[0195]	723 : 표시 패널	724 : 조작키
[0196]	725 : 음성 출력부	726 : 음성 입력부
[0197]	727 : 광전 변환 소자	728 : 광전 변환 소자
[0198]	731 : 본체	732 : 케이스
[0199]	733 : 표시부	734 : 키보드
[0200]	735 : 외부 접속 포트	736 : 포인팅 디바이스
[0201]	741 : 케이스	742 : 지지대
[0202]	743 : 표시부	751a : 기판
[0203]	751b : 기판	752 : 액정층
[0204]	753 : 백라이트	754 : 광전 변환 소자 형성 영역
[0205]	755a : 편광 필터	755b : 편광 필터
[0206]	761 : 케이스	762 : 액정 패널
[0207]	801 : 릴리스 버튼	802 : 메인 스위치
[0208]	803 : 파인더창	804 : 플래시

[0209]	805 : 렌즈	806 : 거울 보디
[0210]	807 : 케이스	811 : 파인더 접안창
[0211]	812 : 모니터	813 : 조작 버튼
[0212]	1601 : 기판	1602 : 투광성 전극
[0213]	1603 : 광전 변환층	1604a : 광반사성 전극
[0214]	1604b : 광반사성 전극	1605 : 개구부
[0215]	1606 : 개구부	1607 : 개구부
[0216]	1610 : 기판	1611 : 광반사성 전극
[0217]	1612 : 광전 변환층	1613 : 투광성 전극
[0218]	1614 : 절연층	1615 : 절연층
[0219]	1616 : 절연층	1617 : 외부 접속단자
[0220]	1618 : 외부 접속단자	1619 : 투광성 전극
[0221]	1800 : 배선 기판	1850 : 배선
[0222]	1851 : 도전성 입자	1852 : 수지
[0223]	1853 : 도전성 재료	

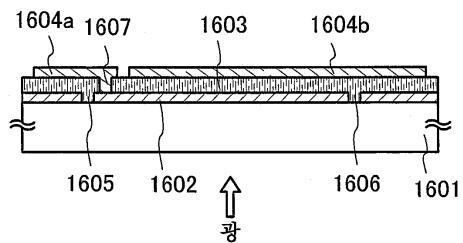
도면

도면1

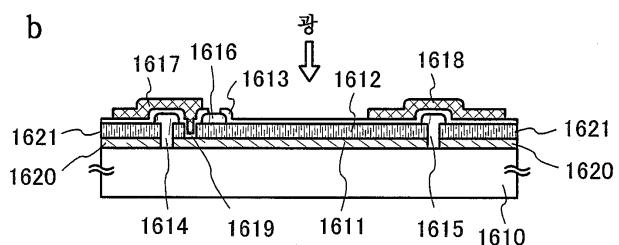


도면2

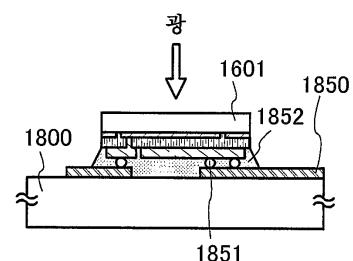
a



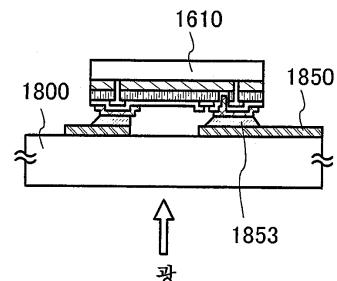
b



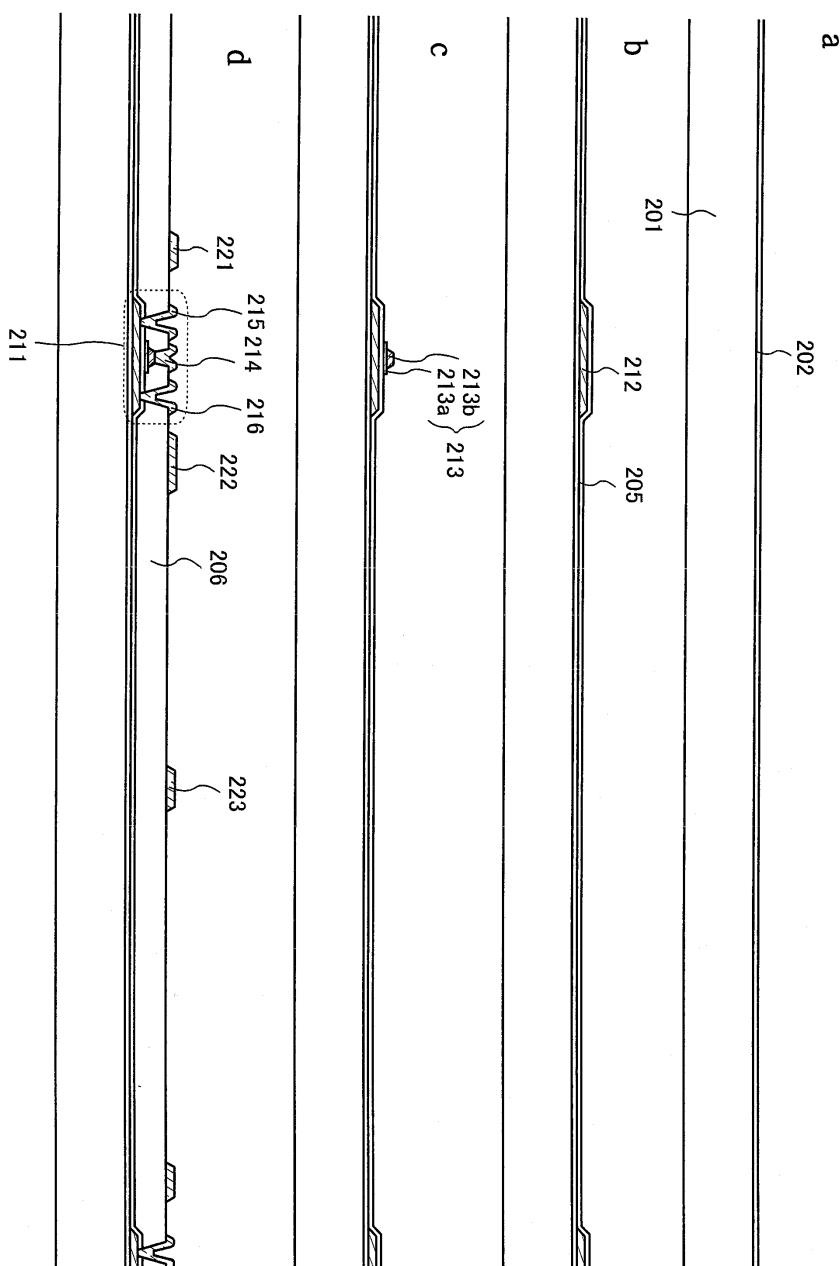
c



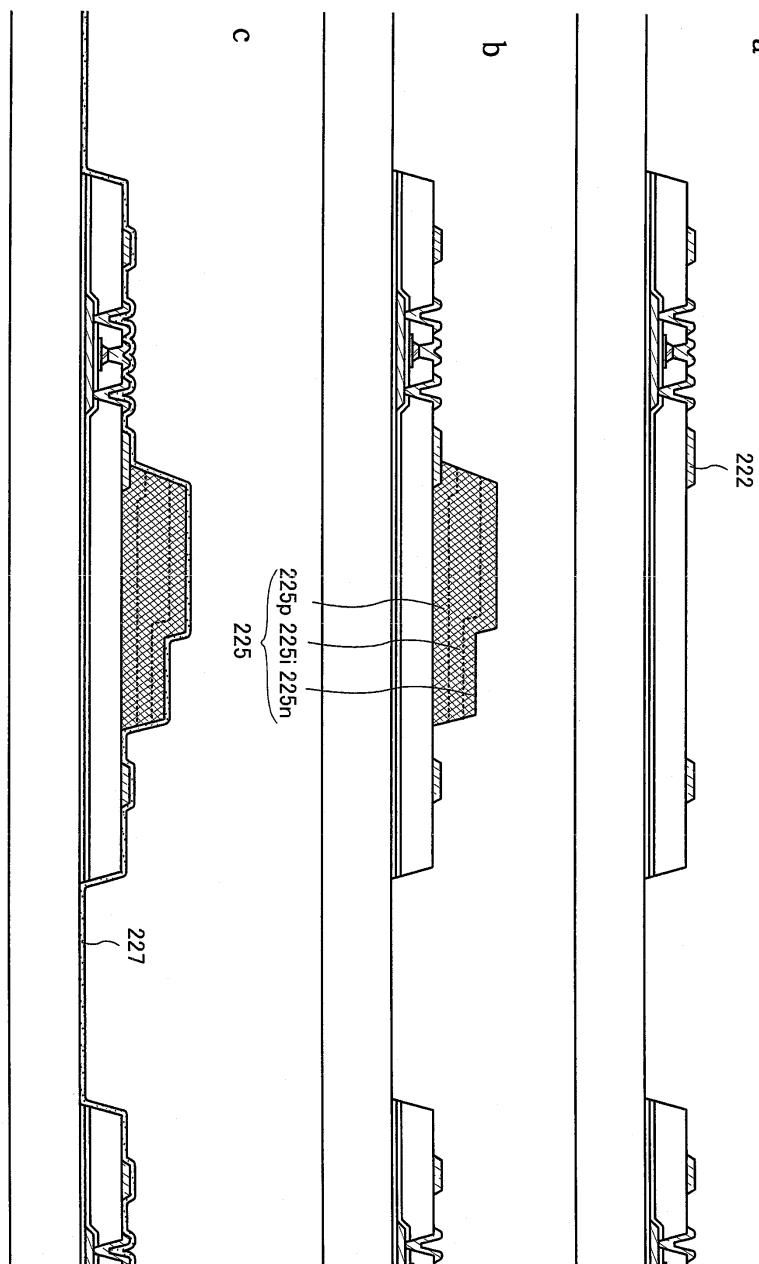
d



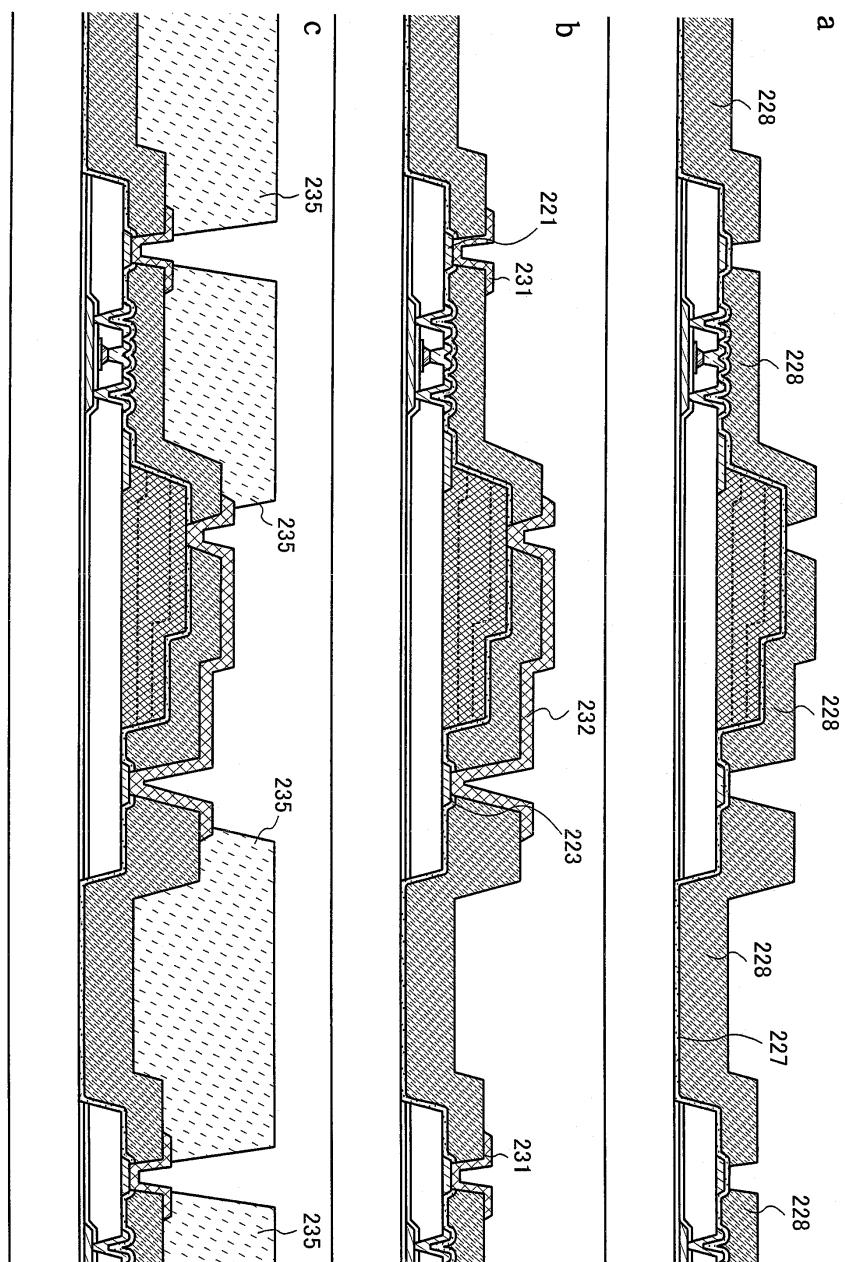
도면3



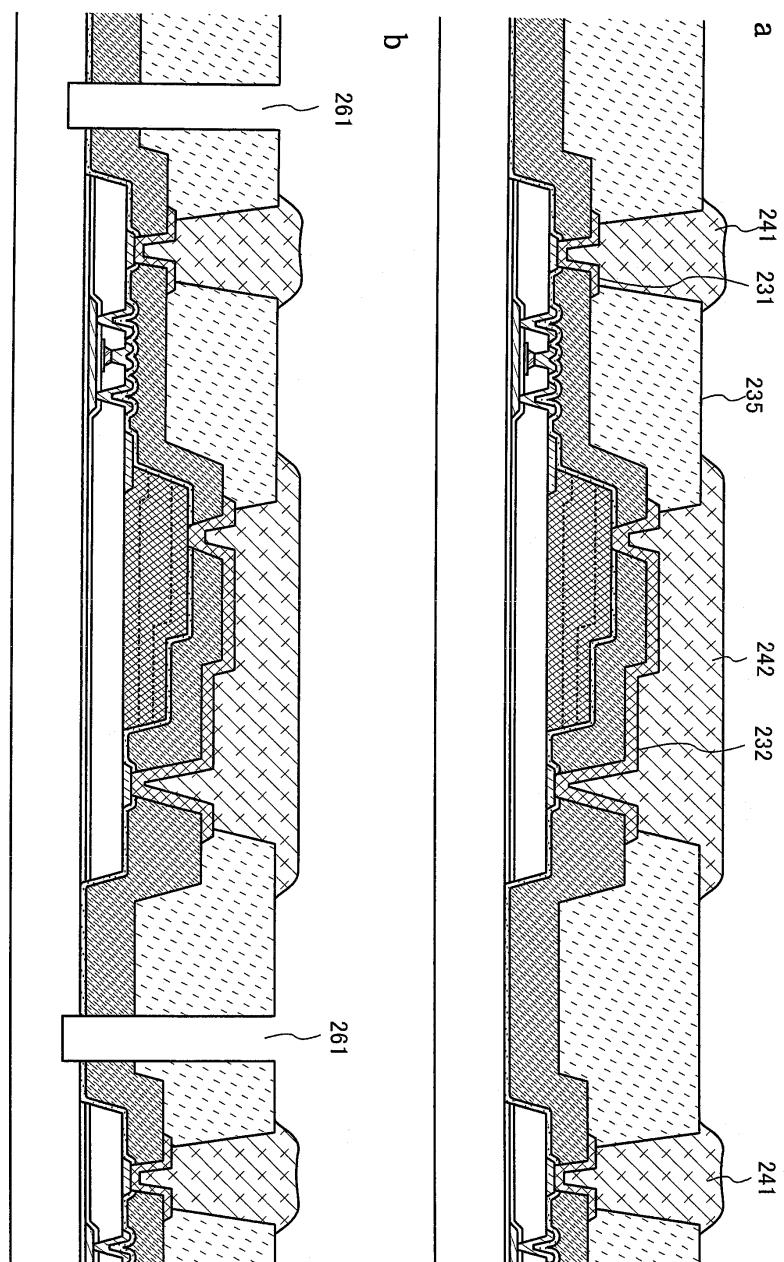
도면4



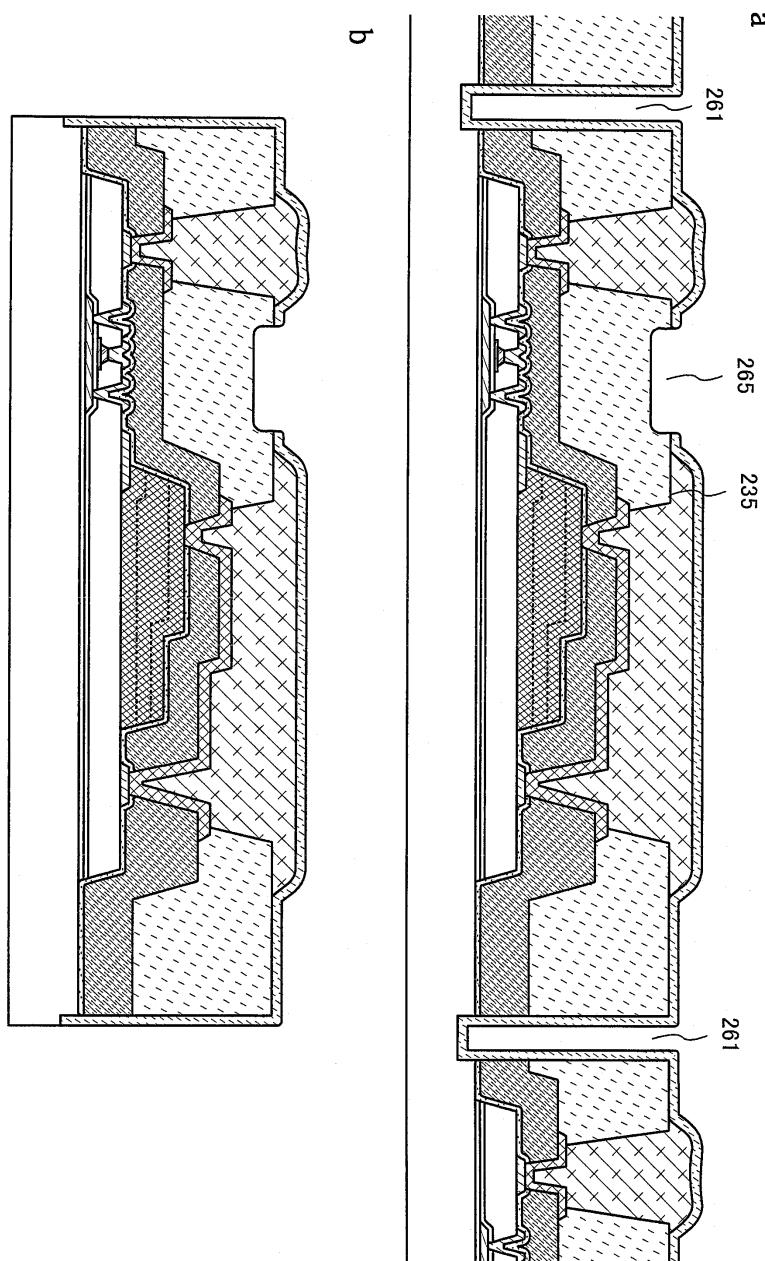
도면5



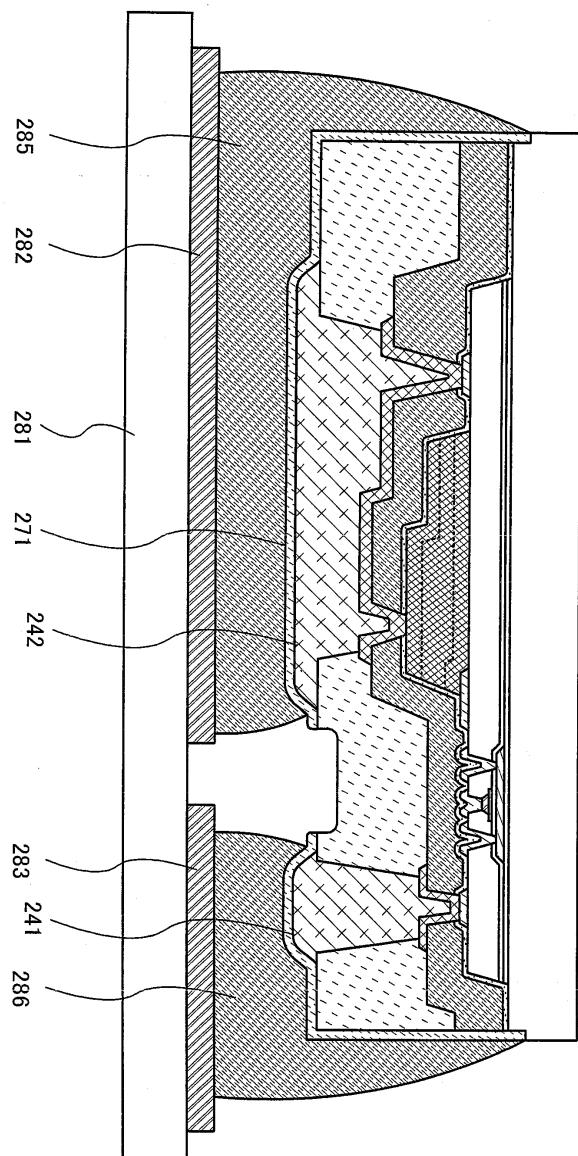
도면6



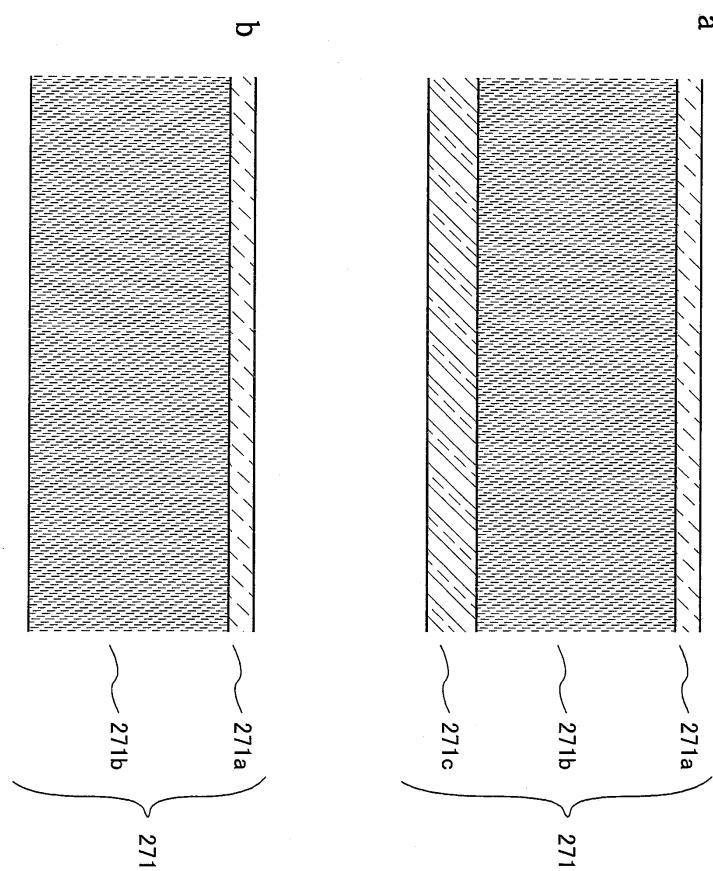
도면7



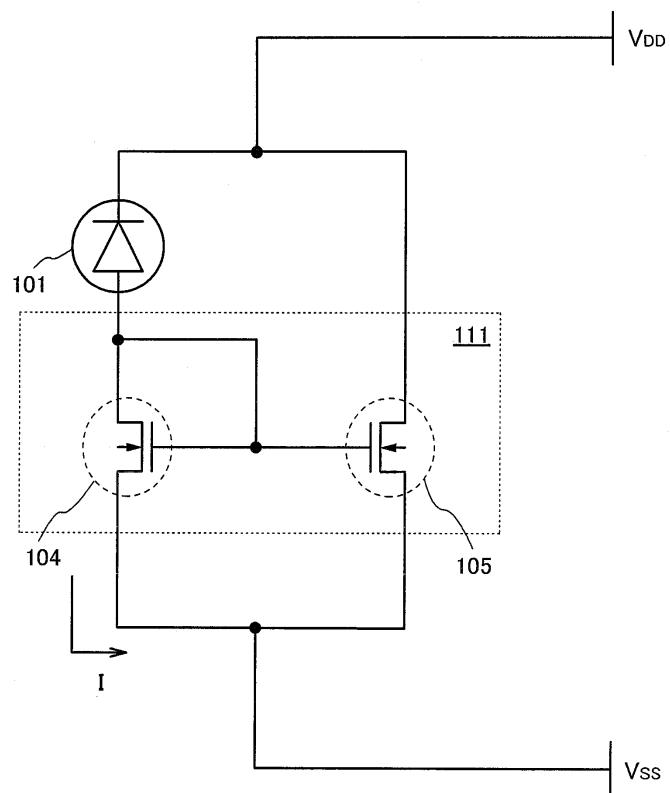
도면8



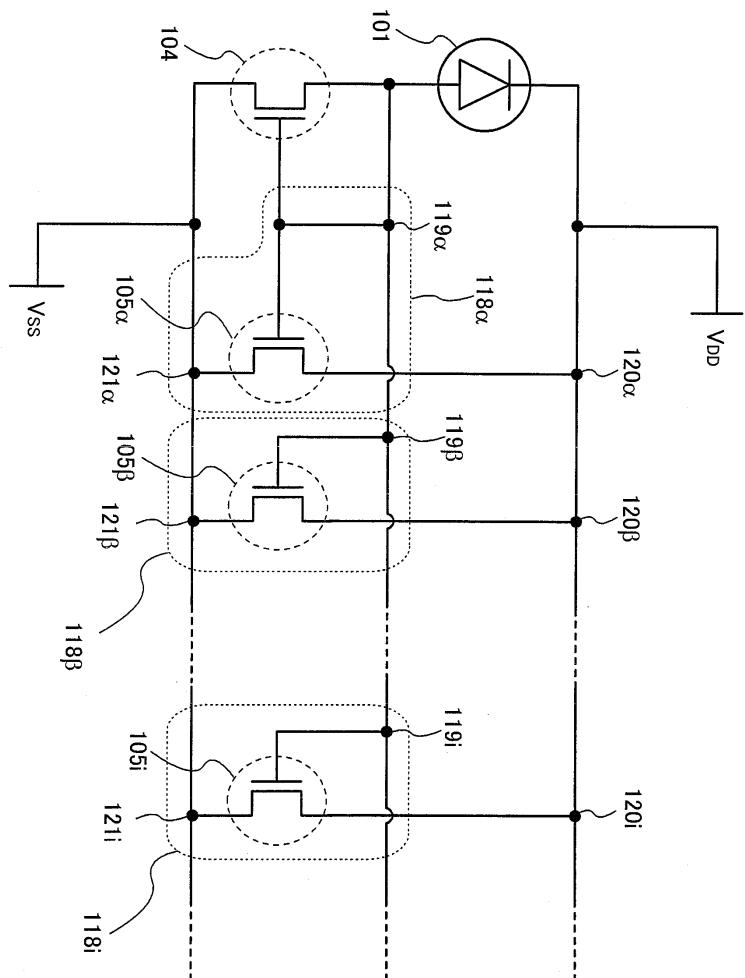
도면9



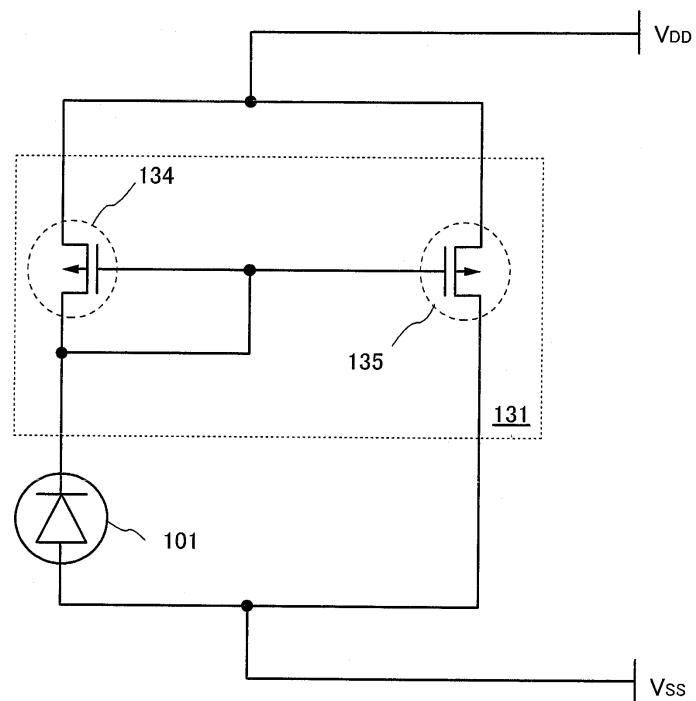
도면10



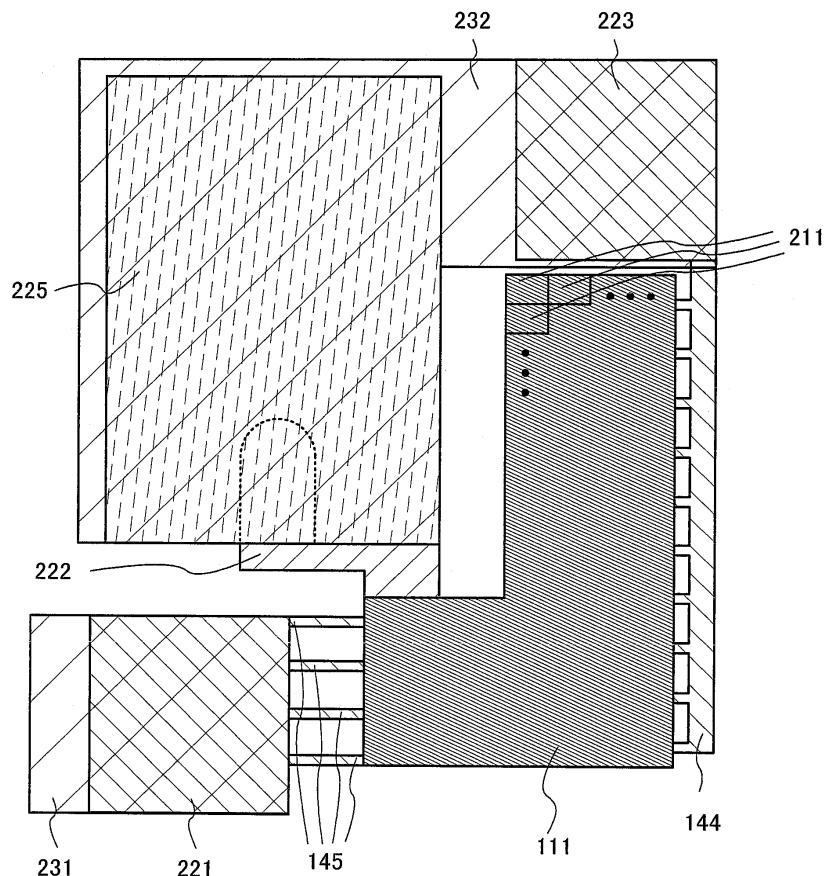
도면11



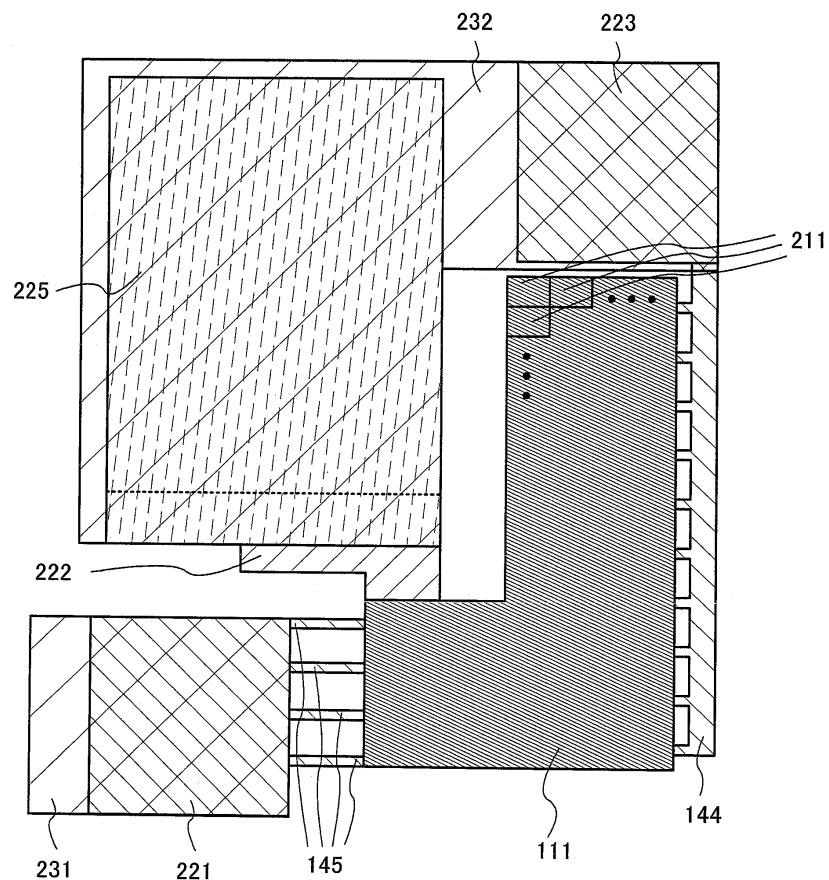
도면12



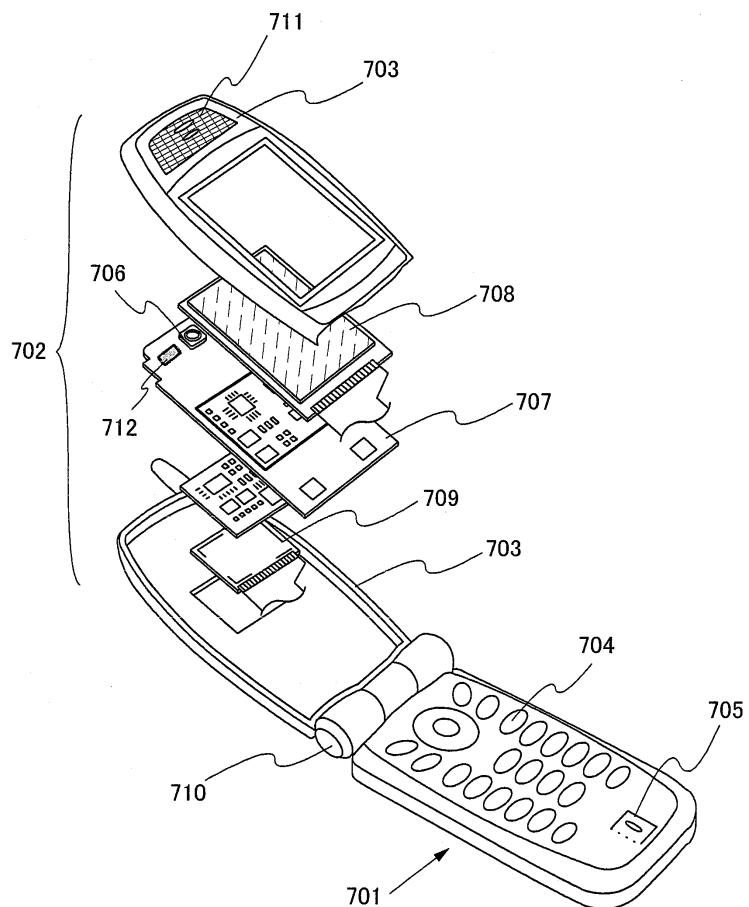
도면13



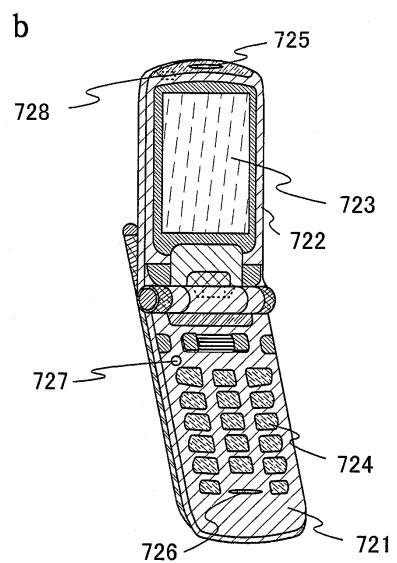
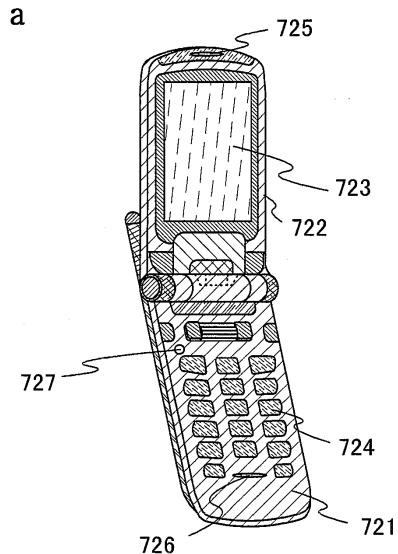
도면14



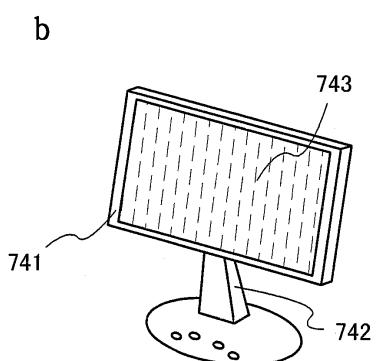
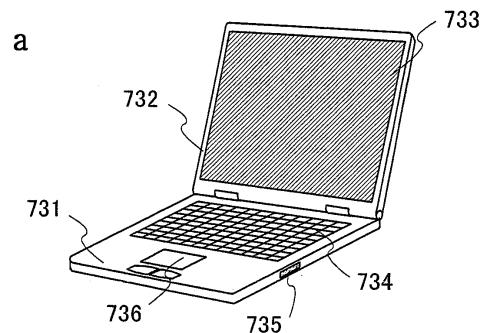
도면15



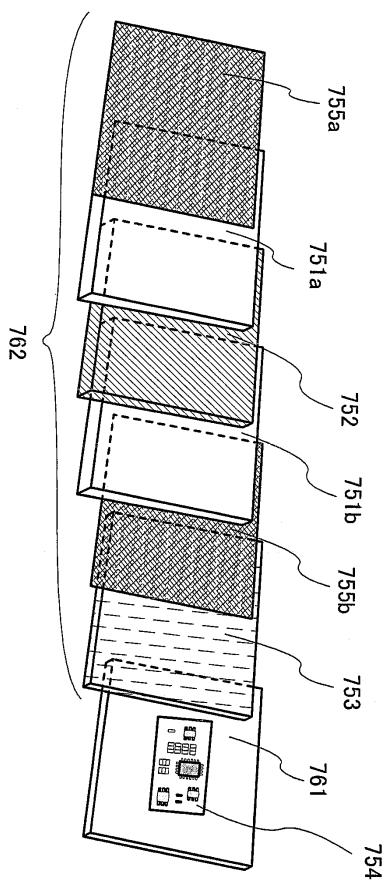
도면16



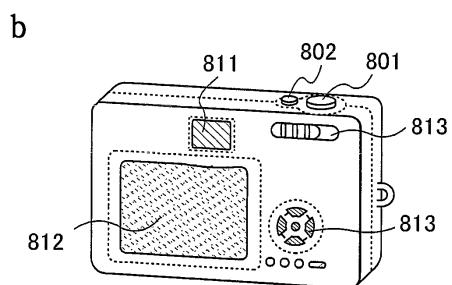
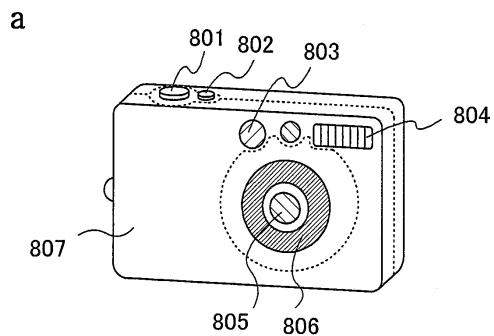
도면17



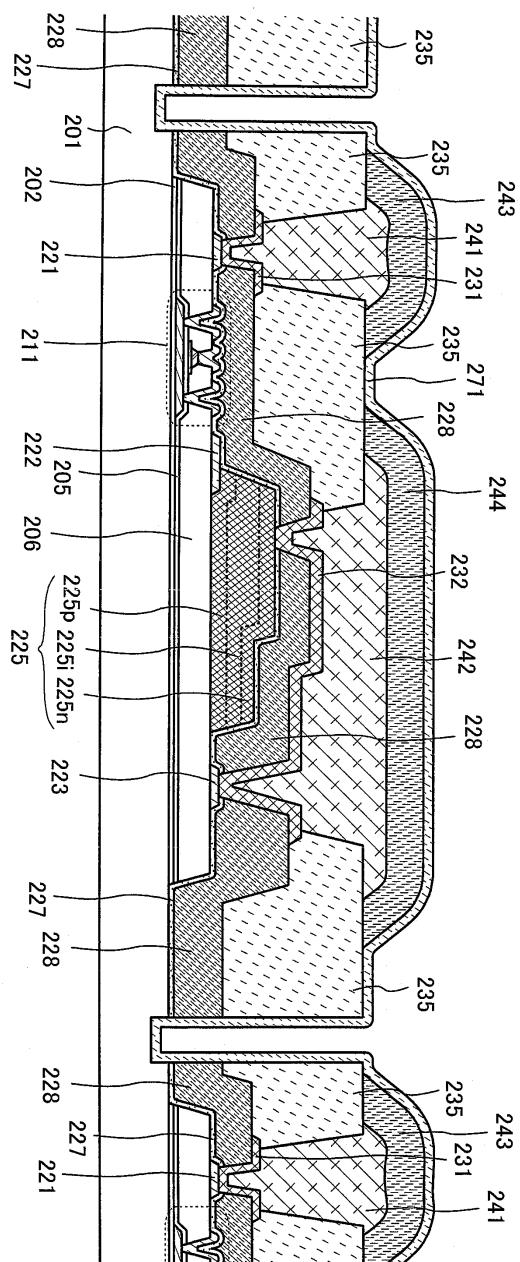
도면18



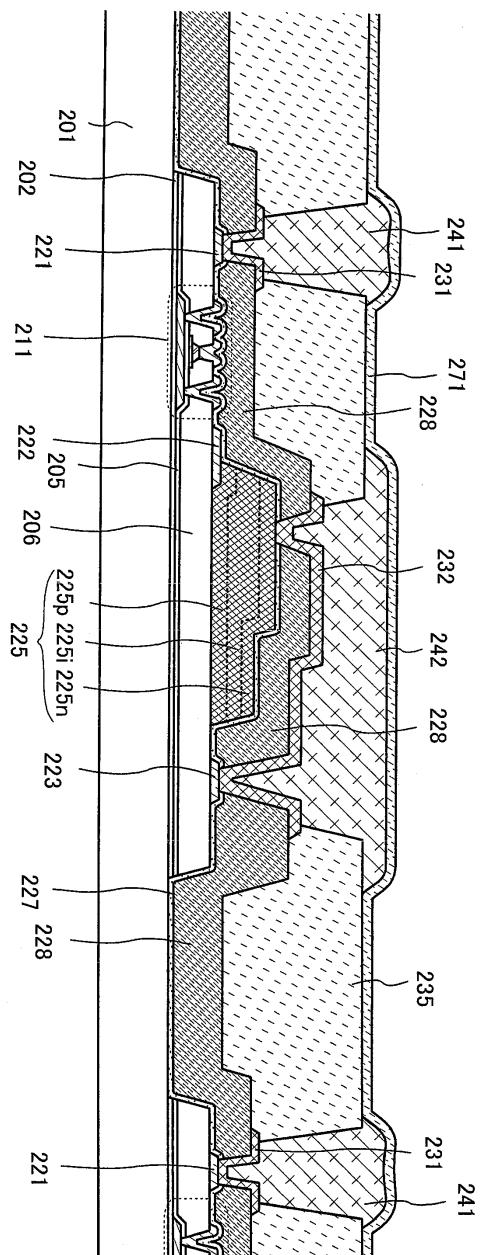
도면19



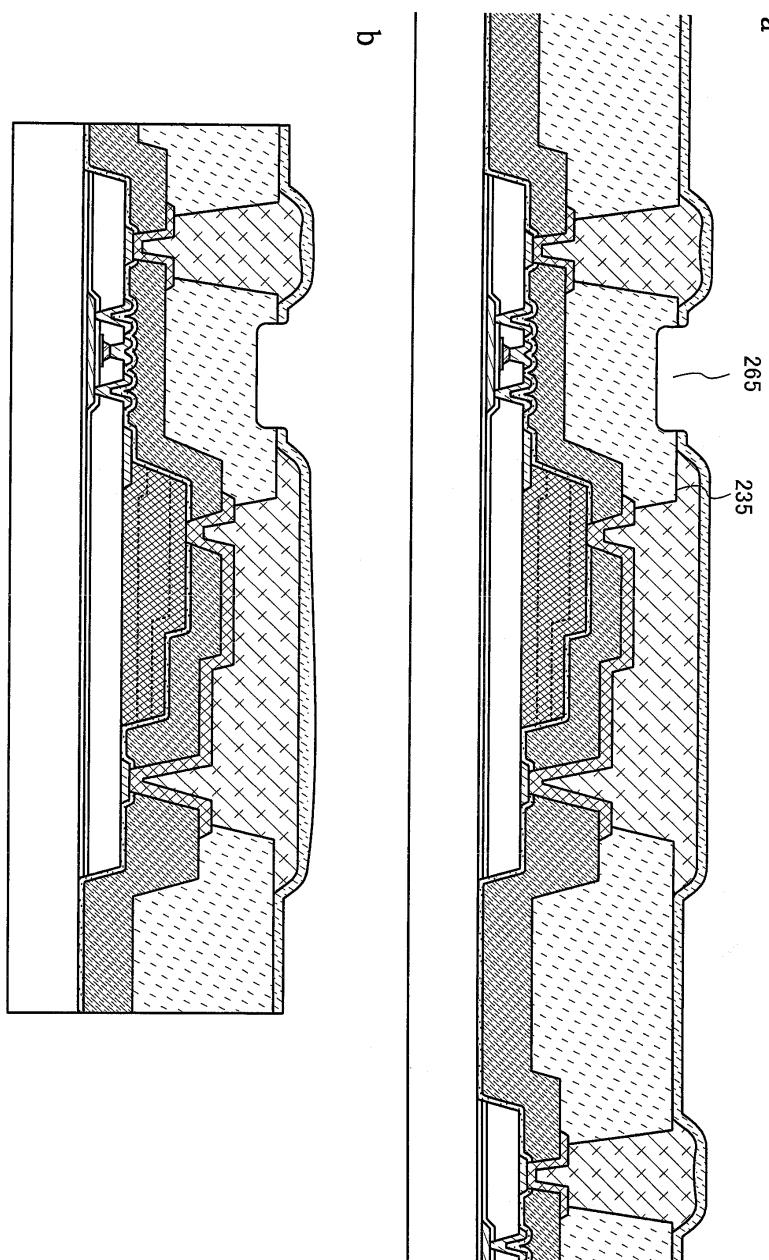
도면20



도면21



도면22



도면23

