(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011 年 10 月 27 日(27.10.2011)

PCT

(10) 国際公開番号
WO 2011/132352 A1

(51) 国際特許分類:
G11C 29/56 (2006.01) *G01R 31/28* (2006.01)

(21) 国際出願番号: PCT/JP2011/000852

(22) 国際出願日: 2011 年 2 月 16 日(16.02.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-096281 2010 年 4 月 19 日(19.04.2010) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト(ADVANTEST CORPORATION) [JP/JP]; 〒1790071 東京都練馬区旭町１丁目３２番１号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 譲原 章政(YUZURIHARA, Akimasa) [JP/JP]; 〒2140038 神奈川県川崎市多摩区生田２－９－２ 日本エンジニアリング株式会社内 Kanagawa (JP). 牧田 大輔(MAKITA, Daisuke) [JP/JP]; 〒2140038 神奈川県川崎市多摩区生田２－９－２ 日本エンジニアリング株式会社内 Kanagawa (JP). 金澤 経明(KANAZAWA, Tsuneaki) [JP/JP]; 〒2140038 神奈川県川崎市多摩区生田２－９－２ 日本エンジニアリング株式会社内 Kanagawa (JP). 中井 秀和(NAKAI, Hidekazu) [JP/JP]; 〒2140038 神奈川県川崎市多摩区生田２－９－２ 日本エンジニアリング株式会社内 Kanagawa (JP). 湯川 慎一郎(YUKAWA, Shinichiro) [JP/JP]; 〒2140038 神奈川県川崎市多摩区生田２－９－２ 日本エンジニアリング株式会社内 Kanagawa (JP). 坂牧 大輔(SAKAMAKI, Daisuke) [JP/JP]; 〒2140038 神奈川県川崎市多摩区生田２－９－２ 日本エンジニアリング株式会社内 Kanagawa (JP). 新井 俊彦(ARAI, Toshihiko) [JP/JP]; 〒2140038 神奈川県川崎市多摩区生田２－９－２ 日本エンジニアリング株式会社内 Kanagawa (JP).

(74) 代理人: 龍華国際特許業務法人(RYUKA IP Law Firm); 〒1631522 東京都新宿区西新宿１―６－１ 新宿エルタワー２２階 Tokyo (JP).

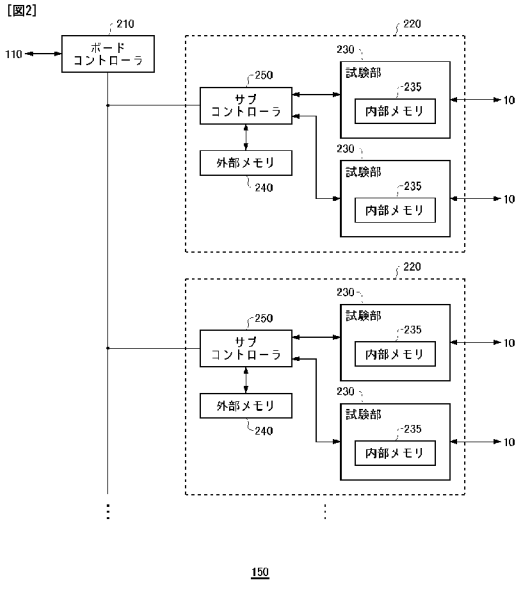
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV,

[続葉有]

(54) **Title**: TESTING DEVICE AND TESTING METHOD

(54) 発明の名称 : 試験装置および試験方法

[図2]



210 Board controller
230 Testing unit
235 Internal memory
240 External memory
250 Sub-controller

(57) **Abstract**: Disclosed is a testing device wherein testing of a memory under test is conducted with an internal memory that has a smaller capacity than that of the memory under test. The testing device tests a memory under test, and has an internal memory that records test information, at least one of either the test result or test data corresponding to a memory region of a part of the memory under test. The device is provided with a test integrated circuit device for testing the memory under test, an external memory for recording test information corresponding to the entire memory region of the memory under test, and a memory controller — connected to the external memory — for forwarding test information, which corresponds to the test subject memory region, between the external memory and internal memory. Also disclosed is a testing method.

(57) 要約: 被試験メモリの試験を被試験メモリの容量よりも少ない内部メモリで試験する。被試験メモリを試験する試験装置であって、被試験メモリの一部のメモリ領域に対応する試験データおよび試験結果の少なくとも一方の試験情報を記憶する内部メモリを有し、被試験メモリを試験する試験用集積回路デバイスと、被試験メモリの全メモリ領域に対応する試験情報を記憶する外部メモリと、外部メモリに接続され、試験対象のメモリ領域に応じた試験情報を外部メモリおよび内部メモリの間で転送するメモリコントローラと、を備える試験装置および試験方法を提供する。

WO 2011/132352 A1

SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 試験装置および試験方法

技術分野

[0001] 本発明は、試験装置および試験方法に関する。

背景技術

[0002] 従来、メモリ試験装置は、被試験メモリ（ＤＵＴ：Ｄｅｖｉｃｅ　Ｕｎｄｅｒ　Ｔｅｓｔ）を複数接続して、これらの複数のメモリを並行して試験していた（例えば、特許文献１、２参照）。

特許文献１　特開平７－１３０２００号公報

特許文献２　特開２００６－３１８５７７号公報

発明の概要

発明が解決しようとする課題

[0003] しかしながら、このような試験対象となる被試験メモリの容量は増大しているので、試験装置は膨大な試験パターンデータおよびフェイルデータ等を取り扱うことになる。したがって、複数の被試験メモリに試験パターンデータおよびフェイルデータ等をそれぞれ送信する試験部に、大容量のメモリを備える必要があった。

[0004] そこで本発明の１つの側面においては、上記の課題を解決することのできる「試験装置および試験方法」を提供することを目的とする。この目的は請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

課題を解決するための手段

[0005] 本発明の第１の態様によると、被試験メモリを試験する試験装置であって、被試験メモリの一部のメモリ領域に対応する試験データおよび試験結果の少なくとも一方の試験情報を記憶する内部メモリを有し、被試験メモリを試験する試験用集積回路デバイスと、被試験メモリの全メモリ領域に対応する試験情報を記憶する外部メモリと、外部メモリに接続され、試験対象のメモ

リ領域に応じた試験情報を外部メモリおよび内部メモリの間で転送するメモリコントローラと、を備える試験装置および試験方法を提供する。

[0006] なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0007] [図1]本実施形態に係る試験装置１００の構成例を被試験メモリ１０と共に示す。

[図2]本実施形態に係る試験ボード１５０の構成例を示す。

[図3]本実施形態に係る試験装置１００の動作フローを示す。

[図4]本実施形態に係る試験装置１００の変形例の動作フローを示す。

[図5]本実施形態に係る試験装置１００の変形例の処理のタイミングを、時間軸を横軸にして示す。

発明を実施するための形態

[0008] 以下、発明の実施の形態を通じて本発明の（一）側面を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0009] 図１は、本実施形態に係る試験装置１００の構成例を被試験メモリ１０と共に示す。試験装置１００は、例えば、フラッシュメモリ、マルチ・チップ・パッケージ（ＭＣＰ）デバイスに内蔵されたメモリ、またはシステム・オン・チップ（ＳＯＣ）に設けられたメモリ等の少なくとも１つの被試験メモリ１０を試験する。試験装置１００は、複数の試験部のそれぞれが含む内部メモリと試験サイトが有する外部メモリとの間で、試験に用いる試験データおよび試験結果の少なくとも一方の試験情報を転送しながら、被試験メモリ１０を試験する。これにより、各試験部の内部メモリの容量を低減しつつ、大容量の被試験メモリの試験を可能とする。

[0010] 試験装置１００は、試験コントローラ１１０と、ネットワーク部１２０と、制御ボード１３０と、デバイス接続部１４０と、試験ボード１５０とを備

える。試験コントローラ１１０は、制御ボード１３０および複数の試験ボード１５０に接続され、複数の試験ボード１５０による試験を制御する。より具体的には、試験コントローラ１１０は、ワークステーション等の外部のコンピュータまたは記憶装置等から試験に用いる試験プログラムを取得して、もしくは、ユーザからの入力により試験プログラムを取得して、当該プログラムを実行することにより、制御ボード１３０および試験ボード１５０の動作を制御してよい。

[0011] 試験コントローラ１１０は、試験プログラムにより指定される試験情報、試験シーケンス、および／または制御コマンド等を、ネットワーク部１２０を介して対応する制御ボード１３０または試験ボード１５０に送信してよい。また、試験コントローラ１１０は、一例として、複数の試験ボード１５０のそれぞれから試験結果を読み出す。これにより、試験コントローラ１１０は、複数の被試験メモリ１０のそれぞれの試験結果をユーザに表示したり、一の試験結果に応じて次の試験内容を変更したりすることができる。

[0012] ネットワーク部１２０は、試験コントローラ１１０と、制御ボード１３０と、複数の試験ボード１５０とを通信可能に接続する。ネットワーク部１２０は、汎用または専用のインターフェイスを介して試験コントローラ１１０と、制御ボード１３０と、複数の試験ボード１５０とを接続して、通信パケットをそれぞれ転送してよい。ネットワーク部１２０は、Ethernet（登録商標）、ＵＳＢ、Serial RapidIO等の汎用の高速シリアルインターフェースまたはパラレルインターフェースを用いてよい。

[0013] 制御ボード１３０は、複数の試験ボード１５０のそれぞれに電源電圧を供給する。また、制御ボード１３０は、複数の試験ボード１５０のそれぞれを制御する。制御ボード１３０は、被試験メモリ１０に対する電源供給の制御、および試験ボード１５０と被試験メモリ１０との間の接続／切断するスイッチのＯＮ／ＯＦＦ制御を実行してもよい。制御ボード１３０は、試験の種類または項目等に応じて、試験ボード１５０と被試験メモリ１０との接続をデバイス接続部１４０に指示してよい。また、制御ボード１３０は、被試験

メモリ１０の種類および数、試験ボード１５０の種類および数等に応じて、複数の試験ボード１５０と複数の１０との接続をデバイス接続部１４０に指示してよい。試験装置１００は、複数の制御ボード１３０を備えてもよい。

[0014] デバイス接続部１４０は、制御ボード１３０、試験ボード１５０、および被試験メモリ１０の間を通信可能に接続する。デバイス接続部１４０は、制御ボード１３０の指示に応じて、制御ボード１３０、試験ボード１５０、および被試験メモリ１０の間の接続を、スイッチによってＯＮ／ＯＦＦしてもよい。デバイス接続部１４０は、一例として、マザーボードおよびソケットを含む。デバイス接続部１４０は、ソケットに搭載された被試験メモリ１０と試験ボード１５０とをマザーボードを介して通信可能に接続してよい。

[0015] 試験ボード１５０は、試験コントローラ１１０の試験パターン、試験シーケンス、および／または制御コマンド等に基づき、被試験メモリ１０を試験する。試験装置１００は、同時に試験する被試験メモリ１０の数に応じて同種の試験ボード１５０を複数搭載してよい。複数の試験ボード１５０のそれぞれは、１つの被試験メモリ１０または複数の被試験メモリ１０にそれぞれデバイス接続部１４０を介して接続されてよい。

[0016] また、それぞれの試験ボード１５０は、試験装置１００と着脱できてよい。試験ボード１５０は、デバイス接続部１４０を介して被試験メモリ１０に試験信号を供給して、被試験メモリ１０からの応答信号を受信する。複数の制御ボード１３０および試験ボード１５０は、一例として、当該試験装置１００の本体部であるテストヘッドの内部に収納される。

[0017] 図２は、本実施形態に係る試験ボード１５０の構成例を示す。試験ボード１５０は、ボードコントローラ２１０と試験サイト２２０を備える。ボードコントローラ２１０は、試験コントローラ１１０が送信する試験情報、試験シーケンス、および／または制御コマンド等を受信して、試験を実行すべき試験サイト２２０に、試験シーケンス、および／または制御コマンド等を送信する。ボードコントローラ２１０は、試験に用いる試験データおよび試験結果の少なくとも一方の試験情報、試験の開始、終了、中断等の制御コマン

ド、および／または試験シーケンスを実行すべき試験サイト２２０にそれぞれ送信する。

[0018] 試験サイト２２０は、１以上の被試験メモリ１０と接続して、ボードコントローラ２１０から送信された制御コマンドに応じて、ボードコントローラ２１０から送信された試験パターンデータおよび期待値データ等を用いて接続した被試験メモリ１０を試験する。試験サイト２２０は、試験部２３０と、外部メモリ２４０と、サブコントローラ２５０とを有する。試験サイト２２０は、複数の被試験メモリ１０を試験する場合は、被試験メモリ１０と同数の試験部２３０を有してよい。

[0019] 試験部２３０は、試験用集積回路デバイスとして機能し、１つの被試験メモリ１０を試験する。試験部２３０は、内部メモリ２３５を含む。内部メモリ２３５は、被試験メモリ１０の一部のメモリ領域に対応する試験データおよび試験結果の少なくとも一方の試験情報を記憶する。内部メモリ２３５は、一例として、被試験メモリ１０の一部のメモリ領域の試験に用いるデータを記憶できる程度の容量を持つ。

[0020] 外部メモリ２４０は、試験サイト２２０に接続された各被試験メモリ１０の全メモリ領域に対応する試験情報を記憶する。ここで試験情報は、試験データである試験パターンデータおよび期待値データ、試験結果、パターンフェイルデータ等でよい。ここで、外部メモリ２４０は、試験サイト２２０に接続された各被試験メモリ１０に対して、同一の試験パターンデータを用いて試験を実行する場合、記憶すべき試験情報を共有して記憶容量を削減してよい。

[0021] サブコントローラ２５０は、メモリコントローラとして機能し、外部メモリ２４０に接続されて、試験対象のメモリ領域に応じた試験情報を外部メモリ２４０および内部メモリ２３５の間で転送する。具体的には、サブコントローラ２５０は、試験コントローラ１１０からのデータをボードコントローラ２１０を介して受け取り、受け取ったデータを外部メモリ２４０に格納する。サブコントローラ２５０は、格納した外部メモリ２４０のデータを内部

メモリ２３５に転送する。また、サブコントローラ２５０は、内部メモリ２３５に格納される試験結果を外部メモリ２４０へと戻す。

[0022] 図３は、本実施形態に係る試験装置１００の動作フローを示す。試験コントローラ１１０は、試験プログラムを実行する（Ｓ３００）。試験コントローラ１１０は、試験プログラムにより指定された試験パターンデータ、期待値データ、パターンフェイルデータ等の試験情報を制御ボード１３０および試験ボード１５０に送信する。また、制御ボード１３０は、実行する試験に応じて、試験ボード１５０と被試験メモリ１０の接続をデバイス接続部１４０に指示してよい。

[0023] ボードコントローラ２１０は、試験コントローラ１１０から受け取った試験情報のうち、接続先の試験サイト２２０がそれぞれ使用する試験情報を、それぞれの試験サイト２２０に送信する。ここで、試験コントローラ１１０は、各試験サイトが用いる試験情報のそれぞれが、試験ボード１５０の用いられるべき試験サイト２２０のそれぞれへとボードコントローラ２１０が正しく送信できるように、試験ボード１５０と被試験メモリ１０の接続に応じたヘッダ情報を試験情報に付加してよい。

[0024] 試験サイト２２０に含まれる１以上の試験部２３０は、ボードコントローラ２１０が送信した試験情報を外部メモリに保持する。試験部２３０は、外部メモリに保持された試験情報のうち、一部の試験情報を内部メモリ２３５に転送する（Ｓ３１０）。ここで試験部２３０は、サブコントローラ２５０を介して外部メモリ２４０にアクセスする。試験部２３０は、一回めの試験が実施される被試験メモリ１０の一部のメモリ領域に対して使われる試験パターンデータを内部メモリ２３５に記憶させてよい。ここで試験部２３０は、試験情報である期待値データについても、試験パターンデータと同様に外部メモリに保持させ、一部の期待値データを内部メモリ２３５に転送してよい。

[0025] 試験装置１００は、被試験メモリ１０の良否（パス／フェイル）を判定する以外に、フェイル解析等を実施する場合、パターンフェイルデータも試験

情報として試験サイト２２０に供給する（Ｓ３２０）。ここでパターンフェイルデータは、被試験メモリ１０のフェイル情報とフェイルが生じたアドレス情報とを記憶したデータでよく、一例として、被試験メモリ１０のブロック、セクタ、ワード、またはビット毎にフェイルの有無を示す。試験部２３０は、パターンフェイルデータを外部メモリ２４０に記憶させ、一回めの試験における被試験メモリ１０の一部のメモリ領域のフェイルデータを記憶するパターンフェイルデータを内部メモリ２３５に転送させてよい。

[0026] ここで試験装置１００は、パターンフェイルデータを試験部に供給する例を説明したが、これに代えて、試験部２３０は、外部メモリ２４０のパターンフェイルデータを記憶する領域をクリアしてもよい。この場合、試験部２３０は、予め定められたブロック毎の試験を実施する毎に、ブロック毎のパターンフェイルデータを内部メモリ２３５に記憶して、外部メモリに転送する。

[0027] 次に、試験部２３０は、内部メモリ２３５に記憶された試験パターンデータおよび期待値データを用いて被試験メモリ１０を予め定められたブロック毎に試験する（Ｓ３３０）。試験部２３０は、試験プログラムによって指定された試験シーケンスに従って、被試験メモリ１０に対して、制御信号により試験パターンデータの書き込み、読み出しを実行する。試験部２３０は、被試験メモリ１０から読み出した試験パターンデータを期待値データと比較して、その一致、不一致により被試験メモリ１０の良否を判定する。

[0028] 試験部２３０は、被試験メモリ１０の良否の判定結果である試験結果を記憶する（Ｓ３４０）。内部メモリ２３５は、被試験メモリ１０の一部のメモリ領域に対応する試験結果を記憶し、サブコントローラ２５０は、一部のメモリ領域に対応する試験結果を内部メモリ２３５から取得して、外部メモリ２４０に格納する。これによって試験部２３０は、試験結果を外部メモリ２４０に転送することができる。

[0029] ここで、試験部２３０は、フェイル解析等を実施する場合、かつ、比較結果が不一致の場合、外部メモリ２４０からパターンフェイルデータを読み出

し、フェイル情報を更新して内部メモリ２３５に記憶する。サブコントローラ２５０は、更新されたフェイルデータを内部メモリ２３５から読み出して外部メモリ２４０へと転送して書き戻す。これによって、試験部２３０は、フェイルデータの更新と外部メモリ２４０への転送を実行することができる。

[0030] ここで、試験部２３０は、予め被試験メモリ１０の一部の領域が不良領域または不使用領域であることが判明している場合に、不良ブロックとして登録して当該領域の試験をスキップしてよい。外部メモリ２４０は、被試験メモリ１０の各ブロックの良否を示すブロックフェイルデータを格納し、サブコントローラ２５０は、試験対象となるブロックのブロックフェイルデータを外部メモリ２４０から読み出して内部メモリ２３５へと転送し、試験部２３０は、内部メモリ２３５に格納されたブロックフェイルデータから既に不良が検出された不良ブロックを特定して不良ブロックの試験をスキップする。これによって試験部２３０は、被試験メモリ１０の不良ブロックの試験をスキップすることができる。

[0031] 試験部２３０は、一例として、全てのメモリ領域を試験していない場合、実行すべき試験が終了していないと判別する（Ｓ３５０）。また、試験部２３０は、試験の中断または停止の制御コマンドを受け取ったことに応じて、試験を中断または停止してよい。試験部２３０は、実行すべき試験が終了していない場合、外部メモリ２４０に記憶されている次のブロックの試験に用いる試験情報を読み出して内部メモリ２３５に上書きして試験情報を更新する（Ｓ３６０）。試験部２３０は、実行すべき試験が終了するまで、試験情報を更新して試験を実行するステップＳ３３０からステップＳ３５０の過程を繰り返す。

[0032] 以上の本実施形態に係る試験装置１００によれば、複数の試験部２３０のそれぞれが試験対象のメモリ領域に応じた試験情報を外部メモリ２４０と内部メモリ２３５の間で転送させつつ、複数の被試験メモリ１０の試験を実行する。これによって試験装置１００は、一部のメモリ領域のためのデータを

記憶できるだけの容量を有する試験部２３０を用いて、被試験メモリ１０の全メモリ領域の試験を実行することができる。

[0033] 図４は、本実施形態に係る試験装置１００の変形例の動作フローを示す。本変形例に係る試験装置１００は、特に、フラッシュメモリ等の書き込み動作（プログラム）および／または消去に時間のかかるメモリを被試験メモリ１０として試験する。

[0034] フラッシュメモリは、各アドレスにおいて１回のプログラムでデータ書き込みに成功するとは限らないので、複数回のプログラムを繰り返す。プログラムに成功するまでの回数は被試験メモリ１０の種類によって異なり、また同種の被試験メモリ１０であってもアドレス毎に相違する。そこで試験装置１００は、フラッシュメモリのプログラム試験として、規定回数以内でデータをプログラムしたい全てのメモリセルにプログラムができた場合に、被試験メモリ１０を良品と判断する。

[0035] 試験装置１００は、データ消去試験についても同様に、規定回数以内においてデータを消去したい全てのメモリセルについてデータを消去することができた場合に、被試験メモリ１０を良品と判断する。本変形例の試験装置１００は、プログラム試験および／またはデータ消去試験を、試験実行に必要な他の動作と並行して実行して効率的に試験する。本変形例は、試験プログラムを実行するステップＳ３００からパターンフェイルデータを試験部２３０に分配するステップＳ３２０まで、図３と略同一であるのでこれらの過程の記載を省略する。

[0036] サブコントローラ２５０は、被試験メモリ１０の一部のメモリ領域に試験データをプログラムする間、および被試験メモリ１０の一部のメモリ領域を消去する間の少なくとも一方において、外部メモリ２４０および内部メモリ２３５の間で試験情報を並行して転送する。本変形例の動作フローにおいて、試験部２３０は、試験パターンデータを被試験メモリ１０にプログラムする（Ｓ３３０）間に、直前に実行した試験結果を内部メモリ２３５から外部メモリ２４０に転送する（Ｓ３３５）。内部メモリ２３５は、現在の試験に

用いる試験パターンデータ、期待値データ、および直前の試験結果を記憶する。

[0037] 試験部２３０は、被試験メモリ１０の一部のメモリ領域に対応する良否の判定結果である試験結果を記憶する（Ｓ３４０）。内部メモリ２３５は、直前に実行した試験結果を記憶した領域に、被試験メモリ１０の現在の試験の試験結果を上書きしてよい。試験部２３０は、次の試験の試験パターンデータを被試験メモリ１０にプログラムする間に、上書きした試験結果を内部メモリ２３５から外部メモリ２４０に転送して、新たな試験結果を同じ領域に上書きする。これによって試験部２３０は、試験実行の間に試験情報を順次転送することができる。

[0038] 本変形例の動作フローは、試験パターンデータを被試験メモリ１０にプログラムする間に直前の試験結果を転送することを説明したが、これに代えて、外部メモリ２４０は、被試験メモリ１０の一部のメモリ領域を消去する間に直前の試験結果を転送してもよい。これによっても試験部２３０は、試験実行の間に試験情報を順次転送することができる。

[0039] また、サブコントローラ２５０は、被試験メモリ１０の一部のメモリ領域に試験データをプログラムする間、および被試験メモリ１０の一部のメモリ領域を消去する間の少なくとも一方において、次のメモリ領域に対応する試験データおよび直前のメモリ領域の試験結果の少なくとも一方を外部メモリ２４０および内部メモリ２３５の間で転送する。本変形例の動作フローにおいて、試験部２３０は、被試験メモリ１０の一部のメモリ領域を消去する（Ｓ３４２）間に、次のメモリ領域に対応する試験パターンデータを外部メモリ２４０から内部メモリ２３５に転送する（Ｓ３４４）。

[0040] 内部メモリ２３５は、直前に実行した試験パターンデータを記憶した領域に、被試験メモリ１０の次の試験に用いる試験パターンデータを上書きしてよい。試験部２３０は、被試験メモリ１０の一部のメモリ領域を消去した後に、次の試験パターンデータが内部メモリ２３５に上書きされているので、速やかに次の試験を実行することができる。

[0041] 図５は、本実施形態に係る試験装置１００の変形例の処理のタイミングを、時間軸を横軸にして示す。図中には、試験部２３０から被試験メモリ１０への制御処理、被試験メモリ１０から試験部２３０への応答処理、内部メモリ２３５から外部メモリ２４０への転送処理、および外部メモリ２４０から内部メモリ２３５への転送処理についてそれぞれ示した。

[0042] 試験部２３０は、試験データを被試験メモリ１０にプログラムするプログラム処理を被試験メモリ１０に指示する。ここで、試験部２３０は、内部メモリ２３５に記憶されている試験パターンデータに基づく試験データを被試験メモリ１０に送信する。ここで、試験部２３０は、一例として、予め定められたデータ量に達するまで、試験パターンデータに基づく試験データを被試験メモリ１０に送信して書き込みを指示する処理を繰り返す。試験部２３０は、プログラム処理を指示している間に、直前に実行した試験結果を内部メモリ２３５から外部メモリ２４０に転送する。

[0043] 被試験メモリ１０は、プログラム処理を完了させると、試験部２３０に処理の完了を通知する。ここで被試験メモリ１０は、一例として、試験データのプログラム処理が完了するまで、データ書き込み処理とベリファイ処理を繰り返す。試験部２３０は、プログラム処理の完了を通知されたことに基づき、被試験メモリ１０にプログラムした結果の読み出しを指示する。

[0044] 被試験メモリ１０は、試験部２３０の指示に応じて読み出した結果を試験部２３０に送信する。試験部２３０は、読み出した結果を受信すると、期待値データと比較して試験結果となる比較結果を内部メモリに記憶する。試験部２３０は、次に、被試験メモリ１０のメモリ消去を被試験メモリ１０に指示する。試験部２３０は、メモリ消去を指示している間に、次のメモリ領域に対応する試験パターンデータを外部メモリ２４０から内部メモリ２３５に転送する。

[0045] 被試験メモリ１０は、メモリ消去を完了させると、試験部２３０に処理の完了を通知する。ここで被試験メモリ１０は、一例として、予め定められたメモリ量の消去が完了するまで、メモリ消去処理とベリファイ処理を繰り返

す。試験部２３０は、メモリ消去の完了を通知されたことに基づき、被試験メモリ１０にメモリ消去した結果の読み出しを指示する。

[0046] 被試験メモリ１０は、試験部２３０の指示に応じて読み出した結果を試験部２３０に送信する。試験部２３０は、読み出した結果を受信すると、期待値データと比較して試験結果となる比較結果を内部メモリに記憶する。試験部２３０は、以上の一連のプログラム試験とメモリ消去試験を、試験が終了するまで繰り返す。これによって、試験装置１００は、試験実行の間に試験情報を順次転送することができる。

[0047] 本変形例は、被試験メモリ１０の一部のメモリ領域を消去する間に次の試験パターンデータを転送することを説明したが、これに代えて、試験部２３０は、被試験メモリ１０の一部のメモリ領域に試験データをプログラムする間に次の試験パターンデータを転送してもよい。これによっても試験部２３０は、速やかに次の試験を実行することができる。

[0048] 以上の本変形例において、試験部２３０は、直前の試験結果の転送および／または次の試験パターンデータの転送を、試験の間に実行することを説明した。これに代えて、またはこれに加えて、試験部２３０は、試験の間にパターンフェイルデータを転送してよい。例えば、試験部２３０は、被試験メモリ１０の一部のメモリ領域に試験データをプログラムする間、および被試験メモリ１０の一部のメモリ領域を消去する間の少なくとも一方において、外部メモリ２４０および内部メモリ２３５の間で直前の試験結果に対応するパターンフェイルデータを転送する。これによって試験部２３０は、試験実行の間に試験情報を順次転送することができる。

[0049] また、試験部２３０は、被試験メモリ１０の一部のメモリ領域に試験データをプログラムする間、および被試験メモリ１０の一部のメモリ領域を消去する間の少なくとも一方において、次のメモリ領域に対応するパターンフェイルデータおよび直前のメモリ領域のパターンフェイルデータの少なくとも一方を外部メモリ２４０および内部メモリ２３５の間で転送してよい。これによって、試験部２３０は、試験実行の間に試験情報を順次転送させつつ、

速やかに次の試験を実行することができる。

[0050] 試験部２３０は、被試験メモリ１０の一部のメモリ領域に試験データをプログラムする間、および被試験メモリ１０の一部のメモリ領域を消去する間の少なくとも一方において、次の試験パターンデータおよびパターンフェイルデータを転送することを説明した。これに代えて、試験部２３０は、被試験メモリ１０の一部のメモリ領域に試験データをプログラムする間、および被試験メモリ１０の一部のメモリ領域を消去する間の少なくとも一方において、次回以降に用いる試験パターンデータおよびパターンフェイルデータを転送してもよい。

[0051] 以上の実施例に係る試験装置１００において、試験部２３０は、サブコントローラ２５０を介して外部メモリ２４０にアクセスして外部メモリ２４０および内部メモリ２３５の間で試験情報を転送する例を説明した。これに代えて、試験装置１００は、サブコントローラ２５０が試験部２３０を介して内部メモリ２３５にアクセスして外部メモリ２４０および内部メモリ２３５の間で試験情報を転送してもよい。試験装置１００は、試験サイト２２０内部において、試験情報を分配することによって、試験情報を順次転送させてよい。

[0052] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0053] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、

この順で実施することが必須であることを意味するものではない。

符号の説明

[0054] １０　被試験メモリ、１００　試験装置、１１０　試験コントローラ、１２０　ネットワーク部、１３０　制御ボード、１４０　デバイス接続部、１５０　試験ボード、２１０　ボードコントローラ、２２０　試験サイト、２３０　試験部、２３５　内部メモリ、２４０　外部メモリ、２５０　サブコントローラ

請求の範囲

[請求項1] 被試験メモリを試験する試験装置であって、

前記被試験メモリの一部のメモリ領域に対応する試験データおよび試験結果の少なくとも一方の試験情報を記憶する内部メモリを有し、前記被試験メモリを試験する試験用集積回路デバイスと、

前記被試験メモリの全メモリ領域に対応する前記試験情報を記憶する外部メモリと、

前記外部メモリに接続され、試験対象のメモリ領域に応じた前記試験情報を前記外部メモリおよび前記内部メモリの間で転送するメモリコントローラと、

を備える試験装置。

[請求項2] 前記内部メモリは、前記被試験メモリの一部のメモリ領域に対応する前記試験結果を記憶し、

前記メモリコントローラは、前記一部のメモリ領域に対応する前記試験結果を前記内部メモリから取得して、前記外部メモリに格納する

請求項１に記載の試験装置。

[請求項3] 前記内部メモリは、前記試験結果として、前記被試験メモリの一部のメモリ領域に対応してアドレス位置毎の良否を示すフェイルデータを記憶し、

前記メモリコントローラは、試験対象となるメモリ領域に応じた前記フェイルデータを前記外部メモリから読み出して前記内部メモリへと転送し、

前記試験用集積回路デバイスは、試験対象のメモリ領域を試験して前記内部メモリに格納された前記フェイルデータを更新し、

前記メモリコントローラは、更新された前記フェイルデータを前記内部メモリから取得して、前記外部メモリに格納する

請求項１に記載の試験装置。

[請求項4] 前記外部メモリは、前記被試験メモリの各ブロックの良否を示すブ

ロックフェイルデータを格納し、

前記メモリコントローラは、試験対象となるブロックの前記ブロックフェイルデータを前記外部メモリから読み出して前記内部メモリへと転送し、

前記試験用集積回路デバイスは、前記内部メモリに格納された前記ブロックフェイルデータから既に不良が検出された不良ブロックを特定して前記不良ブロックの試験をスキップする

請求項１に記載の試験装置。

[請求項5] 前記被試験メモリは、フラッシュメモリであり、

前記メモリコントローラは、前記被試験メモリの一部のメモリ領域に前記試験データをプログラムする間、および前記被試験メモリの一部のメモリ領域を消去する間の少なくとも一方において、前記外部メモリおよび前記内部メモリの間で前記試験情報を転送する

請求項１に記載の試験装置。

[請求項6] 前記メモリコントローラは、前記被試験メモリの一部のメモリ領域に前記試験データをプログラムする間、および前記被試験メモリの一部のメモリ領域を消去する間の少なくとも一方において、次のメモリ領域に対応する前記試験データおよび直前のメモリ領域の前記試験結果の少なくとも一方を前記外部メモリおよび前記内部メモリの間で転送する

請求項５に記載の試験装置。

[請求項7] 前記試験用集積回路デバイス、前記外部メモリ、および前記メモリコントローラを有する複数の試験サイトと、

前記複数の試験サイトのそれぞれの前記メモリコントローラに接続され、前記複数の試験サイトによる試験を制御する試験コントローラと、

を備える請求項１に記載の試験装置。

[請求項8] 前記複数の試験サイトのそれぞれの前記メモリコントローラは、前

記試験コントローラおよび前記外部メモリの間で前記試験情報を転送する請求項７に記載の試験装置。

[請求項9] 被試験メモリを試験する試験方法であって、

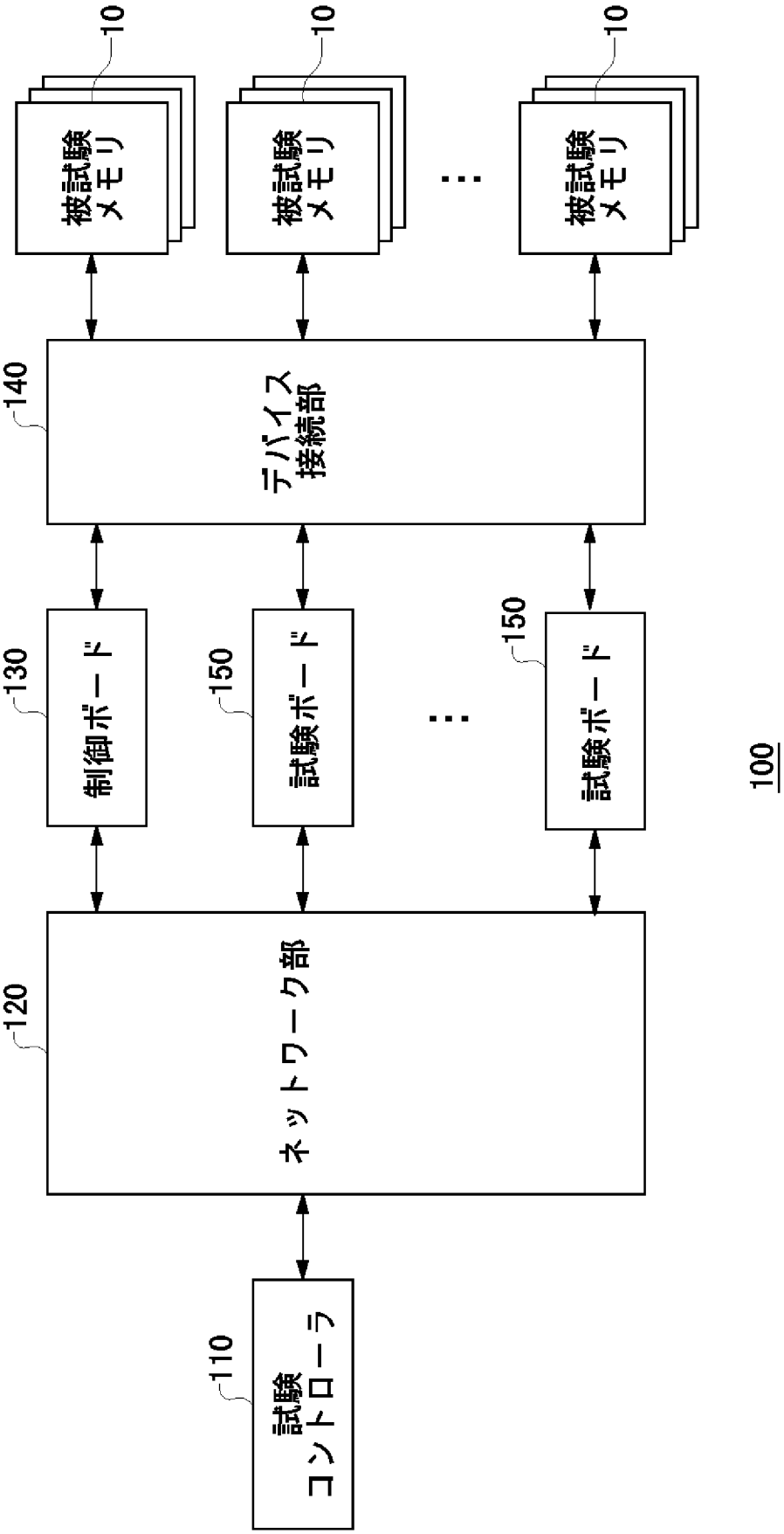
前記被試験メモリの一部のメモリ領域に対応する試験データおよび試験結果の少なくとも一方の試験情報を記憶する内部メモリを有し、前記被試験メモリを試験する試験段階と、

前記被試験メモリの全メモリ領域に対応する前記試験情報を外部メモリに記憶する外部記憶段階と、

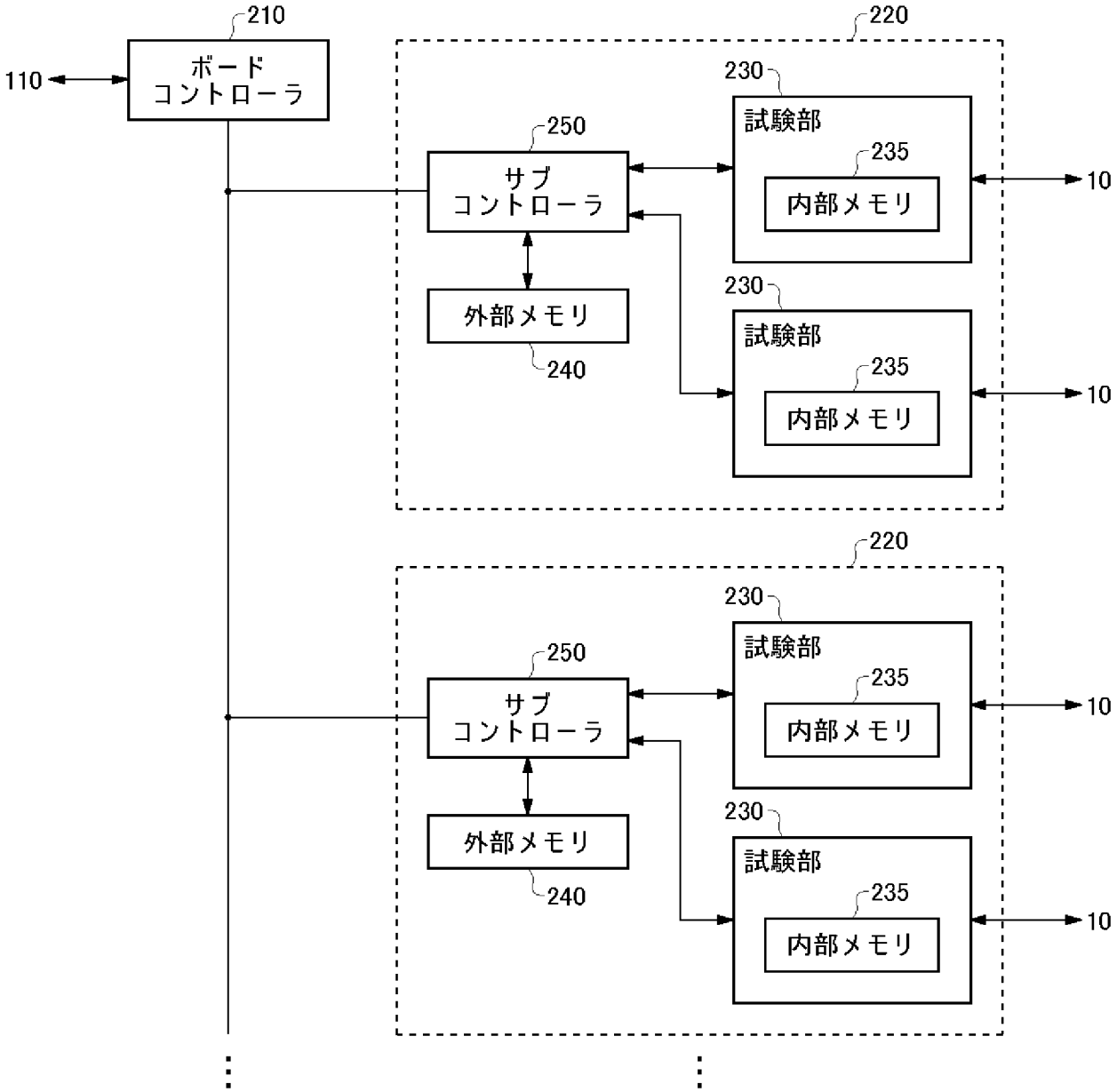
前記外部メモリに接続され、試験対象のメモリ領域に応じた前記試験情報を前記外部メモリおよび前記内部メモリの間で転送するメモリコントロール段階と、

を備える試験方法。

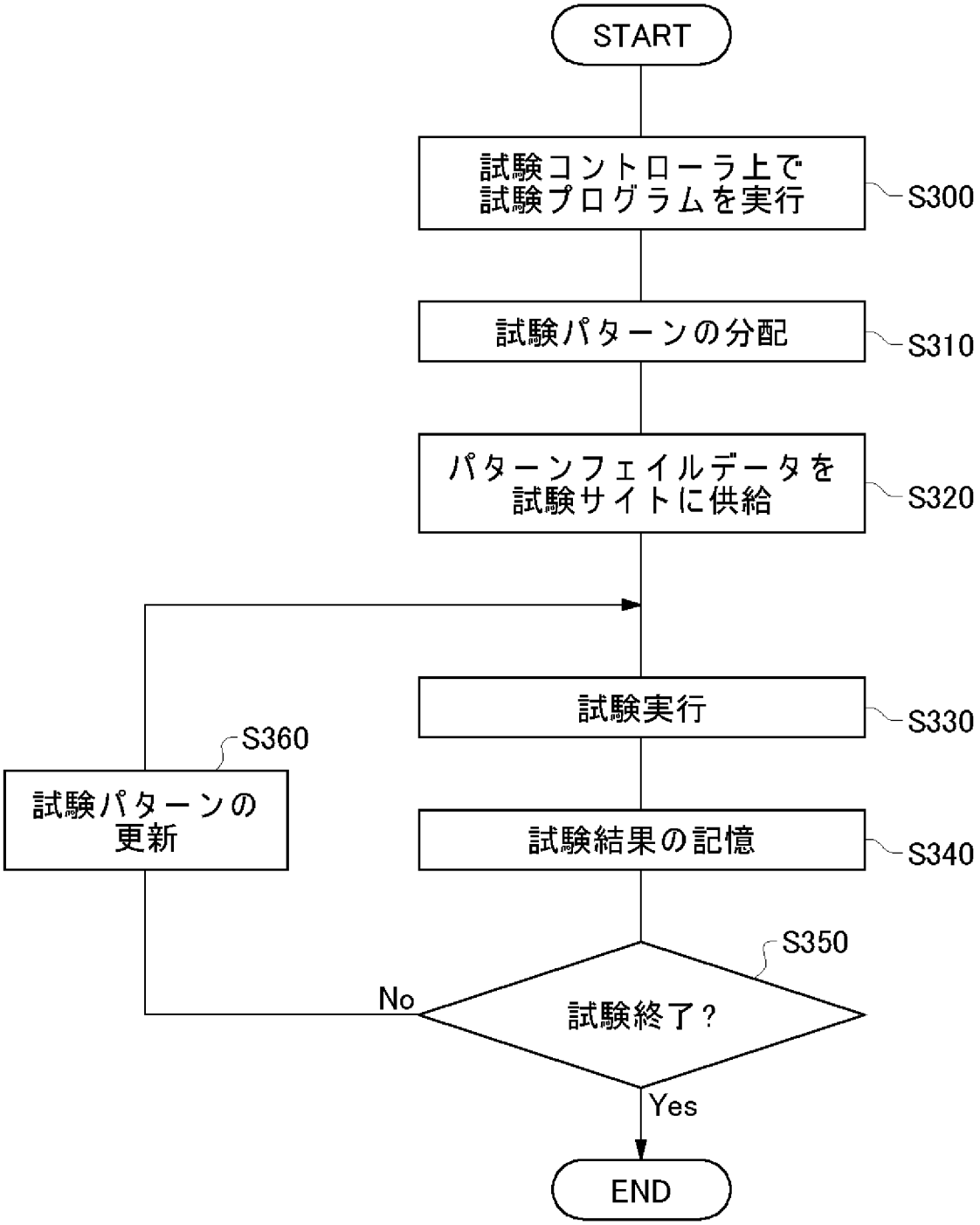
[図1]


10
被試験メモリ
10
被試験メモリ
10
被試験メモリ
140
デバイス接続部
130
制御ボード
150
試験ボード
150
試験ボード
120
ネットワーク部
110
試験コントローラ
100

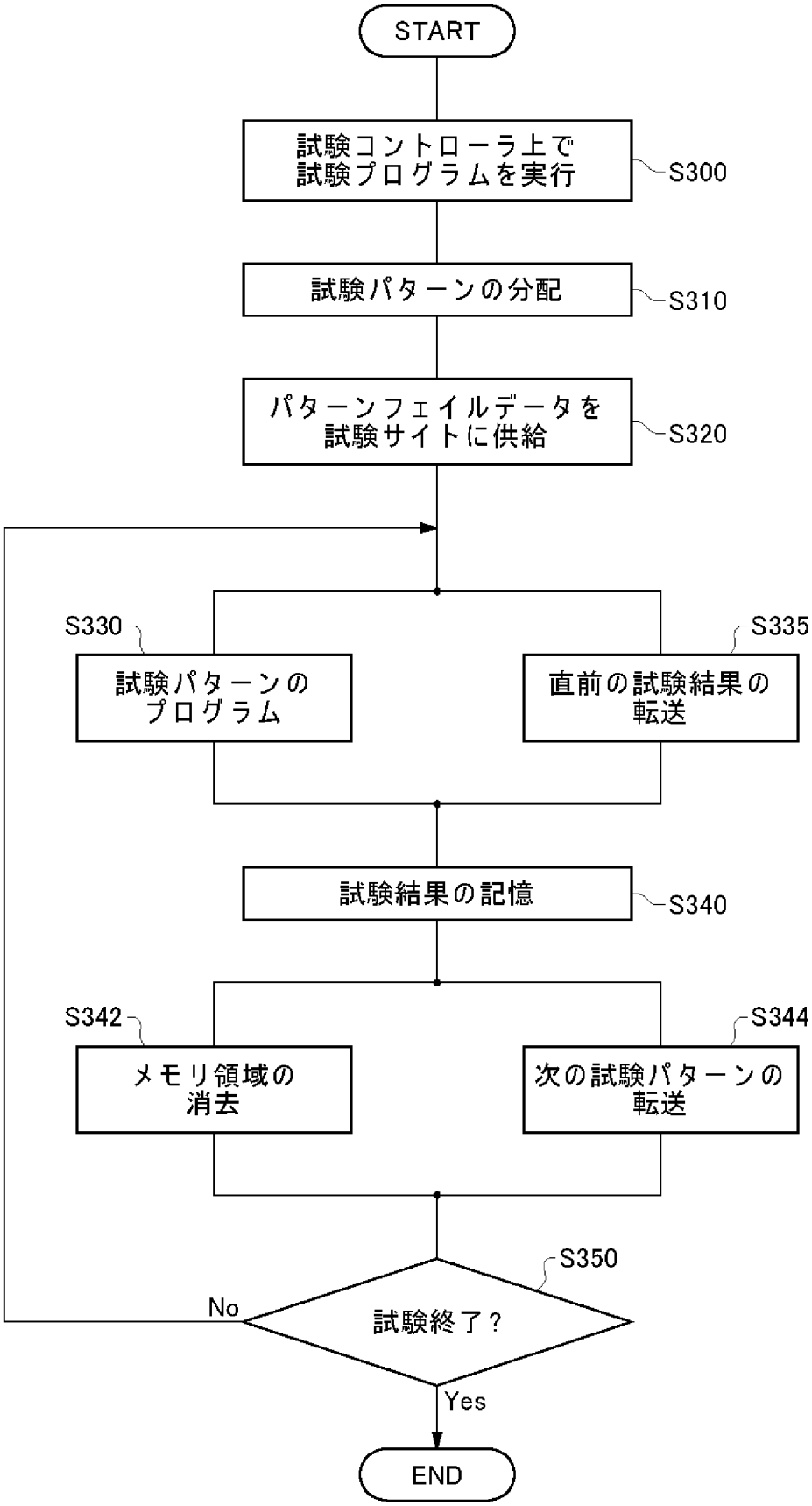
[図2]


210
ボード
コントローラ
110
220
230
試験部
235
内部メモリ
250
サブ
コントローラ
外部メモリ
240
10
150

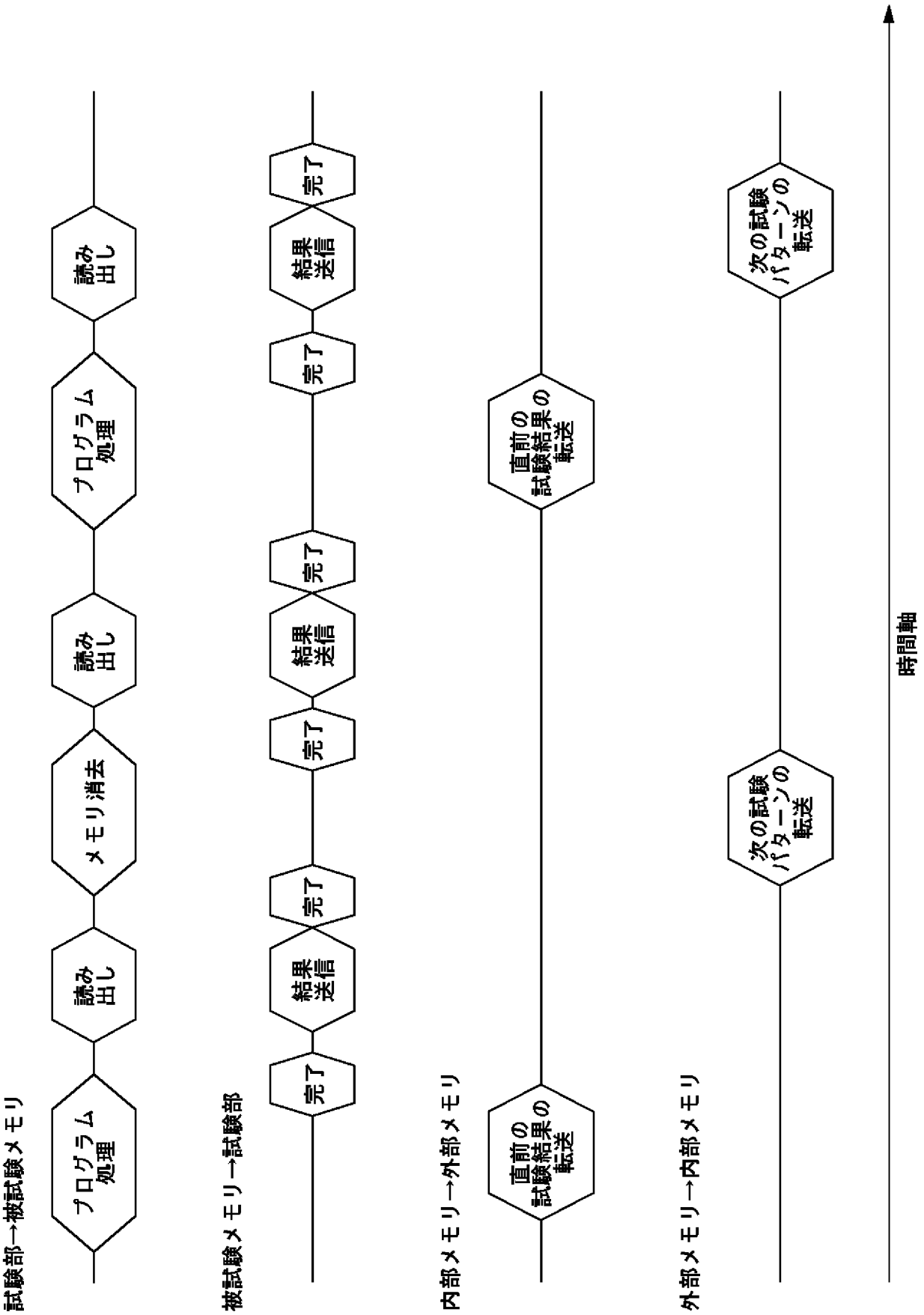
[図3]


START
試験コントローラ上で
試験プログラムを実行
S300
試験パターンの分配
S310
パターンフェイルデータを
試験サイトに供給
S320
試験実行
S330
試験結果の記憶
S340
S350
試験終了？
No
Yes
S360
試験パターンの
更新
END

[図4]


START
試験コントローラ上で
試験プログラムを実行
S300
試験パターンの分配
S310
パターンフェイルデータを
試験サイトに供給
S320
S330
試験パターンの
プログラム
S335
直前の試験結果の
転送
試験結果の記憶
S340
S342
メモリ領域の
消去
S344
次の試験パターンの
転送
S350
No
試験終了？
Yes
END

[図5]


試験部→被試験メモリ
プログラム処理
読み出し
メモリ消去
読み出し
プログラム処理
読み出し
被試験メモリ→試験部
完了
結果送信
完了
読み出し
完了
結果送信
完了
読み出し
完了
内部メモリ→外部メモリ
直前の試験結果の転送
直前の試験結果の転送
外部メモリ→内部メモリ
次の試験パターンの転送
次の試験パターンの転送
時間軸

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/000852

A. CLASSIFICATION OF SUBJECT MATTER
G11C29/56(2006.01)i, *G01R31/28*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G11C29/56, G01R31/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2007-102940 A (Advantest Corp.), 19 April 2007 (19.04.2007), entire text; all drawings (Family: none)	1,2,9 3-8
Y	WO 2008/001543 A1 (Advantest Corp.), 03 January 2008 (03.01.2008), abstract & US 2010/0008170 A1 & KR 10-2008-0016994 A & CN 101313366 A	3-8
Y	JP 2000-100196 A (Advantest Corp.), 07 April 2000 (07.04.2000), paragraphs [0013] to [0016] & US 6477672 B1 & TW 475994 B & KR 10-2000-0023326 A	3-8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
09 May, 2011 (09.05.11)	17 May, 2011 (17.05.11)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/000852

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2010/013306 A1 (Advantest Corp.), 04 February 2010 (04.02.2010), paragraph [0006] (Family: none)	3-8
Y	JP 11-238395 A (Advantest Corp.), 31 August 1999 (31.08.1999), fig. 1 to 3 & US 5946250 A	3-8
Y	JP 2005-267673 A (Advantest Corp.), 29 September 2005 (29.09.2005), fig. 1 to 5 & US 2007/0208969 A1 & WO 2005/088645 A1 & KR 10-2007-0001222 A	3-8
A	JP 2008-192227 A (Yokogawa Electric Corp.), 21 August 2008 (21.08.2008), fig. 1 to 4 (Family: none)	1-9
A	JP 2007-157264 A (Yokogawa Electric Corp.), 21 June 2007 (21.06.2007), abstract; fig. 1, 2 & KR 10-2007-0059952 A	1-9

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１１／０００８５２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G11C29/56(2006.01)i, G01R31/28(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G11C29/56, G01R31/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１１年
日本国実用新案登録公報	１９９６－２０１１年
日本国登録実用新案公報	１９９４－２０１１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2007-102940 A（株式会社アドバンテスト）2007.04.19, 全文、全図（ファミリーなし）	１，２，９ ３－８
Y	WO 2008/001543 A1（株式会社アドバンテスト）2008.01.03, 要約 & US 2010/0008170 A1 & KR 10-2008-0016994 A & CN 101313366 A	３－８
Y	JP 2000-100196 A（株式会社アドバンテスト）2000.04.07, 段落【００１３】－【００１６】 & US 6477672 B1 & TW 475994 B & KR 10-2000-0023326 A	３－８

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ０９．０５．２０１１	国際調査報告の発送日 １７．０５．２０１１
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｎ　４２４０ 小林　紀和 電話番号　０３－３５８１－１１０１　内線　３５８６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ｙ	WO 2010/013306 A1（株式会社アドバンテスト）2010.02.04, 段落〔０００６〕（ファミリーなし）	３－８
Ｙ	JP 11-238395 A（株式会社アドバンテスト）1999.08.31, 図１－３ & US 5946250 A	３－８
Ｙ	JP 2005-267673 A（株式会社アドバンテスト）2005.09.29, 図１－５ & US 2007/0208969 A1 & WO 2005/088645 A1 & KR 10-2007-0001222 A	３－８
Ａ	JP 2008-192227 A（横河電機株式会社）2008.08.21, 図１－４（ファミリーなし）	１－９
Ａ	JP 2007-157264 A（横河電機株式会社）2007.06.21, 要約、図１，２ & KR 10-2007-0059952 A	１－９