

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4928748号  
(P4928748)

(45) 発行日 平成24年5月9日(2012.5.9)

(24) 登録日 平成24年2月17日(2012.2.17)

(51) Int. Cl.	F I
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 C
HO 1 L 21/822 (2006.01)	HO 1 L 21/88 Z
HO 1 L 21/3205 (2006.01)	HO 3 B 5/12 B
HO 1 L 23/52 (2006.01)	
HO 3 B 5/12 (2006.01)	

請求項の数 18 (全 27 頁)

(21) 出願番号	特願2005-186967 (P2005-186967)	(73) 特許権者	302062931
(22) 出願日	平成17年6月27日(2005.6.27)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2007-5719 (P2007-5719A)		神奈川県川崎市中原区下沼部1753番地
(43) 公開日	平成19年1月11日(2007.1.11)	(74) 代理人	100080001
審査請求日	平成20年6月17日(2008.6.17)		弁理士 筒井 大和
		(72) 発明者	藤原 剛
			東京都青梅市新町六丁目16番地の3 株式会社日立製作所 マイクロデバイス事業部内
		(72) 発明者	今井 俊則
			東京都青梅市新町六丁目16番地の3 株式会社日立製作所 マイクロデバイス事業部内

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1電極と、  
前記第1電極上に形成された第1絶縁膜と、  
前記第1絶縁膜に形成され、且つ、前記第1電極が露出するように形成された第1開口部と、  
前記第1開口部の側壁に形成され、且つ、第3絶縁膜からなる第1サイドウォールと、  
前記第1絶縁膜上に形成され、且つ、前記第1開口部内にて前記第1サイドウォールを覆うように前記第1電極上に形成された第1容量絶縁膜と、  
前記第1容量絶縁膜上に形成された第2電極と、  
前記第2電極上に形成された第2絶縁膜と、  
前記第2絶縁膜に形成され、且つ、前記第2電極が露出するように形成された第2開口部と、  
前記第2開口部の側壁に形成され、且つ、第4絶縁膜からなる第2サイドウォールと、  
前記第2絶縁膜上に形成され、且つ、前記第2開口部内にて前記第2サイドウォールを覆うように前記第2電極上に形成された第2容量絶縁膜と、  
前記第2容量絶縁膜上に形成された第3電極と、を備えることを特徴とする半導体装置。

10

【請求項2】

請求項1において、

20

前記第1容量絶縁膜と前記第1電極の接触面積は、前記第2容量絶縁膜と前記第2電極の接触面積よりも大きいことを特徴とする半導体装置。

【請求項3】

請求項1または2において、

前記第2電極は、信号配線あるいは電源配線に使用されることを特徴とする半導体装置

【請求項4】

請求項1～3の何れか1項において、

前記第1電極と前記第3電極とは、電氣的に接続されていることを特徴とする半導体装置。

10

【請求項5】

請求項4において、

前記第1電極、前記第1容量絶縁膜および前記第2電極からなる第1容量素子と、前記第2電極、前記第2容量絶縁膜および前記第3電極からなる第2容量素子は、並列接続されていることを特徴とする半導体装置。

【請求項6】

請求項1～5の何れか1項において、

前記第1電極、前記第2電極および前記第3電極は、アルミニウム膜あるいはタンゲステン膜から形成されていることを特徴とする半導体装置。

【請求項7】

請求項1～6の何れか1項において、

前記第1容量絶縁膜および前記第2容量絶縁膜は、酸化シリコン膜、窒化シリコン膜、アルミナ膜、タンタルあるいはハフニウムの酸化物を含む膜のいずれかより形成されていることを特徴とする半導体装置。

20

【請求項8】

請求項1～7の何れか1項において、

前記第1開口部内において、前記第1サイドウォールを介して前記第1開口部の側壁に形成されている前記第1容量絶縁膜の膜厚は、前記第1電極上に形成されている前記第1容量絶縁膜の膜厚よりも薄いことを特徴とする半導体装置。

【請求項9】

請求項1～8の何れか1項において、

前記第2開口部内において、前記第2サイドウォールを介して前記第2開口部の側壁に形成されている前記第2容量絶縁膜の膜厚は、前記第2電極上に形成されている前記第2容量絶縁膜の膜厚よりも薄いことを特徴とする半導体装置。

30

【請求項10】

請求項1～9の何れか1項において、

前記第1開口部内において、前記第1容量絶縁膜は、前記第1電極および前記第1サイドウォールと直接接していることを特徴とする半導体装置。

【請求項11】

請求項1～10の何れか1項において、

前記第2開口部内において、前記第2容量絶縁膜は、前記第2電極および前記第2サイドウォールと直接接していることを特徴とする半導体装置。

40

【請求項12】

(a) 半導体基板上に第1電極を形成する工程と、

(b) 前記第1電極上に第1絶縁膜を形成する工程と、

(c) 前記第1絶縁膜に前記第1電極に達する第1開口部を形成する工程と、

(d) 前記第1開口部の側壁に、第3絶縁膜からなる第1サイドウォールを形成する工程と、

と、

(e) 前記第1絶縁膜上に第1容量絶縁膜を形成する工程であって、前記第1開口部内にて前記第1サイドウォールを覆うように前記第1電極上に前記第1容量絶縁膜を形成す

50

る工程と、

(f) 前記第1開口部内を含む前記第1容量絶縁膜上に第1導体膜を形成する工程と、

(g) 前記第1導体膜をパターニングして第2電極を形成する工程と、

(h) 前記第2電極上に第2絶縁膜を形成する工程と、

(i) 前記第2絶縁膜に前記第2電極に達する第2開口部を形成する工程と、

(j) 前記第2開口部の側壁に、第4絶縁膜からなる第2サイドウォールを形成する工程と、

(k) 前記第2絶縁膜上に第2容量絶縁膜を形成する工程であって、前記第2開口部内にて前記第2サイドウォールを覆うように前記第2電極上に前記第2容量絶縁膜を形成する工程と、

(l) 前記第2開口部内を含む前記第2容量絶縁膜上に第2導体膜を形成する工程と、

(m) 前記第2導体膜をパターニングして第3電極を形成する工程と、を備えることを特徴とする半導体装置の製造方法。

【請求項13】

請求項12において、

前記第1開口部内において、前記第1サイドウォールを介して前記第1開口部の側壁に形成されている前記第1容量絶縁膜の膜厚は、前記第1電極上に形成されている前記第1容量絶縁膜の膜厚よりも薄いことを特徴とする半導体装置の製造方法。

【請求項14】

請求項12または13において、

前記第2開口部内において、前記第2サイドウォールを介して前記第2開口部の側壁に形成されている前記第2容量絶縁膜の膜厚は、前記第2電極上に形成されている前記第2容量絶縁膜の膜厚よりも薄いことを特徴とする半導体装置の製造方法。

【請求項15】

請求項12～14の何れか1項において、

前記第1開口部内において、前記第1容量絶縁膜は、前記第1電極および前記第1サイドウォールと直接接していることを特徴とする半導体装置の製造方法。

【請求項16】

請求項12～15の何れか1項において、

前記第2開口部内において、前記第2容量絶縁膜は、前記第2電極および前記第2サイドウォールと直接接していることを特徴とする半導体装置の製造方法。

【請求項17】

請求項12～16の何れか1項において、

前記(d)工程は、

(d1) 前記第1絶縁膜上、及び、前記第1開口部にて前記第1電極上に前記第3絶縁膜を形成する工程と、

(d2) 前記第3絶縁膜を異方性エッチングすることにより、前記第1開口部の側壁に前記第3絶縁膜を残すことで、前記第1サイドウォールを形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項18】

請求項12～17の何れか1項において、

前記(j)工程は、

(j1) 前記第2絶縁膜上、及び、前記第2開口部にて前記第2電極上に前記第4絶縁膜を形成する工程と、

(j2) 前記第4絶縁膜を異方性エッチングすることにより、前記第2開口部の側壁に前記第4絶縁膜を残すことで、前記第2サイドウォールを形成する工程と、を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、半導体装置、及びそれを用いた送受信装置、並びにその半導体装置の製造方法に関し、特に、半導体チップに形成された容量素子の占有面積を低減する半導体装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

MIM (Metal Insulator Metal) 構造からなる容量素子を積層構造にすることにより、容量を確保しながら容量素子の占有面積を低減する技術が開示されている(例えば、特許文献1または特許文献2参照)。

【0003】

また、DRAM (Dynamic Random Access Memory) において、ポリシリコン膜からなる電極を有する容量素子を積層構造にし、かつ、容量素子の端部を持ち上げた構造が開示されている(例えば、特許文献3)。

【特許文献1】特開2004-200640号公報

【特許文献2】特開平10-326863号公報

【特許文献3】特開平10-107221号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

上述した特許文献1あるいは特許文献2においては、下部電極と下部電極上に形成された第1容量絶縁膜と第1容量絶縁膜上に形成された中間電極によって第1容量素子が形成されている。そして、中間電極と中間電極上に形成された第2容量絶縁膜と第2容量絶縁膜上に形成された上部電極によって第2容量素子が形成されている。このように、第1容量素子と第2容量素子は積層されているが、このとき、中間電極は、中間電極のすべての部分で第1容量絶縁膜と直接接している。したがって、中間電極による寄生容量(層間容量)は、第1容量素子の容量と同等となる。

【0005】

ここで、中間電極を第1容量素子および第2容量素子の電極に使用する他、信号配線や電源配線としても使用したい要求がある。しかし、上述した特許文献1あるいは特許文献2に記載された構造では、中間電極による寄生容量が第1容量素子と同等で大きなものとなるので、一般配線として使用すると信号遅延や消費電力が増加する。このため、実質的には、中間電極を一般配線として使用することが困難になるという問題がある。特に、高周波を使用した回路では、高速動作を必要とするため、配線間の寄生容量を低減しなければ、中間電極を一般配線として使用できない問題点がある。

【0006】

また、特許文献3には、DRAMの容量素子の電極としてポリシリコン膜を使用する場が記載されている。ポリシリコン膜は、MIM構造の電極に使用される金属膜より抵抗値が高い。さらに、通常、ポリシリコン膜を使用した容量素子では電極間距離を、金属膜を使用した容量素子の電極間距離に比べて小さくしている。このため、寄生容量も大きくなる。このことから、ポリシリコン膜を使用した電極は、金属膜を使用した電極に比べて信号遅延および消費電力の増加が生じる。したがって、ポリシリコン膜を使用した電極を一般配線に使用することが困難となる。特許文献3には、寄生容量を低減する記載はなされておらず、示唆もされていない。

【0007】

本発明の目的は、容量素子の占有面積を低減させながら、容量素子の寄生容量を低減できる技術を提供することにある。

【0008】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0009】

10

20

30

40

50

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0010】

本発明による半導体装置は、金属膜よりなる第1電極と、前記第1電極上に形成された第1容量絶縁膜と、前記第1容量絶縁膜上に形成された金属膜よりなる第2電極とを備える。そして、さらに、前記第2電極上に形成された第2容量絶縁膜と、前記第2容量絶縁膜上に形成された金属膜よりなる第3電極とを備え、前記第1電極には、前記第1容量絶縁膜と直接接していない部分がある容量素子を含むことを特徴とするものである。

【0011】

また、本発明による送受信装置は、電波を送受信する送受信装置であって、金属膜よりなる第1電極と、前記第1電極上に形成された第1容量絶縁膜と、前記第1容量絶縁膜上に形成された金属膜よりなる第2電極とを備える。そして、さらに、前記第2電極上に形成された第2容量絶縁膜と、前記第2容量絶縁膜上に形成された金属膜よりなる第3電極とを備え、前記第1電極には、前記第1容量絶縁膜と直接接していない部分がある容量素子を含むことを特徴とするものである。

10

【0012】

また、本発明による半導体装置の製造方法は、(a)半導体基板上に第1電極を形成する工程と、(b)前記第1電極上に第1絶縁膜を形成する工程と、(c)前記第1絶縁膜に前記第1電極に達する第1開口部を形成する工程と、(d)前記第1開口部内を含む前記第1絶縁膜上に第1容量絶縁膜を形成する工程とを備える。そして、さらに、(e)前記第1開口部内を含む前記第1容量絶縁膜上に第1導体膜を形成する工程と、(f)前記第1導体膜をパターニングして第2電極を形成する工程と、(g)前記第2電極上を含む前記半導体基板上に第2絶縁膜を形成する工程と、(h)前記第2絶縁膜に前記第2電極に達する第2開口部を形成する工程とを備える。さらに、(i)前記第2開口部内を含む前記第2絶縁膜上に第2容量絶縁膜を形成する工程と、(j)前記第2開口部内を含む前記第2容量絶縁膜上に第2導体膜を形成する工程と、(k)前記第2導体膜をパターニングして第3電極を形成する工程とを備えることを特徴とするものである。

20

【発明の効果】

【0013】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

30

【0014】

複数の容量素子を積層するとともに容量素子を構成する電極に容量絶縁膜と直接接しない部分を設けることにより、容量素子の占有面積を低減させながら、容量素子の寄生容量を低減できる。

【発明を実施するための最良の形態】

【0015】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

40

【0016】

また、以下の実施の形態において、要素の数等(個数、数値、量、範囲等を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0017】

さらに、以下の実施の形態において、その構成要素(要素ステップ等も含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0018】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは

50

、特に明示した場合および原理的に明らかにそうではないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【 0 0 1 9 】

本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 2 0 】

(実施の形態 1)

図 1 は、本実施の形態 1 における半導体装置の一部を示した断面図である。図 1 に示すように、シリコン単結晶よりなる半導体基板 1 には、n チャネル型 M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) 2 および p チャネル型 M I S F E T 3 が形成されている。また、n チャネル型 M I S F E T 2 および p チャネル型 M I S F E T 3 の形成領域とは別の領域には、M I M 構造を有する容量素子 4 が形成されている。すなわち、半導体基板 1 上には、M I S F E T や容量素子などが形成されている。以下の図面においては、半導体基板 1 に形成されている M I S F E T の図示は省略し、層間絶縁膜上に形成された容量素子だけを図示するものとする。

【 0 0 2 1 】

図 1 に示す容量素子 4 を上部から見た平面図を図 2 に示す。図 2 において、容量素子 4 には、下部電極 (第 1 電極) 1 0 が形成されており、この下部電極 1 0 上には絶縁膜 (図示せず) を介して中間電極 (第 2 電極) 1 1 が形成されている。この下部電極 1 0 と中間電極 1 1 が平面上で重なり合う領域に容量素子 (第 1 容量素子) C 1 が形成されている。さらに、中間電極 1 1 上には、絶縁膜 (図示せず) を介して上部電極 (第 3 電極) 1 2 および配線 1 3 が形成されている。これにより、中間電極 1 1 と上部電極 1 2 が平面上で重なり合う領域に容量素子 (第 2 容量素子) C 2 が形成される。そして、下部電極 1 0 と上部電極 1 2 とはプラグ 1 4 を介して電氣的に接続されており、また、中間電極 1 1 は、プラグ 1 5 を介して配線 1 3 に接続されている。このように、容量素子 4 は、容量素子 C 1 と容量素子 C 2 とを基板の厚さ方向に積層した構造を有している。したがって、本実施の形態 1 では、容量素子 C 1 と容量素子 C 2 とを積層構造にせず、平面的に配置する場合に比べて、容量素子の半導体基板に占める占有面積を低減することができる。

【 0 0 2 2 】

図 3 は、図 2 の A - A 線で切断した断面図を示している。図 3 に示すように、半導体基板上には、層間絶縁膜として絶縁膜 1 6 が形成されており、この絶縁膜 1 6 上には、下部電極 1 0 が形成されている。下部電極 1 0 は、例えば、窒化チタン膜 1 7 a、アルミニウム膜 1 7 b および窒化チタン膜 1 7 c の積層膜から形成されている。なお、下部電極は、上述した積層膜に限らず、例えば、タングステン膜、あるいはアルミニウム膜をチタン膜やタングステン膜などの高融点金属で積層した膜から構成してもよい。

【 0 0 2 3 】

下部電極 1 0 上を含む絶縁膜 1 6 上には、絶縁膜 (第 1 絶縁膜) 1 9 が形成されている。この絶縁膜 1 9 には、開口部 (溝) 1 9 a が形成されており、開口部 1 9 a の底部において下部電極 1 0 が露出するようになっている。このように、下部電極 1 0 の一部領域上には開口部 1 9 a が形成されており、その他の領域は、絶縁膜 1 9 が形成されている。したがって、下部電極 1 0 に開口部 1 9 a を設けることにより、下部電極 1 0 上に段差が形成されている。

【 0 0 2 4 】

開口部 1 9 a の内部を含む絶縁膜 1 9 上には、容量絶縁膜 (第 1 容量絶縁膜) 1 8 が形成されている。この容量絶縁膜 1 8 は、例えば、酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜あるいは、タンタルやハフニウムなどの酸化物を含む膜から形成されている。容量絶縁膜 1 8 として、酸化アルミニウム膜、タンタルやハフニウムなどの酸化物を含む膜から構成することにより、容量絶縁膜 1 8 を高誘電率の膜とすることができ、容量

10

20

30

40

50

密度の向上が可能となる。一方、容量絶縁膜 18 を酸化シリコン膜や窒化シリコン膜から構成することにより、容量素子の耐圧向上を図ることができる。また、容量絶縁膜 18 を酸化シリコン膜や窒化シリコン膜から構成することで、誘電率の温度依存性や周波数依存性を少なくすることができる。つまり、容量絶縁膜 18 の温度特性および周波数特性を改善することができる。

**【 0 0 2 5 】**

容量絶縁膜 18 は、開口部 19 a の内部を含む絶縁膜 19 上に形成されているので、開口部 19 a の底部に形成されている容量絶縁膜 18 は、下部電極 10 と直接接していることになる。一方、開口部 19 a 以外の絶縁膜 19 上に形成されている容量絶縁膜 18 は、下部電極 10 と直接接していない。すなわち、下部電極 10 と容量絶縁膜 18 の間には絶縁膜 19 が形成されている。このように、下部電極 10 と容量絶縁膜 18 は、直接接している部分と直接接していない部分があり、この点が本実施の形態 1 の特徴の一つである。

10

**【 0 0 2 6 】**

次に、容量絶縁膜 18 上には、中間電極 11 が形成されている。中間電極 11 は、例えば窒化チタン膜 20 a、アルミニウム膜 20 b および窒化チタン膜 20 c の積層膜から形成されるが、前述した下部電極 10 と同様に他の材料を用いてもよい。中間電極 11 は、開口部 19 a 内を含む容量絶縁膜 18 上に形成されているため、中間電極 11 には段差が形成されている。この中間電極 11、容量絶縁膜 18 および下部電極 10 により、一つの容量素子 C1 (図 2 参照) が形成される。このとき、開口部 19 a 内において、容量素子 C1 が形成されている。すなわち、開口部 19 a 内においては、下部電極 10 上に直接接するように容量絶縁膜 18 が形成されており、この容量絶縁膜 18 上に直接、中間電極 11 が形成されているので、下部電極 10 と中間電極 11 との距離が短くなり容量が大きくなる。したがって、容量が大きくなる開口部 19 a 内が容量素子 C1 として支配的に機能する。一方、開口部 19 a 以外の領域では、下部電極 10 と容量絶縁膜 18 の間に絶縁膜 19 が形成されている。このため、下部電極 10 と中間電極 11 との距離は、開口部 19 a 内に比べて大きくなり、容量に対する寄与は少なくなる。

20

**【 0 0 2 7 】**

従来、上部に中間電極がある下部電極の領域において、下部電極は容量絶縁膜と直接接していた。しかし、この場合、容量素子が形成されている領域以外においても下部電極と中間電極との距離が容量素子形成領域と同様に近くなっていた。このため、中間電極を容量素子の電極以外に使用する場合に寄生容量が容量素子の容量と同等となって大きくなる問題点があった。すなわち、中間電極の寄生容量が大きくなって、中間電極を信号配線や電源配線などの一般配線としても使用するには、信号遅延や消費電力の増加が無視できない事態になっていた。

30

**【 0 0 2 8 】**

そこで、本実施の形態 1 では、容量素子形成領域においては、下部電極 10 と中間電極 11 との距離を近づけて容量を確保する一方、容量素子形成領域以外の領域においては、下部電極 10 と中間電極 11 の間に絶縁膜 19 を設けて下部電極 10 と中間電極 11 との距離を遠ざけている。つまり、容量素子形成領域において、下部電極 10 は、容量絶縁膜 18 と直接接するように構成されているが、その他の領域において、下部電極 10 と容量絶縁膜 18 の間に絶縁膜 19 を設けることにより、下部電極 10 を容量絶縁膜 18 と直接接しないように構成している。これにより、下部電極 10 が容量絶縁膜 18 と直接接していない領域上で、下部電極 10 と中間電極 11 との距離が大きくなるので、中間電極 11 を一般配線に使用したとき、下部電極 10 との間で生じる寄生容量を小さくすることができる。言い換えれば、下部電極 10 上に開口部 19 a による段差を設けて、開口部 19 a 内 (容量素子形成領域) での下部電極 10 と中間電極 11 の距離よりも、開口部 19 a の外側の領域での下部電極 10 と中間電極 11 との距離を大きくしている。このため、中間電極 11 を信号配線や電源配線に使用した場合における信号遅延や消費電力の増加を抑制することができる。

40

**【 0 0 2 9 】**

50

次に、中間電極 1 1 上には、絶縁膜（第 2 絶縁膜）2 2 が形成されており、この絶縁膜 2 2 には開口部 2 2 a が設けられている。この開口部 2 2 a の底部には、中間電極 1 1 が露出している。そして、開口部 2 2 a の内部を含む絶縁膜 2 2 上には、容量絶縁膜（第 2 容量絶縁膜）2 1 が形成されており、容量絶縁膜 2 1 上には、窒化チタン膜 2 3 が形成されている。さらに、窒化チタン膜 2 3 上を含む絶縁膜 2 2 上には、上部電極 1 2 および配線 1 3 が形成されている。

#### 【 0 0 3 0 】

上部電極 1 2 および配線 1 3 は、例えば、窒化チタン膜 2 4 a、アルミニウム膜 2 4 b および窒化チタン膜 2 4 c の積層膜から構成されている。この上部電極 1 2、容量絶縁膜 2 1 および中間電極 1 1 により、図 2 に示す容量素子 C 2 が形成されている。すなわち、  
10  
本実施の形態 1 では、下部電極 1 0、容量絶縁膜 1 8 および中間電極 1 1 よりなる容量素子 C 1 上に、中間電極 1 1、容量絶縁膜 2 1 および上部電極 1 2 よりなる容量素子 C 2 が形成されている。つまり、本実施の形態 1 では、容量素子 C 1 および容量素子 C 2 が積層構造で形成されている。このように、容量素子 C 1 および容量素子 C 2 を積層構造とすることにより、半導体基板に占める容量素子の占有面積を低減することができるので、半導体チップの縮小化が図られ、低コスト化を実現できる。または、容量素子の占有面積を低減できるので、他の機能を有する素子を半導体チップ上に搭載することができる。このため、半導体チップの高機能化および高性能化を図ることができる。

#### 【 0 0 3 1 】

上部電極 1 2、容量絶縁膜 2 1 および中間電極 1 1 により、一つの容量素子 C 2（図 2 参照）が形成されるが、このとき、開口部 2 2 a 内において、容量素子 C 2 が形成されている。すなわち、開口部 2 2 a 内においては、中間電極 1 1 上に直接接するように容量絶縁膜 2 1 が形成されており、この容量絶縁膜 2 1 上に直接、上部電極 1 2 が形成されているので、中間電極 1 1 と上部電極 1 2 との距離が短くなり容量が大きくなる。したがって、容量が大きくなる開口部 2 2 a 内が容量素子 C 2 として支配的に機能する。一方、開口部 2 2 a 以外の領域（容量形成領域以外の領域）では、中間電極 1 1 と容量絶縁膜 2 1 の間に絶縁膜 2 2 が形成されており、中間電極 1 1 は、容量絶縁膜 2 1 と直接接していない。このため、中間電極 1 1 と上部電極 1 2 との距離は、開口部 2 2 a 内に比べて大きくなり、容量に対する寄与は少なくなる。つまり、中間電極 1 1 と上部電極 1 2 との間の寄生容量を低減することができる。  
20  
30

#### 【 0 0 3 2 】

また、図 3 に示すように、下部電極 1 0 と上部電極 1 2 とは、プラグ 1 4 を介して電氣的に接続されている。そして、中間電極 1 1 は、プラグ 1 5 を介して配線 1 3 と電氣的に接続されている。したがって、下部電極 1 0、容量絶縁膜 1 8 および中間電極 1 1 よりなる容量素子 C 1 と、中間電極 1 1、容量絶縁膜 2 1 および上部電極 1 2 よりなる容量素子 C 2 は、電氣的に並列接続されている。このため、積層された容量素子 C 1 と容量素子 C 2 による総容量は、容量素子 C 1 の容量と容量素子 C 2 の容量の和となる。このことから、積層化することによって容量素子の占有面積を低減しても、トータルの総容量を確保できる。

#### 【 0 0 3 3 】

本実施の形態 1 によれば、容量素子を積層構造にすることによって容量素子の占有面積を低減しつつも、積層化された容量素子を並列接続することにより、トータルの総容量を確保することができる。さらに、容量素子形成領域以外の領域では、電極間距離を容量素子形成領域に比べて大きくすることができるので、寄生容量を低減できる。このため、信号遅延や消費電力の低減を実現できるので、容量素子の電極を信号配線や電源配線として使用することができる。そして、電極を一般配線として利用できるので、半導体チップに引き回される配線も短くすることができ、その配線の寄生容量および配線抵抗を低減できる。また、電極を一般配線と共用することができるので、配線数も縮小でき、半導体チップの小型化をさらに推進することができる。また、電極を一般配線として用いることができるので、配線の設計などの設計自由度が増大する利点もある。  
40  
50

## 【0034】

なお、本実施の形態1によれば、開口部19a内に容量素子C1が形成され、開口部19aより小さい開口部22a内に容量素子C2が形成される。このため、容量絶縁膜18と下部電極10の接触面積は、容量絶縁膜21と中間電極11の接触面積よりも大きくなっている。

## 【0035】

次に、具体的に中間電極を一般配線として使用する場合の寄生容量（層間容量）を本発明者らが検討した構造の容量素子と本実施の形態1における構造の容量素子で比較した結果を示す。

## 【0036】

図3に示すように、本実施の形態1では、容量素子形成領域以外の領域の下部電極10と中間電極11との距離は $d_1$ であり、中間電極11と上部電極12との距離は $d_2$ となっている。すなわち、容量素子形成領域以外の領域の電極間距離は、容量素子形成領域（開口部19a、22a内の領域）の電極間距離に比べて大きくなっている。

## 【0037】

一方、本発明者らが検討した構造を図4に示す。図4に示すように、本発明者らが検討した構造では、下部電極100、容量絶縁膜101、中間電極102、容量絶縁膜103および上部電極104が積層構造をしている。そして、下部電極100と中間電極102との間の距離は、容量形成領域も容量形成領域以外の領域も $d_3$ となっている。同様に、中間電極102と上部電極104との間の距離は、容量形成領域も容量形成領域以外の領域も $d_4$ となっている。

## 【0038】

中間電極と下部電極との間の寄生容量の比（本実施の形態1の寄生容量 / 本発明者らが検討した構造の寄生容量）を求めると、 $(1/d_1)/(2/d_3) = (1 \cdot d_3)/(2 \cdot d_1)$ となる。同様に、中間電極と上部電極との間の寄生容量の比は、 $(1/d_2)/(2/d_4) = (1 \cdot d_4)/(2 \cdot d_2)$ となる。

## 【0039】

ここで、本実施の形態1の構造において、容量絶縁膜18および容量絶縁膜21が酸化シリコン膜から形成されているとすると、 $1 = 4.2$ となる。そして、 $d_1$ および $d_2$ の大きさを500nmとする。また、本発明者らが検討した構造において、容量絶縁膜101および容量絶縁膜103が窒化シリコン膜から形成されているとすると、 $2 = 7$ となる。そして、 $d_3$ および $d_4$ の大きさを50nmとする。

## 【0040】

この条件で本実施の形態1における寄生容量の低減を計算すると以下に示す結果が得られた。すなわち、本発明者らが検討した構造の寄生容量を100とした場合、本実施の形態1における寄生容量は6となり、1桁以上、寄生容量を低減することができる。

## 【0041】

中間配線を信号配線や電源配線などの一般配線に使用する場合、配線による信号遅延は、配線抵抗×寄生容量に比例し、消費電力も寄生容量に比例する。寄生容量は、一般に同層の隣接する配線との間の寄生容量と、上下層間にある配線との寄生容量との和になる。ここで、同層の隣接する配線間の距離が離れていて、この寄生容量が無視できる場合、寄生容量は、上下層間にある配線との寄生容量になる。この条件では、上述したように寄生容量を1桁以上低減することができるので、中間電極を配線に用いた場合の信号遅延および消費電力は、最大1桁低減することが可能となる。すなわち、本実施の形態1によれば、本発明者らが検討した構造の中間電極を一般配線に利用する場合に比べて、大幅に寄生容量を少なくできるので、配線による信号遅延の低減および消費電力の低減を実現できる。

## 【0042】

次に、本実施の形態1における容量素子の製造方法について、図面を参照しながら説明する。

10

20

30

40

50

## 【 0 0 4 3 】

まず、図示しない半導体基板上にM I S F E Tを形成し、このM I S F E Tに接続する配線を形成する。その後、配線上に層間絶縁膜となる絶縁膜30を形成する。図5には、絶縁膜30を形成した後の工程が記載されている。絶縁膜30は、例えば、酸化シリコン膜から形成され、例えばC V D (Chemical Vapor Deposition)法を使用して形成することができる。

## 【 0 0 4 4 】

次に、絶縁膜30上に窒化チタン膜31a、アルミニウム膜31bおよび窒化チタン膜31cを順次、積層して形成する。窒化チタン膜31a、アルミニウム膜31bおよび窒化チタン膜31cは、例えば、スパッタリング法を使用して形成することができる。続いて、フォトリソグラフィ技術およびエッチング技術を使用して、窒化チタン膜31a、アルミニウム膜31bおよび窒化チタン膜31cをパターニングする。これにより、窒化チタン膜31a、アルミニウム膜31bおよび窒化チタン膜31cよりなる下部電極(第1電極)32が形成される。そして、下部電極32を含む絶縁膜30上に絶縁膜(第1絶縁膜)33を形成する。この絶縁膜33も、例えばC V D法を使用した酸化シリコン膜より形成することができる。

## 【 0 0 4 5 】

続いて、図6に示すように、絶縁膜33上にレジスト膜34を塗布した後、レジスト膜34に対して露光・現像処理を施すことにより、レジスト膜34をパターニングする。パターニングは、開口部35を形成する領域にレジスト膜34が残らないようにする。次に、パターニングしたレジスト膜34をマスクにして絶縁膜33をエッチングする。これにより、絶縁膜33に開口部(第1開口部)35が形成される。この開口部35の底部には、下部電極32が露出している。

## 【 0 0 4 6 】

次に、レジスト膜34を除去した後、図7に示すように、開口部35内を含む絶縁膜33上に容量絶縁膜(第1容量絶縁膜)36を形成する。容量絶縁膜36は、例えば、C V D法を使用して形成することができ、例えば、酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜あるいは、タンタルやハフニウムなどの酸化物を含む膜から形成することができる。

## 【 0 0 4 7 】

そして、容量絶縁膜36上に窒化チタン膜37a、アルミニウム膜37bおよび窒化チタン膜37cを順次、スパッタリング法で形成する(第1導体膜)。その後、窒化チタン膜37c上にレジスト膜38を塗布し、塗布したレジスト膜38に対して露光・現像処理を施す。これにより、レジスト膜38をパターニングする。パターニングは、中間電極形成領域にレジスト膜38が残るようにする。続いて、パターニングしたレジスト膜38をマスクにしたエッチングにより、中間電極(第2電極)39を形成する。このとき、開口部35内においては、下部電極32、容量絶縁膜36および中間電極39により第1容量素子が形成される。一方、開口部35の外側の領域において、下部電極32は、容量絶縁膜36と直接接しておらず、下部電極32と中間電極39の間には、絶縁膜33が形成されている。この領域は、容量素子形成領域ではないため、下部電極32と中間電極39との間は容量素子形成領域よりも離れており、寄生容量の低減が図られている。

## 【 0 0 4 8 】

次に、レジスト膜38を除去した後、図8に示すように、中間電極39上を含む絶縁膜33上に絶縁膜(第2絶縁膜)40を形成する。絶縁膜40は、例えば、C V D法を用いた酸化シリコン膜より形成することができる。続いて、絶縁膜40上にレジスト膜41を塗布した後、露光・現像処理を施すことにより、レジスト膜41をパターニングする。パターニングは、接続孔形成領域にレジスト膜41が残らないようにする。そして、パターニングしたレジスト膜41をマスクにしたエッチングにより、接続孔42および接続孔43を形成する。接続孔42は下部電極32に達しており、接続孔43は中間電極39に達している。

## 【 0 0 4 9 】

次に、レジスト膜 4 1 を除去した後、図 9 に示すように、接続孔 4 2 および接続孔 4 3 に導電材料を埋め込んでプラグ 4 4 およびプラグ 4 5 を形成する。プラグ 4 4 およびプラグ 4 5 は、例えば窒化チタン膜およびタングステン膜の積層膜を、接続孔 4 2、4 3 内を含む絶縁膜 4 0 上に形成した後、CMP (Chemical Mechanical Polishing) 法を使用して絶縁膜 4 0 上に形成された積層膜を研磨することにより形成される。

## 【 0 0 5 0 】

続いて、図 1 0 に示すように、絶縁膜 4 0 上にレジスト膜 4 6 を塗布した後、露光・現像処理を施すことにより、レジスト膜 4 6 をパターンニングする。パターンニングは、開口部形成領域にレジスト膜 4 6 が残らないようにする。そして、パターンニングしたレジスト膜 4 6 をマスクにしてエッチングすることにより、開口部 (第 2 開口部) 4 7 を形成する。

## 【 0 0 5 1 】

次に、図 1 1 に示すように、開口部 4 7 内を含む絶縁膜 4 0 上に容量絶縁膜 (第 2 容量絶縁膜) 4 8 および窒化チタン膜 4 9 を積層して形成する。そして、窒化チタン膜 4 9 上にレジスト膜 5 0 を塗布した後、露光・現像処理を施すことにより、レジスト膜 5 0 をパターンニングする。続いて、パターンニングしたレジスト膜 5 0 をマスクにして、容量絶縁膜 4 8 および窒化チタン膜 4 9 をエッチングする。

## 【 0 0 5 2 】

次に、図 1 2 に示すように、パターンニングした窒化チタン膜 4 9 を含む絶縁膜 4 0 上に、窒化チタン膜 5 1 a、アルミニウム膜 5 1 b および窒化チタン膜 5 1 c を順次、スパッタリング法で形成する (第 2 導体膜)。その後、フォトリソグラフィ技術およびエッチング技術を使用して、これらの膜をパターンニングすることにより、窒化チタン膜 5 1 a、アルミニウム膜 5 1 b および窒化チタン膜 5 1 c よりなる上部電極 (第 3 電極) 5 2 を形成することができる。開口部 4 7 内には、中間電極 3 9、容量絶縁膜 4 8 および上部電極 5 2 よりなる第 2 容量素子が形成される。一方、開口部 4 7 の外側の領域においては、中間電極 3 9 と上部電極 5 2 との間に絶縁膜 4 0 が形成されている。このため、中間電極 3 9 と上部電極 5 2 との距離が容量形成領域より大きくなっているため、中間電極 3 9 の寄生容量を低減することができる。なお、中間電極 3 9 は、例えば、上部電極 5 2 と同層に形成された一般配線に接続されている。このようにして、本実施の形態 1 における容量素子を形成することができる。

## 【 0 0 5 3 】

(実施の形態 2)

前記実施の形態 1 では、中間配線 3 9 が上層の配線に接続される例について説明したが、本実施の形態 2 では、中間配線 3 9 が上層の配線だけでなく下層の配線にも接続される製造方法について、図面を参照しながら説明する。

## 【 0 0 5 4 】

まず、図 1 3 に示すように、絶縁膜 3 0 上に窒化チタン膜 3 1 a、アルミニウム膜 3 1 b および窒化チタン膜 3 1 c を順次、積層して形成する。窒化チタン膜 3 1 a、アルミニウム膜 3 1 b および窒化チタン膜 3 1 c は、例えば、スパッタリング法を使用して形成することができる。続いて、フォトリソグラフィ技術およびエッチング技術を使用して、窒化チタン膜 3 1 a、アルミニウム膜 3 1 b および窒化チタン膜 3 1 c をパターンニングする。これにより、窒化チタン膜 3 1 a、アルミニウム膜 3 1 b および窒化チタン膜 3 1 c よりなる下部電極 (第 1 電極) 3 2 および下層配線 5 3 が形成される。そして、下部電極 3 2 および下層配線 5 3 を含む絶縁膜 3 0 上に絶縁膜 (第 1 絶縁膜) 3 3 を形成する。この絶縁膜 3 3 も、例えば CVD 法を使用した酸化シリコン膜より形成することができる。

## 【 0 0 5 5 】

続いて、フォトリソグラフィ技術およびエッチング技術を使用して、絶縁膜 3 3 に接続孔を形成する。形成される接続孔の一つは下部電極 3 2 に達し、他の接続孔の一つは下層配線 5 3 に達している。そして、接続孔内を含む絶縁膜 3 3 上に、窒化チタン膜およびタングステン膜からなる積層膜を形成した後、CMP 技術を使用して接続孔内にだけ積層膜

を残すことにより、プラグ 5 4 およびプラグ 5 5 を形成する。

【 0 0 5 6 】

次に、図 1 4 に示すように、絶縁膜 3 3 上にレジスト膜 3 4 を塗布した後、レジスト膜 3 4 に対して露光・現像処理を施すことにより、レジスト膜 3 4 をパターンニングする。パターンニングは、開口部 3 5 を形成する領域にレジスト膜 3 4 が残らないようにする。次に、パターンニングしたレジスト膜 3 4 をマスクにして絶縁膜 3 3 をエッチングする。これにより、絶縁膜 3 3 に開口部（第 1 開口部）3 5 が形成される。この開口部 3 5 の底部には、下部電極 3 2 が露出している。

【 0 0 5 7 】

次に、レジスト膜 3 4 を除去した後、図 1 5 に示すように、開口部 3 5 内を含む絶縁膜 3 3 上に容量絶縁膜（第 1 容量絶縁膜）3 6 を形成する。そして、容量絶縁膜 3 6 上にレジスト膜 5 6 を塗布した後、露光・現像処理を施すことにより、パターンニングする。パターンニングは、容量絶縁膜 3 6 を残す領域にレジスト膜 5 6 が残るようにする。

【 0 0 5 8 】

続いて、図 1 6 に示すように、レジスト膜 5 6 を除去した後、容量絶縁膜 3 6 を含む絶縁膜 3 3 上に窒化チタン膜 3 7 a、アルミニウム膜 3 7 b および窒化チタン膜 3 7 c を順次、スパッタリング法で形成する（第 1 導体膜）。その後、窒化チタン膜 3 7 c 上にレジスト膜 5 7 を塗布し、塗布したレジスト膜 5 7 に対して露光・現像処理を施す。これにより、レジスト膜 5 7 をパターンニングする。パターンニングは、中間電極形成領域および配線形成領域にレジスト膜 5 7 が残るようにする。続いて、パターンニングしたレジスト膜 5 7 をマスクにしたエッチングにより、中間電極（第 2 電極）3 9 および配線 5 8 を形成する。

【 0 0 5 9 】

ここで、前記実施の形態 1 では、容量絶縁膜 3 6、窒化チタン膜 3 7 a、アルミニウム膜 3 7 b および窒化チタン膜 3 7 c を順次積層した後、パターンニングして中間電極 3 9 を形成していた。しかし、この方法では、中間電極 3 9 とプラグ 5 5 との間に容量絶縁膜 3 6 が形成されてしまうため、中間電極 3 9 と下層配線 5 3 との導通がとれなくなってしまう。そこで、本実施の形態 2 では、まず、容量絶縁膜 3 6 を形成した後パターンニングしてプラグ 5 5 上に容量絶縁膜が残らないようにしている。そしてその後、中間電極 3 9 を形成することにより、中間電極 3 9 と下層配線 5 3 とをプラグ 5 5 を介して電気接続するようにしている。これにより、中間電極 3 9 を下層配線 5 3 に電気接続することができる。

【 0 0 6 0 】

次に、レジスト膜 5 7 を除去した後、図 1 7 に示すように、中間電極 3 9 上を含む絶縁膜 3 3 上に絶縁膜（第 2 絶縁膜）4 0 を形成する。絶縁膜 4 0 は、例えば、CVD 法を用いた酸化シリコン膜より形成することができる。続いて、絶縁膜 4 0 上にレジスト膜 4 1 を塗布した後、露光・現像処理を施すことにより、レジスト膜 4 1 をパターンニングする。パターンニングは、接続孔形成領域にレジスト膜 4 1 が残らないようにする。そして、パターンニングしたレジスト膜 4 1 をマスクにしたエッチングにより、接続孔 4 3 および接続孔 5 9 を形成する。接続孔 4 3 は中間電極 3 9 に達しており、接続孔 5 9 は配線 5 8 に達している。

【 0 0 6 1 】

次に、レジスト膜 4 1 を除去した後、図 1 8 に示すように、接続孔 4 3 および接続孔 5 9 に導電材料を埋め込んでプラグ 6 0 およびプラグ 6 1 を形成する。プラグ 6 0 およびプラグ 6 1 は、例えば窒化チタン膜およびタンゲステン膜の積層膜を、接続孔 4 3、5 9 内を含む絶縁膜 4 0 上に形成した後、CMP 法を使用して絶縁膜 4 0 上に形成された積層膜を研磨することにより形成される。

【 0 0 6 2 】

続いて、図 1 9 に示すように、絶縁膜 4 0 上にレジスト膜 4 6 を塗布した後、露光・現像処理を施すことにより、レジスト膜 4 6 をパターンニングする。パターンニングは、開口部

10

20

30

40

50

形成領域にレジスト膜 46 が残らないようにする。そして、パターンニングしたレジスト膜 46 をマスクにしてエッチングすることにより、開口部（第 2 開口部）47 を形成する。

【0063】

次に、図 20 に示すように、開口部 47 内を含む絶縁膜 40 上に容量絶縁膜（第 2 容量絶縁膜）48 および窒化チタン膜 49 を積層して形成する。そして、窒化チタン膜 49 上にレジスト膜 50 を塗布した後、露光・現像処理を施すことにより、レジスト膜 50 をパターンニングする。続いて、パターンニングしたレジスト膜 50 をマスクにして、容量絶縁膜 48 および窒化チタン膜 49 をエッチングする。

【0064】

次に、図 21 に示すように、パターンニングした窒化チタン膜 49 を含む絶縁膜 40 上に、窒化チタン膜 51a、アルミニウム膜 51b および窒化チタン膜 51c を順次、スパッタリング法で形成する（第 2 導体膜）。その後、フォトリソグラフィ技術およびエッチング技術を使用して、これらの膜をパターンニングすることにより、窒化チタン膜 51a、アルミニウム膜 51b および窒化チタン膜 51c よりなる上部電極（第 3 電極）52 を形成することができる。このようにして、中間電極 39 を上下層の配線に接続することができる。本実施の形態 2 によれば、一般配線に接続する中間電極 39 を上層配線だけでなく、下層配線にも接続できるので、配線形成の自由度を増大することができる。なお、本実施の形態 2 によれば、前記実施の形態 1 と同様の効果を得ることができる。

【0065】

（実施の形態 3）

本実施の形態 3 では、積層構造で可変容量を形成する例について説明する。図 22 は、本実施の形態 3 における容量素子を示した平面図である。図 22 において、下部電極 10 が形成されており、この下部電極 10 上には絶縁膜（図示せず）を介して中間電極 11 が形成されている。この下部電極 10 と中間電極 11 が平面上で重なり合う領域に容量素子 Ca が形成されている。さらに、中間電極 11 上には、絶縁膜（図示せず）を介して上部電極 12a ~ 12c および配線 13 が形成されている。中間電極 11 と上部電極 12a が平面的に重なり合う領域には、容量素子 Cb が形成されており、中間電極 11 と上部電極 12b が平面的に重なり合う領域には、容量素子 Cc が形成されている。さらに、中間電極 11 と上部電極 12c が平面的に重なり合う領域には、容量素子 Cd が形成されている。このように本実施の形態 3 では、容量素子 Ca 上に容量素子 Cb、Cc、Cd が形成された構造をしている。上部電極 12a ~ 12c は、例えばプラグ 14 を介して下部電極 10 に接続されており、中間電極 11 は、例えばプラグ 15 を介して配線 13 に接続されている。したがって、容量素子 Ca、Cb、Cc、Cd は、互いに並列接続されている。このときの回路図を図 24 に示す。図 24 に示すように、容量素子 Ca、Cb、Cc、Cd は、並列接続されており、それぞれの容量素子にはスイッチが設けられている。これにより、可変容量素子を形成することができる。例えば、容量素子 Ca に接続されているスイッチだけをオンにすると、可変容量素子の容量は容量素子 Ca の容量になる。また、容量素子 Ca のスイッチと容量素子 Cb のスイッチをオンにすると、可変容量素子の容量は、容量素子 Ca の容量と容量素子 Cb の容量との和になる。このようにスイッチを適宜選択することにより、所望の容量を得ることができる。本実施の形態 3 によれば、積層化された複数の容量素子とスイッチを組み合わせることで、容量素子の占有面積を低減させながら柔軟度の高い可変容量素子を形成することができる。

【0066】

図 23 は、図 22 の A - A 線で切断した断面図を示したものである。図 23 の構成は、前記実施の形態 1 とほぼ同様の構成をしており、異なる点は、上部電極 12b および上部電極 12c が設けられている点である。すなわち、本実施の形態 3 では、中間電極 11 と上部電極 12b によって容量素子 Cc が形成され、中間電極 11 と上部電極 12c によって容量素子 Cd が形成されている。中間電極 11 は、前記実施の形態 1 と同様に段差が設けられている。つまり、容量素子形成領域（開口部内）では、中間電極 11 と下部電極 10 の距離は小さくなっている一方、容量素子形成領域以外の領域（開口部の外側）では、

中間電極 1 1 と下部電極 1 0 との距離が大きくなっている。同様に、中間電極 1 1 と上部電極 1 2 b、1 2 c との間でも寄生容量の低減が図られている。これにより、中間電極 1 1 と下部電極 1 0 との間の寄生容量を低減することができるので、中間電極 1 1 を一般配線に使用したときの信号遅延および消費電力の増加を抑制できる。

#### 【 0 0 6 7 】

なお、本実施の形態 3 における可変容量素子の製造方法は、前記実施の形態 1 と基本的に同様である。特徴点は、図 2 3 に示すように、中間電極 1 1 上に形成された絶縁膜 2 2 に二つの開口部を形成し、一方の開口部に容量絶縁膜 2 1 および上部電極 1 2 b を形成することにより、容量素子 C c を形成している。また、他方の開口部に容量絶縁膜 2 1 および上部電極 1 2 c を形成することにより、容量素子 C d を形成している。これらの構造は、

10

#### 【 0 0 6 8 】

##### ( 実施の形態 4 )

本実施の形態 4 は、開口部の側壁にサイドウォールを形成した容量素子について説明する。図 2 5 は、図 3 に示す容量素子の開口部 1 9 a 付近を拡大した断面図である。図 2 5 において、アルミニウム膜 1 7 b 上には窒化チタン膜 1 7 c が形成されており、この窒化チタン膜 1 7 c 上に絶縁膜 1 9 が形成されている。そして、絶縁膜 1 9 には、開口部 1 9 a が形成されており、この開口部 1 9 a の底面および側面には容量絶縁膜 1 8 が形成されている。なお、図示はされていないが、容量絶縁膜 1 8 上には上部電極 1 2 が形成されている。

20

#### 【 0 0 6 9 】

ここで、絶縁膜 1 9 に開口部 1 9 a を形成する際、エッチング技術が使用されるが、このとき、オーバーエッチングにより開口部 1 9 a の底面に露出する窒化チタン膜 1 7 c の一部もエッチングされる。そして、開口部 1 9 a の底面および側面を含む絶縁膜 1 9 上に容量絶縁膜 1 8 が形成される。容量絶縁膜 1 8 は、例えばプラズマ C V D 法によって形成されるが、プラズマ C V D 法では、開口部 1 9 a の底面に形成される容量絶縁膜 1 8 の膜厚と開口部 1 9 a の側面に形成される容量絶縁膜 1 8 の膜厚が異なる。すなわち、開口部 1 9 a の底面に比べて開口部 1 9 a の側面では、形成される容量絶縁膜 1 8 の膜厚が薄くなる。このように、窒化チタン膜 1 7 c のエッチングおよび開口部 1 9 a の側面で容量絶縁膜 1 8 の膜厚が薄くなる現象から、開口部 1 9 a の角部で、容量素子の耐圧が低下する問題が生じる。

30

#### 【 0 0 7 0 】

そこで、本実施の形態 4 では、図 2 6 に示すように、開口部 1 9 a の側面に絶縁体膜からなるサイドウォール 6 5 を設けている。そして、このサイドウォール 6 5 上に容量絶縁膜 1 8 を設けることにより、開口部 1 9 a の角部における絶縁膜の厚さを確保できるので、容量素子の耐圧を向上させることができる。すなわち、開口部 1 9 a の側面には、容量絶縁膜 1 8 の他にサイドウォール 6 5 を形成しているので、窒化チタン膜 1 7 c の一部がエッチングによって削られても、開口部 1 9 a の角部における中間電極と上部電極との距離を大きくすることができる。このため、開口部 1 9 a の角部におけるリーク電流を抑制することができ、容量素子の耐圧向上を図ることができる。

40

#### 【 0 0 7 1 】

次に、本実施の形態 4 における容量素子の製造方法について説明する。図 2 7 に示すように、絶縁膜 3 0 上に窒化チタン膜 3 1 a、アルミニウム膜 3 1 b および窒化チタン膜 3 1 c を順次、積層して形成する。窒化チタン膜 3 1 a、アルミニウム膜 3 1 b および窒化チタン膜 3 1 c は、例えば、スパッタリング法を使用して形成することができる。続いて、フォトリソグラフィ技術およびエッチング技術を使用して、窒化チタン膜 3 1 a、アルミニウム膜 3 1 b および窒化チタン膜 3 1 c をパターニングする。これにより、窒化チタン膜 3 1 a、アルミニウム膜 3 1 b および窒化チタン膜 3 1 c よりなる下部電極 3 2 が形成される。そして、下部電極 3 2 を含む絶縁膜 3 0 上に絶縁膜 3 3 を形成する。この絶縁膜 3 3 も、例えば C V D 法を使用した酸化シリコン膜より形成することができる。

50

## 【 0 0 7 2 】

続いて、図 2 8 に示すように、絶縁膜 3 3 上にレジスト膜 3 4 を塗布した後、レジスト膜 3 4 に対して露光・現像処理を施すことにより、レジスト膜 3 4 をパターンニングする。パターンニングは、開口部 3 5 を形成する領域にレジスト膜 3 4 が残らないようにする。次に、パターンニングしたレジスト膜 3 4 をマスクにして絶縁膜 3 3 をエッチングする。これにより、絶縁膜 3 3 に開口部 3 5 が形成される。この開口部 3 5 の底部には、下部電極 3 2 が露出している。

## 【 0 0 7 3 】

次に、図 2 9 に示すように、開口部 3 5 内を含む絶縁膜 3 3 上に例えば酸化シリコン膜よりなる絶縁膜（第 3 絶縁膜）6 6 を形成する。絶縁膜 6 6 は例えば C V D 法を使用して形成することができる。その後、図 3 0 に示すように、絶縁膜 6 6 を異方性エッチングすることにより、開口部 3 5 の側壁にだけ絶縁膜 6 6 を残してサイドウォール 6 7 を形成する。なお、サイドウォール 6 7 は、下地である窒化チタン膜 1 7 c と選択比がとればよいので、酸化シリコン膜に限らず他の絶縁膜であってもよい。

10

## 【 0 0 7 4 】

続いて、レジスト膜 3 4 を除去した後、図 3 1 に示すように、開口部 3 5 内を含む絶縁膜 3 3 上に容量絶縁膜 3 6 を形成する。容量絶縁膜 3 6 は、例えば、C V D 法を使用して形成することができる。そして、容量絶縁膜 3 6 上に窒化チタン膜 3 7 a、アルミニウム膜 3 7 b および窒化チタン膜 3 7 c を順次、スパッタリング法で形成する。その後、窒化チタン膜 3 7 c 上にレジスト膜 3 8 を塗布し、塗布したレジスト膜 3 8 に対して露光・現像処理を施す。これにより、レジスト膜 3 8 をパターンニングする。パターンニングは、中間電極形成領域にレジスト膜 3 8 が残るようにする。続いて、パターンニングしたレジスト膜 3 8 をマスクにしたエッチングにより、中間電極 3 9 を形成する。

20

## 【 0 0 7 5 】

その後、レジスト膜 3 8 を除去した後、中間電極 3 9 上を含む絶縁膜 3 3 上に絶縁膜 4 0 を形成し、この絶縁膜 4 0 に開口部 4 7 を形成する。そして、開口部 4 7 内を含む絶縁膜 4 0 上に絶縁膜を形成した後、この絶縁膜を異方性エッチングすることにより、サイドウォール 6 8 を形成する。その後は、前記実施の形態 1 と同様の工程を経ることにより、図 3 2 に示す容量素子を形成することができる。

30

## 【 0 0 7 6 】

本実施の形態 4 によれば、電極間の寄生容量を低減できるとともに、サイドウォール 6 7、6 8 を設けることにより、容量素子の耐圧向上を図ることができる。なお、本実施の形態 4 では、サイドウォール 6 7、6 8 を設けることにより、容量素子の耐圧を向上させているが、例えば図 3 3 に示すように、エッチング技術を改良することによって、窒化チタン膜 1 7 c の削れ量を抑制し、開口部 1 9 a の角部における耐圧を向上させてもよい。すなわち、窒化チタン膜 1 7 c の削れ量が抑制されれば、開口部 1 9 a の角部において、上部電極と中間電極との距離が必要以上に近づくことがなくなり、リーク電流を抑制できるので、容量素子の耐圧を向上できる。

## 【 0 0 7 7 】

（実施の形態 5）

本実施の形態 5 では、3 つの容量素子を積層した構造の容量素子について説明する。図 3 4 は、本実施の形態 5 における容量素子を示した断面図である。図 3 4 において、2 つの容量素子（第 1 容量素子および第 2 容量素子）が積層されている下部電極 3 2 から上部電極 5 2 までの構造は、前記実施の形態 1 と同様である。本実施の形態 5 では、上部電極 5 2 上に絶縁膜 7 0 が形成されており、この絶縁膜 7 0 に開口部 7 1 が形成されている。開口部 7 1 内を含む絶縁膜 7 0 上には、容量絶縁膜 7 2、窒化チタン膜 7 3 および最上部電極 7 5 が形成されている。最上部電極 7 5 は、例えば窒化チタン膜 7 4 a、アルミニウム膜 7 4 b および窒化チタン膜 7 4 c の積層膜から構成されている。

40

## 【 0 0 7 8 】

このように本実施の形態 5 では、下部電極 3 2、容量絶縁膜 3 6 および中間電極 3 9 よ

50

りなる第1容量素子上に、中間電極39、容量絶縁膜48および上部電極52よりなる第2容量素子が形成されている。そして、さらに、第2容量素子上に、上部電極52、容量絶縁膜72および最上部電極75よりなる第3容量素子が形成されている。これら第1容量素子、第2容量素子および第3容量素子は、並列接続されており、3つの容量素子が積層した構造となっている。したがって、本実施の形態5によれば、容量素子の占有面積を低減しながら、大きな容量を確保することができる。すなわち、本実施の形態5によれば、3つの容量素子を積層した構造をしているので、2つの容量素子を積層した構造に比べて、さらに大きな容量を確保することができる。

【0079】

(実施の形態6)

本実施の形態6では、2つの容量素子を積層した構造の容量素子と、積層構造を有さない容量素子とを設ける例について説明する。図35は、本実施の形態6における容量素子を示した断面図である。図35に示すように、本実施の形態6における容量素子は、2つの容量素子を積層した構造の容量素子76と単層構造の容量素子(第4容量素子)77が設けられている。容量素子76は、前記実施の形態1で説明した容量素子と同様である。この容量素子76と容量素子77は、互いに並列接続されており、容量素子77をオン/オフするスイッチが設けられている。このように構成することで、容量の微調整が可能となる。すなわち、容量素子76は積層構造をしているので大きな容量をしている。一方、容量素子77は単層構造をしているので小さな容量をしている。ここで、容量素子77に接続されたスイッチをオンすることで、容量素子76だけの容量から容量素子77の容量だけ増加させることができる。回路の特性などの関係から容量素子76の容量からわずかに容量を増加させたい場合には、低容量の容量素子77に接続されたスイッチをオンさせることで対応できる。このように本実施の形態6によれば、積層構造をした容量素子76と単層構造をした容量素子77を組み合わせることにより、容量の微調整が可能となる。

【0080】

(実施の形態7)

本実施の形態7では、前記実施の形態1~6で説明した容量素子を使用する電子装置について説明する。電子装置の一例として携帯電話機を説明する。図36は、携帯電話機における送受信部の構成を示したブロック図である。図36に示すように、送受信部80は、アンテナ81、アンテナスイッチ82、RF(Radio Frequency)フィルタ83、RF-IC(送受信装置)84、ベースバンド部85およびPAモジュール86を有している。さらに、RF-IC84は、LNA(Low Noise Amplifier)87、PGA88、TXVCO(電圧制御発振器)89、RFVCO90、IFVCO91、DC/VCXO92などから構成されている。

【0081】

まず、携帯電話機において電波を受信する動作の一例について簡単に説明する。アンテナ81で受信したRF信号は、アンテナスイッチ82によって受信側に伝達される。そして、受信したRF信号は、RFフィルタ83を介してRF-IC84に入力される。RF-IC84に入力されたRF信号は、LNA87で増幅される。その後、増幅された信号をダイレクトコンバージョンミキサにて直交復調することで、直接ベースバンド信号が得られる。このベースバンド信号は、それぞれPGA88で利得調節されて、ベースバンド部85に送られて処理される。このようにして電波を受信することができる。

【0082】

次に、携帯電話機において電波を送信する動作の一例について簡単に説明する。ベースバンド部85よりベースバンド信号がRF-IC84に入力されると、RF-IC84では、IF信号をベースバンド信号で直交変調する。そして、TXVCO89を含むPLL回路でIF信号を周波数変換してRF信号が得られる。RF-IC84のシンセサイザは、内蔵されているRFVCO90、IFVCO91や分周器を介して各ブロックにローカル信号を供給している。また、基準クロックは、DC/VCXO92にて生成している。RF-IC84で生成されたRF信号は、PAモジュール86で増幅される。そして、ア

10

20

30

40

50

ンテナスイッチ 8 2 を介してアンテナ 8 1 から R F 信号が送信される。このようにして電波を送信することができる。

【 0 0 8 3 】

R F - I C 8 4 には、図 3 6 に示すように様々な回路が形成されているが、これらの回路は一つの半導体チップに搭載されている。すなわち、一つの半導体チップ上に R F - I C が形成されている。図 3 7 は、L N A 8 7 の回路の一例を示したものである。図 3 7 に示すように、L N A 8 7 には、複数の容量素子が使用されていることがわかる。L N A 8 7 は、低雑音の増幅器であり、この L N A 8 7 の入力部に設けられている容量素子は、インピーダンスマッチングを行なうために使用されている。

【 0 0 8 4 】

図 3 8 は、P G A 8 8 に含まれるバンドパスフィルタの一例を示したものである。図 3 8 に示すバンドパスフィルタは、所定の周波数範囲の信号だけを通過させる機能を有しており、複数の容量素子が使用されていることがわかる。

【 0 0 8 5 】

図 3 9 および図 4 0 は、電圧制御発振器の一例を示した図である。図 3 9 および図 4 0 に示す電圧制御発振器は、負性抵抗を加えるアンプ回路と L C 共振回路からなる差動タイプの発振器であり、複数の容量素子が使用されていることがわかる。このように R F I C 8 4 に形成されている回路には、複数の容量素子が使用されているが、これらの容量素子は、高周波特性およびノイズ特性により、寄生抵抗や寄生容量の少ない低損失なものが要求される。そこで、R F - I C 8 4 に前記実施の形態 1 ~ 6 で説明した容量素子を用いることにより、容量素子の寄生容量を低減できるので、R F - I C 8 4 に対して低損失で高性能の容量素子を提供できる。

【 0 0 8 6 】

R F - I C 8 4 の各回路は、例えば図 3 7 ~ 図 4 0 に示すように、多数の容量素子を使用している。これらの容量素子の容量は R F - I C 全体で 1 0 n F 前後の容量となり、これらの容量をゲート容量（拡散容量）で構成した場合、約 2 . 5 m m <sup>2</sup> の面積が必要となる。ここで、ゲート容量の単位容量を例えば 4 f F / μ m <sup>2</sup> としている。

【 0 0 8 7 】

また、R F - I C 8 4 は一般に 3 層 ~ 6 層の多層配線で構成されているが、現状の配線使用面積は、1 層あたり 2 0 % ~ 4 0 % で未使用の面積が多数を占めている。このため、R F - I C 8 4 に使用される容量素子として、本実施の形態 1 ~ 6 に示す容量素子を使用することにより、多層配線中に容量素子を効率良く配置すれば、ゲート容量形成領域の面積を低減することができる。例えば、3 . 5 m m × 3 . 5 m m の半導体チップの場合、2 . 5 m m <sup>2</sup> のゲート容量の部分が多層配線間に形成すると、必要な半導体チップのサイズは、3 . 5 m m × 3 . 5 m m - 2 . 5 m m <sup>2</sup> = 9 . 7 5 m m <sup>2</sup> となり、約 2 0 % の面積低減が可能となる。その結果、シリコンウェハ 1 枚から取得できる半導体チップの数も約 2 0 % 増加でき、半導体チップ 1 個あたりの製造コストも低減することができる。

【 0 0 8 8 】

また、R F - I C 8 4 では、電源電圧を低減しにくく各素子にある程度の耐圧が必要とされる。ここで、前記実施の形態 4 で説明したようにサイドウォールを設けることにより、容量素子の耐圧を向上することができる。したがって、R F - I C 8 4 に使用する容量素子として、前記実施の形態 4 で説明した容量素子を用いることにより、耐圧を向上させることができ、R F - I C 8 4 の信頼性向上を図ることができる。

【 0 0 8 9 】

なお、本実施の形態 7 では、R F - I C 8 4 に前記実施の形態 1 ~ 6 における容量素子を適用する例について説明したが、これに限らず、例えば P A モジュール 8 6 に適用してもよい。

【 0 0 9 0 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可

10

20

30

40

50

能であることはいうまでもない。

【産業上の利用可能性】

【0091】

本発明は、半導体装置を製造する製造業に幅広く利用することができる。

【図面の簡単な説明】

【0092】

【図1】本発明の実施の形態1における半導体装置の一部を示した断面図である。

【図2】実施の形態1における容量素子を上部から見た平面図である。

【図3】図2のA-A線で切断した断面図である。

【図4】本発明者らが検討した容量素子を示す断面図である。

10

【図5】実施の形態1における容量素子の製造工程を示した断面図である。

【図6】図5に続く容量素子の製造工程を示した断面図である。

【図7】図6に続く容量素子の製造工程を示した断面図である。

【図8】図7に続く容量素子の製造工程を示した断面図である。

【図9】図8に続く容量素子の製造工程を示した断面図である。

【図10】図9に続く容量素子の製造工程を示した断面図である。

【図11】図10に続く容量素子の製造工程を示した断面図である。

【図12】図11に続く容量素子の製造工程を示した断面図である。

【図13】実施の形態2における容量素子の製造工程を示した断面図である。

【図14】図13に続く容量素子の製造工程を示した断面図である。

20

【図15】図14に続く容量素子の製造工程を示した断面図である。

【図16】図15に続く容量素子の製造工程を示した断面図である。

【図17】図16に続く容量素子の製造工程を示した断面図である。

【図18】図17に続く容量素子の製造工程を示した断面図である。

【図19】図18に続く容量素子の製造工程を示した断面図である。

【図20】図19に続く容量素子の製造工程を示した断面図である。

【図21】図20に続く容量素子の製造工程を示した断面図である。

【図22】実施の形態3における容量素子を上部から見た平面図である。

【図23】図22のA-A線で切断した断面図である。

【図24】容量素子を並列接続した回路図である。

30

【図25】図3に示す容量素子の開口部付近を拡大した断面図である。

【図26】開口部の側壁にサイドウォールを形成した様子を示した断面図である。

【図27】実施の形態4における容量素子の製造工程を示した断面図である。

【図28】図27に続く容量素子の製造工程を示した断面図である。

【図29】図28に続く容量素子の製造工程を示した断面図である。

【図30】図29に続く容量素子の製造工程を示した断面図である。

【図31】図30に続く容量素子の製造工程を示した断面図である。

【図32】図31に続く容量素子の製造工程を示した断面図である。

【図33】開口部の底部がオーバーエッチングされていない様子を示す断面図である。

【図34】実施の形態5における容量素子を示した断面図である。

40

【図35】実施の形態6における容量素子を示した断面図である。

【図36】携帯電話機の送受信部を示したブロック図である。

【図37】低雑音増幅器の一例を示した回路図である。

【図38】バンドパスフィルタの一例を示した回路図である。

【図39】電圧制御発振器の一例を示した回路図である。

【図40】電圧制御発振器の一例を示した回路図である。

【符号の説明】

【0093】

1 半導体基板

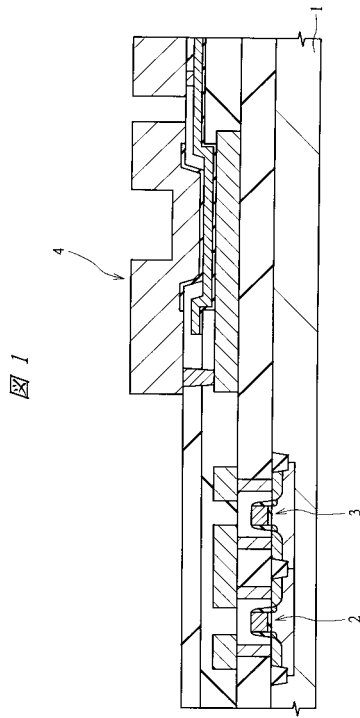
2 nチャネル型MISFET

50

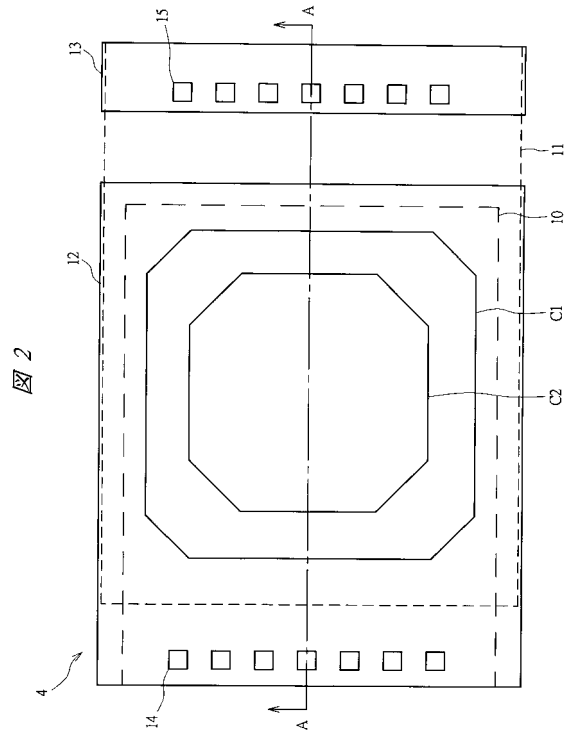
3	pチャネル型MISFET	
4	容量素子	
10	下部電極	
11	中間電極	
12	上部電極	
13	配線	
14	プラグ	
15	プラグ	
16	絶縁膜	
17a	窒化チタン膜	10
17b	アルミニウム膜	
17c	窒化チタン膜	
18	容量絶縁膜	
19	絶縁膜	
19a	開口部	
20a	窒化チタン膜	
20b	アルミニウム膜	
20c	窒化チタン膜	
21	容量絶縁膜	
22	絶縁膜	20
22a	開口部	
23	窒化チタン膜	
24a	窒化チタン膜	
24b	アルミニウム膜	
24c	窒化チタン膜	
30	絶縁膜	
31a	窒化チタン膜	
31b	アルミニウム膜	
31c	窒化チタン膜	
32	下部電極	30
33	絶縁膜	
34	レジスト膜	
35	開口部	
36	容量絶縁膜	
37a	窒化チタン膜	
37b	アルミニウム膜	
37c	窒化チタン膜	
38	レジスト膜	
39	中間電極	
40	絶縁膜	40
41	レジスト膜	
42	接続孔	
43	接続孔	
44	プラグ	
45	プラグ	
46	レジスト膜	
47	開口部	
48	容量絶縁膜	
49	窒化チタン膜	
50	レジスト膜	50

5 1 a	窒化チタン膜	
5 1 b	アルミニウム膜	
5 1 c	窒化チタン膜	
5 2	上部電極	
5 3	下層配線	
5 4	プラグ	
5 5	プラグ	
5 6	レジスト膜	
5 7	レジスト膜	
5 8	配線	10
5 9	接続孔	
6 0	プラグ	
6 1	プラグ	
6 6	絶縁膜	
6 7	サイドウォール	
6 8	サイドウォール	
7 0	絶縁膜	
7 1	開口部	
7 2	容量絶縁膜	
7 3	窒化チタン膜	20
7 4 a	窒化チタン膜	
7 4 b	アルミニウム膜	
7 4 c	窒化チタン膜	
7 5	最上部電極	
7 6	容量素子	
7 7	容量素子	
8 0	送受信部	
8 1	アンテナ	
8 2	アンテナスイッチ	
8 3	R F フィルタ	30
8 4	R F - I C	
8 5	ベースバンド部	
8 6	P A モジュール	
8 7	L N A	
8 8	P G A	
8 9	T X V C O	
9 0	R F V C O	
9 1	I F V C O	
9 2	D C / V C X O	
1 0 0	下部電極	40
1 0 1	容量絶縁膜	
1 0 2	中間電極	
1 0 3	容量絶縁膜	
1 0 4	上部電極	
C 1	容量素子	
C 2	容量素子	
C a ~ C d	容量素子	

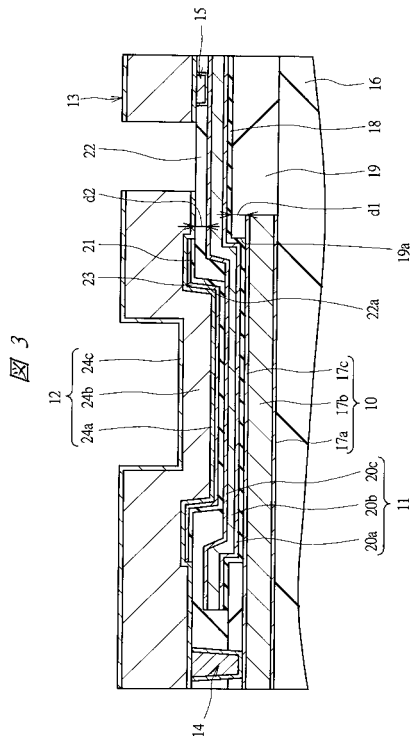
【 図 1 】



【 図 2 】



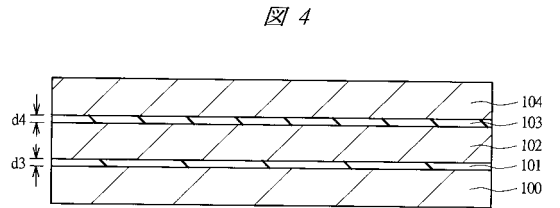
【 図 3 】



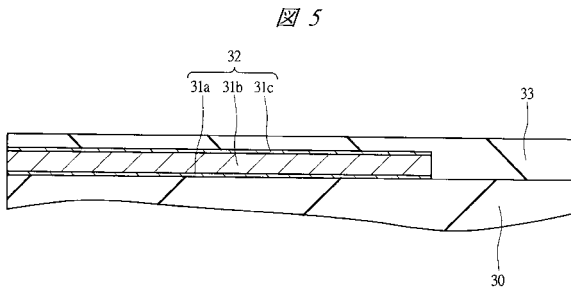
18: 容量絶縁膜  
 21: 容量絶縁膜  
 19a, 22a: 開口部

10: 下部電極  
 11: 中間電極  
 12: 上部電極

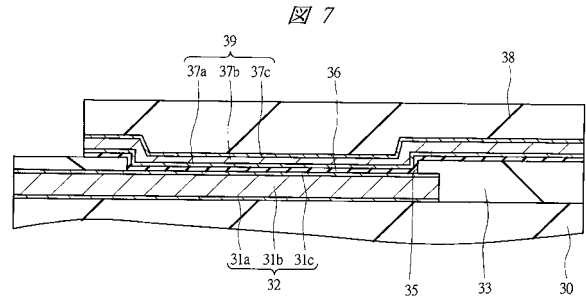
【 図 4 】



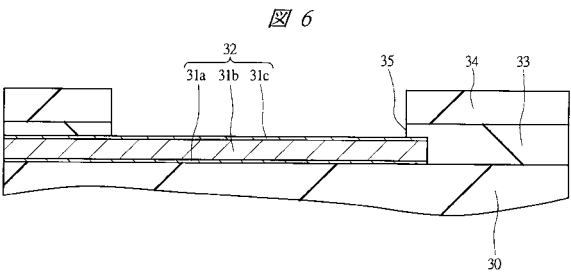
【図5】



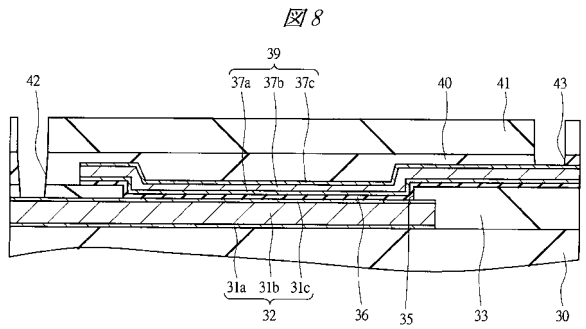
【図7】



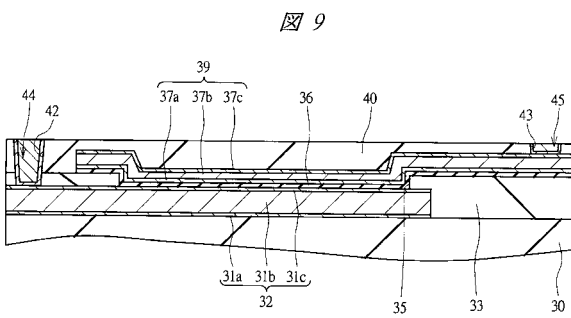
【図6】



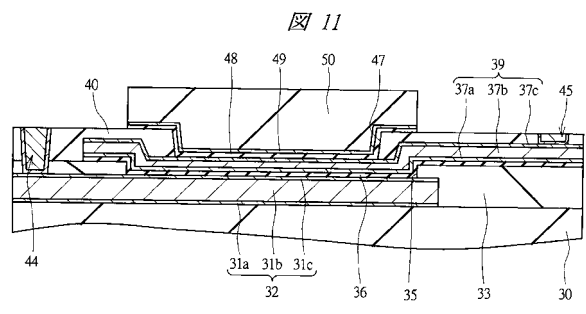
【図8】



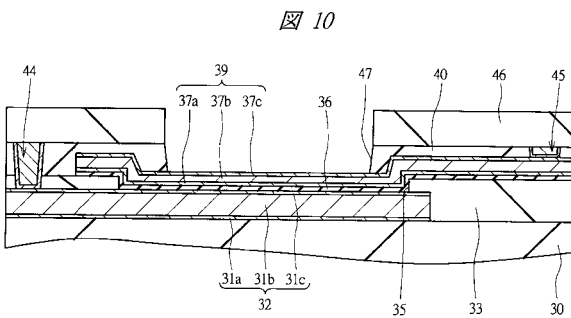
【図9】



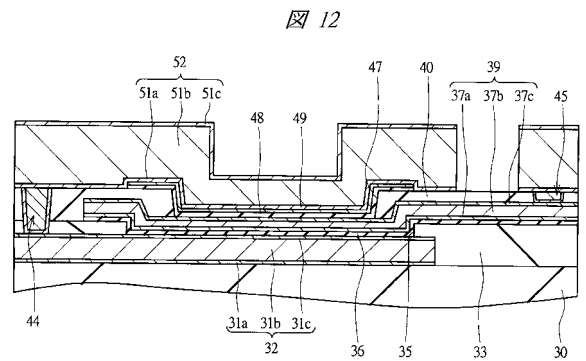
【図11】



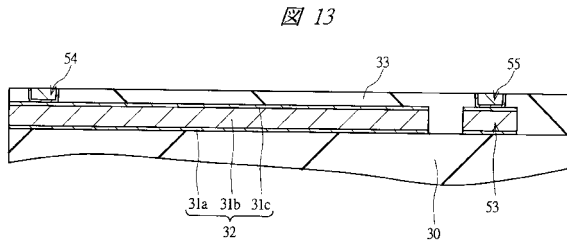
【図10】



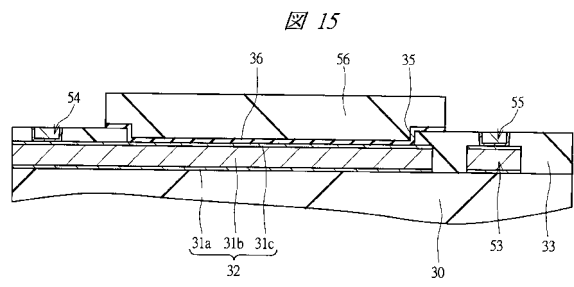
【図12】



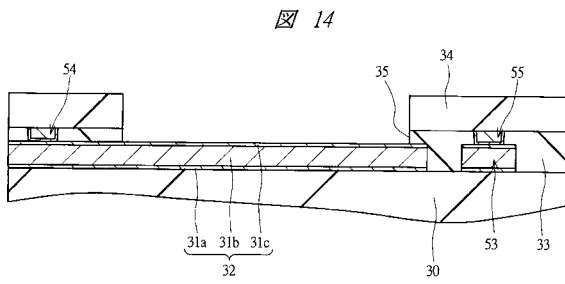
【図13】



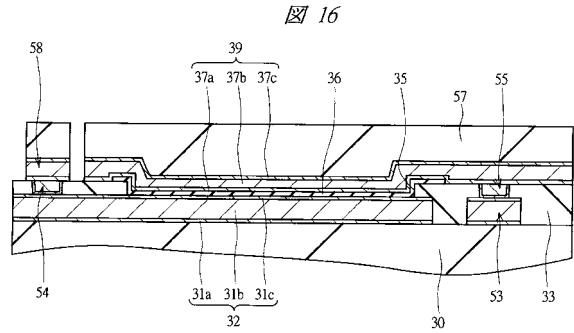
【図15】



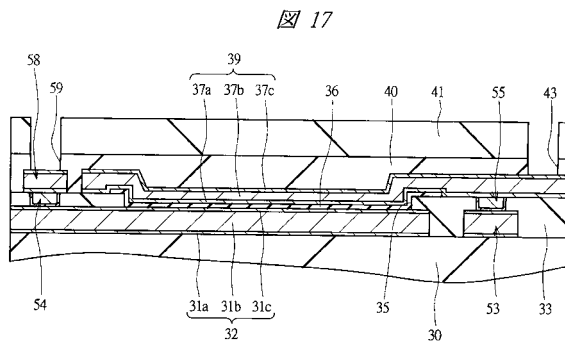
【図14】



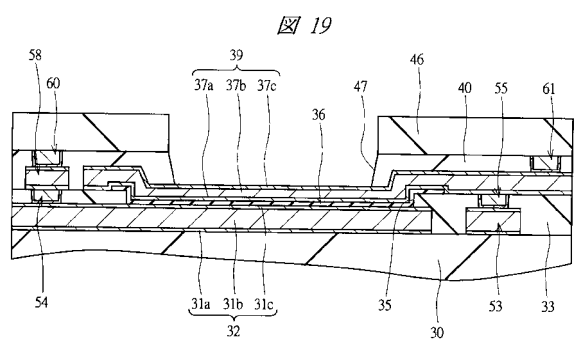
【図16】



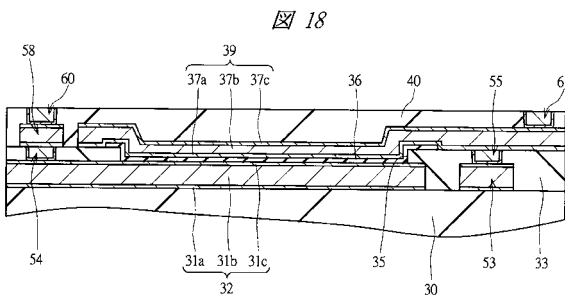
【図17】



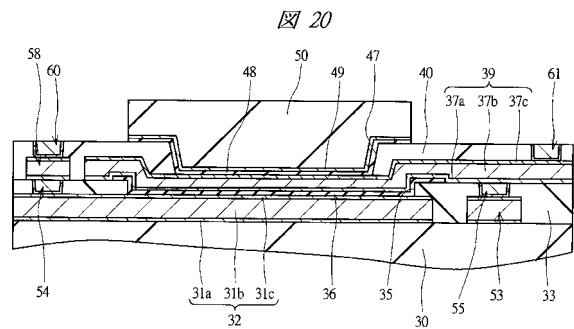
【図19】



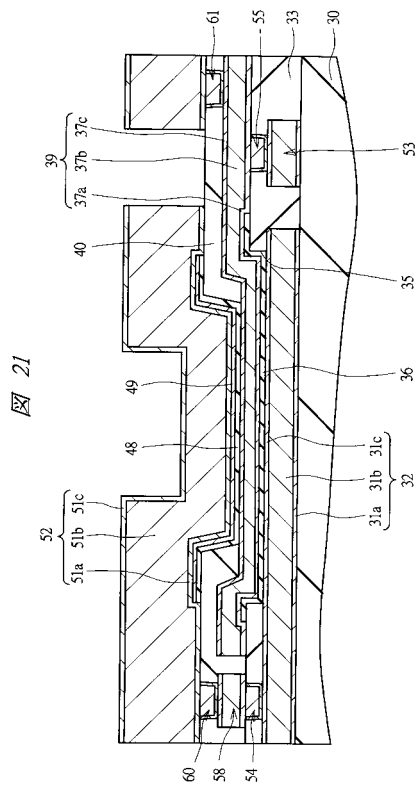
【図18】



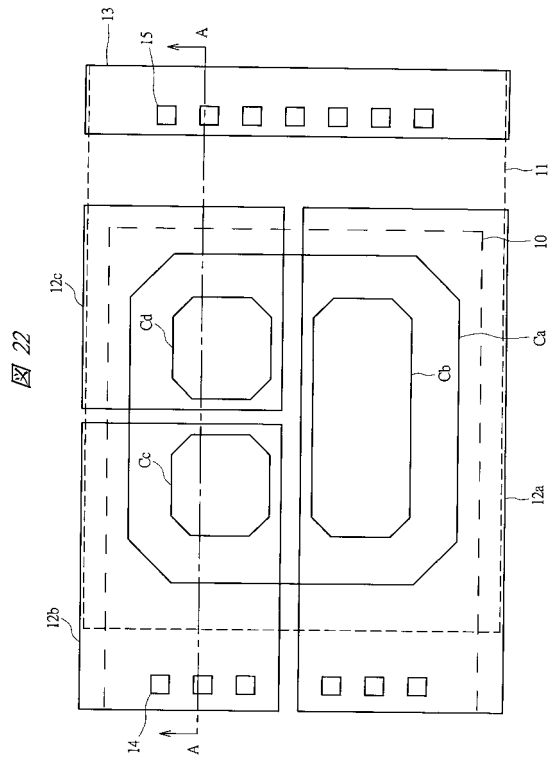
【図20】



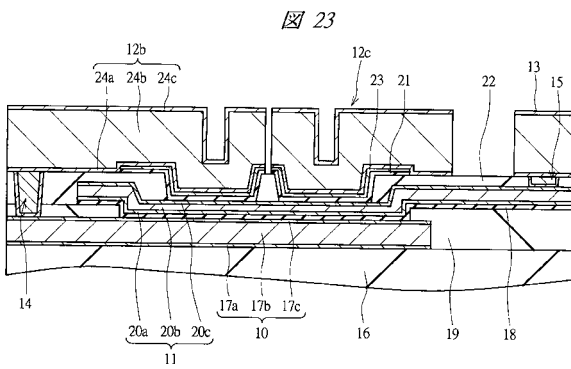
【 図 2 1 】



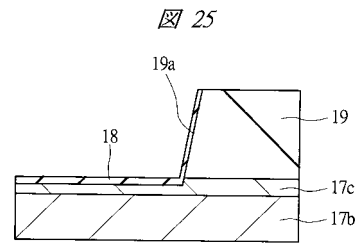
【 図 2 2 】



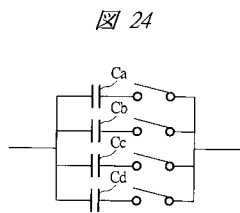
【 図 2 3 】



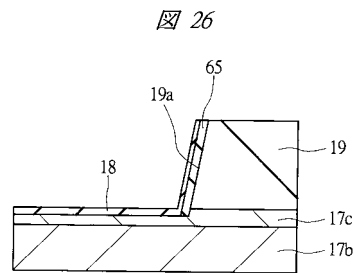
【 図 2 5 】



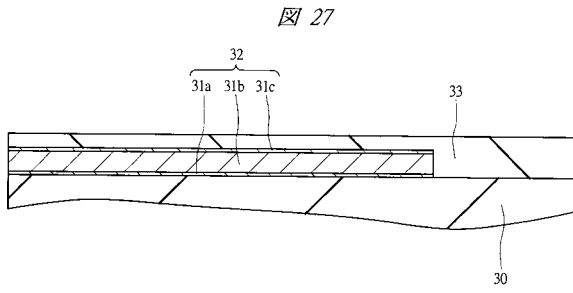
【 図 2 4 】



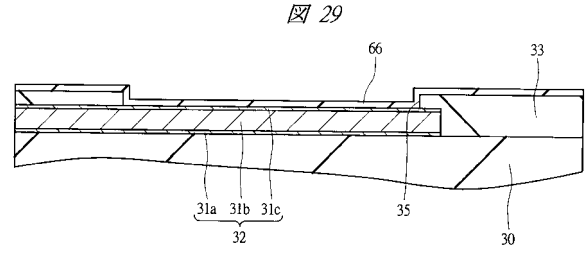
【 図 2 6 】



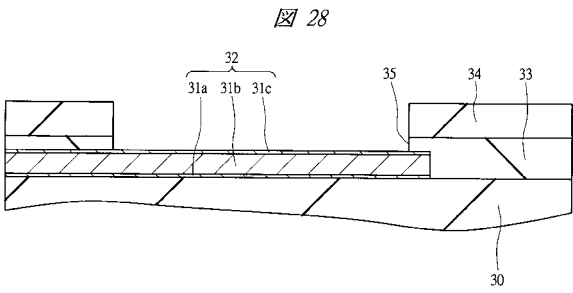
【図 27】



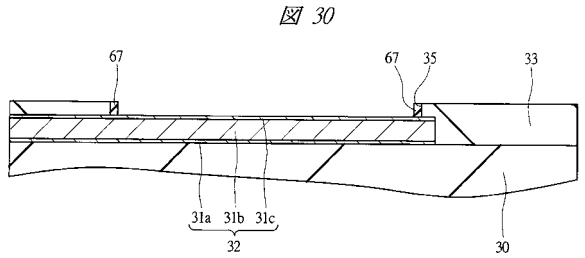
【図 29】



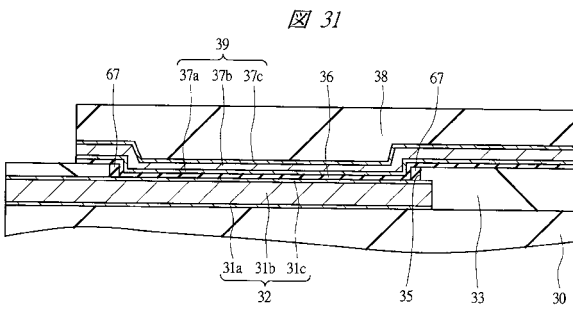
【図 28】



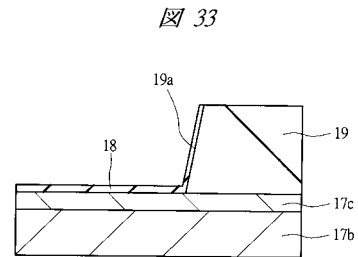
【図 30】



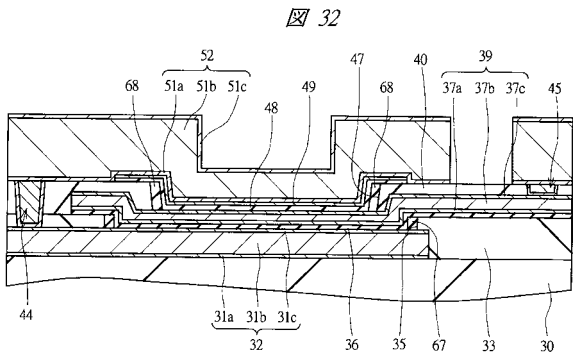
【図 31】



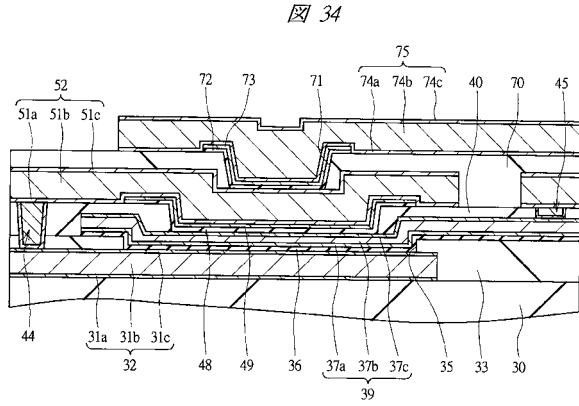
【図 33】



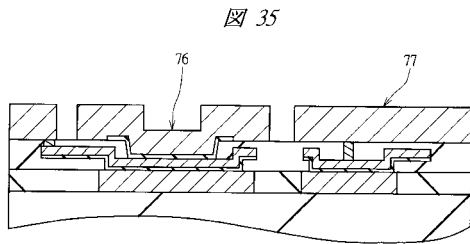
【図 32】



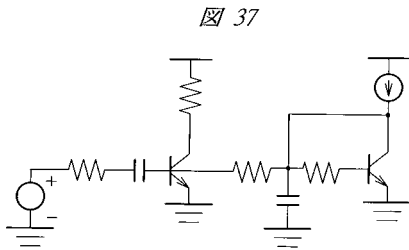
【図34】



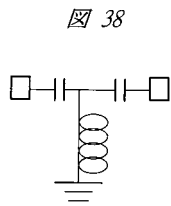
【図35】



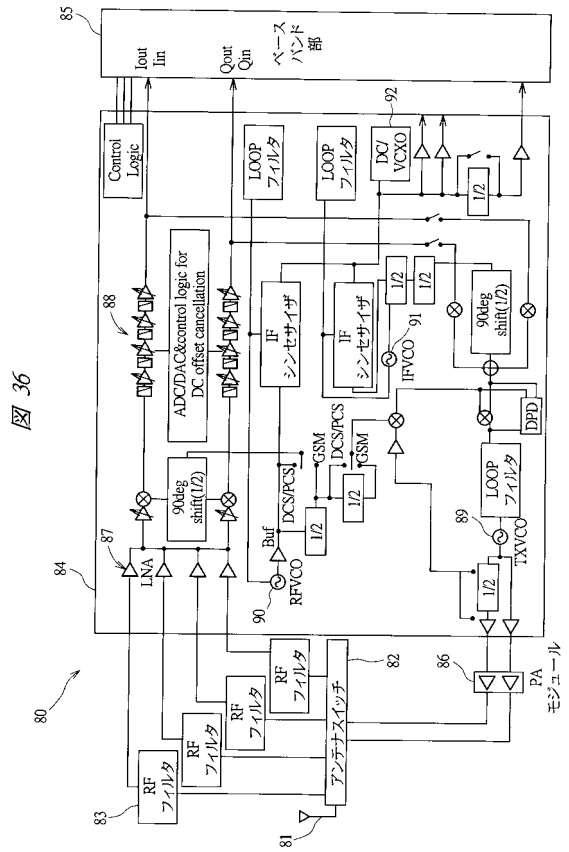
【図37】



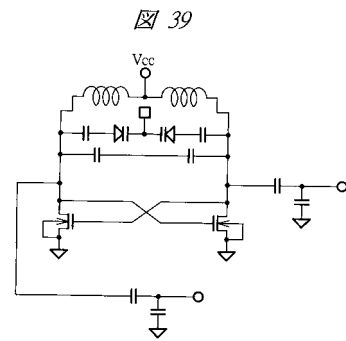
【図38】



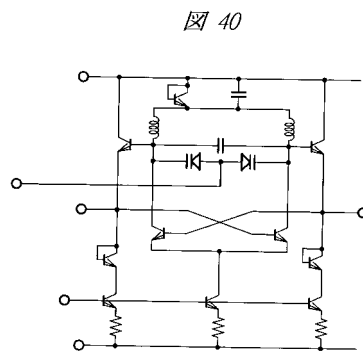
【図36】



【図39】



【図40】



## フロントページの続き

- (72)発明者 才川 健志  
東京都青梅市新町六丁目16番地の3 株式会社日立製作所 マイクロデバイス事業部内
- (72)発明者 川 崎 義博  
東京都青梅市新町六丁目16番地の3 株式会社日立製作所 マイクロデバイス事業部内
- (72)発明者 戸谷 光広  
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
- (72)発明者 森 俊二  
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
- (72)発明者 岡部 義行  
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 田代 吉成

- (56)参考文献 特開2001-102529(JP,A)  
特開2003-218219(JP,A)

## (58)調査した分野(Int.Cl., DB名)

H01L 21/822  
H01L 21/3205  
H01L 23/52  
H01L 27/04  
H03B 5/12