(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 117461143 A
(43)申请公布日 2024.01.26

(21)申请号 202180099162.3

(22)申请日 2021.06.14

(85)PCT国际申请进入国家阶段日
2023.12.08

(86)PCT国际申请的申请数据
PCT/JP2021/022527 2021.06.14

(87)PCT国际申请的公布数据
WO2022/264212 JA 2022.12.22

(71)申请人 三菱电机株式会社
地址 日本东京

(72)发明人 日野史郎 川原洸太朗

(74)专利代理机构 中国贸促会专利商标事务所有限公司 11038
专利代理师 金春实

(51)Int.Cl.
H01L 29/78(2006.01)
H01L 29/872(2006.01)
H01L 29/47(2006.01)

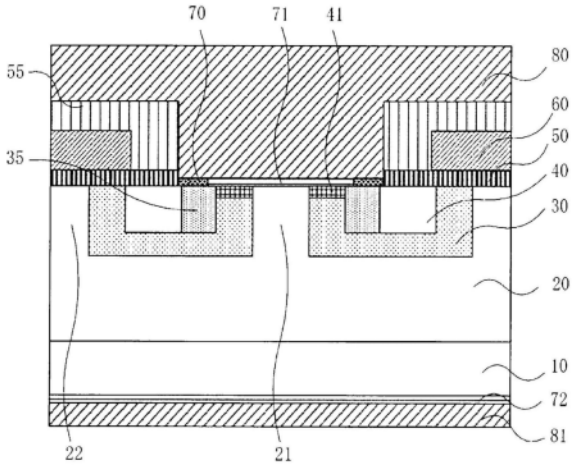
权利要求书2页 说明书7页 附图5页

(54)发明名称

碳化硅半导体装置以及使用碳化硅半导体装置的电力变换装置

(57)摘要

本公开的碳化硅半导体装置具备n型半导体基板(10)上的n型漂移层(20)、漂移层的表层的p型阱区域(30)、阱区域间n型第1分离区域(21)、n型第2分离区域(22)、阱区域内的n型源极区域(40)、p型接触区域(35)、阱区域表层的n型电流扩散区域、栅极绝缘膜(50)、栅电极(60)、欧姆电极(70)、以及第1分离区域上肖特基电极(71)。



CN 117461143 A

1.一种碳化硅半导体装置,具备:

碳化硅半导体的第1导电类型的漂移层,形成于第1导电类型的半导体基板的第1主面上;

第2导电类型的阱区域,在所述漂移层表层中在剖面横向上分离地形成,其间具备第1导电类型的第1分离区域;

第1导电类型的第2分离区域,形成于所述阱区域与所述阱区域之间,形成于未形成所述第1分离区域的区域;

第1导电类型的源极区域,形成于所述阱区域内的半导体表层的剖面横向的内部;

第2导电类型的接触区域,形成于所述阱区域内的半导体表层的剖面横向的内部的比所述源极区域更靠所述第1分离区域侧的位置;

第1导电类型的电流扩散区域,形成于所述接触区域与所述第1分离区域之间的所述阱区域的表层部;

栅极绝缘膜,形成于所述第2分离区域以及与所述第2分离区域邻接的所述阱区域上;

栅电极,形成于所述栅极绝缘膜上;

欧姆电极,形成于所述接触区域上;

肖特基电极,形成于所述第1分离区域上,与所述第1分离区域肖特基连接;

源电极,形成于所述欧姆电极和所述肖特基电极上;以及

漏电极,形成于所述半导体基板的与所述第1主面相反的第2主面。

2.根据权利要求1所述的碳化硅半导体装置,其中,

在所述源极区域与所述第2分离区域之间的所述阱区域的表层部,还具备第1导电类型的沟道电流扩散区域。

3.根据权利要求1或者2所述的碳化硅半导体装置,其中,

所述电流扩散区域的第1导电类型杂质浓度高于所述第1分离区域的第1导电类型杂质浓度。

4.根据权利要求1至3中的任意一项所述的碳化硅半导体装置,其中,

所述电流扩散区域的第1导电类型杂质浓度低于所述源极区域的第1导电类型杂质浓度。

5.根据权利要求1至4中的任意一项所述的碳化硅半导体装置,其中,

所述电流扩散区域的第1导电类型杂质浓度低于所述阱区域的第2导电类型杂质浓度。

6.根据权利要求1至5中的任意一项所述的碳化硅半导体装置,其中,

所述电流扩散区域与所述接触区域相接。

7.根据权利要求1至6中的任意一项所述的碳化硅半导体装置,其中,

所述电流扩散区域的第1导电类型杂质浓度是$1\times10^{16}cm^{-3}$以上且$1\times10^{19}cm^{-3}$。

8.根据权利要求1至7中的任意一项所述的碳化硅半导体装置,其中,

所述电流扩散区域的厚度是10nm以上且200nm以下。

9.一种电力变换装置,具备:

主变换电路,具有权利要求1~8中的任意一项所述的碳化硅半导体装置,该主变换电路将输入的电力进行变换并输出;

驱动电路,通过使所述碳化硅半导体装置的栅电极的电压与源电极的电压相同而使得

进行截止动作,将驱动所述碳化硅半导体装置的驱动信号输出给所述碳化硅半导体装置;以及

控制电路,将控制所述驱动电路的控制信号输出给所述驱动电路。

碳化硅半导体装置以及使用碳化硅半导体装置的电力变换装置

技术领域

[0001] 本公开涉及碳化硅半导体装置以及使用碳化硅半导体装置的电力变换装置。

背景技术

[0002] 已知内置MOSFET(Metal-Oxide-Semiconductor Field-Effect-Transistor:绝缘栅极型场效应晶体管)等单极型的开关元件、和肖特基势垒二极管(SBD:Schottky Barrier Diode)等单极型的回流二极管的电力用的半导体装置(例如专利文献1)。这样的半导体装置能够通过在同一芯片并联地配置MOSFET单元和SBD单元来实现,一般而言,能够通过在芯片内的特定的区域设置肖特基电极并使该区域作为SBD动作来实现。

[0003] 通过在开关元件的芯片中内置回流二极管,能够比对开关元件外装回流二极管的情况降低成本。特别,在将碳化硅(SiC)用作母材的MOSFET中,还能够通过内置SBD来抑制由寄生pn二极管引起的双极性动作。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献1:日本特开2007-234925号公报

发明内容

[0007] 在这样的内置SBD的MOSFET中,有由肖特基电极和某个导电类型(例如n型)的半导体层构成的肖特基二极管,该某个导电类型(例如n型)的半导体层被与该导电类型相反的导电类型(例如p型)的阱区域夹住地形成,距两侧的相反的导电类型(例如p型)的阱区域的距离越大,施加到肖特基界面的电场变得越大。

[0008] 另一方面,关于在肖特基二极管中流过的电流,由于两侧的相反的导电类型(例如p型)的阱区域,电流路径在空间上受到限制,而有时无法充分增大在肖特基二极管中流过的电流的最大值。

[0009] 本公开是为了解决如上述的课题而完成的,其目的在于,通过不提高施加到肖特基界面的电场而增大在肖特基二极管中流过的电流,提供可靠性高的碳化硅半导体装置。

[0010] 本公开的碳化硅半导体装置具备:碳化硅半导体的第1导电类型的漂移层,形成于第1导电类型的半导体基板的第1主面上;第2导电类型的阱区域,在漂移层表层在剖面横向上分离地形成,其间具备第1导电类型的第1分离区域;第1导电类型的第2分离区域,形成于阱区域与阱区域之间,形成于未形成第1分离区域的区域;第1导电类型的源极区域,形成于阱区域内的半导体表层的剖面横向的内部;第2导电类型的接触区域,形成于阱区域内的半导体表层的剖面横向的内部的比源极区域更靠第1分离区域侧的位置;第1导电类型的电流扩散区域,形成于接触区域与第1分离区域之间的阱区域的表层部;栅极绝缘膜,形成于第2分离区域以及与第2分离区域邻接的阱区域上;栅电极,形成于栅极绝缘膜上;欧姆电极,形成于接触区域上;肖特基电极,形成于第1分离区域上,与第1分离区域肖特基连接;源电极,

形成于欧姆电极和肖特基电极上;以及漏电极,形成于所述半导体基板的与第1主面相反的第2主面。

[0011] 根据本公开所涉及的碳化硅半导体装置,能够得到可靠性高的碳化硅半导体装置。

附图说明

[0012] 图1是实施方式1所涉及的碳化硅半导体装置的剖面图。

[0013] 图2是实施方式1所涉及的碳化硅半导体装置的俯视图。

[0014] 图3是实施方式1所涉及的碳化硅半导体装置的俯视图。

[0015] 图4是实施方式1所涉及的碳化硅半导体装置的变形例的剖面图。

[0016] 图5是实施方式2所涉及的碳化硅半导体装置的剖面图。

[0017] 图6是示出实施方式3所涉及的电力变换装置图的结构的示意图。

[0018] (附图标记说明)

[0019] 10:半导体基板;20:漂移层;30:阱区域;21:第1分离区域;22:第2分离区域;35:接触区域;40:源极区域;41:电流扩散区域;42:沟道电流扩散区域;50:栅极绝缘膜;55:层间绝缘膜;60:栅电极;70:欧姆电极;71:肖特基电极;80:源电极;81:漏电极;100:电源;200;电力变换装置;201:主变换电路;202:驱动电路;203:控制电路;300:负载。

具体实施方式

[0020] 以下,参照附图说明实施方式。此外,附图是示意地示出的图,在不同的附图中分别示出的图像的尺寸以及位置的相互关系未必准确地记载,而可适宜地变更。另外,在以下的说明中,对同样的构成要素附加相同的符号而图示,它们的名称以及功能也相同。因此,有时省略关于它们的详细的说明。

[0021] 在以下的实施方式中,将第1导电类型设为n型、将第2导电类型设为p型而进行说明,但导电类型也可以相反。

[0022] 实施方式1.

[0023] 首先,说明本公开的实施方式1的碳化硅半导体装置。

[0024] 图1是作为实施方式1的碳化硅半导体装置的内置肖特基势垒二极管的碳化硅MOSFET(内置SBD的SiC-MOSFET)的活性区域的一部分的剖面图。另外,图2是图1所示的内置SBD的SiC沟槽MOSFET的活性区域的一部分的俯视图。

[0025] 如图1所示,在由n型且低电阻的碳化硅构成的半导体基板10的表面上,形成有由n型的碳化硅构成的漂移层20。在漂移层20的上层部,设置有在剖面视图中分离的、由p型的碳化硅构成的一对阱区域30。一对阱区域30之间成为作为漂移层20的一部分的第1分离区域21。

[0026] 夹着第1分离区域21而阱区域30的外侧成为作为漂移层20的一部分的第2分离区域22。在从第2分离区域22侧朝向第1分离区域21从阱区域30的第2分离区域22侧的端向内部进入预定的间隔的剖面横向的内部的位置,形成有由n型的碳化硅构成的源极区域40。另外,在源极区域40的更内侧、即比源极区域40靠第1分离区域21侧的阱区域30的表层部的剖面横向的内部,形成有由低电阻p型的碳化硅构成的接触区域35。在此,与有无离子注入无

关地,将由碳化硅构成的区域、即形成为漂移层20的区域称为碳化硅层。

[0027] 在此,源极区域40和接触区域35相接地形成。

[0028] 另外,在第1分离区域21与接触区域35之间的阱区域30的表层部,形成有n型杂质浓度比第1分离区域21高的n型的电流扩散区域41。

[0029] 在源极区域40以及接触区域35的表面上,形成有欧姆电极70。在第1分离区域21上以及电流扩散区域41上,形成有肖特基电极71,肖特基电极71和第1分离区域21被肖特基连接。由第1分离区域21和肖特基电极71构成SBD,第1分离区域21和肖特基电极71的界面成为肖特基界面。

[0030] 在阱区域30内的源极区域40的表面上、第2分离区域22上、以及源极区域40与第2分离区域22之间的阱区域30上,形成有由氧化硅构成的栅极绝缘膜50。在从源极区域40到第2分离区域22的区域的栅极绝缘膜50上,形成有由低电阻多晶硅构成的栅电极60。在形成有栅电极60的部位的下部,隔着栅极绝缘膜50与栅电极60相向的阱区域30的表层部成为沟道区域。

[0031] 在栅电极60和栅极绝缘膜50上,形成有由氧化硅构成的层间绝缘膜55。肖特基电极71上以及欧姆电极70上是栅极绝缘膜50和层间绝缘膜55被去除的接触孔,在肖特基电极71和欧姆电极70上的接触孔内以及层间绝缘膜55上,形成有源电极80。

[0032] 另外,在半导体基板10的与漂移层20相反的一侧的面,形成有背面欧姆电极72,并且在其外侧形成有漏电极81。

[0033] 图2是本公开的实施方式1的内置SBD的SiC-MOSFET的活性区域的碳化硅层表面附近的俯视图。在图2中,以包围第1分离区域21的方式,从内侧起依次形成有电流扩散区域41、接触区域35、源极区域40、阱区域30、第2分离区域22。即使在俯视时,肖特基电极71形成于从第1分离区域21上到电流扩散区域41上的区域上。欧姆电极70形成于接触区域35上。栅电极60形成于比欧姆电极70更靠外侧的位置。在电流扩散区域41的剖面下侧形成有阱区域30。

[0034] 此外,本公开的实施方式1的内置SBD的SiC-MOSFET的活性区域的单位单元也可以如在图3中其俯视图所示为条纹状。即便是条纹状的单位单元,也以第1分离区域21为中心从内侧起依次形成有电流扩散区域41、接触区域35、源极区域40、阱区域30、第2分离区域22。

[0035] 以下,说明作为本公开的实施方式1的碳化硅半导体装置的内置SBD的SiC-MOSFET的制造方法。

[0036] 首先,在第1主面的面方位为具有偏离角的(0001)面、且具有4H的多型的、由n型且低电阻的碳化硅构成的半导体基板10上,通过化学气相堆积法(Chemical Vapor Deposition:CVD法),以$1\times10^{15}cm^{-3}$以上且$1\times10^{17}cm^{-3}$以下的杂质浓度外延生长由n型、5μm以上且80μm以下的厚度的碳化硅构成的漂移层20。漂移层20的厚度根据碳化硅半导体装置的耐压,也可以是80μm以上。

[0037] 接着,在漂移层20的表面的预定的区域利用光致抗蚀剂等形成注入掩模,将作为p型的杂质的Al(铝)进行离子注入。此时,Al的离子注入的深度成为不超过漂移层20的厚度的0.5μm以上且3μm以下程度。另外,离子注入的Al的杂质浓度是$1\times10^{17}cm^{-3}$以上且$1\times10^{19}cm^{-3}$以下的范围,高于漂移层20的杂质浓度。之后,去除注入掩模。通过本工序进行Al离

子注入后的区域成为阱区域30。

[0038] 接下来,以使漂移层20的表面的阱区域30的内侧的预定的部位开口的方式利用光致抗蚀剂等形成注入掩模,将作为n型的杂质的N(氮)进行离子注入。设为N的离子注入深度比阱区域30的厚度浅。另外,设为离子注入的N的杂质浓度是$1\times10^{18}cm^{-3}$以上且$1\times10^{21}cm^{-3}$以下的范围,超过阱区域30的p型的杂质浓度。在本工序中注入了N的区域中的呈现n型的区域成为源极区域40。之后,去除注入掩模。

[0039] 另外,利用同样的方法,在阱区域30的内侧的预定的区域以比阱区域30的杂质浓度高的杂质浓度将Al进行离子注入,由此形成接触区域35。接触区域35的Al的杂质浓度是$1\times10^{18}cm^{-3}$以上且$1\times10^{20}cm^{-3}$以下的范围即可。

[0040] 进而,通过同样的方法,在接触区域35与第1分离区域21之间的阱区域30的表层部,注入N离子来形成电流扩散区域41。N的离子注入深度为比阱区域30的厚度浅的、例如10nm以上且200nm以下。另外,电流扩散区域41的N的杂质浓度是$1\times10^{16}cm^{-3}$以上且$1\times10^{19}cm^{-3}$以下的范围即可。

[0041] 接下来,利用热处理装置,在氩(Ar)气等非活性气体气氛中,在1300至1900℃的温度下,进行30秒至1小时的退火。通过该退火,使离子注入的N以及Al电气地活性化。

[0042] 接着,对漂移层20、阱区域30、源极区域40、电流扩散区域41、以及接触区域35的碳化硅层的表面进行热氧化,形成作为10nm以上且300nm以下的厚度的栅极绝缘膜50的氧化硅膜。接下来,通过在栅极绝缘膜50上利用减压CVD法形成具有导电性的多晶硅膜并对其进行构图,形成栅电极60。接着,通过减压CVD法形成由氧化硅构成的层间绝缘膜55。

[0043] 另外,在半导体基板10上的未形成漂移层20的面形成背面欧姆电极72。

[0044] 接下来,通过干蚀刻法,形成贯通层间绝缘膜55和栅极绝缘膜50而到达活性区域内的接触区域35和源极区域40的接触孔(接触孔的第1部分)。通过利用干蚀刻法形成接触孔,能够形成与碳化硅层的表面垂直的接触孔,能够缩小单位单元的反复周期(单元间距),能够增加每单位面积的导通电流密度。

[0045] 接着,在通过溅射法等形成以镍(Ni)为主成分的金属膜之后,进行600至1100℃的温度的热处理,使以Ni为主成分的金属膜、和接触孔(第1部分)内的碳化硅层反应,在碳化硅层与金属膜之间形成硅化物。在金属膜是Ni的情况下,硅化物为镍硅化物。接着,通过湿蚀刻去除反应而成的硅化物以外的残留的金属膜。在此形成的硅化物成为欧姆电极70。

[0046] 接下来,在欧姆电极70以及层间绝缘膜55的表面上,通过光刻法形成抗蚀剂掩模。

[0047] 接着,在形成有抗蚀剂掩模90的状态下,使用包含氢氟酸的蚀刻液,对包括第1分离区域21的表面以及电流扩散区域41的表面的区域的上方的栅极绝缘膜50和层间绝缘膜55进行湿蚀刻。在此湿蚀刻的区域也成为接触孔的一部分(接触孔的第2部分)。之后,去除抗蚀剂掩模。

[0048] 接下来,在第1分离区域21的表面上以及电流扩散区域41的表面上,形成与第1分离区域21肖特基连接的、Ti、Mo等的肖特基电极71。另外,在肖特基电极71上、欧姆电极70上,形成以Al为主成分的源电极80。

[0049] 接着,通过形成背面侧的背面欧姆电极72、并且与背面欧姆电极72相接地在底侧形成漏电极81,能够制造在图1中示出剖面图的、作为本实施方式的碳化硅半导体装置的内置SBD的SiC-MOSFET。

[0050] 在此,关于电流扩散区域41的n型杂质浓度,形成得高于漂移层20尤其是第1分离区域21的n型杂质浓度。另外,设为电流扩散区域41的n型杂质浓度低于源极区域40的n型杂质浓度。

[0051] 进而,电流扩散区域41的n型杂质浓度形成得比阱区域30的p型杂质浓度低。通过成为该结构,能够使在截止状态下从电流扩散区域41与阱区域30之间的pn结面延伸到电流扩散区域41侧的耗尽层到达至形成于电流扩散区域41上的肖特基电极71,能够降低施加到肖特基电极71的电场。

[0052] 此外,本实施方式的内置SBD的SiC-MOSFET的漂移层20无需在全域中为相同的杂质浓度,而也可以如在图4中其剖面图所示,使从碳化硅层的表面至阱区域30的底部的位置附近的n型杂质浓度高于比阱区域30靠半导体基板10侧的漂移层20。由此,能够使第1分离区域21以及第2分离区域22的n型杂质浓度高于比阱区域30靠下部的漂移层20,能够进一步降低导通状态的电阻。

[0053] 另外,源极区域40和接触区域35也可以分离地形成。在相接地形成源极区域40和接触区域35时,能够减小单位单元的尺寸,能够进一步增加在每单位面积中流过的导通电流,能够进一步低电阻化。

[0054] 进而,肖特基电极71和源电极80也可以由相同的材料形成,也可以源电极80是层叠多个材料而成的结构。

[0055] 根据本实施方式的碳化硅半导体装置,与形成于第1分离区域21和肖特基电极71之间的SBD邻接地,设置n型的电流扩散区域41和肖特基电极71邻接的区域,所以在回流动作状态时在肖特基界面流过的单极性电流所流过的区域即第1分离区域21中,能够在剖面横向上扩大实质上单极性电流所流过的区域,无需扩大第1分离区域21的宽度来增加在MOSFET为截止状态时施加到肖特基界面的电场强度,能够增加在回流状态下流过的单极性电流密度。

[0056] 因此,相比于未形成电流扩散区域41的碳化硅半导体装置,能够缩小为了抑制形成于阱区域30与漂移层20之间的体二极管的动作而所需的芯片尺寸,降低成本。

[0057] 实施方式2.

[0058] 图5是实施方式2的碳化硅半导体装置中的活性区域的一部分的剖面图。本实施方式的碳化硅半导体装置与实施方式1的碳化硅半导体装置不同,在第2分离区域22与接触区域35之间的阱区域30的表层部也形成有与电流扩散区域41同样的n型的沟道电流扩散区域42。其他点与实施方式1相同,所以省略详细的说明。

[0059] 图5是作为本实施方式的碳化硅半导体装置的内置SBD的SiC-MOSFET的活性区域的一部分的剖面图。

[0060] 如图5所示,在本实施方式的内置SBD的SiC-MOSFET中,在第2分离区域22与源极区域40之间的阱区域30的表层部,形成有与电流扩散区域41同样的、n型杂质浓度高的n型的沟道电流扩散区域42。电流扩散区域41和沟道电流扩散区域42以相同的厚度以相同的杂质浓度形成。

[0061] 本实施方式的内置SBD的SiC-MOSFET能够通过与实施方式的内置SBD的SiC-MOSFET同样的制造方法制造,使用在形成p型的阱区域30时使用的抗蚀剂掩模注入N离子,来形成电流扩散区域41以及沟道电流扩散区域42即可。

[0062] 此时,在源极区域40和接触区域35的表面部分也注入N离子,但注入的离子的密度比源极区域40以及接触区域35的杂质浓度低1个数量级以上程度,所以几乎不影响源极区域40和接触区域35。

[0063] 通过使用在形成阱区域30时使用的抗蚀剂掩模来形成电流扩散区域41和沟道电流扩散区域42,无需形成用于形成电流扩散区域41的其他抗蚀剂掩模,能够在抑制制造成本的上升的状态下制造本公开的碳化硅半导体装置。

[0064] 另外,根据本实施方式的内置SBD的SiC-MOSFET,在沟道区域的表层形成有n型的沟道电流扩散区域42,所以能够使沟道电阻进一步低电阻化。

[0065] 此外,在上述实施方式中,作为p型杂质使用了铝(Al),但p型杂质也可以是硼(B)或者镓(Ga)。n型杂质也可以并非氮(N)而是磷(P)。在实施方式1～2中说明的MOSFET中,栅极绝缘膜无需一定为SiO_2等的氧化膜,也可以是氧化膜以外的绝缘膜、或者氧化膜以外的绝缘膜和氧化膜的组合。另外,在上述实施方式中,使用具体的例子说明了晶体构造、主面的面方位、偏离角以及各注入条件等,但应用范围不限于这些数值范围。

[0066] 另外,在上述实施方式中,说明了在所谓纵型MOSFET的碳化硅半导体装置中内置SBD的例子,但还能够应用于在具有超级结构造的MOSFET中内置SBD的情形。

[0067] 实施方式3.

[0068] 本实施方式是将上述实施方式1～2所涉及的碳化硅半导体装置应用于电力变换装置的例子。本公开不限定于特定的电力变换装置,但以下作为实施方式3,说明将本公开应用于三相的逆变器的情况。

[0069] 图6是示出应用本实施方式的电力变换装置的电力变换系统的结构的框图。

[0070] 图6所示的电力变换系统包括电源100、电力变换装置200、负载300。电源100是直流电源,对电力变换装置200供给直流电力。电源100能够由各种例子构成,例如,既能够由直流系统、太阳能电池、蓄电池构成,也可以由与交流系统连接的整流电路、AC/DC转换器构成。另外,电源100也可以由将从直流系统输出的直流电力变换为预定的电力的DC/DC转换器构成。

[0071] 电力变换装置200是连接于电源100与负载300之间的三相的逆变器,将从电源100供给的直流电力变换为交流电力,对负载300供给交流电力。电力变换装置200如图6所示,具备:主变换电路201,将直流电力变换为交流电力而输出;驱动电路202,输出驱动主变换电路201的各开关元件的驱动信号;以及控制电路203,将控制驱动电路202的控制信号输出给驱动电路202。

[0072] 驱动电路202通过使栅电极的电压和源电极的电压成为同电位,对常断型的各开关元件进行截止控制。

[0073] 负载300是通过从电力变换装置200供给的交流电力驱动的三相的电动机。此外,负载300不限于特定的用途,是搭载于各种电气设备的电动机、例如被用作面向混合动力汽车、电动汽车、铁路车辆、电梯、或者、空调设备的电动机。

[0074] 以下,详细说明电力变换装置200。主变换电路201具备开关元件和回流二极管(未图示),通过开关元件进行开关,将从电源100供给的直流电力变换为交流电力,供给给负载300。主变换电路201的具体的电路结构有各种例子,但本实施方式的主变换电路201是2电平的三相全桥电路,能够由6个开关元件和与各个开关元件逆并联的6个回流二极管构成。

在主变换电路201的各开关元件中,应用通过上述实施方式1～3的任意一个所涉及的碳化硅半导体装置的制造方法制造的碳化硅半导体装置。6个开关元件针对每2个开关元件串联连接而构成上下支路,各上下支路构成全桥电路的各相(U相、V相、W相)。而且,各上下支路的输出端子、即主变换电路201的3个输出端子与负载300连接。

[0075] 驱动电路202生成驱动主变换电路201的开关元件的驱动信号,供给给主变换电路201的开关元件的控制电极。具体而言,依照来自后述控制电路203的控制信号,将使开关元件成为导通状态的驱动信号和使开关元件成为截止状态的驱动信号输出给各开关元件的控制电极。在将开关元件维持为导通状态的情况下,驱动信号是开关元件的阈值电压以上的电压信号(导通信号),在将开关元件维持为截止状态的情况下,驱动信号成为开关元件的阈值电压以下的电压信号(截止信号)。

[0076] 控制电路203以对负载300供给期望的电力的方式,控制主变换电路201的开关元件。具体而言,根据应供给给负载300的电力,计算主变换电路201的各开关元件应成为导通状态的时间(导通时间)。例如,能够通过根据应输出的电压来调制开关元件的导通时间的PWM控制,控制主变换电路201。而且,在各时间点,以向应成为导通状态的开关元件输出导通信号,向应成为截止状态的开关元件输出截止信号的方式,向驱动电路202输出控制指令(控制信号)。驱动电路202依照该控制信号,向各开关元件的控制电极输出导通信号或者截止信号作为驱动信号。

[0077] 在本实施方式所涉及的电力变换装置中,作为主变换电路201的开关元件应用实施方式1～2所涉及的碳化硅半导体装置,所以能够实现低损失并且提高高速开关动作的可靠性的电力变换装置。

[0078] 在本实施方式中,说明了将本公开应用于2电平的三相逆变器的例子,但本公开不限于此,能够应用于各种电力变换装置。在本实施方式中,成为2电平的电力变换装置,但也可以是3电平、多电平的电力变换装置,在对单相负载供给电力的情况下,也可以将本公开应用于单相的逆变器。另外,在对直流负载等供给电力的情况下,还能够将本公开应用于DC/DC转换器、AC/DC转换器。

[0079] 另外,应用本公开的电力变换装置不限定于上述负载是电动机的情况,例如,既能够用作放电加工机、激光加工机、或者感应加热烹调器、非接触器供电系统的电源装置,进而也能够用作太阳能发电系统、蓄电系统等的功率调节器。

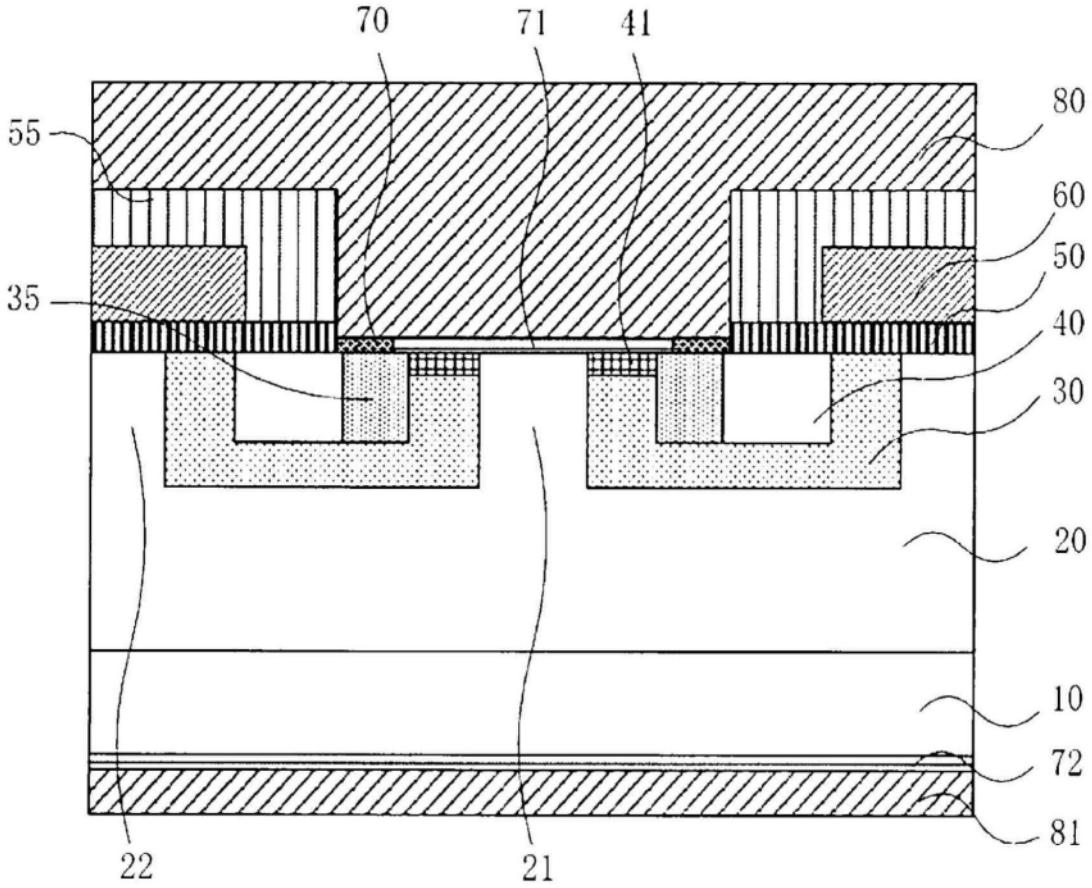

70
71
41
55
80
60
50
35
40
30
20
10
72
81
22
21

图1

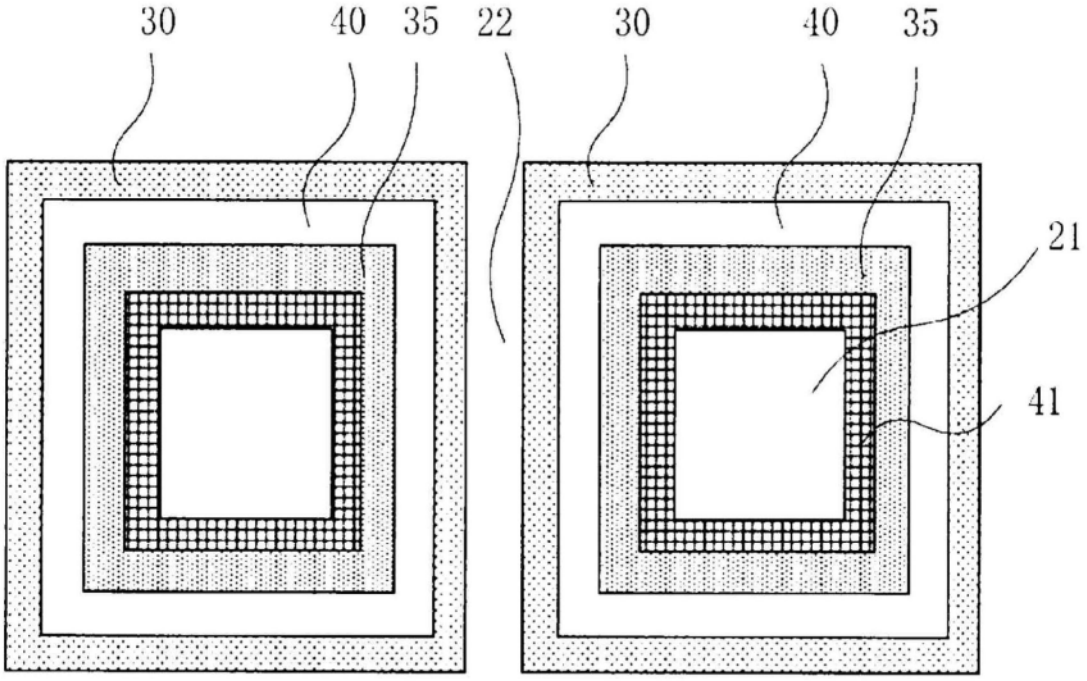

30
40
35
22
30
40
35
21
41

图2

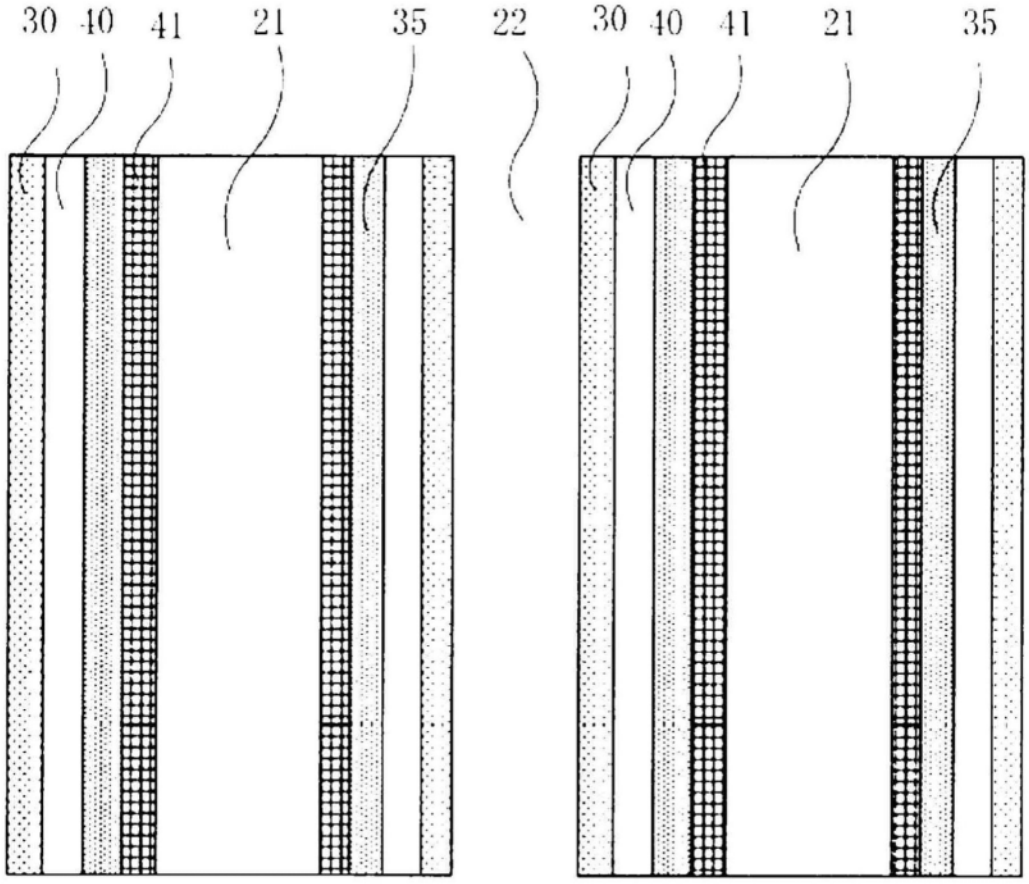


图3

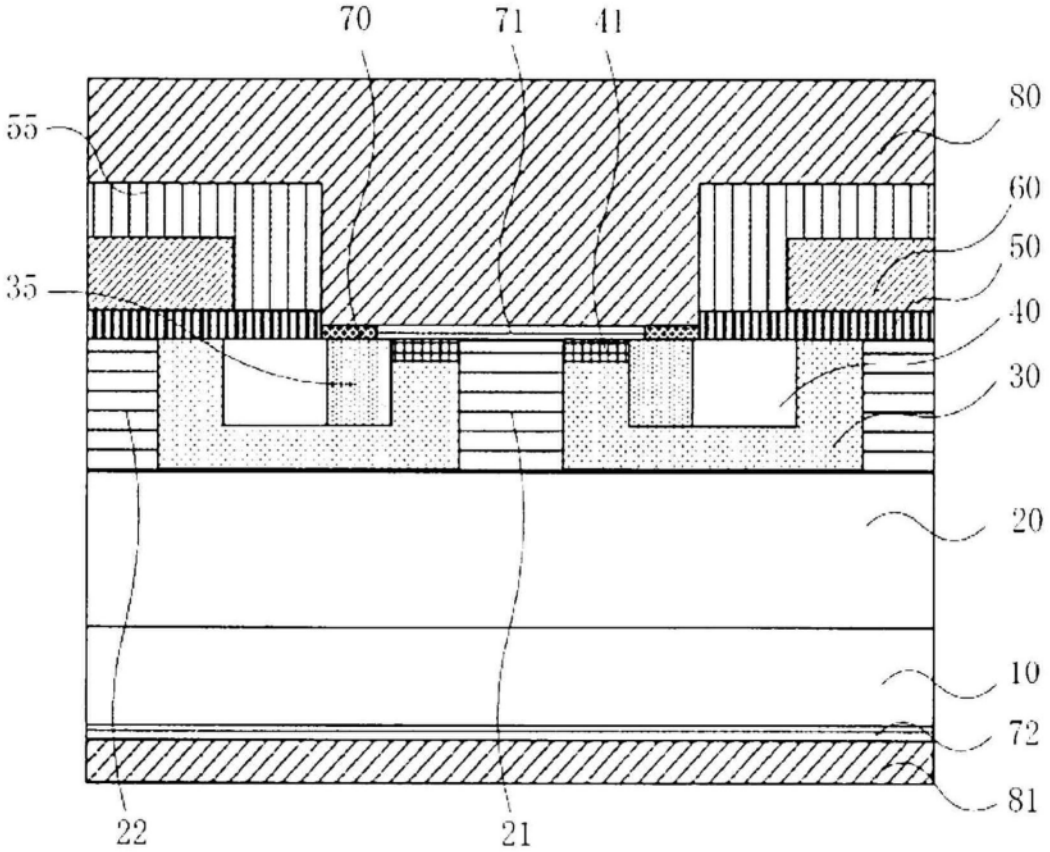


图4

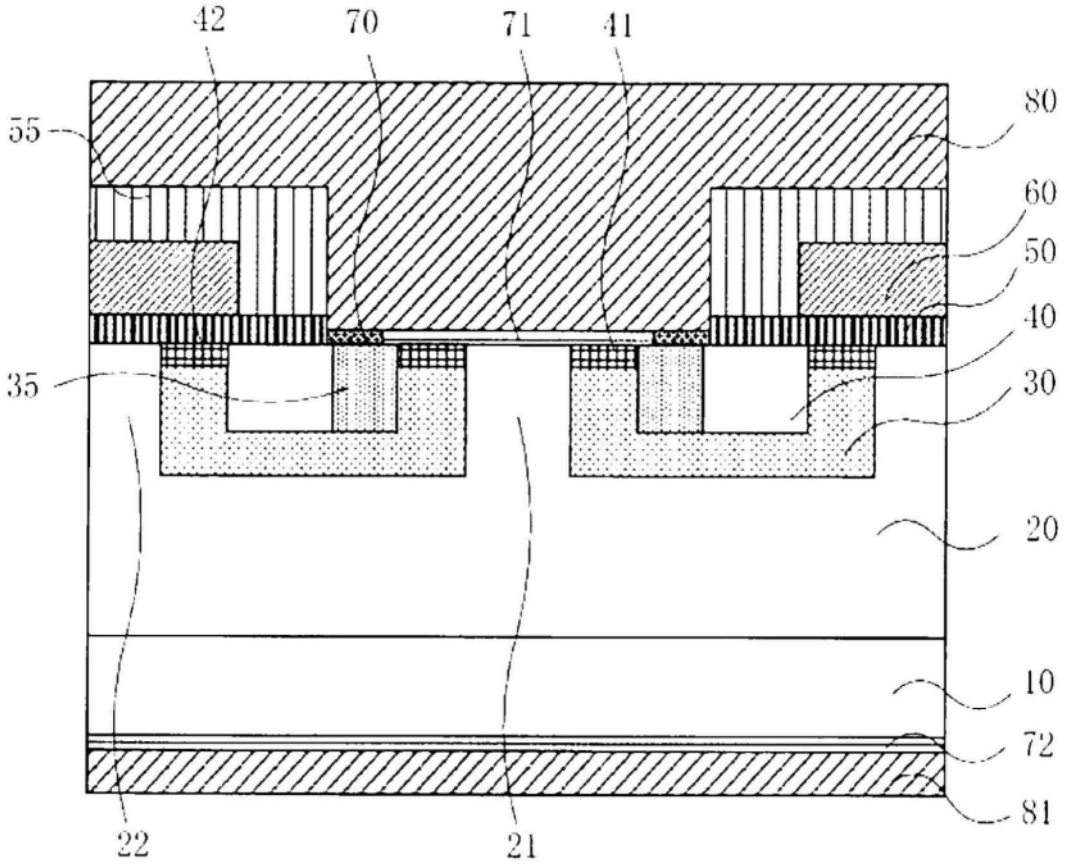


图5

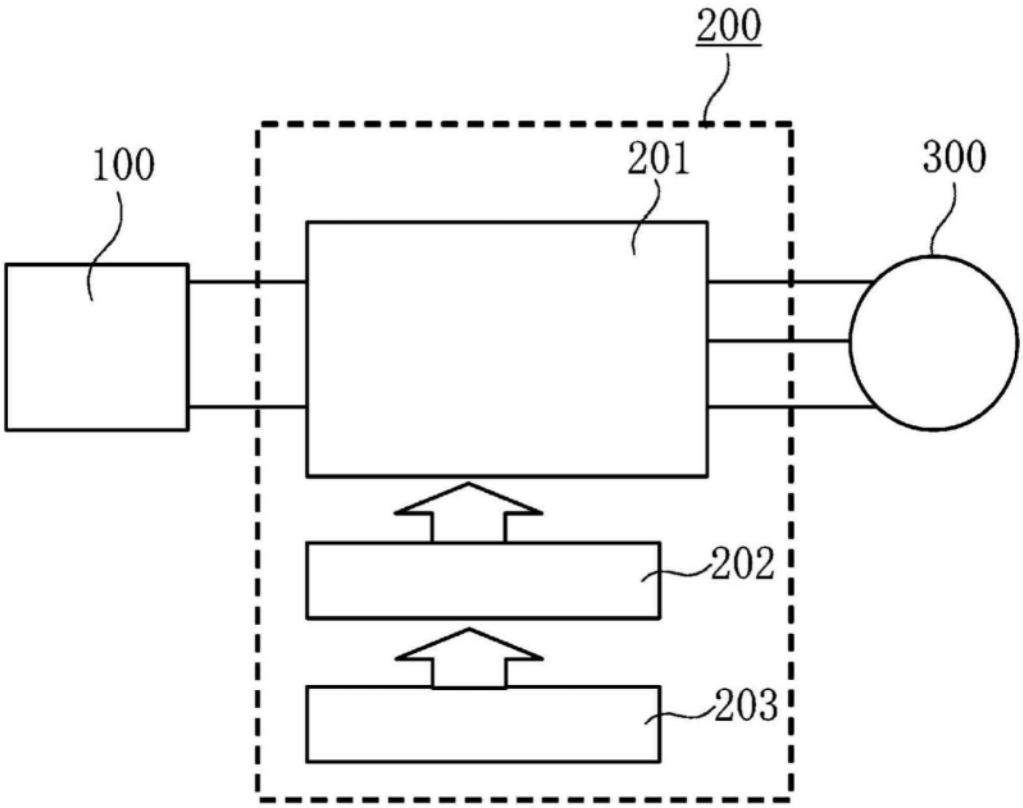


图6